



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I504149 B

(45) 公告日：中華民國 104 (2015) 年 10 月 11 日

(21) 申請案號：102112446

(22) 申請日：中華民國 102 (2013) 年 04 月 09 日

(51) Int. Cl. : H03K5/14 (2014.01)

H03K5/15 (2006.01)

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORP. (TW)
 新竹市新竹科學園區創新二路 2 號

(72) 發明人：黃詩雄 HUANG, SHIH HSIUN (TW)；林見儒 LIN, SHIAN RU (TW)

(74) 代理人：葉信金

(56) 參考文獻：

US 5341031

US 5532633

US 5886562

審查人員：陳明德

申請專利範圍項數：17 項 圖式數：5 共 27 頁

(54) 名稱

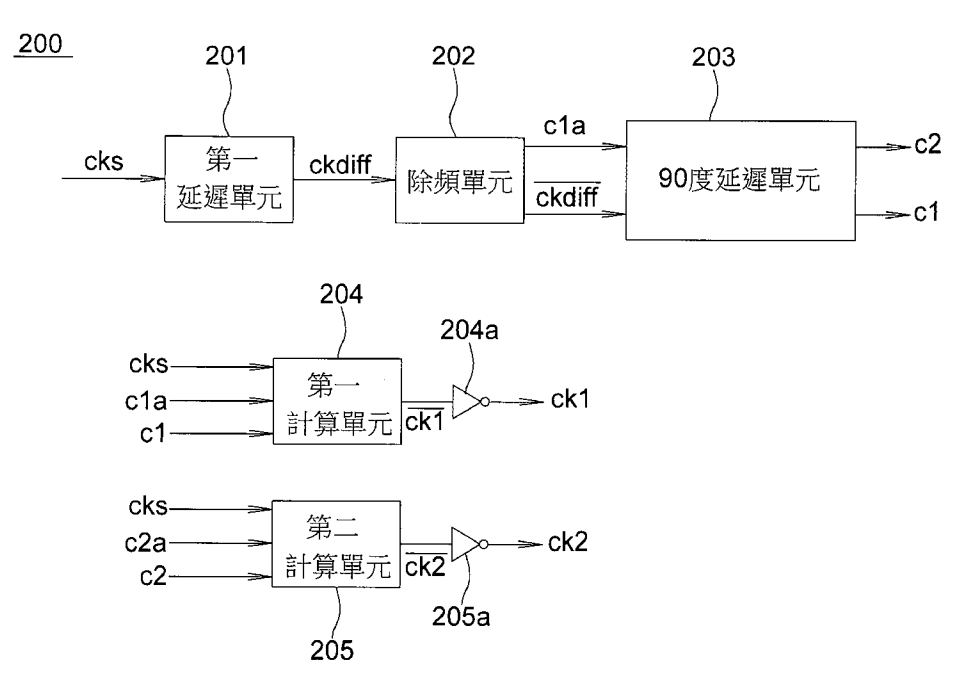
時脈產生裝置與其方法

CLOCK GENERATION DEVICE AND METHOD THEREOF

(57) 摘要

一種時脈產生裝置包含有一第一延遲單元、一除頻單元、一角度延遲單元、以及一第一計算單元。第一延遲單元接收一輸入時脈，延遲輸入時脈一預設時間，產生一輸入延遲時脈。除頻單元接收輸入延遲時脈，除頻輸入延遲時脈，以產生一第一除頻時脈與一第二除頻時脈，且第一除頻時脈之頻率與第二除頻時脈之頻率均為輸入延遲時脈之一預設倍數。角度延遲單元延遲第一除頻時脈一第二預設時間，以產生一第一延遲時脈。而第一計算單元，依據第一除頻時脈與第一延遲時脈之位準決定一第一輸出時脈之第一邊緣之觸發時間，依據輸入時脈與第一延遲時脈之位準決定第一輸出時脈之第二邊緣之下降時間。

A clock generation device includes a first delay unit, a frequency divider, an angle delay unit, a first calculating unit. The first delay unit receives an input clock and delay the input clock a preset period to generate an input delay clock. The frequency divider divides the delay clock to generate a first divided clock and a second divided clock. Both of the frequency of the first divided clock and the second divided clock has a preset proportion to the input delay clock. The angle delay unit delay the first divided clock a second preset period to generate a first delay clock. The first calculating unit determines to trigger an first edge of a first output clock according to the first divided clock and determines to trigger a falling edge of the first output clock according to the input clock.



200 . . . 時脈產生裝置
201、203 . . . 延遲單元
202 . . . 除頻單元
204、205 . . . 計算單元
204a、205a . . . 反相單元

第 2A 圖

發明摘要

※ 申請案號： 102112446

※ 申請日： 102. 4. 09

※IPC 分類： H03K 5/14 (2006.1)
H03K 5/15 (2006.1)

【發明名稱】 時脈產生裝置與其方法

Clock generation device and method thereof

【中文】

一種時脈產生裝置包含有一第一延遲單元、一除頻單元、一角度延遲單元、以及一第一計算單元。第一延遲單元接收一輸入時脈，延遲輸入時脈一預設時間，產生一輸入延遲時脈。除頻單元接收輸入延遲時脈，除頻輸入延遲時脈，以產生一第一除頻時脈與一第二除頻時脈，且第一除頻時脈之頻率與第二除頻時脈之頻率均為輸入延遲時脈之一預設倍數。角度延遲單元延遲第一除頻時脈一第二預設時間，以產生一第一延遲時脈。而第一計算單元，依據第一除頻時脈與第一延遲時脈之位準決定一第一輸出時脈之第一邊緣之觸發時間，依據輸入時脈與第一延遲時脈之位準決定第一輸出時脈之第二邊緣之下降時間。

【英文】

A clock generation device includes a first delay unit, a frequency divider, an angle delay unit, a first calculating unit. The first delay unit receives an input clock and delay the input clock a preset period to generate an input delay clock. The frequency divider divides the delay clock to generate a first divided clock and a second divided clock. Both of the frequency of the first divided clock and the second divided clock has a preset proportion to the input delay clock. The

angle delay unit delay the first divided clock a second preset period to generate a first delay clock. The first calculating unit determines to trigger an first edge of a first output clock according to the first divided clock and determines to trigger a falling edge of the first output clock according to the input clock.

【代表圖】

【本案指定代表圖】：第（ 2A ）圖。

【本代表圖之符號簡單說明】：

200 時脈產生裝置

201、203 延遲單元

202 除頻單元

204、205 計算單元

204a、205a 反相單元

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】時脈產生裝置與其方法

Clock generation device and method thereof

【技術領域】

【0001】 本發明係關於一種電子裝置，特別是關於一種時脈產生裝置與其方法。

【先前技術】

【0002】 一般時間交錯類比數位轉換器是將 N 個(或 N 個通道(channel))之類比數位轉換器並列配置，以讓類比數位轉換器之取樣頻率提升 N 倍。此種方式為高取樣頻率類比數位轉換器常用的作法。然而，時間交錯類比數位轉換器會面臨許多非理想之問題，舉凡 N 個類比數位轉換器彼此之間的取樣時間不匹配(sampling timing mismatch)－亦即取樣時間扭曲(sampling timing skew)、或者 N 個類比數位轉換器彼此之間增益不匹配(gain mismatch)與偏移電壓不匹配(offset mismatch)。

【0003】 取樣時間不匹配是因為每個通道的類比數位轉換器取樣週期不同所致。例如，第 1A 圖所示，利用 M 個分別為 250MHz 之類比數位轉換器 ADC1、ADC2~ADCM 構成一個 1GHz 的類比數位轉換器。以四個類比數位轉換器為例，當類比數位轉換器 ADC1 取樣完訊號，類比數位轉換器 ADC2 必須間隔 1/1GHz(也就是 1ns)進行取樣，接著類比數位轉換器 ADC3 在類比數位轉換器 ADC2 取樣後隔 1/GHz 取樣，接著依此類推，以產生圖是右方之訊號。在實務上，往往每個通道的類比數位轉換器之間取樣時間並無法剛好作

到間隔 1ns，而造成 N 個類比數位轉換器取樣時間不匹配之結果。

【0004】 取樣時間不匹配，是因為類比數位轉換器之訊號源之訊號路徑長度不同與電路架構不對稱造成。例如，第 1B 圖顯示之習知非重疊(non-overlap)時脈產生器。此非重疊時脈產生器產生之時脈 CK1、CK2 作為 2-通道之時間交錯式類比數位轉換器的時脈源，會有下列問題發生：

【0005】 首先，時脈 CK1 和 CK2 是由 CLK_{in} 經過粗體箭頭路徑產生，為了製造出非重疊時脈。由於時脈 CLK_{in} 到時脈 CK1 之路徑和時脈 CLK_{in} 到 CK2 之路徑不能太短，但由於晶片製作時具有元件無法完全相同之物理限制。因此，時脈 CLK_{in} 到時脈 CK1 之路徑和時脈 CLK_{in} 到 CK2 之路徑不匹配，如此將造成 2-通道時間交錯式類比數位轉換器取樣時間不匹配，降低電路效能。再者，即使扣除晶片製作時會有元件無法做到完全一樣之物理限制，如第 1B 圖所示，該時脈產生電路之架構並不對稱，因此時脈 CLK_{in} 到產生時脈 CK1 之時間和時脈 CLK_{in} 到產生 CK2 之時間會不同。

【發明內容】

【0006】 本發明之目的之一，在提供一種時脈產生裝置與其方法，以減少傳統時脈產生器之複數個時脈路徑不匹配造成之問題。

【0007】 本發明之目的之一，在提供一種時脈產生裝置與其方法，以減少傳統時脈產生器之複數個時脈時間不匹配造成之問題。

【0008】 本發明之一實施例提供了一種時脈產生裝置包含有一第一延遲單元、一除頻單元、一角度延遲單元、以及一第一計算單元。第一延遲單元接收一輸入時脈，延遲輸入時脈一預設時間，產生一輸入延遲時脈。除頻單元接收輸入

延遲時脈，除頻輸入延遲時脈，以產生一第一除頻時脈與一第二除頻時脈，且第一除頻時脈之頻率與第二除頻時脈之頻率均為輸入延遲時脈之一預設倍數。角度延遲單元延遲第一除頻時脈一第二預設時間，由該角度延遲單元之第一輸出端產生一第一延遲時脈。而第一計算單元，依據第一除頻時脈與第一延遲時脈之位準決定一第一輸出時脈之第一邊緣之觸發時間，依據輸入時脈與第一延遲時脈之位準決定第一輸出時脈之第二邊緣之下降時間。

【0009】 本發明之另一實施例提供了一種時脈產生裝置，包含有一第一延遲單元、一除頻單元、角度延遲單元、以及複數個計算單元。第一延遲單元接收一輸入時脈，延遲輸入時脈一預設時間，產生一輸入延遲時脈。除頻單元接收輸入延遲時脈，除頻輸入延遲時脈，以產生複數個除頻時脈，且每一除頻時脈之頻率為輸入延遲時脈之一預設倍數。角度延遲單元，延遲每一除頻時脈一第二預設時間，以產生複數個輸出延遲時脈。而每一計算單元依據一除頻時脈與一輸出延遲時脈之位準決定一輸出時脈之第一邊緣之觸發時間，依據輸入時脈與輸出延遲時脈之位準決定輸出時脈之第二邊緣之下降時間。其中，計算單元產生之複數個輸出時脈不相互重疊。其中，計算單元包含有一第一電晶體、一第二電晶體、一第三電晶體、一第四電晶體。第一電晶體與第二電晶體串聯形成一第一路徑、第三電晶體與第四電晶體串聯形成一第二路徑，該第一路徑並聯第二路徑以執行方程式 $ck=(c \cdot ca)+(c \cdot cks)$ ，其中 ck 為該輸出時脈、 ca 為該除頻時脈、 c 為該輸出延遲時脈。

【0010】 本發明之另一實施例提供了一種時脈產生方法，包含有下列步驟：首先，接收一輸入時脈，延遲輸入時脈一預設時間，產生一輸入延遲時脈。接收輸入延遲時脈，除頻輸入延遲時脈，以產生複數個除頻時脈，且每一除頻時

脈之頻率為輸入延遲時脈之一預設倍數。延遲每一除頻時脈一第二預設時間，以產生複數個輸出延遲角度時脈。依據一除頻時脈與一輸出延遲角度時脈之位準決定一輸出時脈之第一邊緣之觸發時間，依據輸入時脈與輸出延遲角度時脈之位準決定輸出時脈之第二邊緣之下降時間，其中，複數個輸出時脈不相互重疊。

【0011】 本發明之時脈產生裝置與方法利用邏輯電路控制輸出時脈結束取樣之邊緣，降低取樣時間無法對準造成不匹配問題，亦不需經過如習知技術較長的延遲路徑，可減少傳統時脈產生裝置在產生輸出時脈之間不匹配路徑的長度，提供準確之非重疊時脈，且解決習知技術訊號路徑過長造成之不匹配問題。

【圖式簡單說明】

【0012】

第 1A 圖顯示習知技術之時間交錯類比數位轉換器示意圖。

第 1B 圖顯示習知技術之時脈產生裝置之示意圖。

第 2A 圖顯示本發明一實施例之時脈產生裝置之示意圖。

第 2B 圖顯示本發明一實施例之延遲單元、除頻單元之示意圖。

第 2C 圖顯示本發明一實施例之計算單元之示意圖。

第 2D 圖顯示本發明另一實施例之計算單元之示意圖。

第 2E 圖顯示本發明一實施例之時脈產生裝置之波形圖。

第 3 圖顯示本發明另一實施例之時脈產生裝置之波形圖。

第 4 圖顯示本發明另一實施例之時脈產生裝置之示意

圖。

第 5 圖顯示本發明一實施例之時脈產生方法之流程圖。

【實施方式】

【0013】 第 2A 圖顯示本發明一實施例之時脈產生裝置之示意圖。時脈產生裝置 200 可為一低取樣時間扭曲 (sampling timing skew) 的除 N 時脈產生器。時脈產生裝置 200 包含有一第一延遲單元 201、一除頻單元 202、一 90 度延遲單元 203、一第一計算單元 204、以及一第二計算單元 205。

【0014】 第一延遲單元 201 接收一輸入時脈 cks ，延遲輸入時脈 cks 一預設時間 $d1$ ，以產生一輸入延遲時脈 $ckdiff$ 。

【0015】 除頻單元 202 接收輸入延遲時脈 $ckdiff$ ，輸出一反相輸入延遲時脈 \overline{ckdiff} ，且除頻輸入延遲時脈 $ckdiff$ 以產生一第一除頻時脈 $c1a$ 與一第二除頻時脈 $c2a$ (圖未示)。其中，第一除頻時脈 $c1a$ 之頻率與第二除頻時脈 $c2a$ 之頻率均為輸入延遲時脈 $ckdiff$ 之一預設倍數 $1/N$ ， N 為自然數 N 小於無限大，例如二分之一倍。

【0016】 90 度延遲單元 203 接收第一除頻時脈 $c1a$ 與反相輸入延遲時脈 \overline{ckdiff} ，且延遲該第一除頻時脈 $c1a$ 一第二預設時間 $d2$ ，例如延遲 90 度之週期長度，以產生一第一延遲時脈 $c1$ 與一第二延遲時脈 $c2$ 。本實施例延遲 90 度僅為示例，本發明不限於此，延遲長度可依據設計者任意設計。

【0017】 第一計算單元 204 依據第一除頻時脈 $c1a$ 與第一延遲時脈 $c1$ 之位準決定一第一輸出時脈 $ck1$ 之第一邊緣 (正緣) 之觸發時間，依據輸入時脈 cks 與第一延遲時脈 $c1$ 之位準決定第一輸出時脈 $ck1$ 之第二邊緣 (負緣) 之下降時間，且經過一反相單元 204a 來輸出第一輸出時脈 $ck1$ 。

【0018】 第二計算單元 205 依據第二除頻時脈 $c2a$ 與第二延遲時脈 $c2$ 之位準決定一第二輸出時脈 $ck2$ 之第一邊緣

(正緣)之觸發時間，依據輸入時脈 cks 與第二延遲時脈 c2 之位準決定第二輸出時脈 ck2 之第二邊緣(負緣)之下降時間，且經過一反相單元 205a 來輸出第一輸出時脈 ck2。

【0019】 第 2B、2C 圖顯示本發明時脈產生裝置 200 一實施例之示意圖。

【0020】 第一延遲單元 201 包含有複數個反相單元 201a，該些反相單元 201a 彼此串聯，用以延遲輸入時脈 cks 以產生延遲一預設時間 d1(未圖示)之延遲時脈 ckdiff。

【0021】 除頻單元 202 包含有一第一正反器 202a 以及一反相單元 202b。90 度延遲單元 203 包含有一第二正反器 203a。第一正反器 202a 接收輸入延遲時脈 ckdiff，將輸入延遲時脈訊號 ckdiff 作為時脈訊號，且依據輸入延遲時脈 ckdiff 由輸出端產生第一除頻時脈 c1a、且由反相輸出端產生第二除頻時脈。其中，第一除頻時脈 c1a 與該第二除頻時脈 c2a 之頻率由 ckdiff 之 200MHZ 降至 100MHZ。反相單元 202b 反相輸入延遲時脈訊號 ckdiff，以產生反相輸入延遲時脈 \overline{ckdiff} 。第二正反器 203a 將反相輸入延遲時脈訊號 \overline{ckdiff} 作為時脈訊號。接著，90 度延遲單元 203 之第二正反器 203a 延遲該第一除頻時脈 c1a 一第二預設時間 d2，以由輸出端產生一第一延遲時脈 c1、且由反相輸出端產生一第二延遲時脈 c2。

【0022】 本實施例中，第一除頻時脈 c1a 之頻率與第二除頻時脈 c2a 之頻率均為輸入延遲時脈 ckdiff 之二分之一倍，由 200MHZ 除頻至 100MHZ。當然，上述除頻架構與倍數僅為示例，本發明不限於此，可利用目前現有或未來發展出之各種電路進行除頻，且除頻之倍數可依據需求任意設計。

【0023】 第 2C 圖顯示第一計算單元 204 之一實施例之示意圖。第一計算單元 204 包含有複數個電晶體 M1、M2、M3、M4，電晶體 M1 接收第一除頻時脈 c1a。電晶體 M2 耦接電

晶體 M1 且接收第一延遲時脈 c1。電晶體 M3 耦接電晶體 M1，且接收第一延遲時脈 c1。電晶體 M4 耦接電晶體 M3 與 M2，且接收輸入時脈 cks。

【0024】 一實施例，電晶體 M1、M2 串聯形成第一路徑 P1、電晶體 M3、M4 串聯形成第二路徑 P2，第一路徑 P1 與第二路徑 P2 並聯以執行下列方程式之運算：

$$ck1=(cl \cdot cla)+(cl \cdot cks) \quad \dots(1)$$

【0025】 依此方式，如第 2E 圖所示，計算單元 204 可依據第一除頻時脈 cla 與第一延遲時脈 c1 之位準決定一第一輸出時脈 ck1 之第一邊緣(正緣)之觸發時間，例如時間點 T1 時，第一除頻時脈 cla 之位準為高位準 1，第一延遲時脈 c1 為高位準 1，因此依據 $(cl \cdot cla)$ 之結果，可觸發第一輸出時脈 ck1 之正緣。

【0026】 另外，計算單元 204 依據輸入時脈 cks 與第一延遲時脈 c1 之位準決定第一輸出時脈之第二邊緣(負緣)之下降時間，例如時間點 T2 時，輸入時脈 cks 之位準為低位準 0，第一延遲時脈 c1 為高位準 1，因此依據 $(cl \cdot cks)$ 之結果，可使第一輸出時脈 ck1 在時間 T2 之準位下降為低準位 0，形成第一輸出時脈 ck1 之負緣。

【0027】 需注意，計算單元 204 可包含有複數個第一路徑 P1 與複數個第二路徑 P2，以提供其他時脈產生裝置之計算用。

【0028】 如第 2D 圖所示，第二計算單元 205 包含有複數個電晶體 M1、M2、M3、M4，電晶體 M1 接收第二除頻時脈 c2a。電晶體 M2 耦接電晶體 M1 且接收第二延遲時脈 c2。電晶體 M3 耦接電晶體 M1，且接收第二延遲時脈 c2。電晶體 M4 耦接電晶體 M3 與 M2，且接收輸入時脈 cks。

【0029】 一實施例，電晶體 M1、M2 串聯形成第一路徑 P1、電晶體 M3、M4 串聯形成第二路徑 P2，第一路徑 P1 與

第二路徑 P2 並聯以執行下列方程式之運算：

$$ck2=(c2 \cdot c2a)+(c2 \cdot cks) \quad \dots(2)$$

【0030】 第二計算單元 205 之輸出時脈 ck2 產生之方式與第一計算單元 204 相同不再重覆贅述細節。

【0031】 請同時參考第 2E 圖與第 3 圖。第 3 圖係顯示第一、第二計算單元 204、205 之相關時脈之示意圖。若以正緣、負緣來說明，則本發明時脈產生裝置 200 中，決定第一輸出時脈 ck1 正緣之第一除頻時脈 cla 與第一延遲時脈 c1 係依據輸入延遲時脈 ckdiff 產生，而第二輸出時脈 ck2 之負緣係由輸入時脈 cks 決定，由於輸入時脈 cks 與輸入延遲時脈 ckdiff 之間具有預設時間 d1 之延遲，所以時脈 cla 與 c1 的邊緣都會落後時脈 cks，因此第一輸出脈 ck1 之正緣與第二輸出時脈 ck2 之負緣不重疊，如第 3 圖之兩個虛線圓圈 A 所示；另一方面，第一輸出時脈 ck1 之負緣係由輸入時脈 cks 決定，而決定第二輸出時脈 ck2 正緣之第二除頻時脈 c2a 與第二延遲時脈 c2 係依據輸入延遲時脈 ckdiff 產生，由於輸入時脈 cks 與輸入延遲時脈 ckdiff 之間具有預設時間 d1 之延遲，所以時脈 c2a 與 c2 的邊緣都會落後時脈 cks，因此第一輸出脈 ck1 負緣與第二輸出時脈 ck2 之正緣不重疊，如第 3 圖之兩個虛線圓圈 B 所示。

【0032】 依此方式，本發明之時脈產生裝置利用第一計算單元 204 與第二計算單元 205 產生第一輸出時脈 ck1 與第二輸出時脈 ck2 之非重疊(non-overlap)之時脈，之後，可將非重疊之輸出時脈 ck1 與 ck2 提供至時間交錯類比數位轉換器(M-channel interleaved analog-to-digital converter (TI-ADC))。本發明之時脈產生裝置利用邏輯電路控制輸出時脈 ck1 與 ck2 結束取樣之邊緣，不會因為取樣時間無法對準造成不匹配問題，亦不需經過如習知技術較長的延遲路徑，可減少傳統時脈產生裝置在產生輸出時脈 ck1 與 ck2 不匹配

路徑的長度，提供準確之非重疊時脈，且解決習知技術訊號路徑過長造成之不匹配問題。

【0033】 需注意，本實施例中，時脈產生裝置係產生兩個非重疊之輸出時脈 CK1 與 CK2，本發明不限於此，時脈產生裝置可產生複數個非重疊時脈，時脈之數目可依據需求任意調整。如第 4 圖所示，時脈產生裝置 200' 之除頻單元 202 產生 M 個除頻時脈 $c1a \sim cMa$ ，利用 M 個延遲單元產生 M 個延遲時脈 $C1 \sim CM$ ，再由 M 個計算單元 204、205...、20M 產生彼此非重疊之輸出時脈 $ck1 \sim ckM$ 。一實施例中，非重疊之輸出時脈 $ck1 \sim ckM$ 可供 M 通道之時間交錯類比數位轉換器使用。

【0034】 第 5 圖顯示本發明一實施例之一種時脈產生方法之流程圖。該方法包含有下列步驟：

【0035】 步驟 S502：開始。

【0036】 步驟 S504：接收一輸入時脈，延遲輸入時脈一預設時間，產生一輸入延遲時脈。

【0037】 步驟 S506：接收輸入延遲時脈，除頻輸入延遲時脈，以產生複數個除頻時脈，且每一除頻時脈之頻率為輸入延遲時脈之一預設倍數。

【0038】 步驟 S508：延遲每一除頻時脈一第二預設時間，以產生複數個輸出延遲 90 度時脈。

【0039】 步驟 S510：依據一除頻時脈與一輸出延遲 90 度時脈之位準決定一輸出時脈之第一邊緣之觸發時間，依據輸入時脈該輸出延遲 90 度時脈之位準決定輸出時脈之第二邊緣之下降時間。其中，複數個輸出時脈不相互重疊。

【0040】 步驟 S512：結束。

【0041】 以上雖以實施例說明本發明，但並不因此限定本發明之範圍，只要不脫離本發明之要旨，該行業者所進行之各種變形或變更，皆落入本發明之申請專利範圍。

【符號說明】

【0042】

200 時脈產生裝置

201、203 延遲單元

202 除頻單元

204、205 計算單元

201a、202b、204a、205a 反相單元

202a、203a 正反器

M1、M2、M3、M4 電晶體

申請專利範圍

1. 一種時脈產生裝置，包含有：
 - 一第一延遲單元，接收一輸入時脈，延遲該輸入時脈一預設時間，產生一輸入延遲時脈；
 - 一除頻單元，接收該輸入延遲時脈，除頻該輸入延遲時脈，以產生一第一除頻時脈與一第二除頻時脈，且該第一除頻時脈之頻率與該第二除頻時脈之頻率均為該輸入延遲時脈之一預設倍數；
 - 一角度延遲單元，延遲該第一除頻時脈一第二預設時間，由該角度延遲單元之第一輸出端產生一第一延遲時脈；以及
 - 一第一計算單元，依據該第一除頻時脈與該第一延遲時脈之位準決定一第一輸出時脈之第一邊緣之觸發時間，依據該輸入時脈與該第一延遲時脈之位準決定該第一輸出時脈之第二邊緣之下降時間。
2. 如申請專利範圍第 1 項所述之時脈產生裝置，其中該角度延遲單元延遲該第一除頻時脈該第二預設時間，由該角度延遲單元之第二輸出端產生一第二延遲時脈，且該時脈產生裝置更包含：
 - 一第二計算單元，依據該第二除頻時脈與該第二延遲時脈之位準決定一第二輸出時脈之第一邊緣之觸發時間，依據該輸入時脈與該第二延遲時脈之位準決定該第一輸出時脈之第二邊緣之下降時間。
3. 如申請專利範圍第 1 或 2 項所述之時脈產生裝置，其中該第一邊緣為正緣、該第二邊緣為負緣。

4. 如申請專利範圍第 1 項所述之時脈產生裝置，其中該預設倍數為二分之一倍。
5. 如申請專利範圍第 1 項所述之時脈產生裝置，其中該第二預設時間為 90 度之週期時間。
6. 如申請專利範圍第 1 項所述之時脈產生裝置，其中該第一輸出時脈與該第二輸出時脈為非重疊(non-overlap)時脈。
7. 如申請專利範圍第 1 項所述之時脈產生裝置，其中該第一計算單元包含有複數個電晶體，一第一電晶體接收該第一除頻時脈、一第二電晶體耦接該第一電晶體且接收該第一延遲時脈、一第三電晶體耦接該第一電晶體且接收該第一延遲時脈、一第四電晶體耦接該第二電晶體與該第三電晶體且接收該輸入時脈。
8. 如申請專利範圍第 7 項所述之時脈產生裝置，其中該第一電晶體與該第二電晶體串聯形成一第一路徑、該第三電晶體與該第四電晶體串聯形成一第二路徑，該第一路徑並聯該第二路徑以執行方程式 $ck1=(cl \cdot cla)+(cl \cdot cks)$ ，其中 $ck1$ 為該第一輸出時脈、 cla 為該第一除頻時脈、 cl 為該第一延遲時脈。
9. 如申請專利範圍第 1 項所述之時脈產生裝置，其中該第二計算單元包含有複數個電晶體，一第一電晶體接收該第二除頻時脈、一第二電晶體耦接該第一電晶體且接收該第二

延遲時脈、一第三電晶體耦接該第一電晶體且接收該第二延遲時脈、一第四電晶體耦接該第二電晶體與該第三電晶體且接收該輸入時脈。

10. 如申請專利範圍第 9 項所述之時脈產生裝置，其中該第一電晶體與該第二電晶體串聯形成一第一路徑、該第三電晶體與該第四電晶體串聯形成一第二路徑，該第一路徑並聯該第二路徑以執行方程式 $ck_2=(c_2 \cdot c_{2a})+(c_2 \cdot c_{ks})$ ，其中 ck_2 為該第二輸出時脈、 c_{2a} 為該第二除頻時脈、 c_2 為該第二延遲時脈。
11. 一種時脈產生裝置，包含有：
 - 一第一延遲單元，接收一輸入時脈，延遲該輸入時脈一預設時間，產生一輸入延遲時脈；
 - 一除頻單元，接收該輸入延遲時脈，除頻該輸入延遲時脈，以產生複數個除頻時脈，且每一該除頻時脈之頻率為該輸入延遲時脈之一預設倍數；
 - 一角度延遲單元，延遲每一該除頻時脈一第二預設時間，以產生複數個輸出延遲時脈；以及
 - 複數個計算單元，每一該計算單元依據一該除頻時脈與一該輸出延遲時脈之位準決定一輸出時脈之第一邊緣之觸發時間，依據該輸入時脈與該輸出延遲時脈之位準決定該輸出時脈之第二邊緣之下降時間；其中，該複數個計算單元產生之該複數個輸出時脈不相互重疊。

12. 如申請專利範圍第 11 項所述之時脈產生裝置，其中該複數個輸出時脈係供複數個通道之時間交錯類比數位轉換器使用。
13. 如申請專利範圍第 11 項所述之時脈產生裝置，其中該計算單元包含有複數個電晶體，一第一電晶體接收該除頻時脈、一第二電晶體耦接該第一電晶體且接收該輸出延遲時脈、一第三電晶體耦接該第一電晶體且接收該輸出延遲時脈、一第四電晶體耦接該第二電晶體與該第三電晶體且接收該輸入時脈。
14. 如申請專利範圍第 13 項所述之時脈產生裝置，其中該第一電晶體與該第二電晶體串聯形成一第一路徑、該第三電晶體與該第四電晶體串聯形成一第二路徑，該第一路徑並聯該第二路徑以執行方程式 $ck=(c \cdot ca)+(c \cdot cks)$ ，其中 ck 為該輸出時脈、 ca 為該除頻時脈、 c 為該輸出延遲時脈。
15. 如申請專利範圍第 11 項所述之時脈產生裝置，其中該第二預設時間為 90 度之週期時間。
16. 一種時脈產生方法，包含有：
接收一輸入時脈，延遲該輸入時脈一預設時間，產生一輸入延遲時脈；
接收該輸入延遲時脈，除頻該輸入延遲時脈，以產生複數個除頻時脈，且每一該除頻時脈之頻率為該輸入延遲時脈之一預設

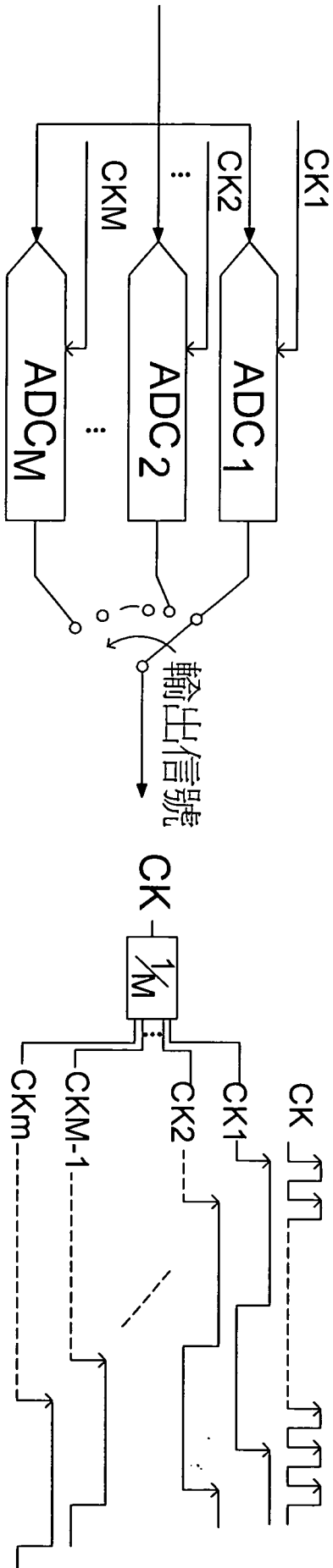
倍數；

延遲每一該除頻時脈一第二預設時間，以產生複數個輸出延遲角度時脈；以及

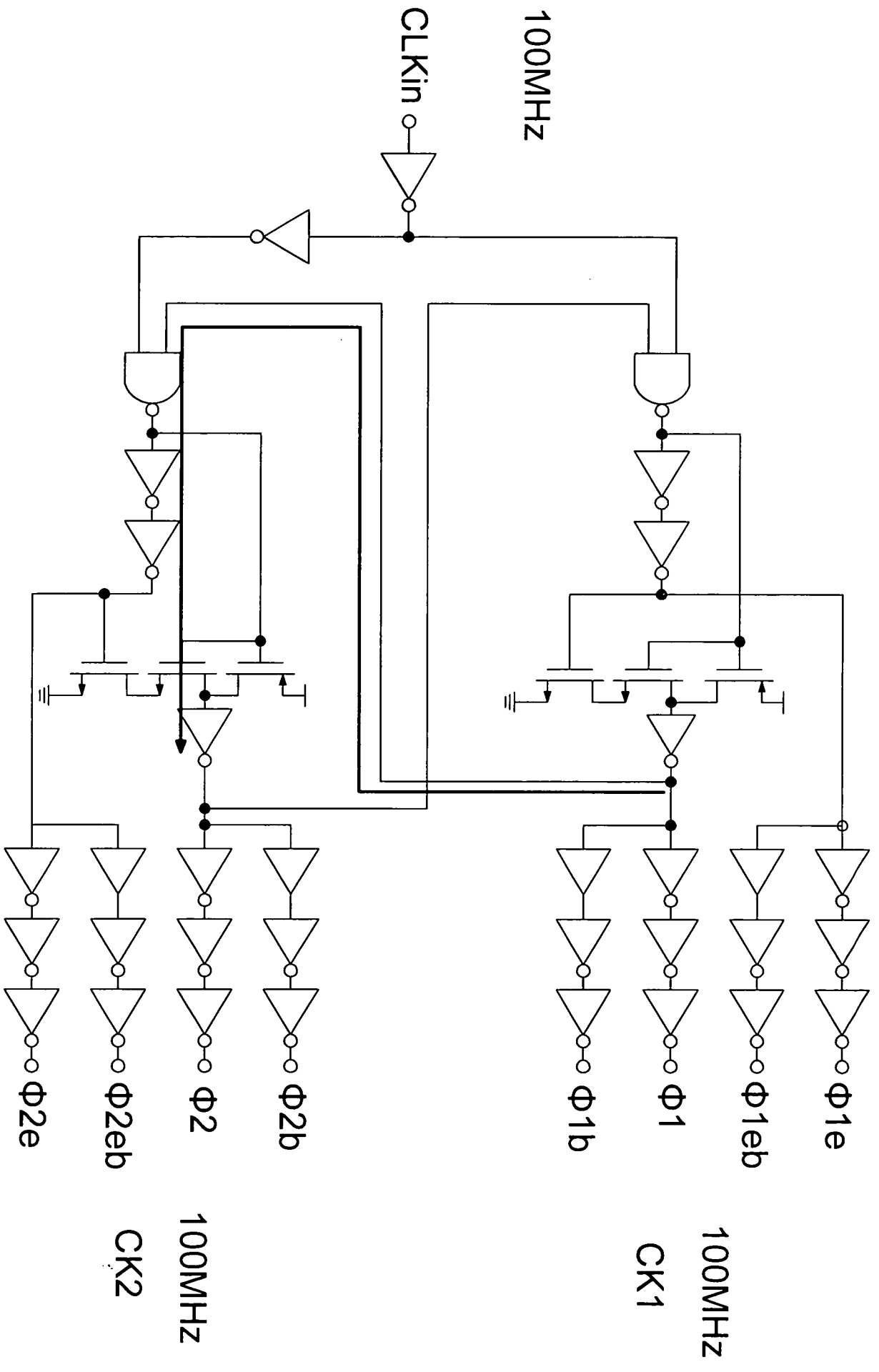
依據一該除頻時脈與一該輸出延遲角度時脈之位準決定一輸出時脈之第一邊緣之觸發時間，依據該輸入時脈與該輸出延遲角度時脈之位準決定該輸出時脈之第二邊緣之下降時間；以及

其中，該複數個輸出時脈不相互重疊。

17. 如申請專利範圍第 16 項所述之時脈產生方法，其中該輸出延遲角度時脈之延遲角度為 90 度。

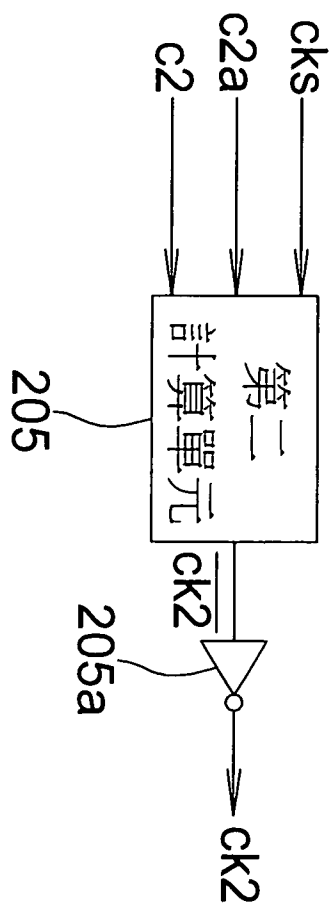
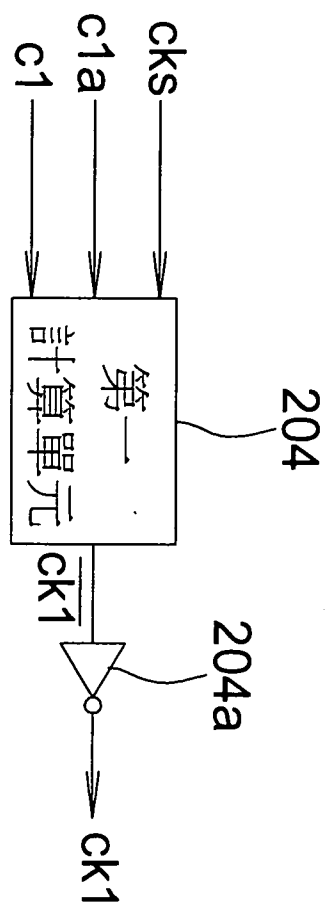
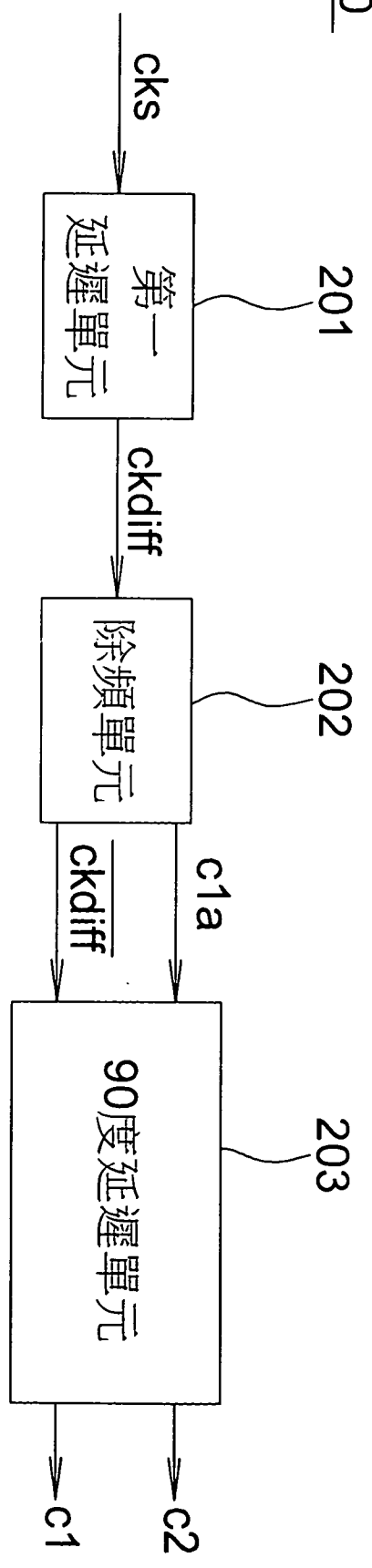


第 1A 圖

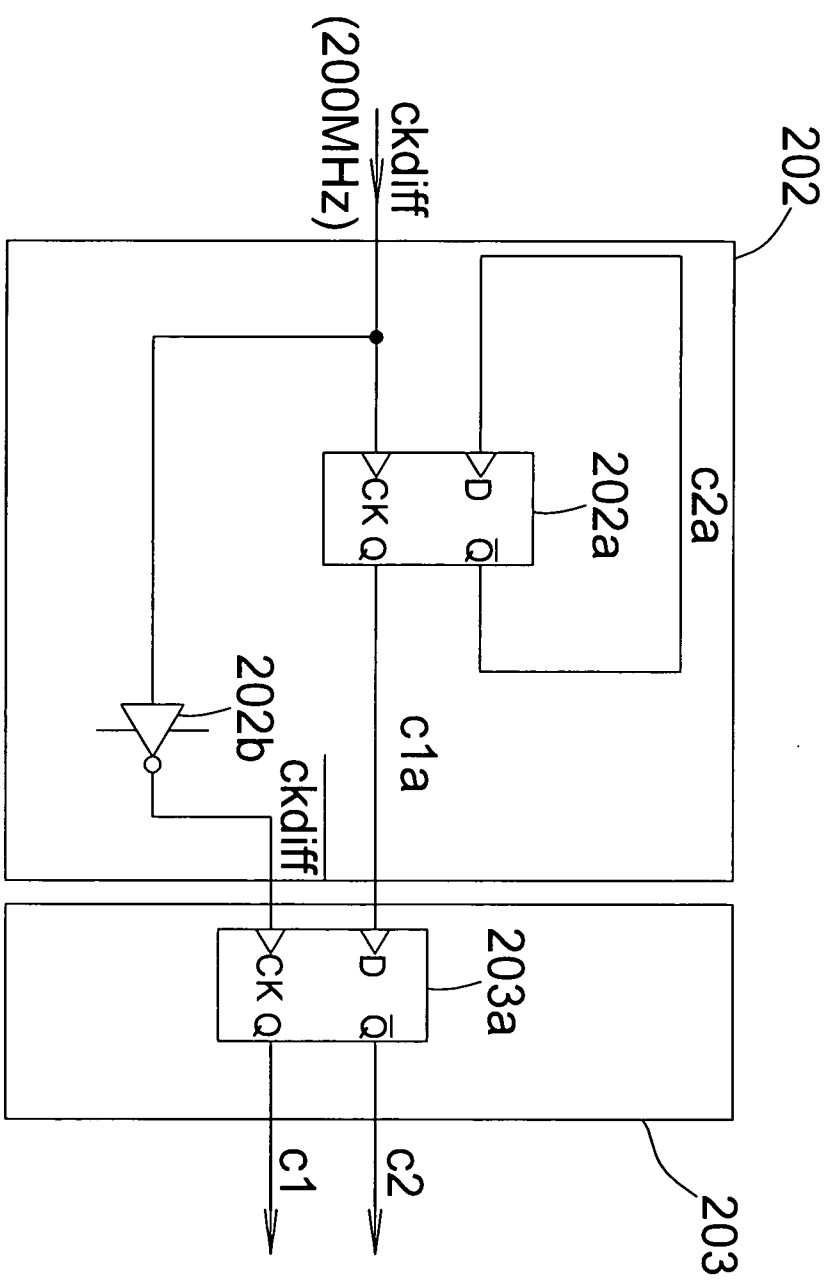
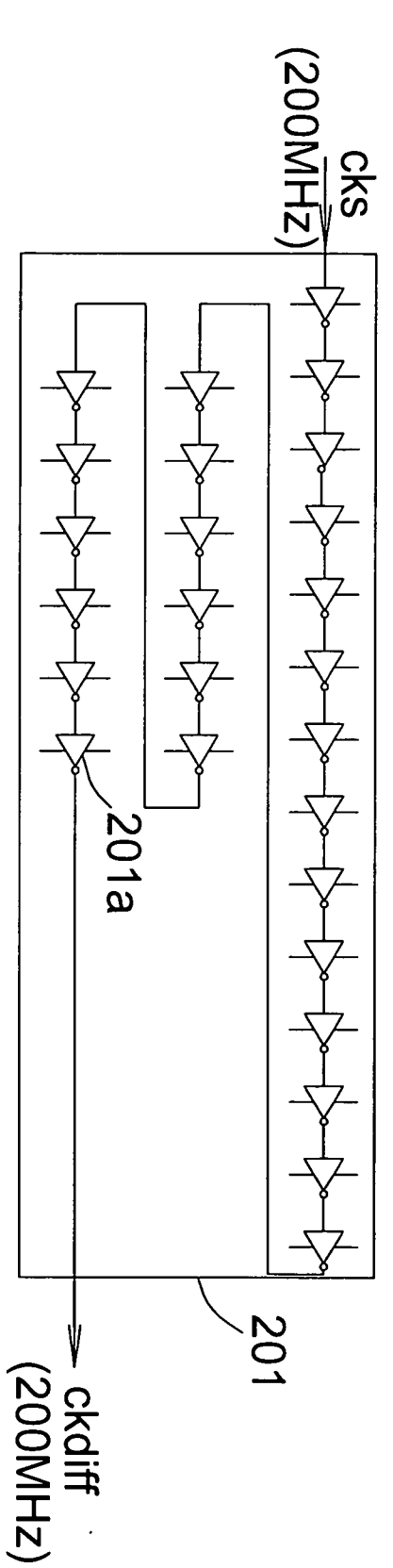


● 第 1B 圖 ●

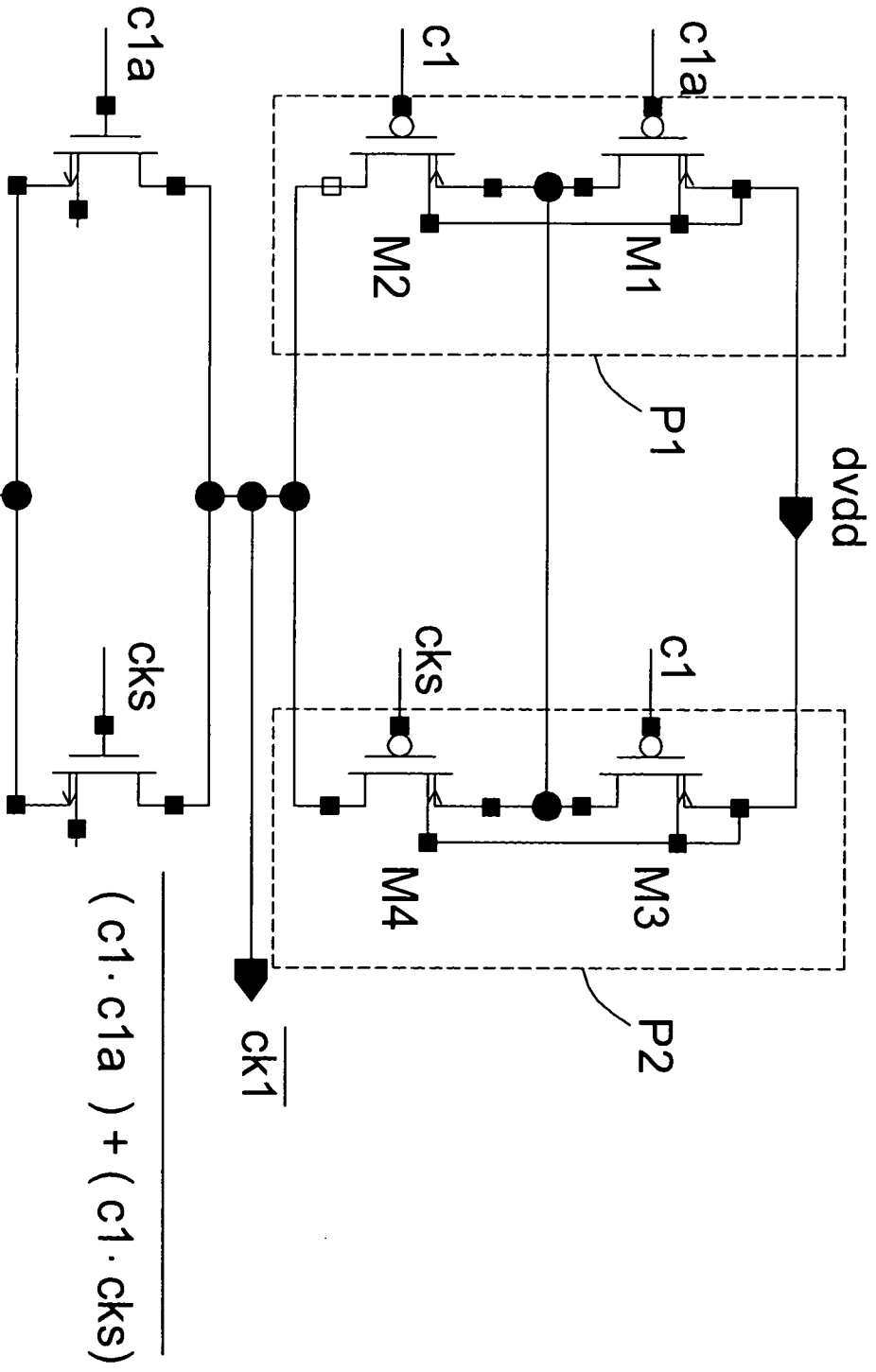
200



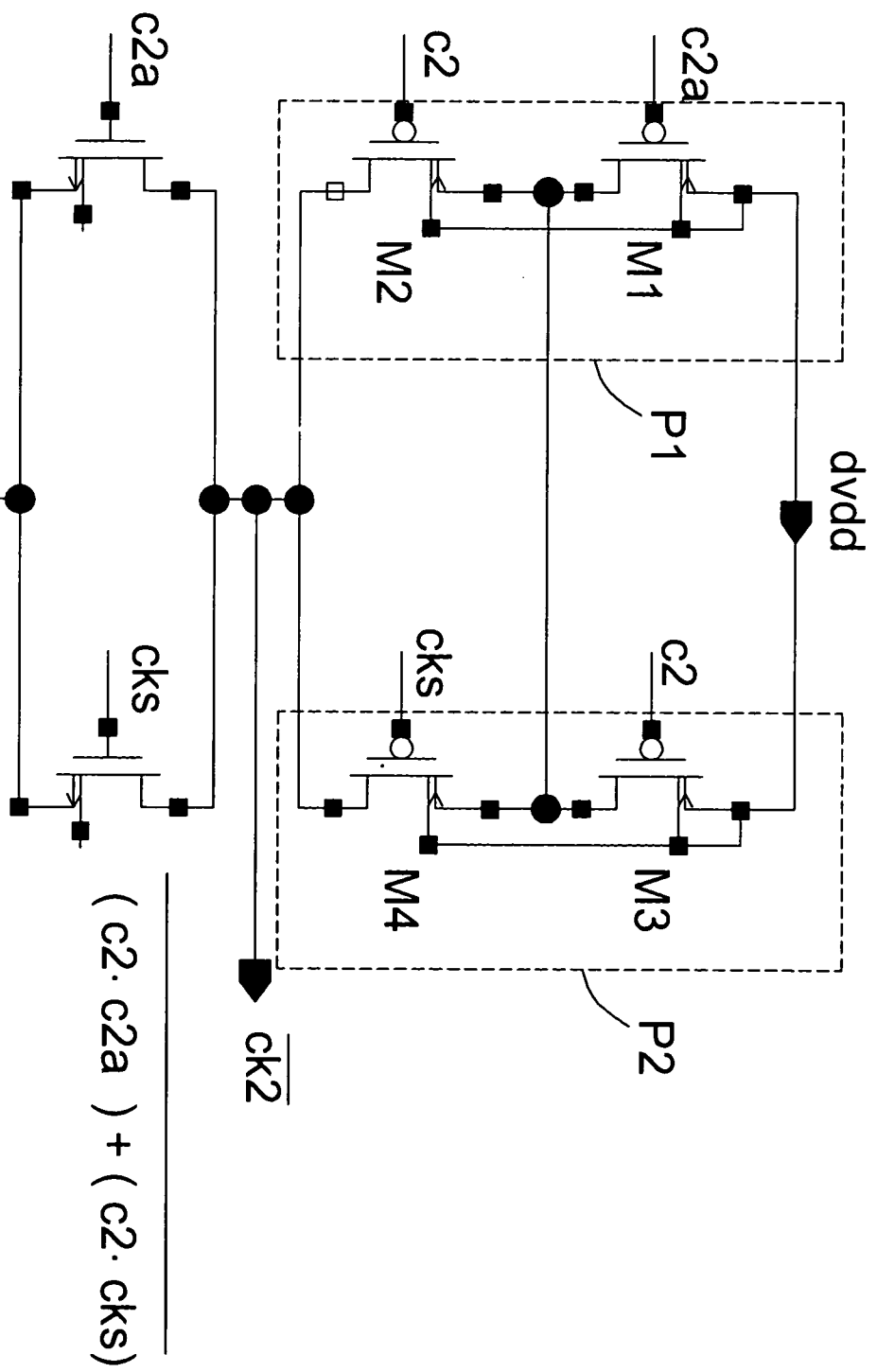
第 2A 圖



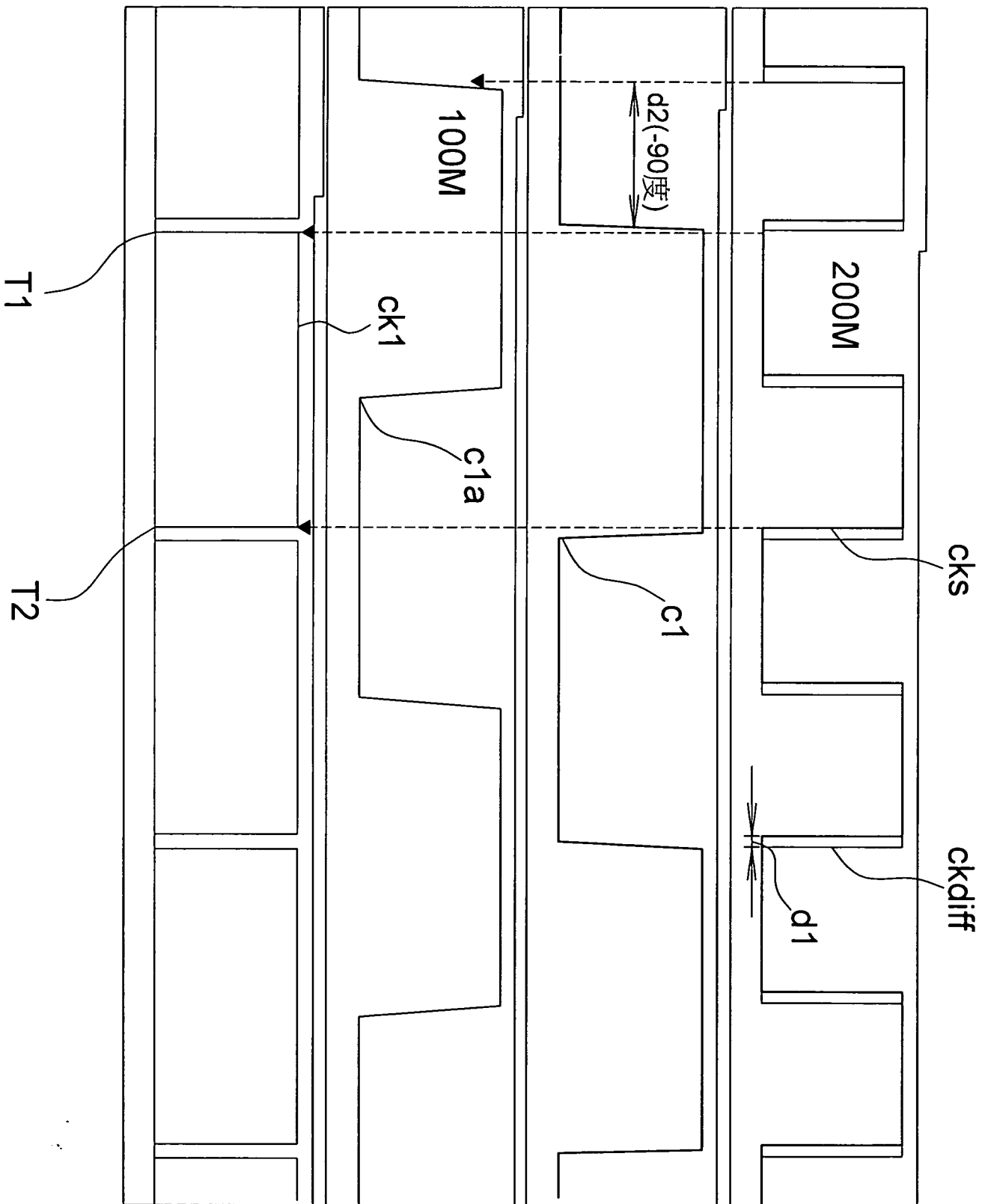
第 2B 圖



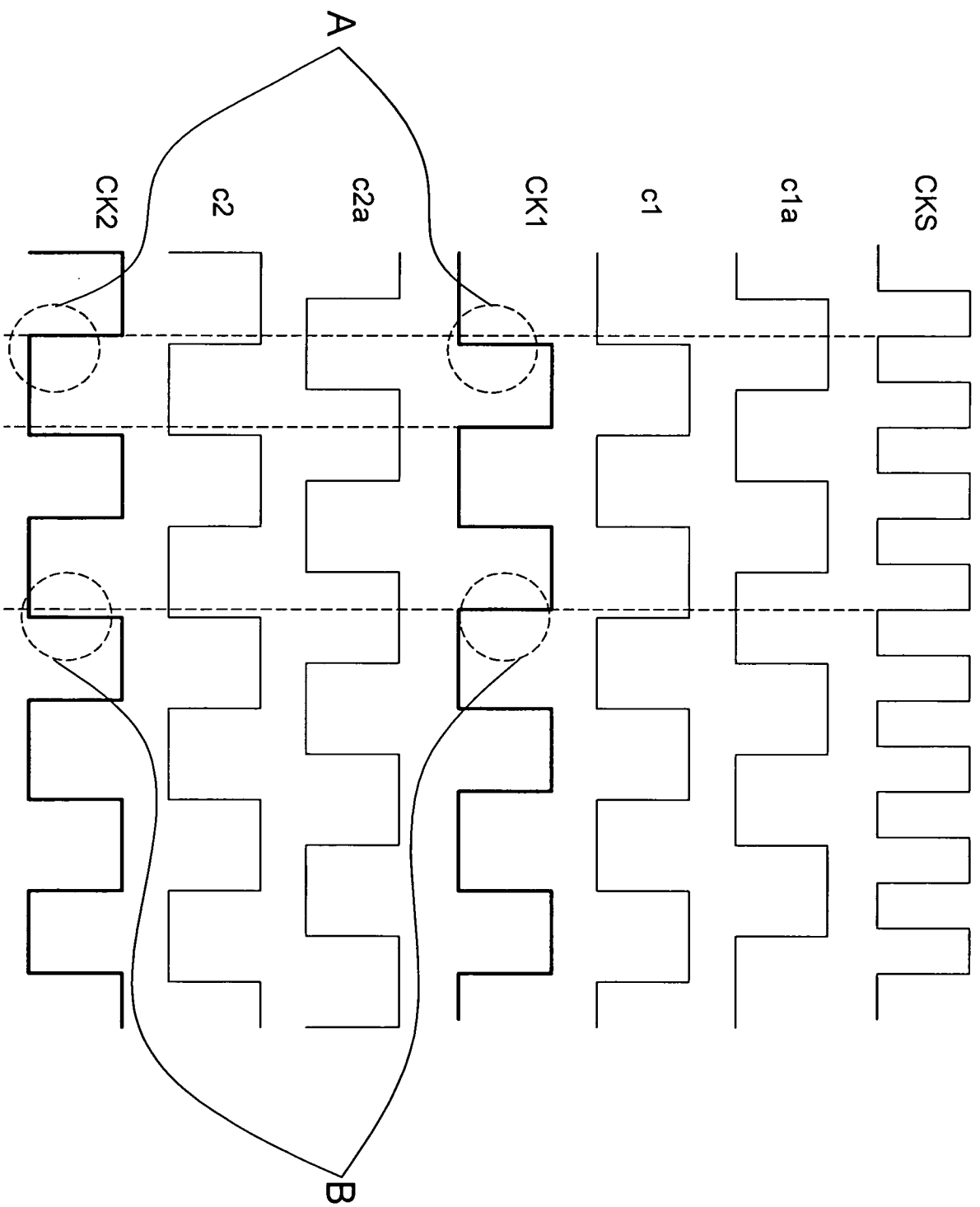
第 2C 圖



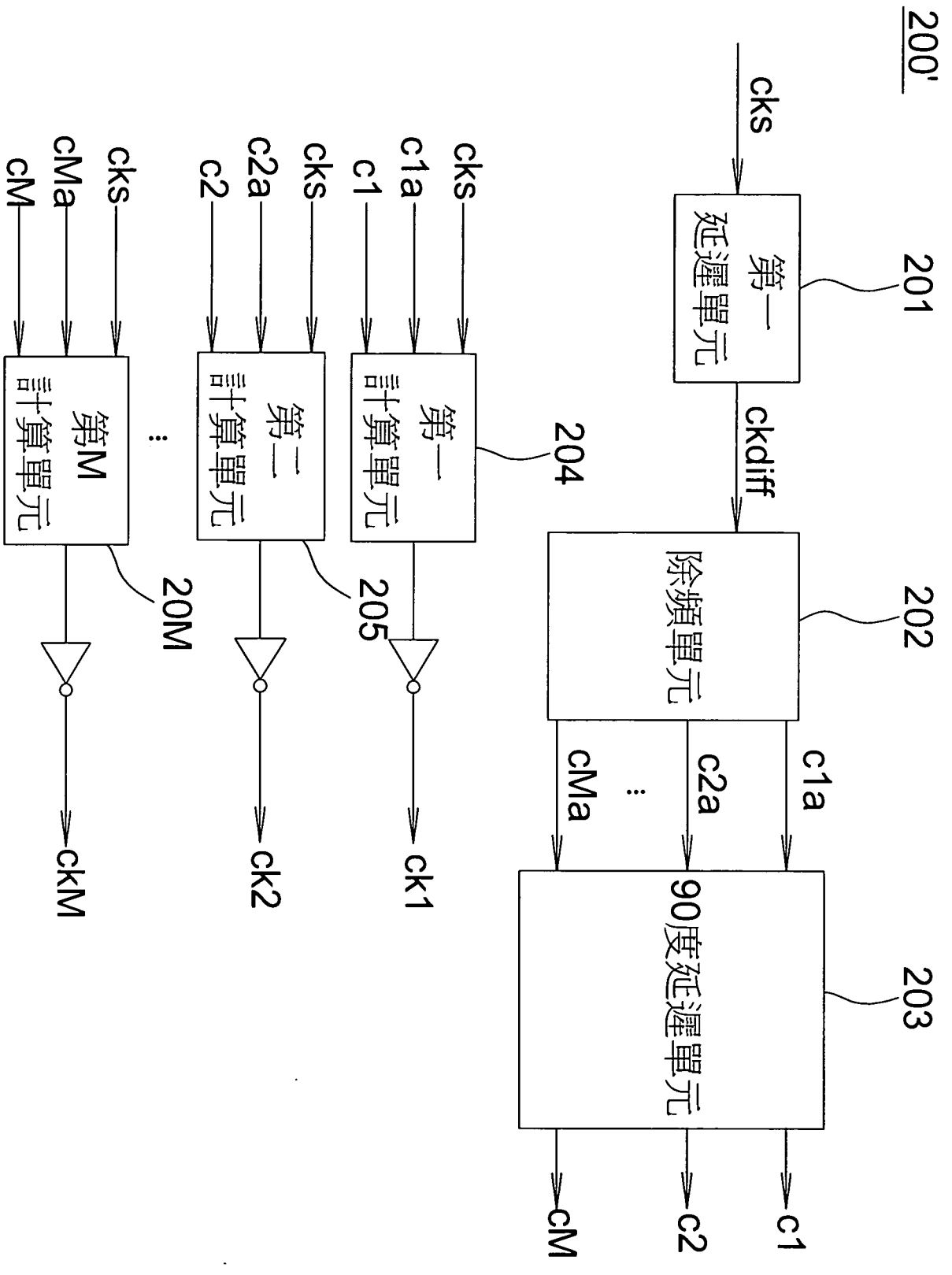
第 2D 圖



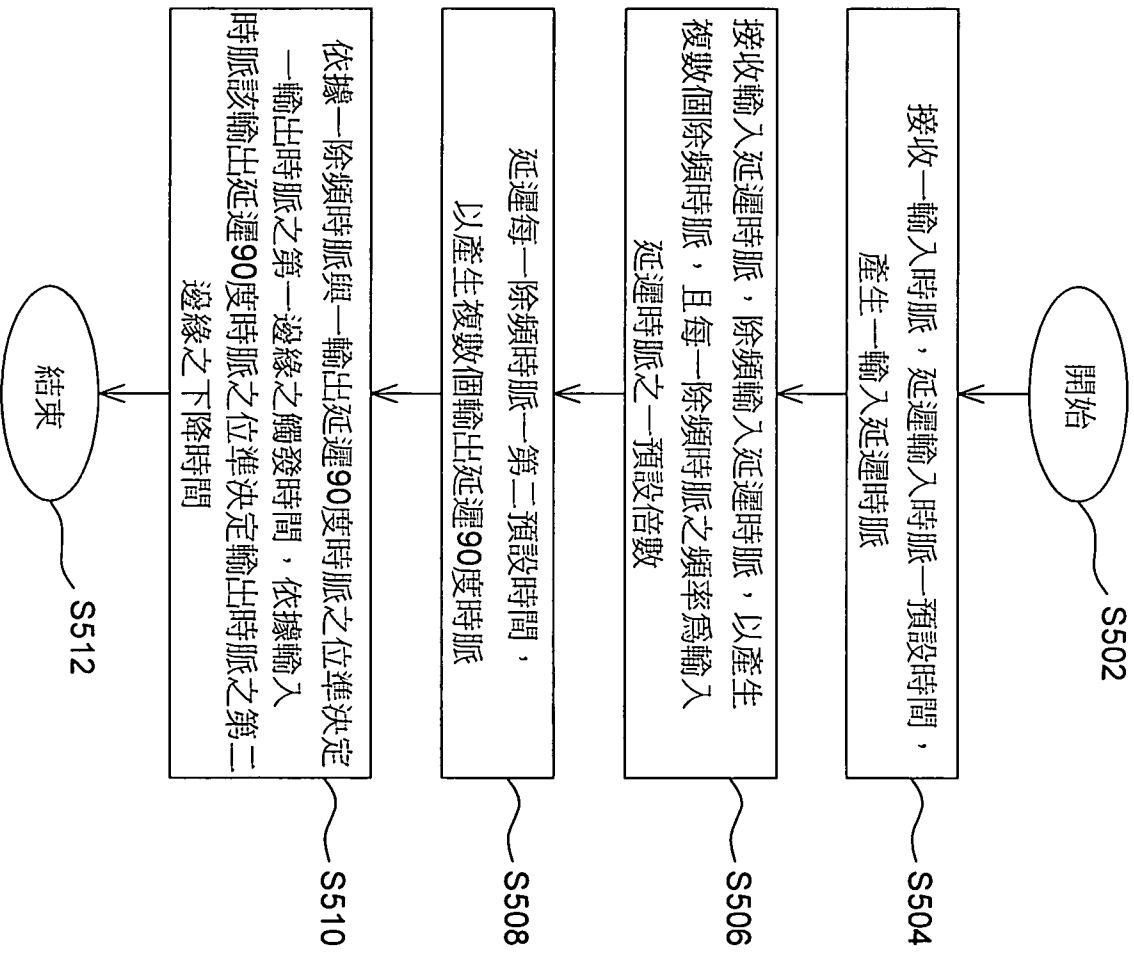
● 第 2E 圖 ●



第 3 圖



第 4 圖



第 5 圖