

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4709442号
(P4709442)

(45) 発行日 平成23年6月22日(2011.6.22)

(24) 登録日 平成23年3月25日(2011.3.25)

(51) Int.Cl.	F I
G02F 1/1368 (2006.01)	G02F 1/1368
G09F 9/00 (2006.01)	G09F 9/00 338
G09F 9/30 (2006.01)	G09F 9/00 342Z
G09F 9/35 (2006.01)	G09F 9/30 338
H01L 29/786 (2006.01)	G09F 9/35

請求項の数 3 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2001-257127 (P2001-257127)	(73) 特許権者	502356528
(22) 出願日	平成13年8月28日(2001.8.28)		株式会社 日立ディスプレイズ
(65) 公開番号	特開2003-69030 (P2003-69030A)		千葉県茂原市早野3300番地
(43) 公開日	平成15年3月7日(2003.3.7)	(73) 特許権者	506087819
審査請求日	平成17年2月16日(2005.2.16)		パナソニック液晶ディスプレイ株式会社
審判番号	不服2008-14620 (P2008-14620/J1)		兵庫県姫路市飾磨区妻鹿日田町1-6
審判請求日	平成20年6月11日(2008.6.11)	(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	堀越 和彦
			神奈川県横浜市戸塚区吉田町292番地
			株式会社日立製作所生産技術研究所内
		(72) 発明者	尾形 潔
			神奈川県横浜市戸塚区吉田町292番地
			株式会社日立製作所生産技術研究所内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタの製造方法であって、

(1) 無アニールガラス基板の上方に非晶質シリコン層を形成する工程と、

(2) 前記非晶質シリコン層にイオン注入装置を用いて3b族の元素または5b族の元素を注入する工程と、

(3) 前記3b族の元素または前記5b族の元素が注入された前記非晶質シリコン層にレーザ光を照射して、これを多結晶シリコン層に変える工程と、

(4) 前記無アニールガラス基板の上方に形成され前記3b族の元素または前記5b族の元素が注入された前記多結晶シリコン層の表面を少なくともオゾンを含む雰囲気中で500以下で酸化させることにより、第1の絶縁層を4~20nmの厚さで形成する工程と、

(5) 前記第1の絶縁層の上に第2の絶縁層を形成する工程と、

(6) 前記第2の絶縁層の上にゲート領域を形成する工程と、

(7) 前記ゲート領域をマスクとして、イオン注入法によりソース領域及びドレイン領域に3b族の元素または5b族の元素を注入する工程と、

(8) 前記ゲート領域を覆うようにして層間絶縁層を形成した後、前記ソース領域、前記ドレイン領域、及び前記ゲート領域のいずれかに電氣的に接続される電極を夫々形成する工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項2】

薄膜トランジスタの製造方法であって、

- (1) 無アニールガラス基板の上方に非晶質シリコン層を形成する工程と、
- (2) 前記非晶質シリコン層にレーザ光を照射して、これを多結晶シリコン層に変える工程と、
- (3) 前記多結晶シリコン層にイオン注入装置を用いて3 b 族の元素または5 b 族の元素を注入する工程と、
- (4) 前記無アニールガラス基板の上方に形成され前記3 b 族の元素または前記5 b 族の元素が注入された前記多結晶シリコン層の表面を少なくともオゾンを含む雰囲気中にて500 以下の温度で酸化させることにより、第1の絶縁層を4 ~ 20 nmの厚さで形成する工程と、
- (5) 前記第1の絶縁層の上に第2の絶縁層を形成する工程と、
- (6) 前記第2の絶縁層の上にゲート領域を形成する工程と、
- (7) 前記ゲート領域をマスクとして、イオン注入法によりソース領域及びドレイン領域に3 b 族の元素または5 b 族の元素を注入する工程と、
- (8) 前記ゲート領域を覆うようにして層間絶縁層を形成した後、前記ソース領域、前記ドレイン領域、及び前記ゲート領域のいずれかに電気的に接続される電極を夫々形成する工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

10

【請求項3】

前記3 b 族の元素がボロン(B)，前記5 b 族の元素がリン(P)であること
を特徴とする請求項1又は請求項2に記載の薄膜トランジスタの製造方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に用いられる薄膜トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】

近年、ノートパソコンや携帯機器等の表示装置として用いられる液晶ディスプレイにおいて、その駆動方式は単純マトリクス方式からアクティブマトリクス方式へと進み、特に、ガラス基板上に多くの薄膜トランジスタ(以下、TFT:Thin Film Transistor)を形成したTFTアクティブマトリクス駆動方式が主流になりつつある。TFT駆動方式の中で、多結晶シリコン層を用いたTFTは非晶質シリコン層の場合と比較して電子移動度が大きいため、表示用画素部のトランジスタとしてばかりでなく、駆動用トランジスタとしてガラス基板上に作り込むことが可能である。

30

【0003】

従来、多結晶シリコンの形成には1000 程度の高温を必要とするため、基板には高価な石英ガラス基板の使用が必須であった。最近では約600 のプロセス温度で多結晶シリコンを形成できる技術開発が進み、石英基板以外のガラス素材が使用可能となった。この方法では、ガラス基板上に形成されたアモルファスシリコン膜へのレーザ照射等により、基板温度を上昇させることなく、アモルファスシリコン膜のみを加熱し結晶化させることができる。

40

【0004】

一方、単結晶シリコン基板を用いた集積回路素子においてはシリコンの熱酸化膜(膜厚、数nm~数10nm)がゲート絶縁膜として使用されている。しかしながら、このシリコンの熱酸化膜の形成には約1000 の熱処理が必要であって、このプロセスを上記した600 以下のプロセス温度を必要条件とする多結晶ポリシリコンTFTの製造プロセスには利用できない。

【0005】

TFTの製造プロセスでは、通常、TEOS(Tetraethoxysilane)を原料として、プラズマCVD法等により形成されたSiO₂膜(膜厚:約100nm)をゲート絶縁膜としている。しかしながら、このプラズマCVD法によるSiO₂膜は界面

50

準位密度が大きい。従ってその膜をゲート絶縁膜として用いた場合には、しきい値電圧の変動等に見られるようなTFT特性の著しい性能低下をもたらすことになる。更にまた、TFTの耐圧が経時的に激しく劣化をもたらし、その結果としてTFTの絶縁破壊を起こすこともある。従って、TFT用ゲート絶縁膜とシリコン層との界面には、シリコンの熱酸化によって形成させた熱酸化膜に匹敵する界面準位密度の小さな酸化膜の形成が望まれる。

上記した課題に対して、例えば特開平8-195494号公報によれば、通常の高耐熱ガラス基板を用い、600以下のプロセス温度で多結晶シリコンTFTの製造方法が開示されている。

【0006】

【発明が解決しようとする課題】

上記した特開平8-195494号公報によれば、多結晶シリコン層の形成は約600の温度で行われるため、使用可能なガラス基板として事前に熱処理を施した、所謂アニールガラス基板に限定される。従って、アニールガラス基板の代わりに無アニールガラス基板を使用した場合には、約600という温度条件がガラス基板の収縮を引き起こし、このことがガラス基板の反りや歪を発生させ、最悪の場合にはガラス基板自身の割れや膜剥離等の不都合を齎すことになる。

【0007】

一般に、ガラスの歪点が高いほど熱的安定性は高くなるが、ガラス基板製造工程において熔融、成形、加工が困難となり、製造コストが高くなる。したがって、コストを抑えるためには歪点が低く、安価なガラスの使用を可能にする製造方法が必須である。

【0008】

通常、薄膜トランジスタの基板として用いられる無アルカリガラス基板の歪点は約600であり、歪点よりやや低い温度以上の熱履歴により、ガラスのコンパクション（熱収縮）は急激に大きくなる。例えば、無アニールのコーニング社製のコーニング7059F（歪点593）は、600、1時間、冷却速度1/分の熱履歴により約800ppmのコンパクションがある。また歪点の高いコーニング1735F（歪点665）の場合、上記と同様の熱履歴が加わると173ppmのコンパクションを示す。そして、予め660/1hrのアニール処理を行うことにより、同様の熱履歴によるコンパクションを約10ppmまで低下させることが可能とされている。

【0009】

多結晶TFTパネル用の基板には、通常20ppm以下の熱収縮率が要求されるため、これまではアニールガラス基板の使用が必須とされてきた。従って、プロセス温度の上限を単純に無アニールガラス基板の収縮が無視できる程度の温度、例えば450~500に下げた場合、以下に述べる問題が発生する。

【0010】

即ち、多結晶シリコン層の上に形成されるゲート絶縁層として、一般的にはTEOSを原料ガスとしてプラズマCVD（Chemical Vapor Deposition）法等を用いてSiO₂膜を約100nmの厚さで形成する。しかしながら、多結晶シリコン層とTEOSからなる絶縁層との界面においては界面準位密度が大きいため、TFTとしてのしきい値電圧が変動し易く、またゲート絶縁層としての絶縁耐圧特性が経時的に著しく劣化する等、TFTの信頼性において大きな問題が存在する。

従って、無アニールガラス基板の使用を前提とした場合、プロセス温度の上限を450~500程度とし、かつ多結晶シリコン層とゲート絶縁層との界面準位密度を熱酸化法によるシリコン酸化層に準ずる程度に低減する工夫が重要である。

【0011】

上記した課題に対して本発明は、無アニールガラス基板を使用してもコンパクションが問題にならないプロセス温度で高信頼度を有する多結晶シリコン薄膜トランジスタを形成することを目的とする。

【0012】

10

20

30

40

50

尚、本発明において、ガラス基板を600℃、1時間の熱処理後、1℃/分で冷却した場合、そのコンパクションが30ppm以上であるガラス基板を無アニールガラス基板と定義した。

【0013】

【課題を解決するための手段】

上記した目的を達成するために、本発明では無アニールガラス基板の上方にチャンネル領域とソース領域とドレイン領域とを形成するためのポリシリコン結晶層と、第1の絶縁層と第2の絶縁層とを形成する。そして、チャンネル領域に対応する位置であって第2の絶縁層の上にゲート領域を、またゲート領域、ソース領域、ドレイン領域の各領域と電気的な接続を行なうためのゲート電極、ソース電極、ドレイン電極とを形成した。

10

【0014】

この時、第1の絶縁層が3b族の元素（例えばボロン（B））または5b族の元素（例えばリン（P））がドーピングされているチャンネル領域の多結晶シリコン表面を500℃以下の温度で酸化させてなるシリコン酸化層であって、少なくともチャンネル領域の表面を覆うようにして形成されており、かつその膜厚が4nm以上20nm以下であるようにした。

【0015】

また本発明は、少なくともオゾンを含む雰囲気の中で多結晶シリコン層の表面を酸化させることにより、第1の絶縁層であるシリコン酸化層を形成するようにした。

そして本発明は、上記した第1の絶縁層の上方に配設された第2の絶縁層が少なくとも化学堆積法、物理堆積法、またはスピン塗布法を用いて形成した。

20

【0016】

上記したように、オゾン雰囲気中で、3b族の元素または5b族の元素をドーピングした多結晶シリコン層の表面を酸化させることによって、従来よりも厚いシリコン酸化層を高速に形成することができる。また多結晶シリコン表面を酸化することにより、多結晶シリコン層とシリコン酸化層との界面を良好な状態に保つことが出来る。しかも、従来より低いプロセス温度でシリコン酸化膜の形成を行なうことが可能であるので、比較的安価な無アニールガラスを基板として使用することが出来る。

換言すれば、上記した方法によって作製された薄膜トランジスタは、シリコン多結晶からなるチャンネル領域の表面とその上に形成されたゲート絶縁層との界面が良好であるため、そこでの界面準位密度に密接に関係する薄膜トランジスタの特性、例えばしきい値電圧の変動を低減することが可能になるため、その結果として優れたTFT特性を発揮することが出来る。そして、基板として無アニールガラス基板の使用が可能であるため、石英ガラス等に比較して大きな面積に、しかも安価にTFTを作製することが可能となる。

30

【0017】

なお本発明のTFTと類似の構造を持つ公知例として、特開2000-164885号公報にはガラス基板等からのNaイオンの拡散防止を目的に、リンもしくはボロンを含むゲート絶縁層をスパッタリングにより形成した絶縁ゲート型半導体装置、およびその製造方法が開示されている。しかしながら、上記した公報に記載された構成では、ゲート絶縁膜の形成方法として堆積法（スパッタリング）を用いているためにゲート絶縁層/半導体の界面からホットキャリアが注入されやすく経時劣化を引き起こす。

40

【0018】

また、特開平10-261801号公報にはガラス基板等からのNaイオンの拡散防止を目的に、ゲート絶縁膜がリンもしくはボロンを含有する酸化シリコン膜からなる薄膜トランジスタ装置が開示されている。しかしながら、上記した公報に記載のゲート絶縁膜は堆積法（CVD）を用いて形成されるため、前述の特開2000-164885号公報の場合と同様にゲート絶縁層/半導体界面のホットキャリアによる劣化が問題となる。

【0019】

本発明では、シリコン多結晶からなるチャンネル領域の上に形成する絶縁膜を上記した堆積法とは異なる方法、即ち、ポリシリコン膜の表面を酸化することによりSiO₂を形成するため、SiO₂/p-Si界面に不純物等による準位が少なく、かつ経時劣化の小さい

50

薄膜トランジスタを形成することができる。

【0020】

【発明の実施の形態】

以下、本発明の実施例を、図面を用いて詳細に説明する。

図1は第1の実施例である薄膜トランジスタの要部断面を表わす構造図である。無アニールガラス基板1上に形成された拡散防止層2上に、多結晶シリコン層からなるソース領域8、ドレイン領域9、チャンネル領域12が形成されている。そして、チャンネル領域12上には、3b族元素または5b族元素、具体的には例えば3b族元素であるボロン(B)または5b族元素であるリン(P)がドーパされた多結晶シリコン層を酸化して形成されたSiO₂層6aが形成され、更に堆積法により形成された絶縁層6bとからなるゲート絶縁層6が配されている。

10

【0021】

ゲート絶縁層6の上部にはチャンネル領域12に対応する位置にゲート領域7が形成され、このゲート領域7の表面の一部を覆うようにして層間絶縁層10が形成されている。そして、この層間絶縁層10に設けられた開口部を介してソース領域8、ドレイン領域9及びゲート領域7が各々の電極11によって電氣的に接続されている。

【0022】

次に、上記の図1に示した構造の製造方法を、図2に示したプロセスフローを用いて説明する。

先ず、無アニールガラス基板1上に、通常のパラズマCVD(Chemical Vapor Deposition)法を用いてSiN膜またはSiO₂膜からなる拡散防止層2(膜厚50~200nm)を形成する。その目的は無アニールガラス基板に含まれる不純物、例えばナトリウムイオンが後述する基板上に形成した薄膜トランジスタに拡散して悪影響を及ぼすことを防止するためである。その後、続けてモノシランまたはジシランを原料とし処理温度300~500の条件でパラズマCVD法を用いてアモルファスシリコン膜3(膜厚50nm)を形成する(図2(a))。

20

【0023】

次に、アモルファスシリコン膜3の表面に3b族元素であるボロン(B)イオン13を加速電圧:0.5~100keV、ドーズ量:1E10~1E16/cm²の条件でイオン打ち込みを行う(図2(b))。このイオン打ち込みにより、少なくとも後にチャンネルとなるゲート直下の多結晶シリコン層にボロンが打ち込まれる。また、拡散防止層2にもボロン(B)が一部打ち込まれることにより、ガラス基板からナトリウムイオン等が素子中に拡散するのを防止する効果が高めることができる。ボロンを打ち込む際の加速電圧およびドーズ量はTFT特性を低下させずに酸化促進効果を得られる範囲を選択すればよい。このとき、打ち込まれたボロンはアモルファスシリコン膜3の表面から深さ方向に濃度分布を形成する。従って、ボロンのピーク濃度は表面から1~20nm程度の深さに位置させることが好ましい。そして、そのピーク濃度は1E18~1E21/cm³程度が好ましい。この理由は、後の工程でシリコン表面を酸化する際、酸化速度の増速効果を得るのに適当な値だからである。

30

【0024】

その後、アモルファスシリコン膜3の表面にエキシマレーザー光5を照射し、アモルファスシリコン膜3の一部または全部を結晶化させて多結晶シリコン層4を形成する(図2(c))。エキシマレーザー光5の照射条件は、例えば300~600mJ/cm²で、パルス光による10~20回の照射を行っている。このとき、エキシマレーザー光5はアモルファスシリコン膜3に吸収され、そして加熱及び結晶化が行なわれるので、このエキシマレーザー光5の照射によって無アニールガラス基板1全体が500以上に加熱されることはない。図2(c)では便宜上、ガラス基板1の全面にレーザー光が照射されているかのごとく図示しているが、実際には短冊状に集光させたエキシマレーザー光5を走査させるようにして照射されている。

40

【0025】

50

次に、ボロン（B）がドーブされた多結晶シリコン層4に450～500，大気圧下で，50～100g/m³（約2～5%）のオゾンガスを0.1～1SLM/cm²供給し，その表面を酸化させ、第1の絶縁膜であるシリコン酸化層6a（第1の絶縁層）を形成する。ここで後述するが、第1の絶縁層の膜厚は少なくとも4nm以上が必要である。そして更に、CVD等の堆積法を用いて約50～100nmのシリコン酸化層6b（第2の絶縁層）を形成し、膜厚が合計約50～100nmのゲート絶縁層6を形成する（図2（d））。

【0026】

そして、ゲート絶縁層6上に通常良く知られた方法を用いてゲート領域7を形成し、所望の形状に加工する（図2（e））。ゲート領域の材料としては、不純物ドーブシリコン膜、金属、金属化合物（TiN、TiW等）等の導電性の材料を用いる。

10

【0027】

次に、加工されたゲート領域7をマスクとして、多結晶シリコン層4に5b族元素であるリン（P）イオンの打ち込みを行い、ソース領域8、ドレイン領域9を形成した。多結晶シリコン層4にリンイオンを打ち込むときの条件は、加速電圧1～100keV，ドーズ量：1E10～1E16/cm²である。その後、打ち込んだリンイオンを活性化させるため、多結晶シリコン層4のRTA（Rapid Thermal Annealing）処理を行った。このときの条件は1～50kW/cm²，1～5sである。尚、このRTA処理においても多結晶シリコン層4のみが加熱されるため、下地の無アニールガラス基板全体の温度が少なくとも550以上上昇することはない。

20

【0028】

次に、図2（e）に示すゲート領域7の表面を覆うようにしてゲート絶縁膜6の上に、TEOSを原料とし処理温度300～500でプラズマCVD法により形成したSiO₂からなる層間絶縁層10を通常の方法を用いて形成した。そして、この層間絶縁層10の所定の位置にゲート領域7、ソース領域8、ドレイン領域9と電気的接続を行うための開口部を形成し、この開口部を介してゲート領域7、ソース領域8、ドレイン領域9と接続した各電極11を形成し、図1に示した薄膜トランジスタが完成する。

【0029】

ところで、図2（d）に示した第1の絶縁膜の膜厚について説明する。図3は熱酸化膜/TEOSの2層ゲート絶縁膜構造であるMOSトランジスタにおける熱酸化膜（第1の絶縁膜）の膜厚とフラットバンド電圧との関係を示したものである。この図から明らかなように、熱酸化膜厚が4nm未満の場合にはMOSトランジスタにおけるフラットバンド電圧が低下してしまう。この現象は、熱酸化膜と下地膜であるシリコン層との界面における界面準位密度が大きく、この界面準位に電子が捕獲されることによって所望のトランジスタ特性を発揮させることが不可能になるためである。一方、熱酸化膜厚が4nm以上であればフラットバンド電圧はほぼ一定値を示し、所望のトランジスタ特性を確保することが可能になる。

30

【0030】

尚、熱酸化膜厚の上限は敢えて規定する必要はないが、ゲート絶縁膜を熱酸化膜/TEOSなる2層構造とする場合には必要以上に厚くする必要はない。即ち、薄膜トランジスタの生産性を考慮すれば、熱酸化という方法は酸化膜の形成速度が小さい方法であることを考えて、その膜厚の上限として例えば20nm程度が適当である。

40

【0031】

次に、第2の実施例について図4を用いて説明する。ボロン（B）イオンを打ち込んだアモルファスシリコン膜3をエキシマレーザ光5により結晶化する工程までは先の第1の実施例と同様である（図2（c））。

次に、ボロン（B）がドーブされた多結晶シリコン層4の表面を酸化させて、4nm以上のシリコン酸化層を形成する。そして、このシリコン酸化層をゲート絶縁層6として機能させる。その後、ゲート領域7を形成する工程以降の工程は先に示した実施例1の場合と同様である。上記した工程を経て、図4に示すゲート絶縁層6が1層の構造である薄膜ト

50

ランジスタが完成する。

【0032】

第2の実施例において、ゲート絶縁層6を1層の構造とし、その膜厚を例えば20nm程度にすることによって、第1の実施例に比較して低電圧で薄膜トランジスタを安定に動作させることが可能になる。

【0033】

次に、第3の実施例について図5を用いて説明する。

図5は薄膜トランジスタの形成プロセスフローである。ガラス基板1の上にアモルファスシリコン膜3を形成する工程までは先に示した第1の実施例の場合と同様である(図5(a))。

【0034】

次に、アモルファスシリコン膜3にエキシマレーザ光5を照射して結晶化処理を行い、多結晶シリコン膜4を形成する(図5(b))。その後、多結晶シリコン膜4に加速電圧： $0.5 \sim 100 \text{ keV}$ 、ドーズ量： $1 \text{ E } 10 \sim 1 \text{ E } 16 / \text{ cm }^2$ の条件で3b族元素であるボロン(B)イオン13を打ち込む(図5(c))。このイオン打ち込みにより、少なくとも後にチャネルとなるゲート直下の多結晶シリコン層にボロンが打ち込まれる。また、拡散防止層2にもボロン(B)が一部打ち込まれることにより、ガラス基板からナトリウムイオン等が素子中に拡散するのを防止する効果を高めることができる。

【0035】

次に、ボロン(B)イオンの打ち込まれた多結晶シリコン膜4の上に第1の絶縁層6a及び第2の絶縁層6bを形成する(図5(d))。このとき、先の第1の実施例では、アモルファスシリコンにボロン(B)イオン打ち込みを行った後にエキシマレーザ光5により結晶化を行ったが、本実施例に示すようにエキシマレーザ光5による結晶化の工程とボロン(B)イオン打ち込みの工程とを行なう順番を逆にしても、多結晶シリコン膜4上に形成される酸化膜(第1の絶縁層6a)の形成速度が低下することはない。

【0036】

次に、ゲート絶縁膜6上にチャネル領域12に対応させた位置にゲート領域7を形成し(図5(e))、層間絶縁膜10及び電極11を形成して図1に示した場合と同様の薄膜トランジスタが完成する。

【0037】

上記した実施例では、第2の絶縁層シリコン酸化膜の形成方法は第1の実施例同様にCVD法を用いたが、スパッタ等の物理堆積法、スピン塗布法等を用いても同様の効果が得られる。

【0038】

ところで、上記した第1の実施例あるいは第3の実施例では、NチャネルMOS型の薄膜トランジスタを構成するが、ソース領域8、ドレイン領域9に打ち込むイオンの種類を適宜選択することによりPチャネルMOS型薄膜トランジスタを形成することも可能である。また、これらのイオン打ち込みを使い分けることにより、同一基板上にNチャネルMOS型とPチャネルMOS型とを作り込んだC-MOS型薄膜トランジスタを形成することも可能である。

【0039】

次に、多結晶シリコン層4の表面を酸化して得られるシリコン酸化層6aの形成方法について、以下に詳しく説明する。

無アニールガラス基板1の上に多結晶シリコン層4が形成されたサンプルを第1の処理室に搬入し、無アニールガラス基板1に対して熱的な悪影響を及ぼさない程度の温度、例えば約450で加熱する。一方、第1の処理室とは隔離されて隣接する第2の処理室に、 $100 \text{ g} / \text{ Nm }^3$ のオゾン(約 $1 \text{ SLM} / \text{ cm }^2$:オゾンの全流量を有効処理面積で除した値)を導入し、第2の処理室内を約700 Torrに制御する。オゾンは純酸素ガス(10SLM)と微量の N_2 ガス(55SCCM)との混合ガスを原料とし、良く知られた無声放電型オゾナイザを用いて $100 \text{ g} / \text{ Nm }^3$ (オゾン濃度約5%)のオゾンを生成し

10

20

30

40

50

た。

【0040】

上記のオゾン雰囲気にある第2の処理室に、第1の処理室から450℃に加熱されたサンプルを搬入する。このような処理を行なうことによって多結晶シリコン層4の表面が酸化される。第2の処理室における処理時間を例えば10分とすれば、多結晶シリコン層4の表面に約4nmの膜厚を有する第1の絶縁層6a、即ちSiO₂層が形成される。ここで多結晶シリコン層4にはボロン(B)イオンが注入されているため、ボロン(B)イオンが注入されていない場合(従来方法)に比較して酸化速度が大きく、結果的には膜厚の厚いSiO₂層を形成することができる。

【0041】

次に、シリコン層の酸化メカニズムについて簡単に説明する。シリコンの表面が酸化種の雰囲気に晒されたとき、先ずこの酸化種がシリコンの表面に吸着し、酸化反応が開始される。また、シリコンの表面にシリコン酸化膜を有する場合には、シリコン酸化膜の表面に吸着した酸化種がシリコン酸化膜中を拡散する。そして、酸化種の拡散が進行してシリコン酸化膜/シリコンの界面に到達すると、そこでシリコンと酸化種との反応が起こり、シリコン酸化膜が成長する。

【0042】

従来、シリコンの酸化は、800℃以上の高温プロセスを必要としていたが、オゾンガスを用いることにより酸化膜形成温度の低温化が可能となる。さらに多結晶シリコンにボロン(B)やリン(P)等の不純物がドーピングされていると、これらの不純物がドーピングされていない場合よりも酸化膜形成速度が大きくなる。

【0043】

この理由は次のようなメカニズムによる。多結晶シリコン層にリン(P)がドーピングされている場合の酸化メカニズムは、単結晶シリコンで広く用いられているリニア-パラボリック近似でモデル化できる。即ち、酸化膜厚dと時間tの間には、 $d^2 + A \cdot d = B / (t + \dots)$ なる関係式が成り立つ。ここで、 \dots 、A、Bは定数である。

【0044】

リンをドーピングしたシリコンの酸化ではリンがシリコン側に偏析し、シリコン領域に酸化種とSiの反応サイトとなる空孔濃度を高めるため酸化速度が増大する。言い換えれば、シリコン側へのリンの偏析によりSi/SiO₂界面での反応速度が大きくなり、線形定数B/Aが最も顕著に影響を受けて大きくなる。さらに多結晶シリコンではリンは粒界に偏析するため、粒界を介してより酸化膜形成速度は大きくなる。

【0045】

一方、多結晶シリコン中にボロン(B)イオンをドーピングした場合には、ボロンはSiO₂側に偏析し、SiO₂の結合構造を弱める。従って、弱められた構造を有する酸化膜中では酸化種の拡散が促進されて、その結果として酸化速度が増大する。即ち、ボロンイオンをドーピングしたシリコン層では前述の関係式における定数Bの値が増大することになる。

【0046】

多結晶シリコン層4の表面を酸化して形成した第1の絶縁層6a(SiO₂層)上に形成した第2の絶縁層6bは、例えばCVD法、PVD法、またはスピンドット法により形成する。CVD法の場合、TEOSを原料ガスとして熱分解反応を利用する方法、またモノシランやジシランを原料ガスとして熱分解を利用する方法等がある。また、PVD法の場合、スパッタ法、蒸着法等がある。例えばSiO₂ターゲットを用い、Ar/O₂混合ガス中でRFスパッタを行うことによって、緻密なSiO₂膜が得られる。また、スピンドット法では、SOG(Spin On Glass)法等がある。以上述べた方法によって、ゲート絶縁層6が完成する。

【0047】

以上に述べたプロセスを用いて、無アニールガラス基板上に500℃以下なる低温で形成されたTFETは、多結晶シリコン層なるチャンネル領域の上に約4nm以上のゲート絶縁膜

10

20

30

40

50

を有し、その絶縁膜として多結晶シリコン層を酸化させて形成させたSiO₂層を用いることによって、その界面準位密度を下げる事が出来る。そして、その結果としてTFTの重要な特性のひとつであるしきい電圧V_{th}の経時的変動を小さく抑えることが可能であることを確認した。

【0048】

【発明の効果】

以上で説明したように、オゾン酸化を利用した多結晶シリコン膜の表面処理を用いることにより、安価な無アニールガラス基板上に液晶表示用の薄膜トランジスタを形成することが出来る。

【図面の簡単な説明】

【図1】第1の実施例である薄膜トランジスタを説明するための概略断面図である。

【図2】第1の実施例である薄膜トランジスタの製造方法を説明するための工程図である。

【図3】熱酸化膜厚とフラットバンド電圧との関係を表す説明図である。

【図4】第2の実施例である薄膜トランジスタを説明するための概略断面図である。

【図5】第3の実施例である薄膜トランジスタの製造方法を説明するための工程図である。

【符号の説明】

1...無アニールガラス基板、2...拡散防止層、3...アモルファスシリコン層、4...多結晶シリコン層、5...エキシマレーザ光、6a...第1の絶縁層、6b...第2の絶縁層、7...ゲート領域、8...ソース領域、9...ドレイン領域、10...層間絶縁層、11...電極、12...チャンネル領域、13...加速されたボロン(B)イオン

【図1】

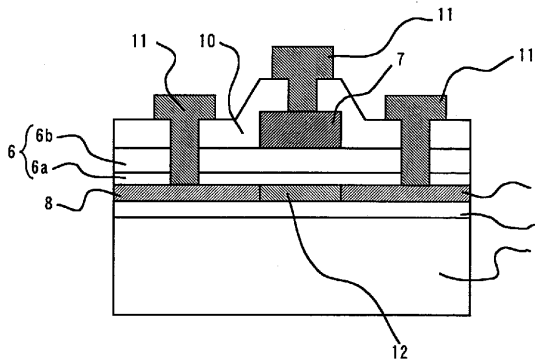


図1

【図2】

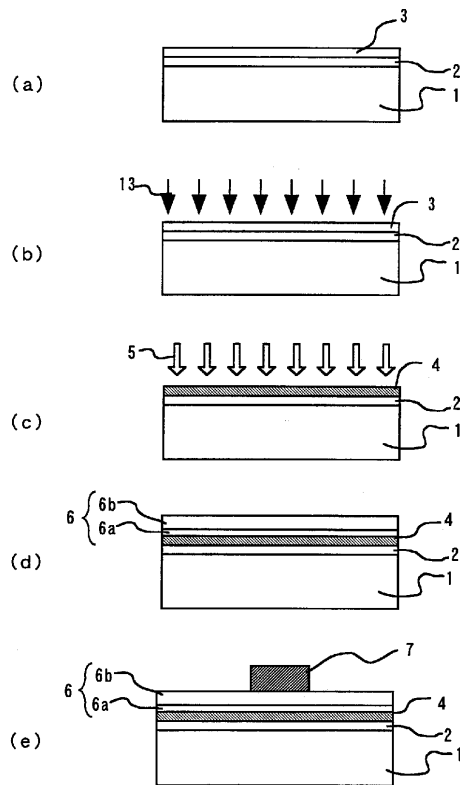


図2

【図3】

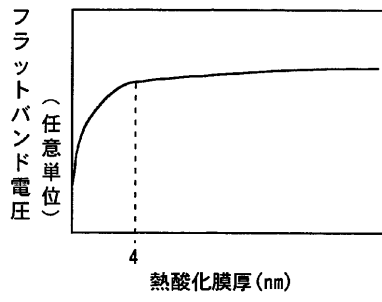


図3

【図4】

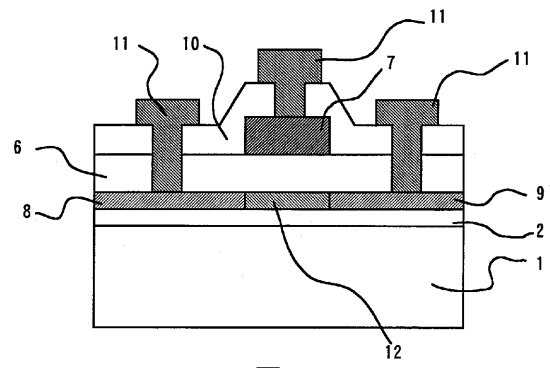


図4

【図5】

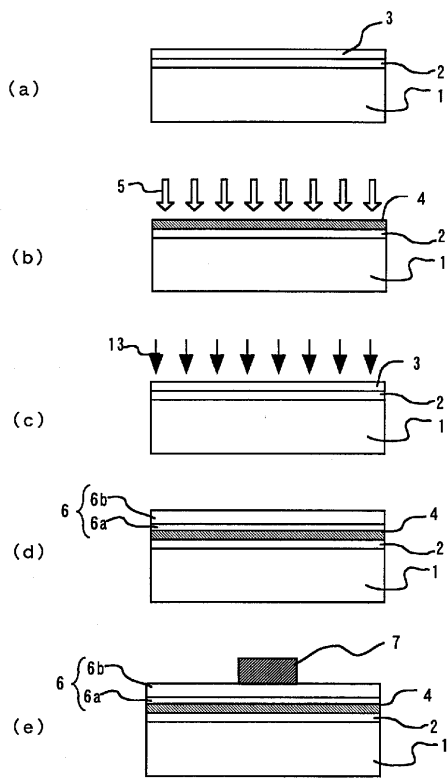


図5

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 7 T
 H 0 1 L 29/78 6 1 7 U
 H 0 1 L 29/78 6 1 7 V
 H 0 1 L 29/78 6 2 6 C
 H 0 1 L 29/78 6 2 7 G

- (72)発明者 田村 太久夫
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
- (72)発明者 中原 美和子
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
- (72)発明者 大倉 理
 千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内
- (72)発明者 折付 良二
 千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内
- (72)発明者 中野 泰
 千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内
- (72)発明者 芝 健夫
 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

合議体

審判長 相田 義明
 審判官 近藤 幸浩
 審判官 松田 成正

- (56)参考文献 特開平10-079516号公報
 特開平04-177765号公報
 特開平11-097691号公報
 特開平04-326731号公報
 特開平08-195494号公報

- (58)調査した分野(Int.Cl., DB名)

H01L21/336
 H01L29/786