



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I741326 B

(45) 公告日：中華民國 110 (2021) 年 10 月 01 日

(21) 申請案號：108126532

(22) 申請日：中華民國 108 (2019) 年 07 月 26 日

(51) Int. Cl. : G09G3/20 (2006.01)

(71) 申請人：奇景光電股份有限公司 (中華民國) HIMAX TECHNOLOGIES LIMITED (TW)  
臺南市新市區紫棟路 26 號

(72) 發明人：錢佳駒 CHIEN, CHIA-CHU (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 201211972A

CN 103106883A

US 2019/0206565A1

WO 2019/123738A1

審查人員：施孝欣

申請專利範圍項數：33 項 圖式數：14 共 66 頁

(54) 名稱

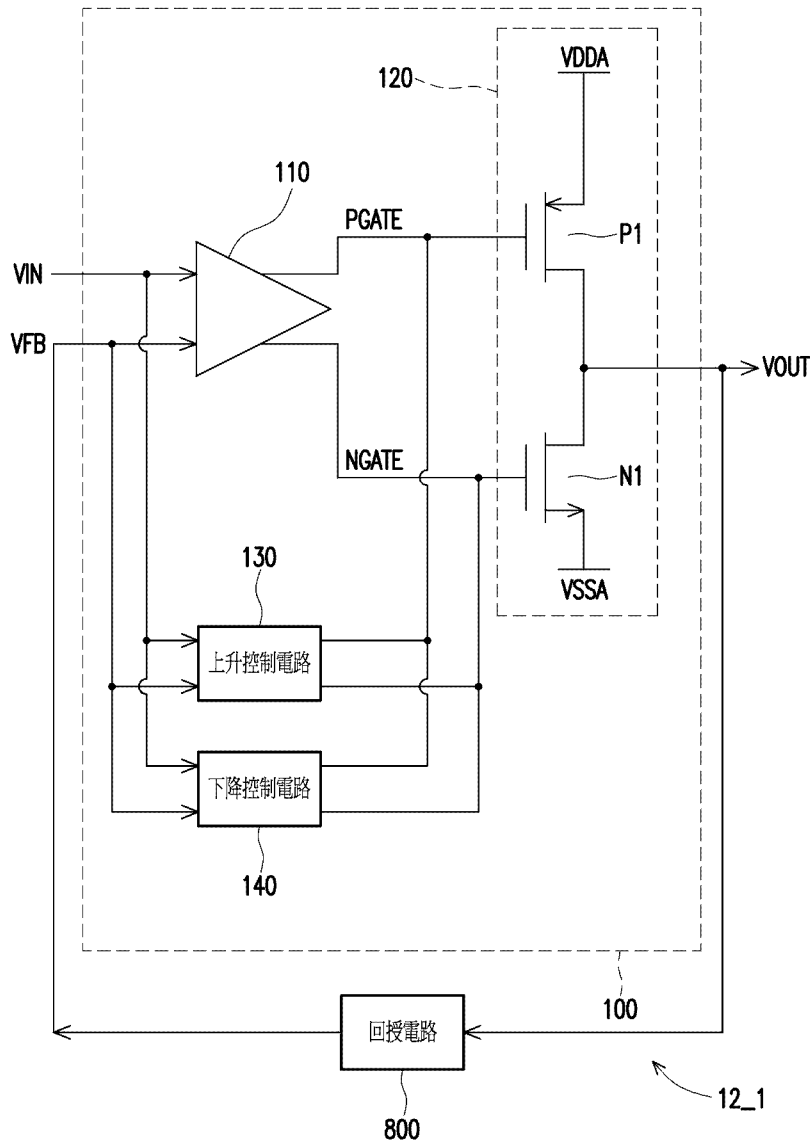
源極驅動器及其輸出緩衝器

(57) 摘要

一種源極驅動器包括輸出緩衝器與回授電路。輸出緩衝器包括輸入級電路、輸出級電路、上升控制電路與下降控制電路。輸入級電路依據輸入電壓與回授電壓以對應產生第一閘控電壓與第二閘控電壓。輸出級電路依據第一閘控電壓與第二閘控電壓對應產生輸出電壓。回授電路產生並輸出相關於輸出電壓的回授電壓至輸入級電路。上升控制電路與下降控制電路比較輸入電壓與回授電壓，以及依據比較結果來拉降（或拉升）第一閘控電壓與第二閘控電壓。

A source driver includes an output buffer and a feedback circuit. The output buffer includes an input stage circuit, an output stage circuit, a rising control circuit, and a falling control circuit. The input stage circuit correspondingly generates a first gate control voltage and a second gate control voltage according to an input voltage and a feedback voltage. The output stage circuit correspondingly generates an output voltage according to the first gate control voltage and the second gate control voltage. The feedback circuit generates and outputs the feedback voltage corresponding to the output voltage to the input stage circuit. The rising control circuit and the falling control circuit compare the input voltage with the feedback voltage, and pull down (or pull up) the first gate control voltage and the second gate control voltage according to the comparison result.

指定代表圖：



符號簡單說明：

12\_1:驅動通道電路

100:輸出緩衝器

110:輸入級電路

120:輸出級電路

130:上升控制電路

140:下降控制電路

800:回授電路

N1、P1:電晶體

NGATE、PGATE:閘控電壓

VDDA:系統電壓

VFB:回授電壓

VIN:輸入電壓

VOUT:輸出電壓

VSSA:參考電壓

【圖2】



I741326

【發明摘要】 公告本

【中文發明名稱】源極驅動器及其輸出緩衝器

【英文發明名稱】SOURCE DRIVER AND OUTPUT BUFFER

THEREOF

【中文】一種源極驅動器包括輸出緩衝器與回授電路。輸出緩衝器包括輸入級電路、輸出級電路、上升控制電路與下降控制電路。輸入級電路依據輸入電壓與回授電壓以對應產生第一閘控電壓與第二閘控電壓。輸出級電路依據第一閘控電壓與第二閘控電壓對應產生輸出電壓。回授電路產生並輸出相關於輸出電壓的回授電壓至輸入級電路。上升控制電路與下降控制電路比較輸入電壓與回授電壓，以及依據比較結果來拉降（或拉升）第一閘控電壓與第二閘控電壓。

【英文】A source driver includes an output buffer and a feedback circuit. The output buffer includes an input stage circuit, an output stage circuit, a rising control circuit, and a falling control circuit. The input stage circuit correspondingly generates a first gate control voltage and a second gate control voltage according to an input voltage and a feedback voltage. The output stage circuit correspondingly generates an output voltage according to the first gate control voltage and the second gate control voltage. The feedback circuit generates and outputs the feedback voltage

corresponding to the output voltage to the input stage circuit. The rising control circuit and the falling control circuit compare the input voltage with the feedback voltage, and pull down (or pull up) the first gate control voltage and the second gate control voltage according to the comparison result.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

12\_1：驅動通道電路

100：輸出緩衝器

110：輸入級電路

120：輸出級電路

130：上升控制電路

140：下降控制電路

800：回授電路

N1、P1：電晶體

NGATE、PGATE：閘控電壓

VDDA：系統電壓

VFB：回授電壓

VIN：輸入電壓

VOUT：輸出電壓

VSSA：參考電壓

## 【發明說明書】

【中文發明名稱】源極驅動器及其輸出緩衝器

【英文發明名稱】SOURCE DRIVER AND OUTPUT BUFFER  
THEREOF

### 【技術領域】

【0001】本發明是有關於一種顯示裝置，且特別是有關於一種源極驅動器及其輸出緩衝器。

### 【先前技術】

【0002】一般而言，源極驅動器被用來驅動顯示面板的多條資料線（或稱源極線）。源極驅動器配置有多個驅動通道電路，這些驅動通道電路的每一個經由不同的輸出緩衝器去驅動這些資料線中的一條對應資料線。源極驅動器配置有輸出緩衝器，輸出緩衝器可以將數位類比轉換器的類比電壓增益後輸出給顯示面板的資料線（或稱源極線）。隨著顯示面板的解析度以及/或是幀率（Frame rate）越來越高，對一條掃描線的充電時間越來越短。為了要在短時間對一個像素（pixel）進行驅動（充電或放電），輸出緩衝器須要足夠高的驅動能力。亦即，輸出緩衝器須要足夠高的迴轉率（Slew Rate）。為了提升迴轉率，習知的輸出緩衝器的尾電流（tail current）會被加大。尾電流的增加，意味著功耗的增加。

**【發明內容】**

**【0003】** 本發明提供一種源極驅動器及其輸出緩衝器，其可以在對一個像素（pixel）進行驅動的期間內選擇性地使輸出緩衝器進行過驅動（overdrive），以提高輸出電壓的迴轉率。

**【0004】** 本發明的實施例提供一種源極驅動器。源極驅動器包括輸出緩衝器與回授電路。輸出緩衝器包括輸入級電路、輸出級電路、上升控制電路與下降控制電路。輸入級電路的第一輸入端接收輸出緩衝器的輸入電壓。輸入級電路的第二輸入端耦接至回授電路的輸出端以接收第一回授電壓。輸入級電路經配置依照輸入電壓與第一回授電壓對應地產生第一閘控電壓與第二閘控電壓。輸出級電路耦接至輸入級電路，以接收第一閘控電壓與第二閘控電壓。輸出級電路用以依照第一閘控電壓與第二閘控電壓對應地產生輸出緩衝器的輸出電壓給顯示面板的資料線。輸出級電路的輸出端耦接至回授電路的輸入端。上升控制電路用以比較輸入電壓與第一回授電壓而獲得第一比較結果。當第一比較結果表示第一回授電壓要被拉升時，上升控制電路於第一暫態期間拉降第一閘控電壓與第二閘控電壓。下降控制電路用以比較輸入電壓與第一回授電壓而獲得第二比較結果。當第二比較結果表示第一回授電壓要被拉降時，下降控制電路於第二暫態期間拉升第一閘控電壓與第二閘控電壓。回授電路用以產生並輸出相關於輸出電壓的第一回授電壓至輸入級電路的第二輸入端。

**【0005】** 本發明的實施例提供一種輸出緩衝器，輸出緩衝器包括輸

入級電路、輸出級電路、上升控制電路與下降控制電路。輸入級電路具有第一輸入端與第二輸入端，輸入級電路的第一輸入端接收輸出緩衝器的輸入電壓，輸入級電路的第二輸入端用以接收輸出緩衝器的第一回授電壓。輸入級電路依照輸入電壓與第一回授電壓對應地產生第一閘控電壓與第二閘控電壓。輸出級電路耦接至輸入級電路以接收第一閘控電壓與第二閘控電壓，輸出級電路用以依照第一閘控電壓與第二閘控電壓對應地產生輸出緩衝器的輸出電壓。上升控制電路用以比較輸入電壓與第一回授電壓而獲得第一比較結果。當第一比較結果表示第一回授電壓要被拉升時，上升控制電路於第一暫態期間拉降第一閘控電壓與第二閘控電壓。下降控制電路用以比較輸入電壓與第一回授電壓而獲得第二比較結果。當第二比較結果表示第一回授電壓要被拉降時，下降控制電路於第二暫態期間拉升第一閘控電壓與第二閘控電壓。

**【0006】** 基於上述，本發明諸實施例所述源極驅動器及其輸出緩衝器可以比較輸入電壓與第一回授電壓。當比較結果表示第一回授電壓將要被拉升時，拉降輸出緩衝器的輸出級電路的第一閘控電壓與第二閘控電壓，以提升輸出電壓的迴轉率。當比較結果表示第一回授電壓要被拉降時，拉升輸出緩衝器的輸出級電路的第一閘控電壓與第二閘控電壓，以提升輸出電壓的迴轉率。

**【0007】** 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

**【圖式簡單說明】****【0008】**

圖 1 是依照本發明實施例說明一種顯示裝置的電路方塊 (circuit block) 示意圖。

圖 2 是依照本發明的一實施例所繪示的一種源極驅動器的電路方塊示意圖。

圖 3 是依照本發明的一實施例所繪示的一種輸出緩衝器的操作方法的流程示意圖。

圖 4 是依照本發明的一實施例說明圖 2 所示上升控制電路的電路方塊示意圖。

圖 5 是依照本發明的另一實施例說明圖 2 所示上升控制電路的電路方塊示意圖。

圖 6 是依照本發明的一實施例說明圖 2 所示下降控制電路的電路方塊示意圖。

圖 7 是依照本發明的另一實施例說明圖 2 所示下降控制電路的電路方塊示意圖。

圖 8 是依照本發明的一實施例所繪示一種源極驅動器的另一電路方塊示意圖。

圖 9 是依照本發明的另一實施例所繪示的一種源極驅動器的時序示意圖。

圖 10 是依照本發明的另一實施例說明圖 1 所示驅動通道電路的電路方塊示意圖。



圖 11 是依照本發明的另一實施例說明圖 10 所示阻抗電路的電路方塊示意圖。

圖 12 是依照本發明的又一實施例說明圖 10 所示阻抗電路的電路方塊示意圖。

圖 13 是依照本發明的再一實施例說明圖 10 所示阻抗電路的電路方塊示意圖。

圖 14 是依照本發明的更一實施例說明圖 10 所示阻抗電路的電路方塊示意圖。

#### 【實施方式】

【0009】 在本案說明書全文（包括申請專利範圍）中所使用的「耦接（或連接）」一詞可指任何直接或間接的連接手段。舉例而言，若文中描述第一裝置耦接（或連接）於第二裝置，則應該被解釋成該第一裝置可以直接連接於該第二裝置，或者該第一裝置可以透過其他裝置或某種連接手段而間接地連接至該第二裝置。另外，凡可能之處，在圖式及實施方式中使用相同標號的元件/構件/步驟代表相同或類似部分。不同實施例中使用相同標號或使用相同用語的元件/構件/步驟可以相互參照相關說明。

【0010】 圖 1 是依照本發明實施例說明一種顯示裝置 10 的電路方塊（circuit block）示意圖。圖 1 所示顯示裝置 10 包括閘極驅動器 11、源極驅動器 12 以及顯示面板 13。顯示面板 13 可以是任何類型的平面面板顯示器，例如液晶顯示面板、有機發光二極體顯示面板或是

其他顯示面板。顯示面板 13 包含多條掃描線（或稱閘極線）、多條資料線（或稱源極線）與多個像素電路。例如圖 1 所示，所述多條掃描線包含  $n$  條掃描線  $SL_1$ 、 $SL_2$ 、 $\dots$ 、 $SL_n$ ，所述多條資料線包含  $m$  條資料線  $DL_1$ 、 $DL_2$ 、 $\dots$ 、 $DL_m$ ，以及所述多個像素電路包含  $m*n$  個像素電路  $P(1,1)$ 、 $\dots$ 、 $P(m,1)$ 、 $\dots$ 、 $P(1,n)$ 、 $\dots$ 、 $P(m,n)$ ，其中  $m$  與  $n$  可以是依照設計需求所決定的任何整數。

**【0011】** 閘極驅動器 11 的多個輸出端以一對一方式耦接至顯示面板 13 的不同掃描線。閘極驅動器 11 可以掃描/驅動顯示面板 13 的每一條掃描線。閘極驅動器 11 可以是任何類型的閘極驅動器。例如，依照設計需求，閘極驅動器 11 可以是習知的閘極驅動器或是其他閘極驅動器。

**【0012】** 源極驅動器 12 具有多個驅動通道電路，例如圖 1 所示  $m$  個驅動通道電路  $12_1$ 、 $12_2$ 、 $\dots$ 、 $12_m$ 。這些驅動通道電路  $12_1 \sim 12_m$  的輸出端以一對一方式耦接至顯示面板 13 的不同資料線。驅動通道電路  $12_1 \sim 12_m$  可以將數位的像素資料轉換為對應的輸出電壓（像素電壓），以及將這些輸出電壓分別輸出給顯示面板 13 的不同資料線。配合閘極驅動器 11 的掃描時序，源極驅動器 12 可以經由資料線  $DL_1 \sim DL_m$  將這些輸出電壓寫入顯示面板 13 的對應像素電路中以顯示影像。

**【0013】** 圖 2 是依照本發明的一實施例說明圖 1 所示驅動通道電路  $12_1$  的電路方塊示意圖。圖 1 所示其他驅動通道電路  $12_2 \sim 12_m$  可以參照圖 2 所示驅動通道電路  $12_1$  的相關說明而類推，故不再贅

述。圖 2 所示驅動通道電路 12\_1 包括輸出緩衝器 100 與回授電路 800。輸出緩衝器 100 的第一輸入端從前級電路（未繪示）接收輸入電壓  $V_{IN}$ ，而輸出緩衝器 100 的輸出端將輸出電壓  $V_{OUT}$  輸出至後級電路（例如顯示面板 13 的資料線  $DL_1$ ），並將輸出電壓  $V_{OUT}$  回授至回授電路 800 的輸入端。依據輸出電壓  $V_{OUT}$ ，回授電路 800 可以產生並輸出相關於輸出電壓  $V_{OUT}$  的回授電壓  $V_{FB}$  至輸出緩衝器 100 的第二輸入端。

**【0014】** 於圖 2 所示實施例中，輸出緩衝器 100 包括輸入級電路 110、輸出級電路 120、上升控制電路 130 以及下降控制電路 140。依照設計需求，輸入級電路 110 可以包括差動輸入對、增益電路以及/或是其他輸入級電路。舉例來說，輸入級電路 110 可以是習知運算放大器的輸入級電路或是其他放大器的輸入級電路以及/或是增益級電路。輸入級電路 110 的第一輸入端耦接至輸出緩衝器 100 的第一輸入端，以便接收輸入電壓  $V_{IN}$ 。輸入級電路 110 的第二輸入端經由輸出緩衝器 100 的第二輸入端耦接至回授電路 800 的輸出端，以便接收回授電壓  $V_{FB}$ 。輸入級電路 110 可以依照輸入電壓  $V_{IN}$  與回授電壓  $V_{FB}$  對應地產生閘控電壓  $PGATE$  與閘控電壓  $NGATE$ 。

**【0015】** 輸出級電路 120 的第一輸入端耦接至輸入級電路 110 的第一輸出端，以接收閘控電壓  $PGATE$ 。輸出級電路 120 的第二輸入端耦接至輸入級電路 110 的第二輸出端，以接收閘控電壓  $NGATE$ 。輸出級電路 120 的輸出端耦接至輸出緩衝器 100 的輸出端。輸出級電路 120 可以依照閘控電壓  $PGATE$  與閘控電壓  $NGATE$  而對應地產生

輸出緩衝器 100 的輸出電壓  $V_{OUT}$ 。在一實施例中，該輸出電壓  $V_{OUT}$  可以被提供給顯示面板 13 的資料線  $DL_1$ 。輸出級電路 120 的輸出端耦接至回授電路 800 的輸入端，以提供輸出電壓  $V_{OUT}$ 。

**【0016】** 於圖 2 所示實施例中，輸出級電路 120 包括電晶體 P1 與電晶體 N1。電晶體 P1 的控制端（例如閘極）耦接至輸入級電路 110 的第一輸出端，以接收閘控電壓  $PGATE$ 。電晶體 P1 的第一端（例如源極）耦接至系統電壓  $V_{DDA}$ 。系統電壓  $V_{DDA}$  的準位可以依照設計需求來決定。電晶體 P1 的第二端（例如汲極）耦接至輸出級電路 120 的輸出端，其中輸出級電路 120 的輸出端輸出所述輸出電壓  $V_{OUT}$ 。電晶體 N1 的控制端（例如閘極）耦接至輸入級電路 110 的第二輸出端，以接收閘控電壓  $NGATE$ 。電晶體 N1 的第一端（例如源極）耦接至參考電壓  $V_{SSA}$ 。參考電壓  $V_{SSA}$  的準位可以依照設計需求來決定。電晶體 N1 的第二端（例如汲極）耦接至輸出級電路 120 的輸出端與電晶體 P1 的第二端。

**【0017】** 圖 2 所示輸出級電路 120 是一個範例。無論如何，輸出級電路 120 的實施方式不應受限於圖 2 所示實施例。依照設計需求，輸出級電路 120 可以包括任何類型的輸出電路。舉例來說，在其他實施例中，輸出級電路 120 可以是習知運算放大器的輸出級電路或是其他放大器的輸出級電路。

**【0018】** 圖 3 是依照本發明的一實施例所繪示的一種輸出緩衝器的操作方法的流程示意圖。請參照圖 2 與圖 3。於步驟 S210 中，輸入級電路 110 依照輸出緩衝器 100 的輸入電壓  $V_{IN}$  與回授電壓  $V_{FB}$  而

對應地產生第一閘控電壓（例如閘控電壓 PGATE）與第二閘控電壓（例如閘控電壓 NGATE）。於步驟 S220 中，輸出級電路 120 依照閘控電壓 PGATE 與閘控電壓 NGATE 而對應地產生輸出緩衝器 100 的輸出電壓 VOUT。於步驟 S230 中，上升控制電路 130 比較輸入電壓 VIN 與回授電壓 VFB 而獲得第一比較結果，以及下降控制電路 140 比較輸入電壓 VIN 與回授電壓 VFB 而獲得第二比較結果。

**【0019】** 當所述第一比較結果表示回授電壓 VFB 要被拉升時（步驟 S240 為「要被拉升」），上升控制電路 130 可以於暫態期間拉降閘控電壓 PGATE 與閘控電壓 NGATE（步驟 S250）。當上升控制電路 130 拉降閘控電壓 NGATE 時，電晶體 N1 的截止（turn off）狀態可以被確保，以避免出現短路電流。當上升控制電路 130 拉降閘控電壓 PGATE 時，流經電晶體 P1 的電流可以暫時性地被增加，以便加速拉升輸出電壓 VOUT。因此，輸出電壓 VOUT 的迴轉率（Slew Rate）可以被提昇。

**【0020】** 依照設計需求，在一些實施例中，步驟 S250 可能包括下述操作。當輸入電壓 VIN 大於回授電壓 VFB 時，上升控制電路 130 可以拉降閘控電壓 PGATE 與閘控電壓 NGATE。當輸入電壓 VIN 小於或等於回授電壓 VFB 時，上升控制電路 130 可以不調整閘控電壓 PGATE 與閘控電壓 NGATE。

**【0021】** 當所述第一比較結果與所述第二比較結果均表示回授電壓 VFB 不會被改變時（步驟 S240 為「沒改變」），上升控制電路 130 以及下降控制電路 140 可以不調整閘控電壓 PGATE 與閘控電壓

NGATE (步驟 S260)。在上升控制電路 130 以及下降控制電路 140 沒有干涉閘控電壓 PGATE 與閘控電壓 NGATE 的情況下，閘控電壓 PGATE 的準位與閘控電壓 NGATE 的準位是由輸入級電路 110 來決定。

【0022】 當所述第二比較結果表示回授電壓 VFB 要被拉降時(步驟 S240 為「要被拉降」)，下降控制電路 140 可以於暫態期間拉升閘控電壓 PGATE 與閘控電壓 NGATE (步驟 S270)。當下降控制電路 140 拉升閘控電壓 PGATE 時，電晶體 P1 的截止 (turn off) 狀態可以被確保，以避免出現短路電流。當下降控制電路 140 拉升閘控電壓 NGATE 時，流經電晶體 N1 的電流可以暫時性地被增加，以便加速拉降輸出電壓 VOUT。因此，輸出電壓 VOUT 的迴轉率可以被提昇。

【0023】 依照設計需求，在一些實施例中，步驟 S270 可能包括下述操作。當輸入電壓 VIN 小於回授電壓 VFB 時，下降控制電路 140 可以拉升閘控電壓 PGATE 與閘控電壓 NGATE。當輸入電壓 VIN 大於或等於回授電壓 VFB 時，下降控制電路 140 可以不調整閘控電壓 PGATE 與閘控電壓 NGATE。

【0024】 依照不同的設計需求，上述上升控制電路 130 以及/或是下降控制電路 140 的方塊的實現方式可以是硬體 (hardware)、韌體 (firmware)、軟體 (software，即程式) 或是前述三者中的多者的組合形式。以硬體形式而言，上述上升控制電路 130 以及/或是下降控制電路 140 的方塊可以實現於積體電路 (integrated circuit) 上的邏輯電路。上述上升控制電路 130 以及/或是下降控制電路 140 的相

關功能可以利用硬體描述語言（hardware description languages，例如 Verilog HDL 或 VHDL）或其他合適的編程語言來實現為硬體。舉例來說，上述上升控制電路 130 以及/或是下降控制電路 140 的相關功能可以被實現於一或多個控制器、微控制器、微處理器、特殊應用積體電路（Application-specific integrated circuit, ASIC）、數位信號處理器（digital signal processor, DSP）、場可程式邏輯閘陣列（Field Programmable Gate Array, FPGA）及/或其他處理單元中的各種邏輯區塊、模組和電路。

【0025】於圖 2 所示實施例中，回授電路 800 的輸入端耦接至輸出級電路 120 的輸出端，以接收輸出電壓  $V_{OUT}$ 。回授電路 800 的輸出端耦接至輸入級電路 110 的第二輸入端。回授電路 800 依照輸出電壓  $V_{OUT}$  產生並輸出相關於輸出電壓  $V_{OUT}$  的回授電壓  $V_{FB}$  至輸入級電路 110 的第二輸入端。

【0026】圖 4 是依照本發明的一實施例說明圖 2 所示上升控制電路 130 的電路方塊示意圖。於圖 4 所示實施例中，上升控制電路 130 包括比較電路 131、電晶體 N2 以及電晶體 N3。比較電路 131 可以比較輸入電壓  $V_{IN}$  與回授電壓  $V_{FB}$  而產生控制電壓  $V_{C1}$  作為所述第一比較結果。電晶體 N2 的控制端（例如閘極）耦接至比較電路 131 的輸出端，以接收控制電壓  $V_{C1}$ 。電晶體 N2 的第一端（例如源極）耦接至參考電壓  $V_{SSA}$ 。電晶體 N2 的第二端（例如汲極）耦接至輸出級電路 120 的第一輸入端，以接收閘控電壓  $P_{GATE}$ 。電晶體 N3 的控制端（例如閘極）耦接至比較電路 131 的輸出端，以接收控

制電壓 VC1。電晶體 N3 的第一端（例如源極）耦接至參考電壓 VSSA。電晶體 N3 的第二端（例如汲極）耦接至輸出級電路 120 的第二輸入端，以接收閘控電壓 NGATE。

**【0027】** 當輸入電壓 VIN 大於回授電壓 VFB 時，比較電路 131 可以藉由控制電壓 VC1 去導通（turn on）電晶體 N2 以及電晶體 N3，以拉降閘控電壓 PGATE 與閘控電壓 NGATE。當輸入電壓 VIN 小於或等於回授電壓 VFB 時，比較電路 131 可以藉由控制電壓 VC1 去截止（turn off）電晶體 N2 以及電晶體 N3，因此上升控制電路 130 可以不干涉（不調整）閘控電壓 PGATE 與閘控電壓 NGATE。

**【0028】** 在圖 4 所示實施例中，比較電路 131 包括電晶體 N4、電晶體 N5 以及電流鏡 310。電晶體 N4 的控制端（例如閘極）耦接至輸入電壓 VIN。電晶體 N4 的第一端（例如源極）耦接至回授電壓 VFB。電流鏡 310 的主電流端耦接至電晶體 N4 的第二端（例如汲極）。電流鏡 310 的僕電流端耦接至比較電路 131 的輸出端，其中比較電路 131 的所述輸出端可以提供控制電壓 VC1 給電晶體 N2 以及電晶體 N3。電晶體 N5 的控制端（例如閘極）耦接至比較電路 131 的所述輸出端。電晶體 N5 的第一端（例如源極）耦接至參考電壓 VSSA。電晶體 N5 的第二端（例如汲極）耦接至電流鏡 310 的僕電流端與電晶體 N5 的控制端。

**【0029】** 於圖 4 所示實施例中，電流鏡 310 包括電晶體 P2 以及電晶體 P3。電晶體 P2 的第一端（例如源極）耦接至系統電壓 VDDA。電晶體 P2 的第二端（例如汲極）與控制端（例如閘極）耦接至電流



鏡 310 的所述主電流端。電晶體 P3 的第一端（例如源極）耦接至系統電壓 VDDA。電晶體 P3 的第二端（例如汲極）耦接至電流鏡 310 的所述僕電流端。電晶體 P3 的控制端（例如閘極）耦接至電晶體 P2 的控制端。

**【0030】** 圖 5 是依照本發明的另一實施例說明圖 2 所示上升控制電路 130 的電路方塊示意圖。於圖 5 所示實施例中，上升控制電路 130 包括比較電路 132、電晶體 N2 以及電晶體 N3。圖 5 所示比較電路 132、電晶體 N2 以及電晶體 N3 可以參照圖 4 所示比較電路 131、電晶體 N2 以及電晶體 N3 的相關說明來類推，故不再贅述。

**【0031】** 於圖 5 所示實施例中，比較電路 132 包括電晶體 N6、電晶體 N7、電晶體 N8、電晶體 N9、電晶體 P4 以及電流鏡 310。電晶體 N6 的控制端（例如閘極）耦接至輸入電壓 VIN。電晶體 N6 的第一端（例如源極）耦接至回授電壓 VFB。電晶體 N7 的控制端（例如閘極）受控於控制信號 EN。電晶體 N7 的第一端（例如源極）耦接至電晶體 N6 的第二端（例如汲極）。

**【0032】** 電流鏡 310 的主電流端耦接至電晶體 N7 的第二端（例如汲極）。電流鏡 310 的僕電流端耦接至比較電路 132 的輸出端，其中比較電路 132 的所述輸出端可以提供控制電壓 VC1 給電晶體 N2 以及電晶體 N3。圖 5 所示電流鏡 310 可以參照圖 4 所示電流鏡 310 的相關說明來類推，故不再贅述。

**【0033】** 電晶體 P4 的控制端（例如閘極）受控於控制信號 EN。電晶體 P4 的第一端（例如源極）耦接至系統電壓 VDDA。電晶體 P4

的第二端（例如汲極）耦接至電流鏡 310 的致能端。亦即，電晶體 P4 的第二端耦接至電晶體 P2 的控制端以及電晶體 P3 的控制端。電晶體 N8 的控制端（例如閘極）耦接至比較電路 132 的所述輸出端。電晶體 N8 的第一端（例如源極）耦接至參考電壓 VSSA。電晶體 N8 的第二端（例如汲極）耦接至電流鏡 310 的僕電流端與電晶體 N8 的控制端。電晶體 N9 的控制端（例如閘極）受控於控制信號 ENB。控制信號 ENB 是控制信號 EN 的反相信號。電晶體 N9 的第一端（例如源極）耦接至參考電壓 VSSA。電晶體 N9 的第二端（例如汲極）耦接至電晶體 N8 的控制端。

**【0034】** 當控制信號 EN 為高電壓準位（例如系統電壓 VDDA 的準位或其他準位）時，亦即當控制信號 ENB 為低電壓準位（例如參考電壓 VSSA 的準位或其他準位）時，電晶體 N7 為導通（turn on），而電晶體 P4 與電晶體 N9 為截止（turn off），此時圖 5 所示比較電路 132 的操作相似於圖 4 所示比較電路 131 的操作。當控制信號 EN 為低電壓準位（亦即控制信號 ENB 為高電壓準位）時，電晶體 N7 為截止，而電晶體 P4 與電晶體 N9 為導通，此時圖 5 所示比較電路 132 被禁能（disable），而且控制電壓 VC1 被下拉至低電壓準位。當控制電壓 VC1 被下拉至低電壓準位時，電晶體 N2 以及電晶體 N3 會被截止（turn off）。因此，當控制信號 EN（控制信號 ENB）禁能上升控制電路 130 時，上升控制電路 130 可以不干涉（不調整）閘控電壓 PGATE 與閘控電壓 NGATE。

**【0035】** 在一些應用情境中，在回授電壓 VFB 被拉降後，回授電壓

VFB 可能會在特定期間低於（小於）輸入電壓  $V_{IN}$ ，然後在所述特定期間結束後回授電壓 VFB 的準位回歸至與輸入電壓  $V_{IN}$  一致。一般而言，所述特定期間是很短的。藉由控制信號 EN（控制信號 ENB）的控制，上升控制電路 130 可以在所述特定期間內被禁能，以及在所述特定期間外被致能（enable）。因此，上升控制電路 130 在所述特定期間中的誤動作可以被避免。

【0036】 圖 6 是依照本發明的一實施例說明圖 2 所示下降控制電路 140 的電路方塊示意圖。於圖 6 所示實施例中，下降控制電路 140 包括比較電路 141、電晶體 P5 以及電晶體 P6。比較電路 141 可以比較輸入電壓  $V_{IN}$  與回授電壓 VFB 而產生控制電壓 VC2 作為所述第二比較結果。電晶體 P5 的控制端（例如閘極）耦接至比較電路 141 的輸出端，以接收控制電壓 VC2。電晶體 P5 的第一端（例如源極）耦接至系統電壓 VDDA。電晶體 P5 的第二端（例如汲極）耦接至輸出級電路 120 的第一輸入端，以接收閘控電壓 PGATE。電晶體 P6 的控制端（例如閘極）耦接至比較電路 141 的輸出端，以接收控制電壓 VC2。電晶體 P6 的第一端（例如源極）耦接至系統電壓 VDDA。電晶體 P6 的第二端（例如汲極）耦接至輸出級電路 120 的第二輸入端，以接收閘控電壓 NGATE。

【0037】 當輸入電壓  $V_{IN}$  小於回授電壓 VFB 時，比較電路 141 可以藉由控制電壓 VC2 去導通（turn on）電晶體 P5 以及電晶體 P6，以拉升閘控電壓 PGATE 與閘控電壓 NGATE。當輸入電壓  $V_{IN}$  大於或等於回授電壓 VFB 時，比較電路 141 可以藉由控制電壓 VC2 去截

止 (turn off) 電晶體 P5 以及電晶體 P6，因此下降控制電路 140 可以不干涉 (不調整) 閘控電壓 PGATE 與閘控電壓 NGATE。

**【0038】** 在圖 6 所示實施例中，比較電路 141 包括電晶體 P7、電晶體 P8 以及電流鏡 510。電晶體 P7 的控制端 (例如閘極) 耦接至輸入電壓 VIN。電晶體 P7 的第一端 (例如源極) 耦接至回授電壓 VFB。電流鏡 510 的主電流端耦接至電晶體 P7 的第二端 (例如汲極)。電流鏡 510 的僕電流端耦接至比較電路 141 的輸出端，其中比較電路 141 的所述輸出端可以提供控制電壓 VC2 給電晶體 P5 以及電晶體 P6。電晶體 P8 的控制端 (例如閘極) 耦接至比較電路 141 的所述輸出端。電晶體 P8 的第一端 (例如源極) 耦接至系統電壓 VDDA。電晶體 P8 的第二端 (例如汲極) 耦接至電流鏡 510 的僕電流端與電晶體 P8 的控制端。

**【0039】** 於圖 6 所示實施例中，電流鏡 510 包括電晶體 N10 以及電晶體 N11。電晶體 N10 的第一端 (例如源極) 耦接至參考電壓 VSSA。電晶體 N10 的第二端 (例如汲極) 與控制端 (例如閘極) 耦接至電流鏡 510 的所述主電流端。電晶體 N11 的第一端 (例如源極) 耦接至參考電壓 VSSA。電晶體 N11 的第二端 (例如汲極) 耦接至電流鏡 510 的所述僕電流端。電晶體 N11 的控制端 (例如閘極) 耦接至電晶體 N10 的控制端。

**【0040】** 圖 7 是依照本發明的另一實施例說明圖 2 所示下降控制電路 140 的電路方塊示意圖。於圖 7 所示實施例中，下降控制電路 140 包括比較電路 142、電晶體 P5 以及電晶體 P6。圖 7 所示比較電路

142、電晶體 P5 以及電晶體 P6 可以參照圖 6 所示比較電路 141、電晶體 P5 以及電晶體 P6 的相關說明來類推，故不再贅述。

【0041】於圖 7 所示實施例中，比較電路 142 包括電晶體 P9、電晶體 P10、電晶體 P11、電晶體 P12、電晶體 N12 以及電流鏡 510。電晶體 P9 的控制端（例如閘極）耦接至輸入電壓 VIN。電晶體 P9 的第一端（例如源極）耦接至回授電壓 VFB。電晶體 P10 的控制端（例如閘極）受控於控制信號 ENB。電晶體 P10 的第一端（例如源極）耦接至電晶體 P9 的第二端（例如汲極）。

【0042】電流鏡 510 的主電流端耦接至電晶體 P10 的第二端（例如汲極）。電流鏡 510 的僕電流端耦接至比較電路 142 的輸出端，其中比較電路 142 的所述輸出端可以提供控制電壓 VC2 給電晶體 P5 以及電晶體 P6。圖 7 所示電流鏡 510 可以參照圖 6 所示電流鏡 510 的相關說明來類推，故不再贅述。

【0043】電晶體 N12 的控制端（例如閘極）受控於控制信號 ENB。電晶體 N12 的第一端（例如源極）耦接至參考電壓 VSSA。電晶體 N12 的第二端（例如汲極）耦接至電流鏡 510 的致能端。亦即，電晶體 N12 的第二端耦接至電晶體 N10 的控制端以及電晶體 N11 的控制端。電晶體 P11 的控制端（例如閘極）耦接至比較電路 142 的所述輸出端。電晶體 P11 的第一端（例如源極）耦接至系統電壓 VDDA。電晶體 P11 的第二端（例如汲極）耦接至電流鏡 510 的僕電流端與電晶體 P11 的控制端。電晶體 P12 的控制端（例如閘極）受控於控制信號 EN。控制信號 EN 是控制信號 ENB 的反相信號。

電晶體 P12 的第一端（例如源極）耦接至系統電壓 VDDA。電晶體 P12 的第二端（例如汲極）耦接至電晶體 P11 的控制端。

【0044】 當控制信號 EN 為高電壓準位（例如系統電壓 VDDA 的準位或其他準位）時，亦即當控制信號 ENB 為低電壓準位（例如參考電壓 VSSA 的準位或其他準位）時，電晶體 P10 為導通（turn on），而電晶體 N12 與電晶體 P12 為截止（turn off），此時圖 7 所示比較電路 142 的操作相似於圖 6 所示比較電路 141 的操作。當控制信號 EN 為低電壓準位（亦即控制信號 ENB 為高電壓準位）時，電晶體 P10 為截止，而電晶體 N12 與電晶體 P12 為導通，此時圖 7 所示比較電路 142 被禁能（disable），而且控制電壓 VC2 被上拉至高電壓準位。當控制電壓 VC2 被上拉至高電壓準位時，電晶體 P5 以及電晶體 P6 會被截止（turn off）。因此，當控制信號 EN（控制信號 ENB）禁能下降控制電路 140 時，下降控制電路 140 可以不干涉（不調整）閘控電壓 PGATE 與閘控電壓 NGATE。

【0045】 在一些應用情境中，在回授電壓 VFB 被拉升後，回授電壓 VFB 可能會在特定期間超出（大於）輸入電壓 VIN，然後在所述特定期間結束後回授電壓 VFB 的準位回歸至與輸入電壓 VIN 一致。一般而言，所述特定期間是很短的。藉由控制信號 EN（控制信號 ENB）的控制，下降控制電路 140 可以在所述特定期間內被禁能，以及在所述特定期間外被致能（enable）。因此，下降控制電路 140 在所述特定期間中的誤動作可以被避免。

【0046】 圖 8 是依照本發明的一實施例說明圖 2 所示回授電路 800

的電路方塊示意圖。在圖 8 所示實施例中，回授電路 800 包括回授開關 SW1 以及回授電壓產生電路 810。回授開關 SW1 的第一端耦接至輸出緩衝器 100 的輸入級電路 110 的第二輸入端。回授開關 SW1 的第二端耦接至輸出緩衝器 100 的輸出級電路 120 的輸出端。回授開關 SW1 受控於控制信號 S1。回授開關 SW1 於過驅動 (overdrive) 期間為截止 (turn off)，以及於正常驅動期間為導通 (turn on)。當回授開關 SW1 為導通時，輸出緩衝器 100 相當於一個單元增益緩衝器 (unity gain buffer)。此時，輸出電壓 VOUT 被用來作為回授電壓 VFB 而被回饋至輸出緩衝器 100 的輸入級電路 110 的第二輸入端。因此，輸出電壓 VOUT 可以追隨輸入電壓 VIN。

**【0047】** 回授電壓產生電路 810 的輸出端耦接至輸出緩衝器 100 的輸入級電路 110 的第二輸入端。回授電壓產生電路 810 的輸入端耦接至輸出緩衝器 100 的輸出級電路 120 的輸出端，以接收輸出電壓 VOUT。在過驅動期間，回授電壓產生電路 810 可以產生並輸出相對於輸出電壓 VOUT 的回授電壓 VFB 至輸出緩衝器 100 的輸入級電路 110 的第二輸入端。當輸入電壓 VIN 處於「上升模式」時，回授電壓 VFB 低於輸出電壓 VOUT。當輸入電壓 VIN 處於「下降模式」時，回授電壓 VFB 高於輸出電壓 VOUT。因此，輸出緩衝器 100 可以在過驅動期間內進行過驅動，以提高輸出電壓 VOUT 的迴轉率。在正常驅動期間，回授電壓產生電路 810 可以不輸出回授電壓 VFB 至輸出緩衝器 100 的第二輸入端。亦即，回授電壓產生電路 810 在正常驅動期間可以干涉輸出緩衝器 100 的第二輸入端。

【0048】於圖 8 所示實施例中，回授電壓產生電路 810 包括開關 SW2、開關 SW3、分壓電阻 R1 以及阻抗電路 811。開關 SW2 受控於控制信號 S2，而開關 SW3 受控於控制信號 S3。於過驅動期間，開關 SW2 以及開關 SW3 為導通。於正常驅動期間，開關 SW2 以及開關 SW3 為截止。開關 SW2 的第一端耦接至輸出緩衝器 100 的輸出級電路 120 的輸出端。開關 SW3 的第一端耦接至輸出緩衝器 100 的輸入級電路 110 的第二輸入端。

【0049】分壓電阻 R1 的第一端耦接至開關 SW2 的第二端。分壓電阻 R1 的第二端耦接至開關 SW3 的第二端。阻抗電路 811 耦接至分壓電阻 R1 的第二端，以提供阻抗。分壓電阻 R1 與阻抗電路 811 可以進行分壓操作，以產生相關於輸出電壓 VOUT 的回授電壓 VFB1。其中，當開關 SW3 導通時，回授電壓 VFB1 被傳輸至輸入級電路 110 的第二輸入端做為回授電壓 VFB。當開關 SW3 截止時，回授電壓產生電路 810 可以不干涉輸入級電路 110 的第二輸入端。

【0050】圖 9 是依照本發明的另一實施例所繪示的一種源極驅動器的時序示意圖。圖 9 所示橫軸表示時間，縱軸表示信號準位。請同時參考圖 5、圖 7、圖 8 與圖 9。當輸入電壓 VIN 處於上升模式時，阻抗電路 811 輸出低於輸出電壓 VOUT 的回授電壓 VFB1。在過驅動期間 T1，控制信號 S2 與控制信號 S3 為高邏輯準位，而控制信號 S1 為低邏輯準位，因此開關 SW2 以及開關 SW3 被導通，而開關 SW1 不導通，低於輸出電壓 VOUT 的回授電壓 VFB1 會經過開關 SW3 被提供至輸出緩衝器 100 的輸入級電路 110 的第二輸入端。因此，在



過驅動期間 T1 輸出電壓 VOUT 可以高於目標準位。當輸入電壓 VIN 處於下降模式時，阻抗電路 811 輸出高於輸出電壓 VOUT 的回授電壓 VFB1。亦即，高於輸出電壓 VOUT 的回授電壓 VFB1 在過驅動期間 T1 會經過開關 SW3 被提供至輸出緩衝器 100 的輸入級電路 110 的第二輸入端（此時回授開關 SW1 為截止）。因此，在過驅動期間 T1 輸出電壓 VOUT 可以低於目標準位。

【0051】 在正常驅動期間 T2，控制信號 S2 與控制信號 S3 為低邏輯準位，而控制信號 S1 為高邏輯準位，因此開關 SW2 以及開關 SW3 不導通，而開關 SW1 被導通，回授電壓 VFB1 不會被提供至輸出緩衝器 100 的輸入級電路 110 的第二輸入端。因此，在正常驅動期間 T2 輸出電壓 VOUT 可以回復至目標準位（例如輸入電壓 VIN 的準位）。關於控制信號 EN 對於上升控制電路 130 與下降控制電路 140 的操作時序，已於前述圖 5、圖 7 進行說明，不再贅述。

【0052】 圖 10 是依照本發明的另一實施例說明圖 1 所示驅動通道電路 12\_1 的電路方塊示意圖。圖 1 所示其他驅動通道電路 12\_2~12\_m 可以參照圖 10 所示驅動通道電路 12\_1 的相關說明而類推，故不再贅述。圖 10 所示驅動通道電路 12\_1 包括閃鎖器 1010、轉換電路 1020、輸出緩衝器 100 以及回授電路 800。閃鎖器 1010 可以提供目前像素資料 Pc 給轉換電路 1020。閃鎖器 1010 可以是任何類型的閃鎖器。例如，依照設計需求，閃鎖器 1010 可以是習知的線閃鎖器或是其他閃鎖器。

【0053】 轉換電路 1020 可以將目前像素資料 Pc 轉換為類比電壓(以

下稱為輸入電壓  $V_{IN}$  )，以及將輸入電壓  $V_{IN}$  輸出給輸出緩衝器 100。於圖 10 所示實施例中，轉換電路 1020 可以包括準位移位器 (level shifter) 1021 以及數位類比轉換器 (digital to analog converter, DAC) 1022。準位移位器 1021 可以調大目前像素資料  $P_c$  的電壓擺幅 (voltage swing)，而數位類比轉換器 1022 可以將目前像素資料轉換為輸入電壓  $V_{IN}$ 。數位類比轉換器 1022 可以將輸入電壓  $V_{IN}$  輸出給輸出緩衝器 100。在其他實施例中，準位移位器 1021 可能會因為設計需求而被省略，使得數位類比轉換器 1022 可以直接接收目前像素資料  $P_c$ 。

**【0054】** 圖 10 所示輸出緩衝器 100 可以參照圖 2 至圖 9 的相關說明來類推，故不再贅述。輸出緩衝器 100 的第一輸入端 (例如是非反相輸入端) 耦接至數位類比轉換器 1022 的輸出端，以接收輸入電壓  $V_{INT}$ 。輸出緩衝器 100 的輸出端可以產生輸出電壓  $V_{OUT}$  給顯示面板 13 的資料線  $DL_1$  以及回授電路 800 的輸入端。依據輸出電壓  $V_{OUT}$ ，回授電路 800 可以產生並輸出相關於輸出電壓  $V_{OUT}$  的回授電壓  $V_{FB}$  至輸出緩衝器 100 的第二輸入端 (例如是反相輸入端)。圖 10 所示回授電路 800 可以參照圖 2 至圖 9 的相關說明來類推，故不再贅述。

**【0055】** 依照應用環境的需求，控制電路 1050 可以選擇性地將一個掃描線期間 (一個像素電路被開啟 (turn on) 的期間) 切分為過驅動 (overdrive) 期間與正常驅動期間。基於控制電路 1050 對回授開關  $SW1$  以及回授電壓產生電路 810 的控制，輸出緩衝器 100 可以在

過驅動期間對資料線 DL\_1 進行過驅動，而在正常驅動期間對資料線 DL\_1 進行正常驅動。輸出緩衝器 100 可以在過驅動期間內對顯示面板 13 的資料線 DL\_1 進行過驅動，以提高輸出電壓 VOUT 的迴轉率 (slew rate)。基此，輸出緩衝器 100 內部的電性參數，例如尾電流 (tail current) 等，不需要為了提高迴轉率而調整/改變。

**【0056】** 依照應用環境的需求，控制電路 1050 也可以選擇性地將一個掃描線期間（一個像素電路被開啟的期間）全部做為正常驅動期間。亦即，輸出緩衝器 100 對資料線 DL\_1 進行的過驅動操作可以選擇性地被禁能 (disable)。

**【0057】** 關於過驅動期間的時間長度，其可以依照應用環境的需求而選擇性地被設置。於圖 1 所示實施例中，資料線 DL\_1 耦接顯示面板 13 的近像素電路（例如像素電路 P(1,1)）與遠像素電路（例如像素電路 P(1,n)）。所述近像素電路至源極驅動器 12 的距離小於所述遠像素電路至源極驅動器 12 的距離。一般而言，所述遠像素電路的時間常數大於所述近像素電路的時間常數。基於設計需求，控制電路 1050 可以依照像素電路在顯示面板 13 中的位置（像素電路至源極驅動器 12 的距離）而動態地調整所述過驅動期間的時間長度。舉例來說，與近像素電路相關的過驅動期間的時間長度小於與遠像素電路相關的過驅動期間的時間長度。

**【0058】** 回授開關 SW1 受控於控制電路 1050 的控制信號 S1。控制電路 1050 於過驅動期間截止回授開關 SW1，以及於正常驅動期間導通回授開關 SW1。當回授開關 SW1 為導通時，輸出電壓 VOUT

被用來作為回授電壓 VFB 而被回饋至輸出緩衝器 100 的第二輸入端。因此，輸出電壓 VOUT 可以追隨輸入電壓 VIN。

**【0059】** 在過驅動期間，回授電壓產生電路 810 可以產生並輸出相對於輸出電壓 VOUT 的回授電壓 VFB 至輸出緩衝器 100 的第二輸入端。當輸入電壓 VIN 處於「上升模式」時，回授電壓 VFB 低於輸出電壓 VOUT。當輸入電壓 VIN 處於「下降模式」時，回授電壓 VFB 高於輸出電壓 VOUT。因此，輸出緩衝器 100 可以在過驅動期間內對顯示面板 13 的資料線 DL<sub>1</sub> 進行過驅動，以提高輸出電壓 VOUT 的迴轉率。在正常驅動期間，回授電壓產生電路 810 可以不輸出回授電壓 VFB1 至輸出緩衝器 100 的第二輸入端。亦即，回授電壓產生電路 810 在正常驅動期間可以不干涉輸出緩衝器 100 的第二輸入端。

**【0060】** 於圖 10 所示實施例中，「輸入電壓 VIN 處於上升模式」可以被定義為「目前像素資料 Pc 所對應的輸入電壓 VIN 大於先前像素資料所對應的輸入電壓 VIN」，以及「輸入電壓 VIN 處於下降模式」可以被定義為「目前像素資料 Pc 所對應的輸入電壓 VIN 小於先前像素資料所對應的輸入電壓 VIN」。所述先前像素資料可以被理解為，在前一個掃描線期間中的目前像素資料 Pc。相對地，目前像素資料 Pc 是在目前掃描線期間中的像素資料。控制電路 1050 可以檢查目前像素資料 Pc 與先前像素資料，以判定輸入電壓 VIN 要被拉升或是要被拉降。

**【0061】** 當目前像素資料 Pc 大於先前像素資料並且驅動通道電路

12\_1 操作於正極性 (positive polarity) 時，控制電路 1050 可以判定「輸入電壓  $V_{IN}$  要被拉升」。或者，當目前像素資料  $P_c$  小於先前像素資料並且驅動通道電路 12\_1 操作於負極性 (negative polarity) 時，控制電路 1050 可以判定「輸入電壓  $V_{IN}$  要被拉升」。亦即，輸入電壓  $V_{IN}$  處於上升模式。當輸入電壓  $V_{IN}$  處於上升模式時，控制電路 1050 控制回授電壓產生電路 810，使得回授電壓  $V_{FB1}$  低於輸出電壓  $V_{OUT}$ 。回授電壓  $V_{FB1}$  在過驅動期間會被提供至輸出緩衝器 100 的第二輸入端做為回授電壓  $V_{FB}$  (此時回授開關  $SW1$  為截止)。因此，在過驅動期間輸出電壓  $V_{OUT1}$  可以高於目標準位。所述目標準位可以符合輸入電壓  $V_{IN}$  的準位。回授電壓  $V_{FB1}$  在正常驅動期間不會被提供至輸出緩衝器 100 的第二輸入端 (此時回授開關  $SW1$  為導通)。因此，在正常驅動期間輸出電壓  $V_{OUT}$  可以回復至目標準位 (例如輸入電壓  $V_{IN}$  的準位)。

**【0062】** 當目前像素資料  $P_c$  小於先前像素資料並且驅動通道電路 12\_1 操作於正極性時，控制電路 1050 可以判定「輸入電壓  $V_{IN}$  要被拉降」。或者，當目前像素資料  $P_c$  大於先前像素資料並且驅動通道電路 12\_1 操作於負極性時，控制電路 1050 可以判定「輸入電壓  $V_{IN}$  要被拉降」。亦即，輸入電壓  $V_{IN}$  處於下降模式。當輸入電壓  $V_{IN}$  處於下降模式時，控制電路 1050 控制回授電壓產生電路 810，使得回授電壓  $V_{FB1}$  高於輸出電壓  $V_{OUT}$ 。回授電壓  $V_{FB1}$  在過驅動期間會被提供至輸出緩衝器 100 的第二輸入端做為回授電壓  $V_{FB}$  (此時回授開關  $SW1$  為截止)。因此，在過驅動期間輸出電壓  $V_{OUT}$

可以低於目標準位。所述目標準位可以符合輸入電壓  $V_{IN}$  的準位。回授電壓  $V_{FB1}$  在正常驅動期間不會被提供至輸出緩衝器 100 的第二輸入端（此時回授開關  $SW1$  為導通）。因此，在正常驅動期間輸出電壓  $V_{OUT}$  可以回復至目標準位（例如輸入電壓  $V_{IN}$  的準位）。

**【0063】** 在其他實施例中，依照設計需求（針對一些特殊顯示面板），當目前像素資料  $P_c$  小於先前像素資料並且驅動通道電路 12\_1 操作於正極性時，控制電路 1050 可以判定「輸入電壓  $V_{IN}$  要被拉升」。或者，當目前像素資料  $P_c$  大於先前像素資料並且驅動通道電路 12\_1 操作於負極性時，控制電路 1050 可以判定「輸入電壓  $V_{IN}$  要被拉升」。亦即，輸入電壓  $V_{IN}$  處於上升模式。

**【0064】** 在其他實施例中，依照不同的設計需求（針對一些特殊顯示面板），當目前像素資料  $P_c$  大於先前像素資料並且驅動通道電路 12\_1 操作於正極性時，控制電路 1050 可以判定「輸入電壓  $V_{IN}$  要被拉降」。或者，當目前像素資料  $P_c$  小於先前像素資料並且驅動通道電路 12\_1 操作於負極性時，控制電路 1050 可以判定「輸入電壓  $V_{IN}$  要被拉降」。亦即，輸入電壓  $V_{IN}$  處於下降模式。

**【0065】** 圖 11 是依照本發明的一實施例說明圖 10 所示阻抗電路 811 的電路方塊示意圖。於圖 11 所示實施例中，阻抗電路 811 包括分壓電阻  $R2$ 、開關  $SW4$  以及開關  $SW5$ 。分壓電阻  $R2$  的第一端耦接至分壓電阻  $R1$  的第二端。分壓電阻  $R1$  與分壓電阻  $R2$  的阻值比例可以依照設計需求來決定。分壓電阻  $R1$  與分壓電阻  $R2$  可以進行分壓操作，以產生相關於輸出電壓  $V_{OUT}$  的回授電壓  $V_{FB1}$ 。

【0066】 開關 SW4 的第一端與開關 SW5 的第一端共同耦接至分壓電阻 R2 的第二端。開關 SW4 的第二端耦接至參考電壓 VSSA。依照設計需求，參考電壓 VSSA 可以是低於輸出電壓 VOUT 的任何電壓，例如接地電壓或是其他固定電壓。開關 SW5 的第二端耦接至系統電壓 VDDA。依照設計需求，系統電壓 VDDA 可以是高於輸出電壓 VIN 的任何電壓。開關 SW4 受控於控制電路 1050 的控制信號 S4，而開關 SW5 受控於控制電路 1050 的控制信號 S5。當輸入電壓 VIN 處於上升模式時，控制電路 1050 導通開關 SW4 並且截止開關 SW5。當輸入電壓 VIN 處於下降模式時，控制電路 1050 截止開關 SW4 並且導通開關 SW5。

【0067】 圖 12 是依照本發明的又一實施例說明圖 10 所示阻抗電路 811 的電路方塊示意圖。於圖 12 所示實施例中，阻抗電路 811 包括分壓電阻 R3、分壓電阻 R4、開關 SW4 以及開關 SW5。開關 SW4 的第一端耦接至分壓電阻 R1 的第二端。分壓電阻 R3 的第一端耦接至開關 SW4 的第二端。分壓電阻 R3 的第二端耦接至參考電壓 VSSA。依照設計需求，參考電壓 VSSA 可以是低於輸出電壓 VOUT 的任何電壓，例如接地電壓或是其他固定電壓。開關 SW4 受控於控制電路 1050 的控制信號 S4。當輸入電壓 VIN 處於上升模式時，控制電路 1050 導通開關 SW4。當輸入電壓 VIN 處於下降模式時，控制電路 1050 截止開關 SW4。

【0068】 開關 SW5 的第一端耦接至分壓電阻 R1 的第二端。分壓電阻 R4 的第一端耦接至開關 SW5 的第二端。分壓電阻 R4 的第二端

耦接至系統電壓  $VDDA$ 。依照設計需求，系統電壓  $VDDA$  可以是高於輸出電壓  $VOUT$  的任何電壓。開關  $SW5$  受控於控制電路 1050 的控制信號  $S5$ 。當輸入電壓  $VIN$  處於上升模式時，控制電路 1050 截止開關  $SW5$ 。當輸入電壓  $VIN$  處於下降模式時，控制電路 1050 導通開關  $SW5$ 。

**【0069】** 分壓電阻  $R3$  的阻值與分壓電阻  $R4$  的阻值可以依照設計需求來決定。舉例來說，分壓電阻  $R3$  的阻值可以不同於分壓電阻  $R4$  的阻值。因此，當輸入電壓  $VIN$  處於上升模式時，分壓電阻  $R1$  與分壓電阻  $R3$  可以提供第一阻值比例。當輸入電壓  $VIN$  處於下降模式時，分壓電阻  $R1$  與分壓電阻  $R4$  可以提供第二阻值比例，其中第二阻值比例不同於第一阻值比例。

**【0070】** 圖 13 是依照本發明的再一實施例說明圖 10 所示阻抗電路 811 的電路方塊示意圖。於圖 13 所示實施例中，阻抗電路 811 包括分壓電阻  $R2$  以及數位類比轉換電路 1310。分壓電阻  $R2$  的第一端耦接至分壓電阻  $R1$  的第二端。圖 13 所示分壓電阻  $R2$  可以參照圖 11 所示分壓電阻  $R2$  的相關說明來類推，故不再贅述。

**【0071】** 控制電路 1050 可以記錄在前一個掃描線期間中的目前像素資料  $Pc$ ，作為先前像素資料  $Pp$ 。數位類比轉換電路 1310 的輸入端耦接至控制電路 1050，以接收先前像素資料  $Pp$ 。數位類比轉換電路 1310 的輸出端耦接至分壓電阻  $R2$  的第二端。數位類比轉換電路 1310 可以將先前像素資料  $Pp$  轉換為先前電壓  $Vp$ 。數位類比轉換電路 1310 可以將先前電壓  $Vp$  輸出給分壓電阻  $R2$  的第二端。當目前



像素資料  $P_c$  大於先前像素資料  $P_p$  並且驅動通道電路 12\_1 操作於正極性時，相關於目前像素資料  $P_c$  的輸入電壓  $V_{IN}$  大於相關於先前像素資料  $P_p$  的先前電壓  $V_p$ ，使得回授電壓  $V_{FB1}$  低於輸出電壓  $V_{OUT}$ 。當目前像素資料  $P_c$  小於先前像素資料  $P_p$  並且驅動通道電路 12\_1 操作於正極性時，相關於目前像素資料  $P_c$  的輸入電壓  $V_{IN}$  小於相關於先前像素資料  $P_p$  的先前電壓  $V_p$ ，使得回授電壓  $V_{FB1}$  高於輸出電壓  $V_{OUT}$ 。

**【0072】** 當目前像素資料  $P_c$  小於先前像素資料  $P_p$  並且驅動通道電路 12\_1 操作於負極性時，相關於目前像素資料  $P_c$  的輸入電壓  $V_{IN}$  大於相關於先前像素資料  $P_p$  的先前電壓  $V_p$ ，使得回授電壓  $V_{FB1}$  低於輸出電壓  $V_{OUT}$ 。當目前像素資料  $P_c$  大於先前像素資料  $P_p$  並且驅動通道電路 12\_1 操作於負極性時，相關於目前像素資料  $P_c$  的輸入電壓  $V_i$  小於相關於先前像素資料  $P_p$  的先前電壓  $V_p$ ，使得回授電壓  $V_{FB1}$  高於輸出電壓  $V_{OUT}$ 。

**【0073】** 在其他實施例中，依照不同的設計需求（針對一些特殊顯示面板），當目前像素資料  $P_c$  小於先前像素資料  $P_p$  並且驅動通道電路 12\_1 操作於正極性時，相關於目前像素資料  $P_c$  的輸入電壓  $V_{IN}$  大於相關於先前像素資料  $P_p$  的先前電壓  $V_p$ ，使得回授電壓  $V_{FB1}$  低於輸出電壓  $V_{OUT}$ 。當目前像素資料  $P_c$  大於先前像素資料  $P_p$  並且驅動通道電路 12\_1 操作於正極性時，相關於目前像素資料  $P_c$  的輸入電壓  $V_i$  小於相關於先前像素資料  $P_p$  的先前電壓  $V_p$ ，使得回授電壓  $V_{FB1}$  高於輸出電壓  $V_{OUT}$ 。

【0074】 在其他實施例中，依照不同的設計需求（針對一些特殊顯示面板），當目前像素資料  $P_c$  大於先前像素資料  $P_p$  並且驅動通道電路 12\_1 操作於負極性時，相對於目前像素資料  $P_c$  的輸入電壓  $V_{IN}$  大於相對於先前像素資料  $P_p$  的先前電壓  $V_p$ ，使得回授電壓  $V_{FB1}$  低於輸出電壓  $V_{OUT}$ 。當目前像素資料  $P_c$  小於先前像素資料  $P_p$  並且驅動通道電路 12\_1 操作於負極性時，相對於目前像素資料  $P_c$  的輸入電壓  $V_i$  小於相對於先前像素資料  $P_p$  的先前電壓  $V_p$ ，使得回授電壓  $V_{FB1}$  高於輸出電壓  $V_{OUT}$ 。

【0075】 於圖 13 所示實施例中，數位類比轉換電路 1310 包括數位類比轉換器 1311 以及單元增益緩衝器 1312。數位類比轉換器 1311 的輸入端耦接至控制電路 1050，以接收先前像素資料  $P_p$ 。單元增益緩衝器 1312 的輸入端耦接至數位類比轉換器 1311 的輸出端。單元增益緩衝器 1312 的輸出端耦接至分壓電阻 R2 的第二端，以提供先前電壓  $V_p$ 。數位類比轉換電路 1310 可以根據先前像素資料  $P_p$  動態地改變為先前電壓  $V_p$ 。在其他實施例中，數位類比轉換電路 1310 可以自由地將先前電壓  $V_p$  設置為系統電壓  $V_{DDA}$ 、參考電壓  $V_{SSA}$  或任何其他電壓。

【0076】 圖 14 是依照本發明的更一實施例說明圖 10 所示阻抗電路 811 的電路方塊示意圖。於圖 14 所示實施例中，阻抗電路 811 包括分壓電阻 R3、分壓電阻 R4、開關 SW4、開關 SW5 以及數位類比轉換電路 1310。圖 6 所示分壓電阻 R3、分壓電阻 R4、開關 SW4 以及開關 SW5 可以參照圖 4 所示分壓電阻 R3、分壓電阻 R4、開關 SW4

以及開關 SW5 的相關說明來類推，故不再贅述。

【0077】 分壓電阻 R3 的第一端耦接至開關 SW34 的第二端。分壓電阻 R4 的第一端耦接至開關 SW5 的第二端。數位類比轉換電路 1310 的輸出端耦接至分壓電阻 R3 的第二端與分壓電阻 R4 的第二端。數位類比轉換電路 1310 可以將先前像素資料 Pp 轉換為先前電壓 Vp。數位類比轉換電路 1310 可以將先前電壓 Vp 輸出給分壓電阻 R3 的第二端與分壓電阻 R4 的第二端。圖 14 所示數位類比轉換電路 1310 可以參照圖 13 所示數位類比轉換電路 1310 的相關說明來類推，故不再贅述。

【0078】 依照不同的設計需求，上述控制電路 1050 的方塊的實現方式可以是硬體、韌體、軟體（即程式）或是前述三者中的多者的組合形式。以硬體形式而言，上述控制電路 1050 的方塊可以實現於積體電路上的邏輯電路。上述控制電路 1050 的相關功能可以利用硬體描述語言（例如 Verilog HDL 或 VHDL）或其他合適的編程語言來實現為硬體。舉例來說，上述控制電路 1050 的相關功能可以被實現於一或多個控制器、微控制器、微處理器、特殊應用積體電路（ASIC）、數位信號處理器（DSP）、場可程式邏輯閘陣列（FPGA）及/或其他處理單元中的各種邏輯區塊、模組和電路。

【0079】 綜上所述，本發明諸實施例所述源極驅動器 12 及其輸出緩衝器 100 可以選擇性地改變輸出緩衝器 100 的回授電壓 VFB。在對一個像素進行驅動的期間可以包括過驅動期間與正常驅動期間。所述源極驅動器 12 中的回授電路 800 可以在過驅動期間內調高（或調

低)輸出緩衝器 100 的回授電壓 VFB，並且輸出緩衝器 100 可以比較輸入電壓 VIN 與回授電壓 VFB。當比較結果表示當回授電壓 VFB 要被拉升時，輸出緩衝器 100 的輸出級電路 120 的閘控電壓 PGATE 與閘控電壓 NGATE 被拉降，以提升輸出電壓 VOUT 的迴轉率。當回授電壓 VFB 要被拉降時，輸出緩衝器 100 的輸出級電路 120 的閘控電壓 PGATE 與閘控電壓 NGATE 被拉升，以提升輸出電壓 VOUT 的迴轉率。因此，本發明的源極驅動器 12 可在短時間內對輸出電壓 VOUT 進行過驅動。

**【0080】** 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

### **【符號說明】**

#### **【0081】**

10：顯示裝置

11：閘極驅動器

12：源極驅動器

12\_1、12\_2、12\_m：驅動通道電路

13：顯示面板

100：輸出緩衝器

110：輸入級電路

120：輸出級電路

130：上升控制電路

131、132：比較電路

140：下降控制電路

141、142：比較電路

310、510：電流鏡

800：回授電路

810：回授電壓產生電路

811：阻抗電路

1010：閃鎖器

1020：轉換電路

1021：準位移位器

1022：數位類比轉換器

1050：控制電路

1310：數位類比轉換電路

1311：數位類比轉換器

1312：單元增益緩衝器

DL\_1、DL\_2、DL\_m：資料線

EN、ENB：控制信號

N1~N12、P1~P12：電晶體

NGATE、PGATE：閘控電壓

P(1,1)、P(m,1)、P(1,n)、P(m,n)：像素電路

Pc：目前像素資料

Pp：先前像素資料

R1、R2、R3、R4：分壓電阻

S1、S2、S3、S4、S5：控制信號

S210～S270：步驟

SL\_1、SL\_2、SL\_n：掃描線

SW1：回授開關

SW2、SW3、SW4、SW5：開關

T1：過驅動期間

T2：正常驅動期間

VC1、VC2：控制電壓

VDDA：系統電壓

VFB、VFB1：回授電壓

VIN：輸入電壓

VOUT：輸出電壓

VSSA：參考電壓

## 【發明申請專利範圍】

【第1項】一種源極驅動器，包括一輸出緩衝器與一回授電路，其中該輸出緩衝器包括：

一輸入級電路，具有一第一輸入端與一第二輸入端，其中該輸入級電路的該第一輸入端接收該輸出緩衝器的一輸入電壓，該輸入級電路的該第二輸入端耦接至該回授電路的一輸出端以接收一第一回授電壓，且該輸入級電路經配置以依照該輸入電壓與該第一回授電壓對應地產生一第一閘控電壓與一第二閘控電壓；

一輸出級電路，耦接至該輸入級電路以接收該第一閘控電壓與該第二閘控電壓，經配置用以依照該第一閘控電壓與該第二閘控電壓對應地產生該輸出緩衝器的一輸出電壓給一顯示面板的一資料線，其中該輸出級電路的一輸出端耦接至該回授電路的一輸入端；

一上升控制電路，經配置用以比較該輸入電壓與該第一回授電壓而獲得一第一比較結果，其中當該第一比較結果表示該第一回授電壓要被拉升，即該輸入電壓大於該第一回授電壓時，該上升控制電路於一第一暫態期間拉降該第一閘控電壓與該第二閘控電壓；以及

一下降控制電路，經配置用以比較該輸入電壓與該第一回授電壓而獲得一第二比較結果，其中當該第二比較結果表示該第一回授電壓要被拉降，即該輸入電壓小於該第一回授電壓時，該下降控制電路於一第二暫態期間拉升該第一閘控電壓與該第二閘控

電壓，

其中該回授電路用以產生並輸出相關於該輸出電壓的該第一回授電壓至該輸入級電路的該第二輸入端。

【第2項】如申請專利範圍第1項所述的源極驅動器，其中該輸出級電路包括：

一第一電晶體，具有一控制端耦接至該輸入級電路以接收該第一閘控電壓，其中該第一電晶體的一第一端耦接至一系統電壓，該第一電晶體的一第二端耦接至該輸出級電路的該輸出端；以及

一第二電晶體，具有一控制端耦接至該輸入級電路以接收該第二閘控電壓，其中該第二電晶體的一第一端耦接至一參考電壓，該第二電晶體的一第二端耦接至該輸出級電路的該輸出端。

【第3項】如申請專利範圍第1項所述的源極驅動器，其中

當該輸入電壓大於該第一回授電壓時，該上升控制電路拉降該第一閘控電壓與該第二閘控電壓，以及

當該輸入電壓小於或等於該第一回授電壓時，該上升控制電路不調整該第一閘控電壓與該第二閘控電壓。

【第4項】如申請專利範圍第1項所述的源極驅動器，其中該上升控制電路包括：

一比較電路，經配置用以比較該輸入電壓與該第一回授電壓而產生一控制電壓作為該第一比較結果；

一第一電晶體，具有一控制端耦接至該比較電路的一輸出端



以接收該控制電壓，其中該第一電晶體的一第一端耦接至一參考電壓，該第一電晶體的一第二端耦接至該輸出級電路的一第一輸入端以接收該第一閘控電壓；以及

一第二電晶體，具有一控制端耦接至該比較電路的該輸出端以接收該控制電壓，其中該第二電晶體的一第一端耦接至該參考電壓，該第二電晶體的一第二端耦接至該輸出級電路的一第二輸入端以接收該第二閘控電壓。

【第5項】如申請專利範圍第4項所述的源極驅動器，其中該比較電路包括：

一第三電晶體，具有一控制端耦接至該輸入電壓，其中該第三電晶體的一第一端耦接至該第一回授電壓；

一電流鏡，具有一主電流端耦接至該第三電晶體的一第二端，其中該電流鏡的一僕電流端耦接至該比較電路的該輸出端；以及

一第四電晶體，具有一控制端耦接至該比較電路的該輸出端，其中該第四電晶體的一第一端耦接至該參考電壓，該第四電晶體的一第二端耦接至該電流鏡的該僕電流端。

【第6項】如申請專利範圍第4項所述的源極驅動器，其中該比較電路包括：

一第三電晶體，具有一控制端耦接至該輸入電壓，其中該第三電晶體的一第一端耦接至該第一回授電壓；

一第四電晶體，具有一控制端受控於一第一控制信號，其中

該第四電晶體的一第一端耦接至該第三電晶體的一第二端；

一電流鏡，具有一主電流端耦接至該第四電晶體的一第二端，其中該電流鏡的一僕電流端耦接至該比較電路的該輸出端；

一第五電晶體，具有一控制端受控於該第一控制信號，其中該第五電晶體的一第一端耦接至一系統電壓，該第五電晶體的第二端耦接至該電流鏡的一致能端；以及

一第六電晶體，具有一控制端耦接至該比較電路的該輸出端，其中該第六電晶體的一第一端耦接至該參考電壓，該第六電晶體的一第二端耦接至該電流鏡的該僕電流端。

**【第7項】** 如申請專利範圍第6項所述的源極驅動器，其中該比較電路更包括：

一第七電晶體，具有一控制端受控於一第二控制信號，其中該第七電晶體的一第一端耦接至該參考電壓，該第七電晶體的一第二端耦接至該第六電晶體的該控制端。

**【第8項】** 如申請專利範圍第1項所述的源極驅動器，其中

當該輸入電壓小於該第一回授電壓時，該下降控制電路拉升該第一閘控電壓與該第二閘控電壓，以及

當該輸入電壓大於或等於該第一回授電壓時，該下降控制電路不調整該第一閘控電壓與該第二閘控電壓。

**【第9項】** 如申請專利範圍第1項所述的源極驅動器，其中該下降控制電路包括：

一比較電路，經配置用以比較該輸入電壓與該第一回授電壓

而產生一控制電壓作為該第二比較結果；

一第一電晶體，具有一控制端耦接至該比較電路的一輸出端以接收該控制電壓，其中該第一電晶體的一第一端耦接至一系統電壓，該第一電晶體的一第二端耦接至該輸出級電路的一第一輸入端以接收該第一閘控電壓；以及

一第二電晶體，具有一控制端耦接至該比較電路的該輸出端以接收該控制電壓，其中該第二電晶體的一第一端耦接至該系統電壓，該第二電晶體的一第二端耦接至該輸出級電路的一第二輸入端以接收該第二閘控電壓。

**【第10項】** 如申請專利範圍第9項所述的源極驅動器，其中該比較電路包括：

一第三電晶體，具有一控制端耦接至該輸入電壓，其中該第三電晶體的一第一端耦接至該第一回授電壓；

一電流鏡，具有一主電流端耦接至該第三電晶體的一第二端，其中該電流鏡的一僕電流端耦接至該比較電路的該輸出端；以及

一第四電晶體，具有一控制端耦接至該比較電路的該輸出端，其中該第四電晶體的一第一端耦接至該系統電壓，該第四電晶體的一第二端耦接至該電流鏡的該僕電流端。

**【第11項】** 如申請專利範圍第9項所述的源極驅動器，其中該比較電路包括：

一第三電晶體，具有一控制端耦接至該輸入電壓，其中該第

三電晶體的一第一端耦接至該第一回授電壓；

一第四電晶體，具有一控制端受控於一第一控制信號，其中該第四電晶體的一第一端耦接至該第三電晶體的一第二端；

一電流鏡，具有一主電流端耦接至該第四電晶體的一第二端，其中該電流鏡的一僕電流端耦接至該比較電路的該輸出端；

一第五電晶體，具有一控制端受控於該第一控制信號，其中該第五電晶體的一第一端耦接至一參考電壓，該第五電晶體的第二端耦接至該電流鏡的一致能端；以及

一第六電晶體，具有一控制端耦接至該比較電路的該輸出端，其中該第六電晶體的一第一端耦接至該系統電壓，該第六電晶體的一第二端耦接至該電流鏡的該僕電流端。

【第12項】如申請專利範圍第11項所述的源極驅動器，其中該比較電路更包括：

一第七電晶體，具有一控制端受控於一第二控制信號，其中該第七電晶體的一第一端耦接至該系統電壓，該第七電晶體的一第二端耦接至該第六電晶體的該控制端。

【第13項】如申請專利範圍第1項所述的源極驅動器，其中該回授電路包括：

一回授開關，具有一第一端與一第二端分別耦接至該輸入級電路的該第二輸入端與該輸出級電路的該輸出端，其中該回授開關於一過驅動期間為截止，以及該回授開關於一正常驅動期間為導通以傳送該輸出電壓做為該第一回授電壓至該輸入級電路的該

第二輸入端；以及

一回授電壓產生電路，用以在該過驅動期間產生並輸出相關於該輸出電壓的一第二回授電壓做為該第一回授電壓至該輸入級電路的該第二輸入端，以及在該正常驅動期間不輸出該第二回授電壓至該輸入級電路的該第二輸入端，其中當該輸入電壓處於一上升模式時，該第二回授電壓低於該輸出電壓，以及當該輸入電壓處於一下降模式時，該第二回授電壓高於該輸出電壓。

**【第14項】** 如申請專利範圍第13項所述的源極驅動器，更包括：

一數位類比轉換器，耦接至該輸入級電路的該第一輸入端，用以將一目前像素資料轉換為該輸入電壓，以及將該輸入電壓輸出給該輸入級電路的該第一輸入端；

其中「該輸入電壓處於該上升模式」被定義為「該目前像素資料所對應的該輸入電壓大於一先前像素資料所對應的該輸入電壓」，以及「該輸入電壓處於該下降模式」被定義為「該目前像素資料所對應的該輸入電壓小於該先前像素資料所對應的該輸入電壓」。

**【第15項】** 如申請專利範圍第13項所述的源極驅動器，其中該資料線耦接該顯示面板的一近像素電路與一遠像素電路，該近像素電路至該源極驅動器的距離小於該遠像素電路至該源極驅動器的距離，以及與該近像素電路相關的該過驅動期間小於與該遠像素電路相關的該過驅動期間。

【第16項】如申請專利範圍第13項所述的源極驅動器，其中該回授電壓產生電路包括：

一第一開關，具有一第一端耦接至該輸出級電路的該輸出端，其中該第一開關於該過驅動期間為導通，以及該第一開關於該正常驅動期間為截止；

一第二開關，具有一第一端耦接至該輸入級電路的該第二輸入端，其中該第二開關於該過驅動期間為導通，以及該第二開關於該正常驅動期間為截止；

一第一分壓電阻，具有一第一端耦接至該第一開關的一第二端，其中該第一分壓電阻的一第二端耦接至該第二開關的一第二端；以及

一阻抗電路，耦接至該第一分壓電阻的該第二端。

【第17項】如申請專利範圍第16項所述的源極驅動器，其中該阻抗電路包括：

一第二分壓電阻，具有一第一端耦接至該第一分壓電阻的該第二端；

一第三開關，具有一第一端耦接至該第二分壓電阻的一第二端，其中該第三開關的一第二端耦接至一參考電壓，該參考電壓低於該輸出電壓，當該輸入電壓處於該上升模式時該第三開關為導通，以及當該輸入電壓處於該下降模式時該第三開關為截止；以及

一第四開關，具有一第一端耦接至該第二分壓電阻的該第二

端，其中該第四開關的一第二端耦接至一系統電壓，該系統電壓高於該輸出電壓，當該輸入電壓處於該上升模式時該第四開關為截止，以及當該輸入電壓處於該下降模式時該第四開關為導通。

【第18項】如申請專利範圍第16項所述的源極驅動器，其中該阻抗電路包括：

一第三開關，具有一第一端耦接至該第一分壓電阻的該第二端，其中當該輸入電壓處於該上升模式時該第三開關為導通，以及當該輸入電壓處於該下降模式時該第三開關為截止；

一第二分壓電阻，具有一第一端耦接至該第三開關的一第二端，其中該第二分壓電阻的一第二端耦接至一參考電壓，該參考電壓低於該輸出電壓；

一第四開關，具有一第一端耦接至該第一分壓電阻的該第二端，其中當該輸入電壓處於該上升模式時該第四開關為截止，以及當該輸入電壓處於該下降模式時該第四開關為導通；以及

一第三分壓電阻，具有一第一端耦接至該第四開關的一第二端，其中該第三分壓電阻的一第二端耦接至一系統電壓，該系統電壓高於該輸出電壓。

【第19項】如申請專利範圍第16項所述的源極驅動器，其中該阻抗電路包括：

一第二分壓電阻，具有一第一端耦接至該第一分壓電阻的該第二端；以及

一數位類比轉換電路，具有一輸出端耦接至該第二分壓電阻

的一第二端，用以將一先前像素資料轉換為一先前電壓，以及將該先前電壓輸出給該第二分壓電阻的該第二端。

【第20項】如申請專利範圍第19項所述的源極驅動器，其中該數位類比轉換電路包括：

一數位類比轉換器，具有一輸入端用以接收該先前像素資料；以及

一單元增益緩衝器，具有一輸入端耦接至該數位類比轉換器的一輸出端，其中該單元增益緩衝器的一輸出端耦接至該第二分壓電阻的該第二端以供應該先前電壓。

【第21項】如申請專利範圍第16項所述的源極驅動器，其中該阻抗電路包括：

一第三開關，具有一第一端耦接至該第一分壓電阻的該第二端，其中當該輸入電壓處於該上升模式時該第三開關為導通，以及當該輸入電壓處於該下降模式時該第三開關為截止；

一第二分壓電阻，具有一第一端耦接至該第三開關的一第二端；

一第四開關，具有一第一端耦接至該第一分壓電阻的該第二端，其中當該輸入電壓處於該上升模式時該第四開關為截止，以及當該輸入電壓處於該下降模式時該第四開關為導通；

一第三分壓電阻，具有一第一端耦接至該第四開關的一第二端；以及

一數位類比轉換電路，具有一輸出端耦接至該第二分壓電阻



的一第二端與該第三分壓電阻的一第二端，用以將一先前像素資料轉換為一先前電壓，以及將該先前電壓輸出給該第二分壓電阻的該第二端與該第三分壓電阻的該第二端。

【第22項】一種輸出緩衝器，包括：

一輸入級電路，具有一第一輸入端與一第二輸入端，其中該輸入級電路的該第一輸入端經配置用以接收該輸出緩衝器的一輸入電壓，該輸入級電路的該第二輸入端經配置用以接收該輸出緩衝器的一第一回授電壓，以及該輸入級電路依照該輸入電壓與該第一回授電壓對應地產生一第一閘控電壓與一第二閘控電壓；

一輸出級電路，耦接至該輸入級電路以接收該第一閘控電壓與該第二閘控電壓，經配置用以依照該第一閘控電壓與該第二閘控電壓對應地產生該輸出緩衝器的一輸出電壓；

一上升控制電路，經配置用以比較該輸入電壓與該第一回授電壓而獲得一第一比較結果，其中當該第一比較結果表示該第一回授電壓要被拉升，即該輸入電壓大於該第一回授電壓時，該上升控制電路於一第一暫態期間拉降該第一閘控電壓與該第二閘控電壓；以及

一下降控制電路，經配置用以比較該輸入電壓與該第一回授電壓而獲得一第二比較結果，其中當該第二比較結果表示該第一回授電壓要被拉降，即該輸入電壓小於該第一回授電壓時，該下降控制電路於一第二暫態期間拉升該第一閘控電壓與該第二閘控電壓。

【第23項】 如申請專利範圍第22項所述的輸出緩衝器，其中該輸出級電路包括：

一第一電晶體，具有一控制端耦接至該輸入級電路以接收該第一閘控電壓，其中該第一電晶體的一第一端耦接至一系統電壓，該第一電晶體的一第二端耦接至該輸出級電路的一輸出端，而該輸出級電路的該輸出端輸出該輸出緩衝器的該輸出電壓；以及

一第二電晶體，具有一控制端耦接至該輸入級電路以接收該第二閘控電壓，其中該第二電晶體的一第一端耦接至一參考電壓，該第二電晶體的一第二端耦接至該輸出級電路的該輸出端。

【第24項】 如申請專利範圍第22項所述的輸出緩衝器，其中

當該輸入電壓大於該第一回授電壓時，該上升控制電路拉降該第一閘控電壓與該第二閘控電壓，以及

當該輸入電壓小於或等於該第一回授電壓時，該上升控制電路不調整該第一閘控電壓與該第二閘控電壓。

【第25項】 如申請專利範圍第22項所述的輸出緩衝器，其中該上升控制電路包括：

一比較電路，經配置用以比較該輸入電壓與該第一回授電壓而產生一控制電壓作為該第一比較結果；

一第一電晶體，具有一控制端耦接至該比較電路的一輸出端以接收該控制電壓，其中該第一電晶體的一第一端耦接至一參考電壓，該第一電晶體的一第二端耦接至該輸出級電路的一第一輸

入端以接收該第一閘控電壓；以及

一第二電晶體，具有一控制端耦接至該比較電路的該輸出端以接收該控制電壓，其中該第二電晶體的一第一端耦接至該參考電壓，該第二電晶體的一第二端耦接至該輸出級電路的一第二輸入端以接收該第二閘控電壓。

【第26項】如申請專利範圍第25項所述的輸出緩衝器，其中該比較電路包括：

一第三電晶體，具有一控制端耦接至該輸入電壓，其中該第三電晶體的一第一端耦接至該第一回授電壓；

一電流鏡，具有一主電流端耦接至該第三電晶體的一第二端，其中該電流鏡的一僕電流端耦接至該比較電路的該輸出端；以及

一第四電晶體，具有一控制端耦接至該比較電路的該輸出端，其中該第四電晶體的一第一端耦接至該參考電壓，該第四電晶體的一第二端耦接至該電流鏡的該僕電流端。

【第27項】如申請專利範圍第25項所述的輸出緩衝器，其中該比較電路包括：

一第三電晶體，具有一控制端耦接至該輸入電壓，其中該第三電晶體的一第一端耦接至該第一回授電壓；

一第四電晶體，具有一控制端受控於一第一控制信號，其中該第四電晶體的一第一端耦接至該第三電晶體的一第二端；

一電流鏡，具有一主電流端耦接至該第四電晶體的一第二

端，其中該電流鏡的一僕電流端耦接至該比較電路的該輸出端；

一第五電晶體，具有一控制端受控於該第一控制信號，其中該第五電晶體的一第一端耦接至一系統電壓，該第五電晶體的第二端耦接至該電流鏡的一致能端；以及

一第六電晶體，具有一控制端耦接至該比較電路的該輸出端，其中該第六電晶體的一第一端耦接至該參考電壓，該第六電晶體的一第二端耦接至該電流鏡的該僕電流端。

**【第28項】** 如申請專利範圍第27項所述的輸出緩衝器，其中該比較電路更包括：

一第七電晶體，具有一控制端受控於一第二控制信號，其中該第七電晶體的一第一端耦接至該參考電壓，該第七電晶體的一第二端耦接至該第六電晶體的該控制端。

**【第29項】** 如申請專利範圍第22項所述的輸出緩衝器，其中

當該輸入電壓小於該第一回授電壓時，該下降控制電路拉升該第一閘控電壓與該第二閘控電壓，以及

當該輸入電壓大於或等於該第一回授電壓時，該下降控制電路不調整該第一閘控電壓與該第二閘控電壓。

**【第30項】** 如申請專利範圍第22項所述的輸出緩衝器，其中該下降控制電路包括：

一比較電路，經配置用以比較該輸入電壓與該第一回授電壓而產生一控制電壓作為該第二比較結果；

一第一電晶體，具有一控制端耦接至該比較電路的一輸出端

以接收該控制電壓，其中該第一電晶體的一第一端耦接至一系統電壓，該第一電晶體的一第二端耦接至該輸出級電路的一第一輸入端以接收該第一閘控電壓；以及

一第二電晶體，具有一控制端耦接至該比較電路的該輸出端以接收該控制電壓，其中該第二電晶體的一第一端耦接至該系統電壓，該第二電晶體的一第二端耦接至該輸出級電路的一第二輸入端以接收該第二閘控電壓。

【第31項】如申請專利範圍第30項所述的輸出緩衝器，其中該比較電路包括：

一第三電晶體，具有一控制端耦接至該輸入電壓，其中該第三電晶體的一第一端耦接至該第一回授電壓；

一電流鏡，具有一主電流端耦接至該第三電晶體的一第二端，其中該電流鏡的一僕電流端耦接至該比較電路的該輸出端；以及

一第四電晶體，具有一控制端耦接至該比較電路的該輸出端，其中該第四電晶體的一第一端耦接至該系統電壓，該第四電晶體的一第二端耦接至該電流鏡的該僕電流端。

【第32項】如申請專利範圍第30項所述的輸出緩衝器，其中該比較電路包括：

一第三電晶體，具有一控制端耦接至該輸入電壓，其中該第三電晶體的一第一端耦接至該第一回授電壓；

一第四電晶體，具有一控制端受控於一第一控制信號，其中

該第四電晶體的一第一端耦接至該第三電晶體的一第二端；

一電流鏡，具有一主電流端耦接至該第四電晶體的一第二端，其中該電流鏡的一僕電流端耦接至該比較電路的該輸出端；

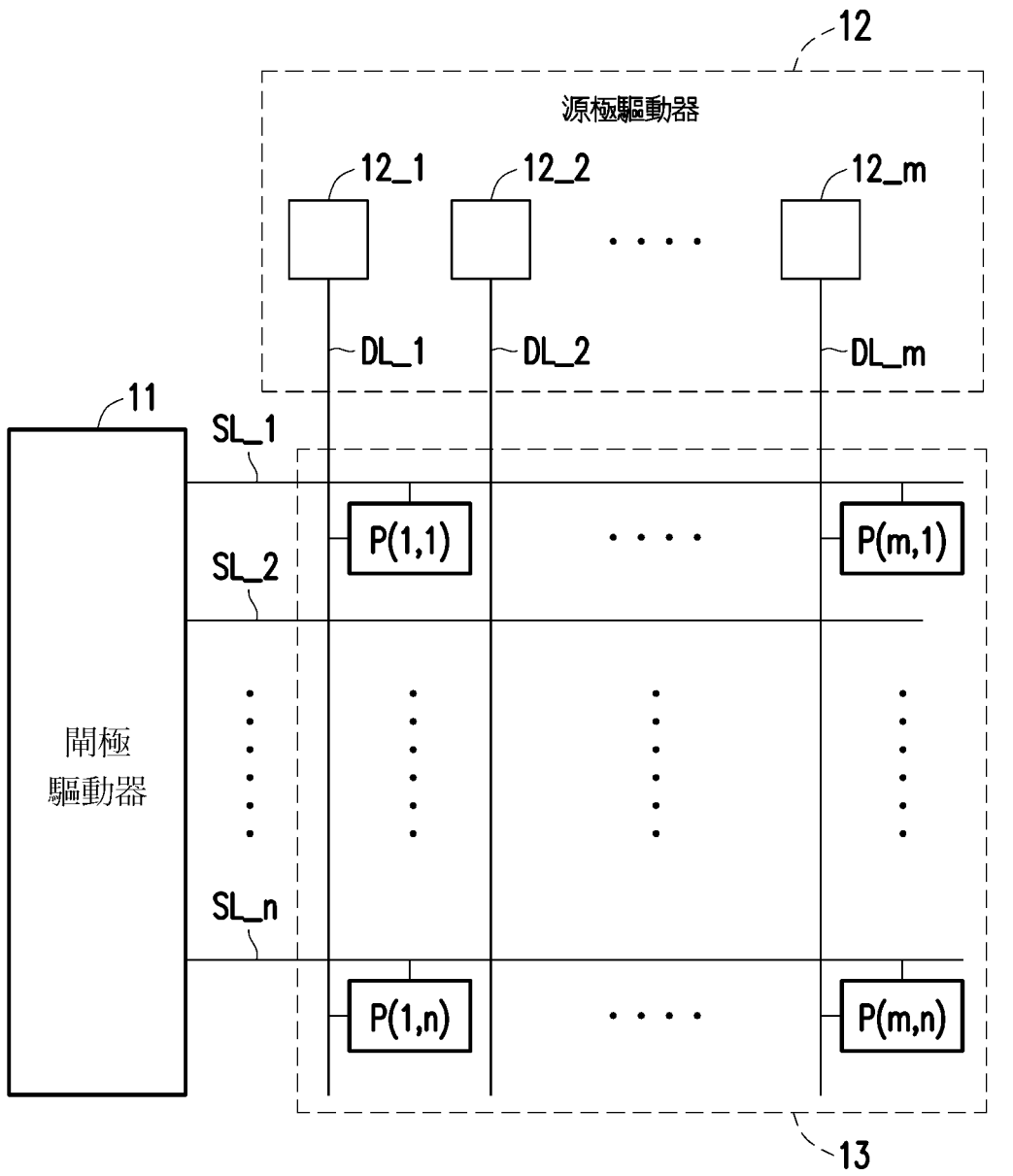
一第五電晶體，具有一控制端受控於該第一控制信號，其中該第五電晶體的一第一端耦接至一參考電壓，該第五電晶體的第二端耦接至該電流鏡的一致能端；以及

一第六電晶體，具有一控制端耦接至該比較電路的該輸出端，其中該第六電晶體的一第一端耦接至該系統電壓，該第六電晶體的一第二端耦接至該電流鏡的該僕電流端。

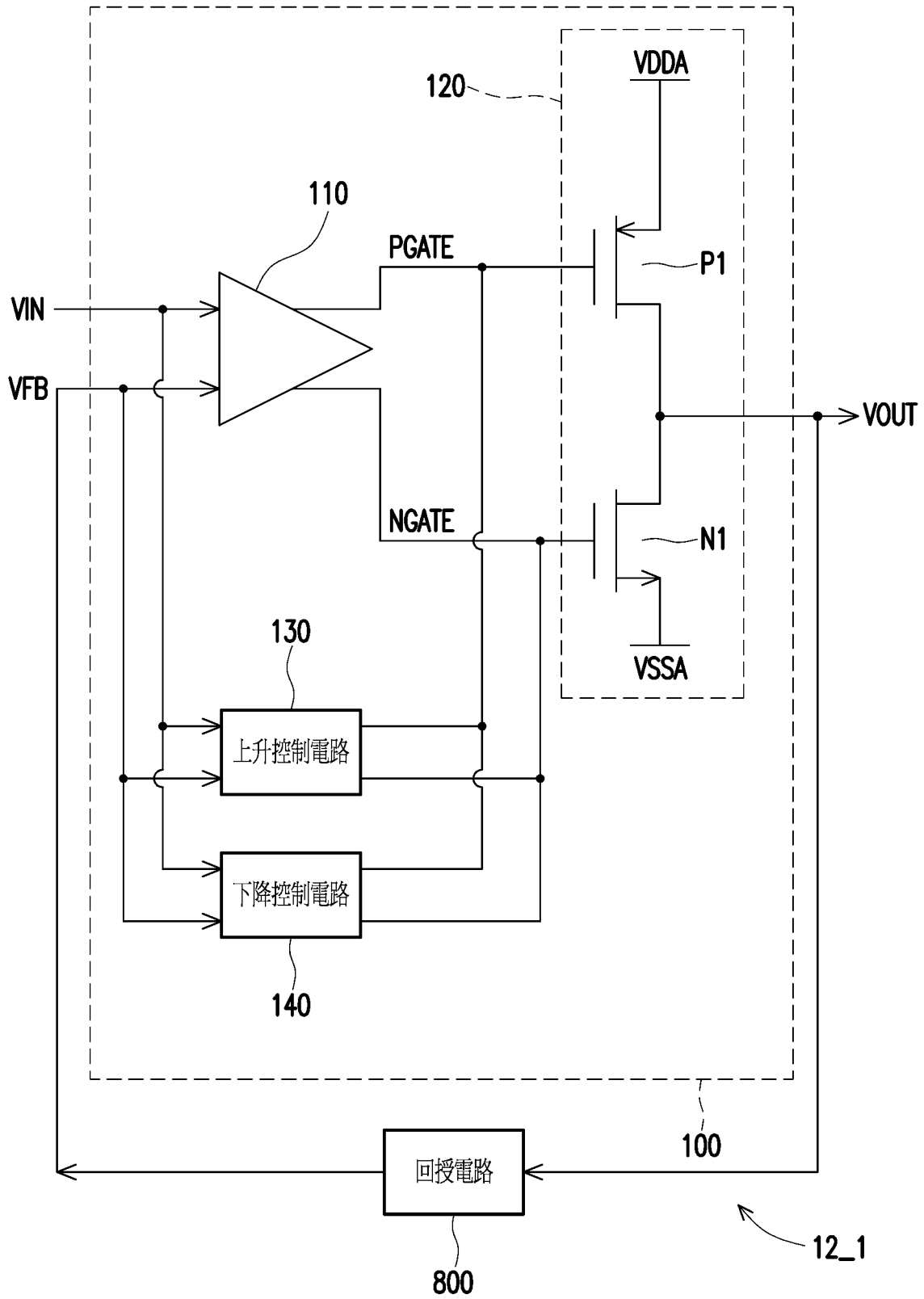
**【第33項】** 如申請專利範圍第32項所述的輸出緩衝器，其中該比較電路更包括：

一第七電晶體，具有一控制端受控於一第二控制信號，其中該第七電晶體的一第一端耦接至該系統電壓，該第七電晶體的一第二端耦接至該第六電晶體的該控制端。

【發明圖式】

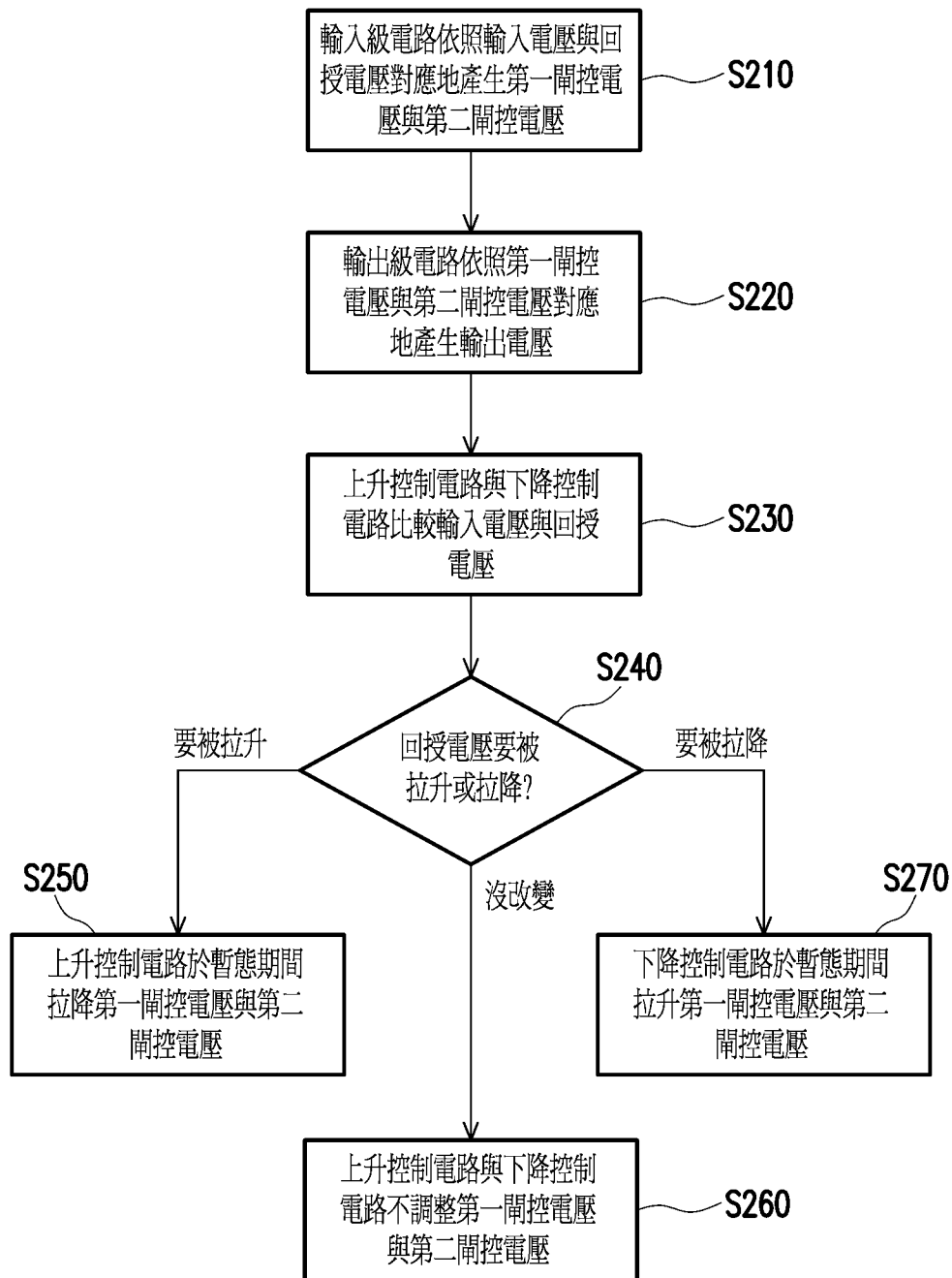


【圖1】



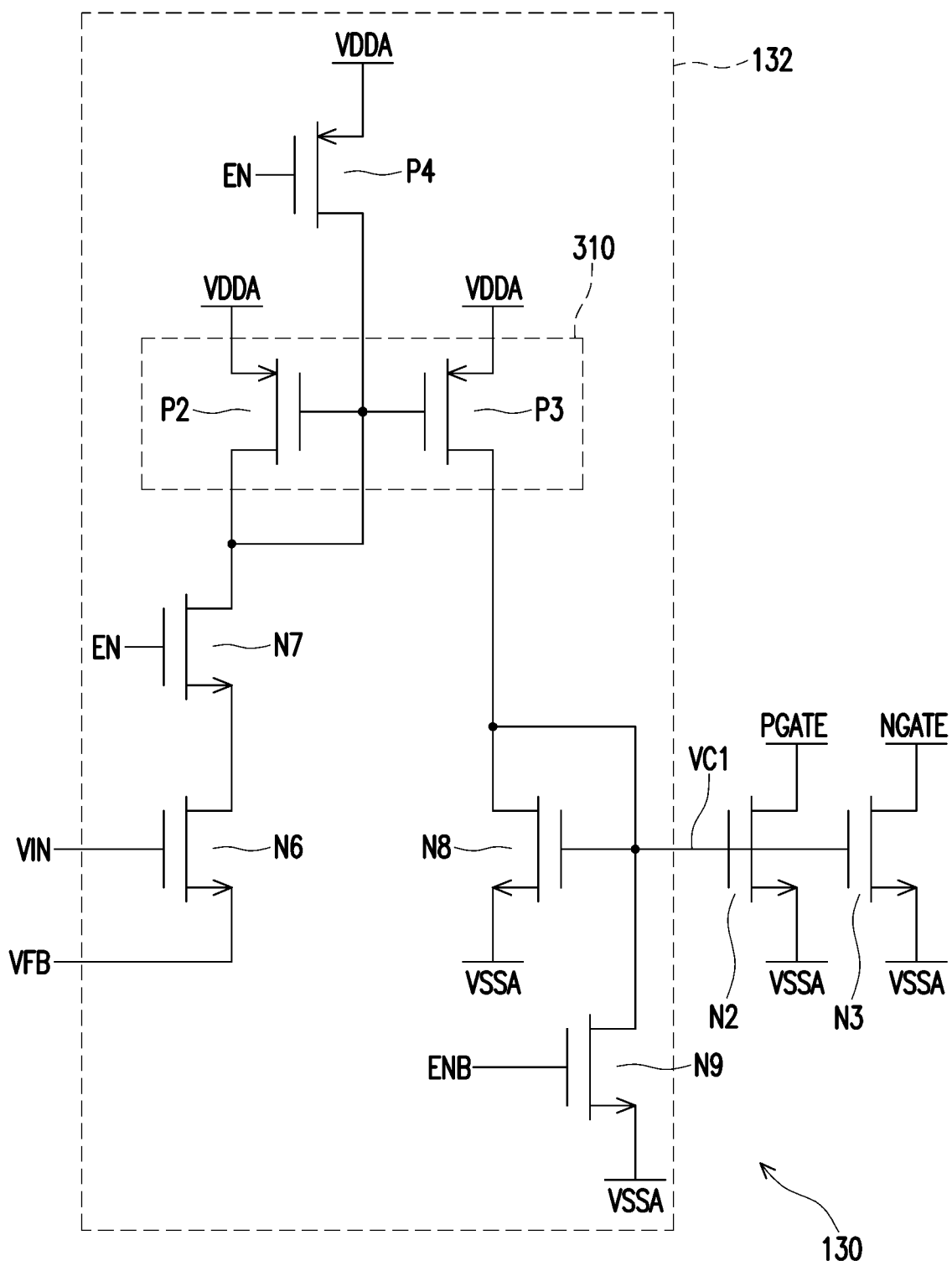
【圖2】





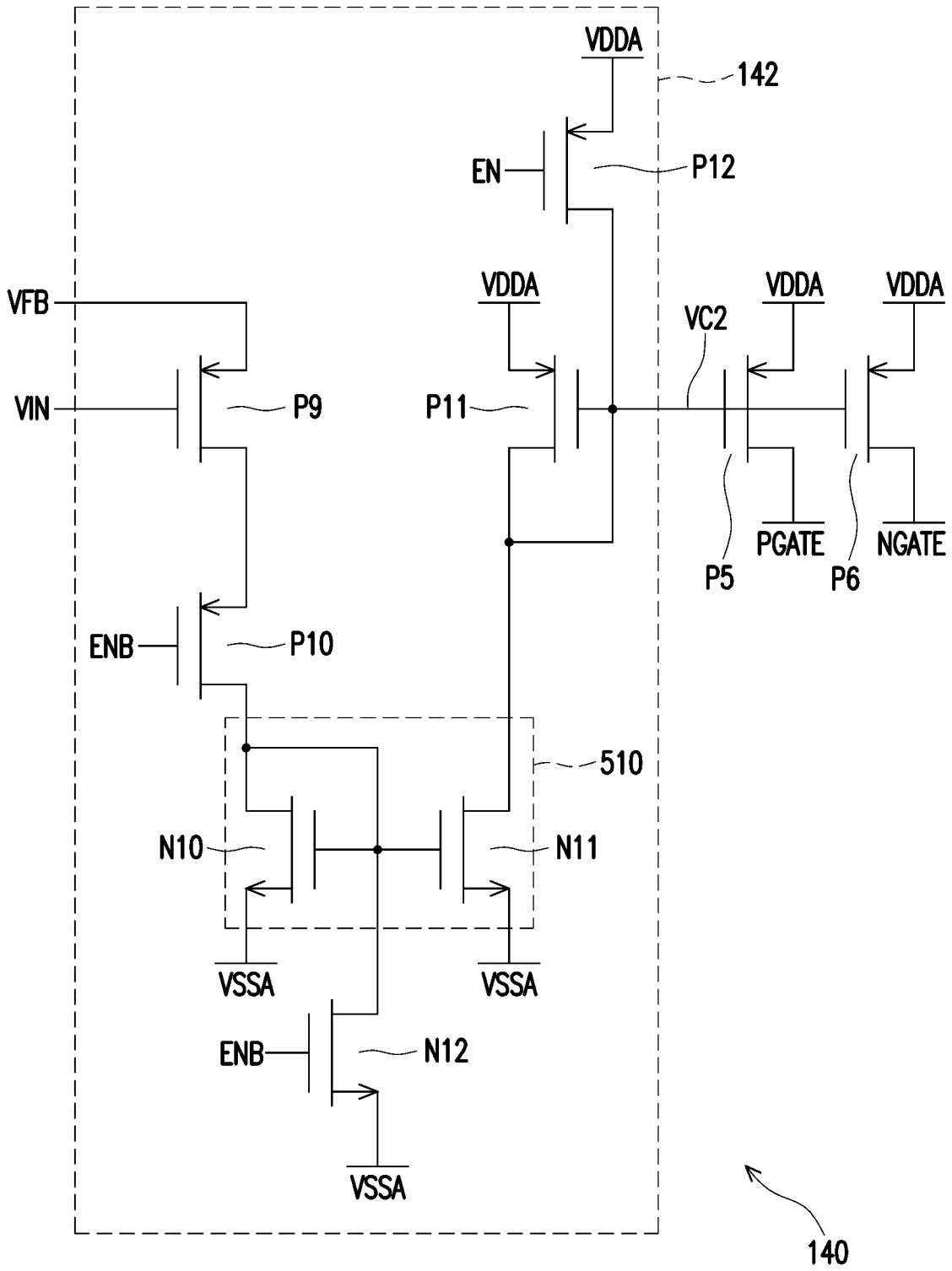
【圖3】



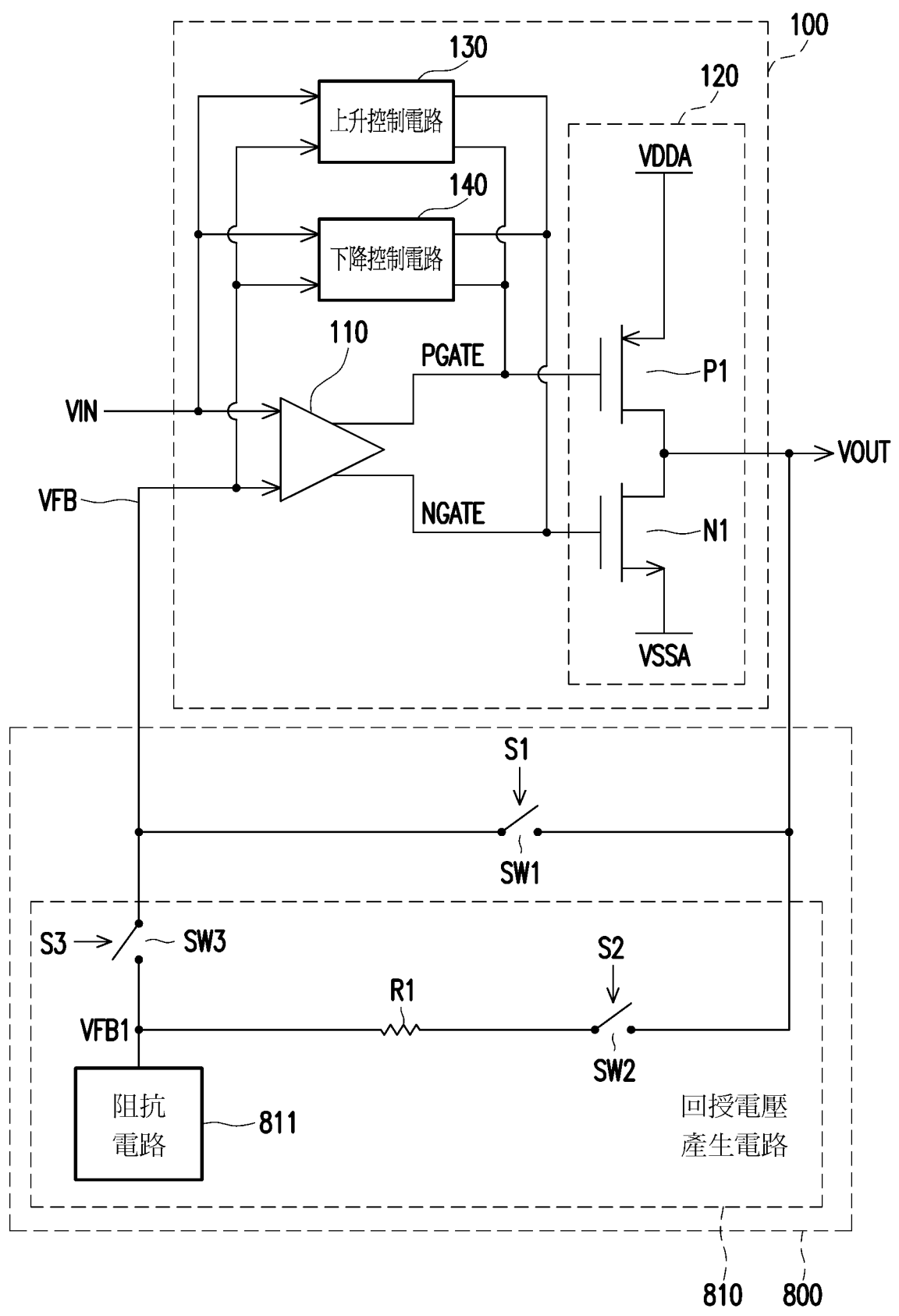


【圖5】

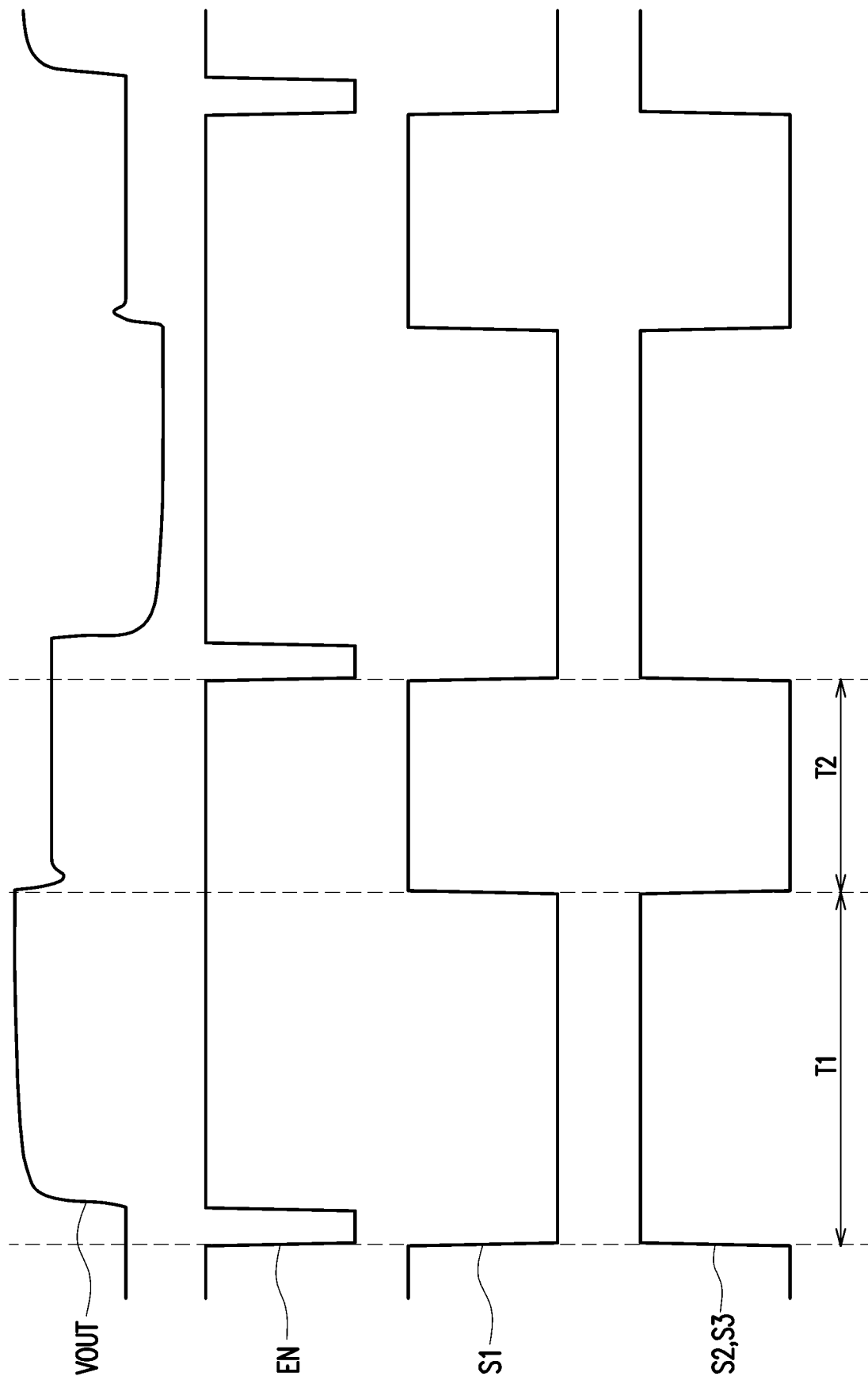




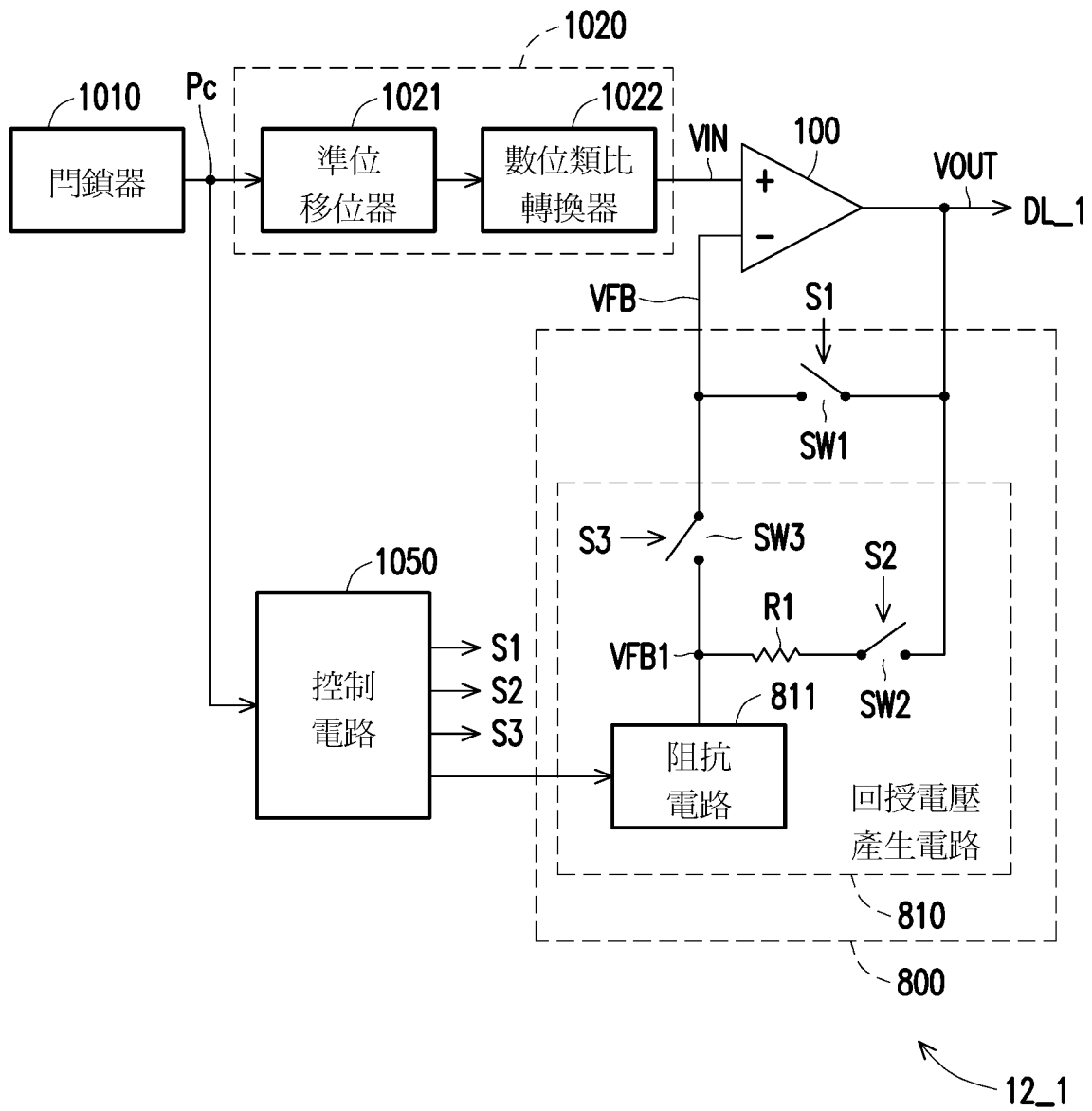
【圖7】



【圖8】

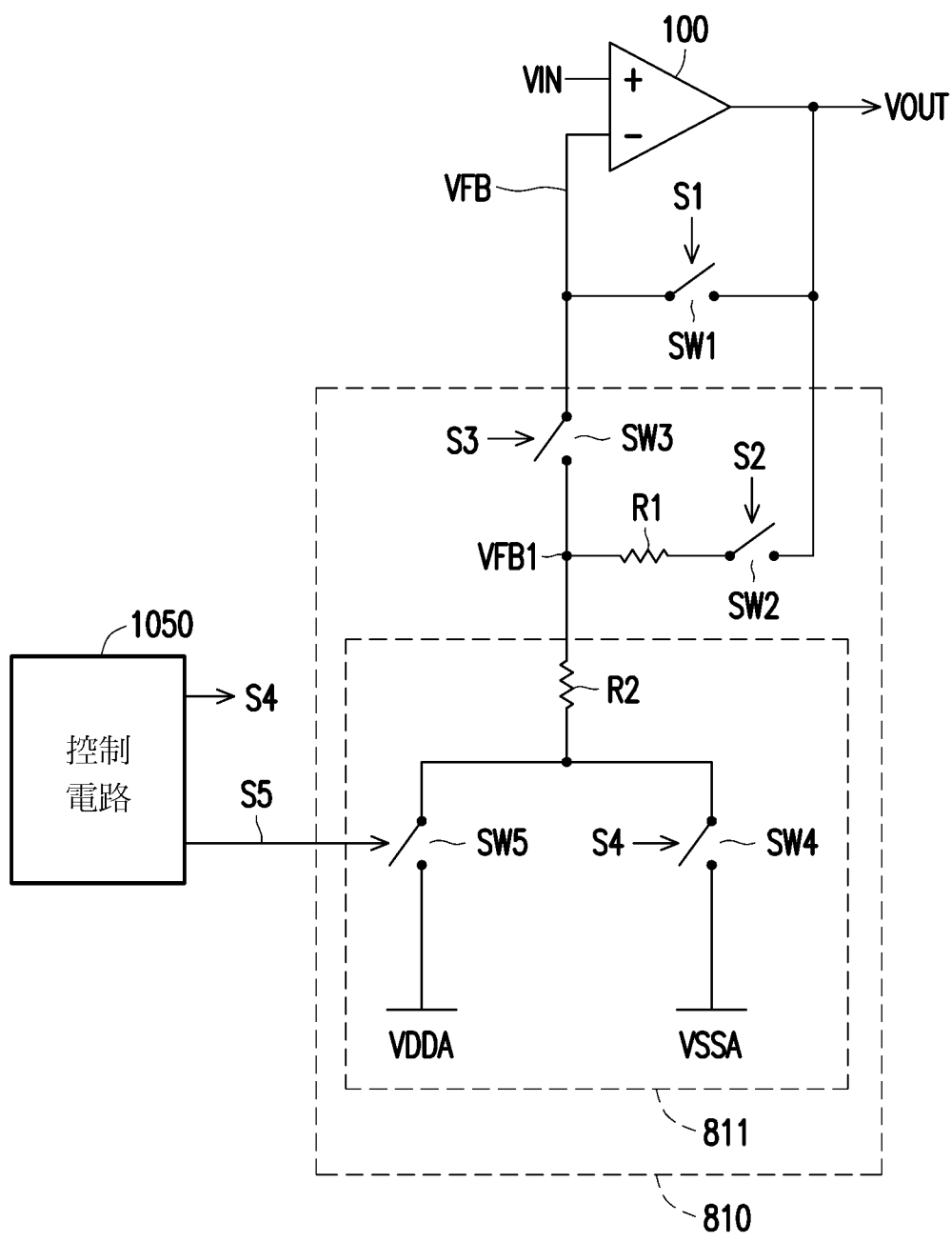


【圖9】

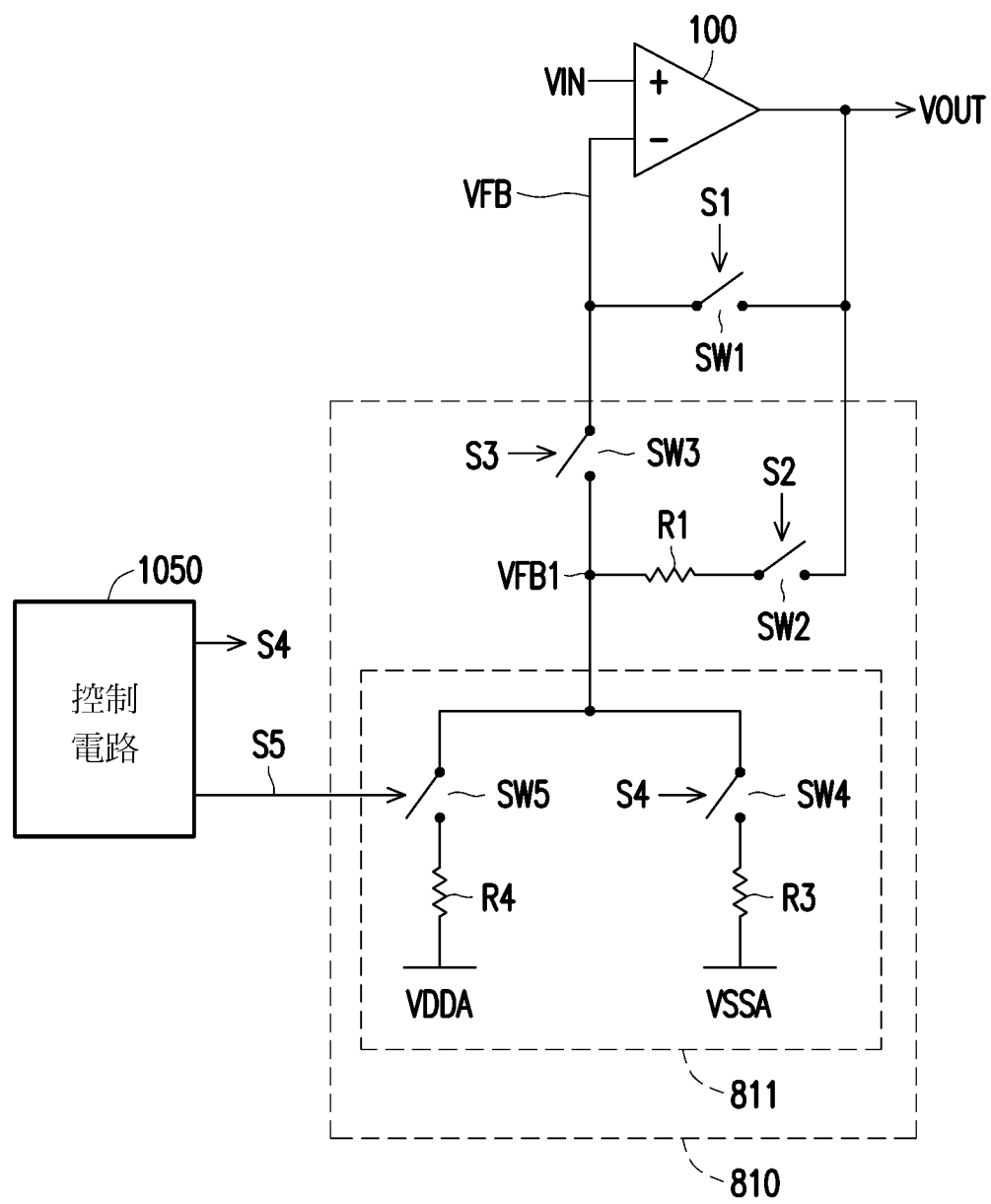


【圖10】

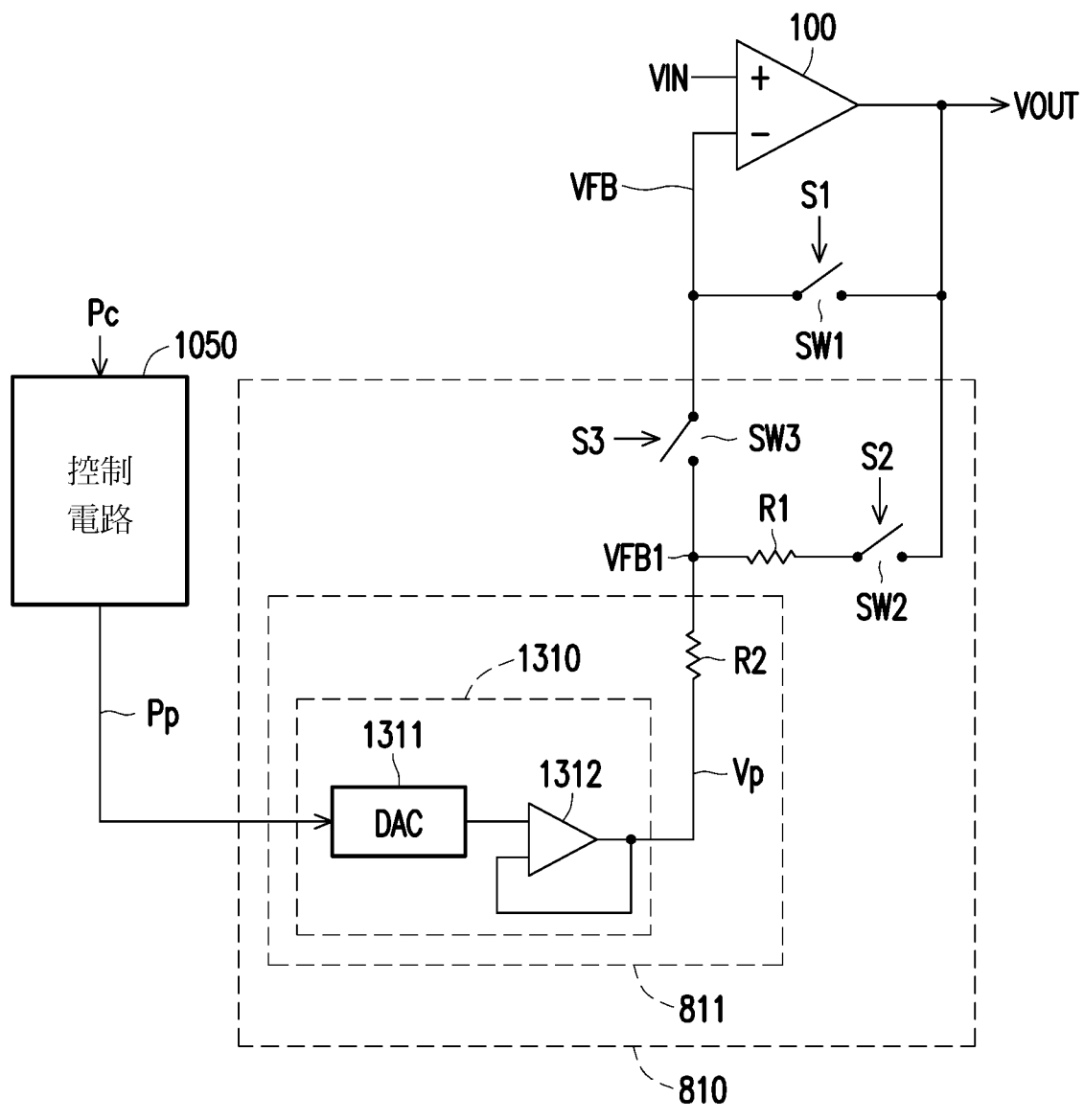




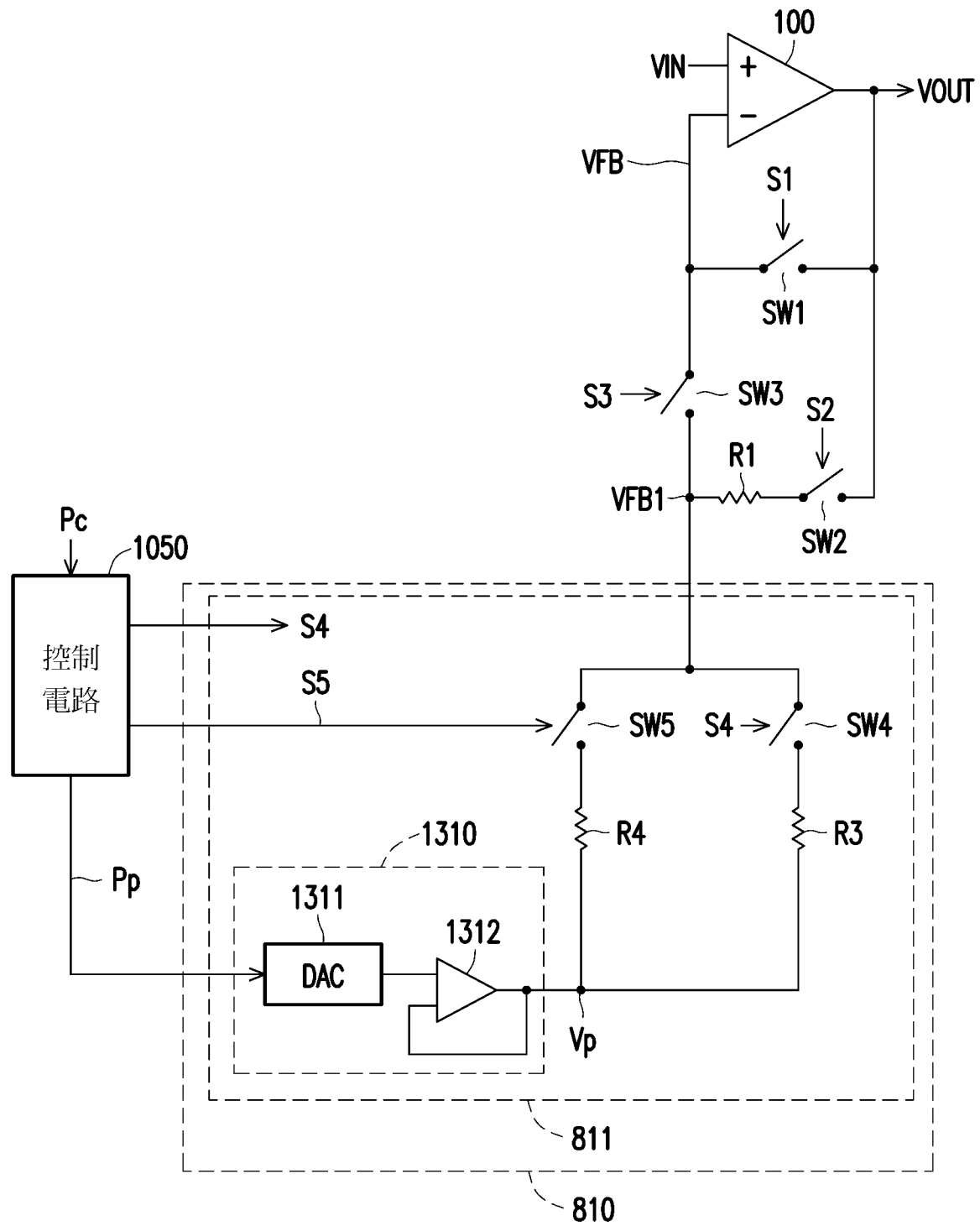
【圖11】



【圖12】



【圖13】



【圖14】