(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년04월29일
(11) 등록번호 10-2661948
(24) 등록일자 2024년04월24일

(51) 국제특허분류(Int. Cl.)
H01S 3/063 (2006.01) *H01S 5/042* (2006.01)
H01S 5/30 (2006.01) *H01S 5/323* (2006.01)
(52) CPC특허분류
H01S 3/063 (2013.01)
H01S 5/0421 (2013.01)
(21) 출원번호 10-2018-0007323
(22) 출원일자 2018년01월19일
심사청구일자 2020년12월10일
(65) 공개번호 10-2019-0088803
(43) 공개일자 2019년07월29일
(56) 선행기술조사문헌
JP2002015857 A*
JP2012230949 A*
KR1020050040802 A*
KR1020160038643 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
차정호
경기도 용인시 처인구 포곡읍 백옥대로1898번길 34-57, 해밀 타운하우스 21호
김성구
경기도 평택시 참이슬길 13, 110동 701호
(뒷면에 계속)
(74) 대리인
박영우

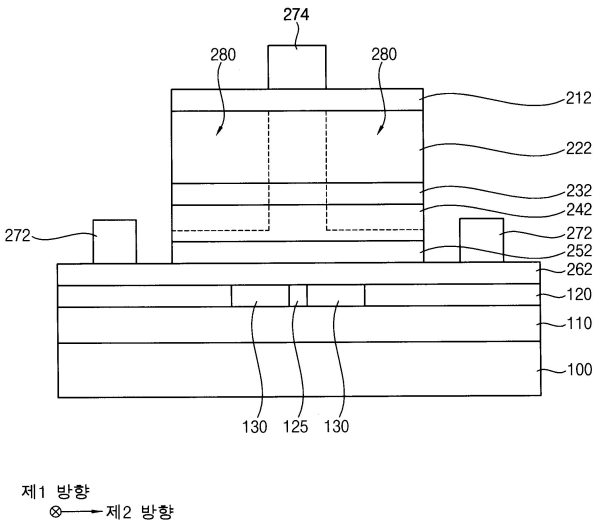
전체 청구항 수 : 총 9 항 심사관 : 홍성의

(54) 발명의 명칭 **반도체 레이저 장치 및 그 제조 방법**

(57) 요 약

반도체 레이저 장치는, 기판 상에 형성되어 갈륨 질화물(GaN)을 포함하는 제1 클래딩, 상기 제1 클래딩 상에 형성된 광 도파로, 상기 광 도파로 상에 순차적으로 적층된 제1 콘택 패턴, 제1 분리 제한 헤테로(SCH) 패턴, 제1 액티브 패턴, 제2 SCH 패턴, 제2 클래딩, 및 제2 콘택 패턴, 및 상기 제1 및 제2 콘택 패턴들 상에 각각 형성된 제1 및 제2 전극들을 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01S 5/3054 (2013.01)
H01S 5/32341 (2013.01)
(72) 발명자
신동재
서울특별시 송파구 잠실로 62, 312동 2501호
신용확
경기도 화성시 동탄지성로 42, 222동 902호
하경호
서울특별시 서초구 서리풀4길 43, 101-1107

명 세 서

청구범위

청구항 1

기판 상에 형성되어 이에 접촉하며, 갈륨 질화물(GaN)을 포함하는 제1 클래딩;

상기 제1 클래딩 상에 형성되어 이에 접촉하는 광 도파로;

상기 광 도파로 상에 순차적으로 적층된 제1 콘택 패턴, 제1 분리 제한 헤테로(SCH) 패턴, 제1 액티브 패턴, 제2 SCH 패턴, 제3 클래딩, 및 제2 콘택 패턴;

상기 제1 클래딩 상에 형성되어 이에 접촉하며, 상기 광 도파로의 각 양 측벽들을 커버하는 제2 클래딩; 및

상기 제1 및 제2 콘택 패턴들 상에 각각 형성된 제1 및 제2 전극들을 포함하는 반도체 레이저 장치.

청구항 2

제1항에 있어서, 상기 광 도파로는 티타늄 산화물(TiO_2)을 포함하는 반도체 레이저 장치.

청구항 3

삭제

청구항 4

제1항에 있어서, 각 상기 제1 SCH 패턴, 상기 제1 액티브 패턴, 및 상기 제2 SCH 패턴은 인듐갈륨알루미늄 비화물(InGaAlAs)을 포함하며,

상기 제1 및 제2 SCH 패턴들에는 각각 n형 불순물 및 p형 불순물이 도핑된 반도체 레이저 장치.

청구항 5

제1항에 있어서, 상기 제1 콘택 패턴, 상기 제3 클래딩, 및 상기 제2 콘택 패턴은 각각 n형 불순물이 도핑된 인듐 인화물(InP), p형 불순물이 도핑된 인듐 인화물(InP), 및 p형 불순물이 도핑된 인듐갈륨 비화물(InGaAs)을 포함하는 반도체 레이저 장치.

청구항 6

기판 상에 형성되어 이에 접촉하며, 갈륨 질화물(GaN)을 포함하는 제1 클래딩;

상기 제1 클래딩 상에 각각 형성되어 이에 접촉하며, 실리콘(Si) 및 티타늄 산화물(TiO_2)을 각각 포함하는 제1 및 제2 광 도파로들;

상기 제1 클래딩 상에 형성되어 이에 접촉하며, 상기 제1 광 도파로의 각 양 측벽들을 커버하는 제2 클래딩;

상기 제1 클래딩 상에 형성되어 이에 접촉하며, 상기 제2 광 도파로의 각 양 측벽들을 커버하는 제2 클래딩;

상기 제1 및 제2 광 도파로들 상에 각각 형성된 제1 및 제2 반도체 레이저 광원 구조물들;

상기 제1 반도체 레이저 광원 구조물에 연결된 제1 및 제2 전극들; 및

상기 제2 반도체 레이저 광원 구조물에 연결된 제3 및 제4 전극들을 포함하는 반도체 레이저 장치.

청구항 7

제6항에 있어서, 상기 제1 반도체 레이저 광원 구조물은 순차적으로 적층된 제1 콘택 패턴, 제1 SCH 패턴, 제1 액티브 패턴, 제2 SCH 패턴, 제3 클래딩, 및 제2 콘택 패턴을 포함하고,

상기 제2 반도체 레이저 광원 구조물은 순차적으로 적층된 제3 콘택 패턴, 제3 SCH 패턴, 제3 액티브 패턴, 제4

SCH 패턴, 제4 클래딩, 및 제4 콘택 패턴을 포함하는 반도체 레이저 장치.

청구항 8

제6항에 있어서, 상기 제1 클래딩에는 탄소(C) 혹은 철(Fe)이 도핑된 반도체 레이저 장치.

청구항 9

제1 기판 상에 갈륨 질화물(GaN)을 포함하는 제1 클래딩을 형성하고;

상기 제1 클래딩 상에 광 도파로를 형성하고;

상기 광 도파로 상에 순차적으로 적층된 제1 콘택 패턴, 제1 SCH 패턴, 액티브 패턴, 제2 SCH 패턴, 제3 클래딩, 및 제2 콘택 패턴을 형성하고; 그리고

상기 제1 및 제2 콘택 패턴들 상에 제1 및 제2 전극들을 각각 형성하는 것을 포함하며,

상기 광 도파로를 형성하는 것은,

상기 제1 클래딩 상에 실리콘을 포함하는 제2 기판을 본딩하고;

상기 제2 기판의 두께를 감소시키고;

감소된 두께를 갖는 상기 제2 기판의 일부를 제거하여 상기 제1 클래딩 상면을 노출시키는 홀을 형성하고; 그리고

상기 홀을 매립하는 제2 클래딩을 형성하는 것을 포함하는 반도체 레이저 장치의 제조 방법.

청구항 10

삭제

청구항 11

기판 상에 형성되며 갈륨 질화물(GaN)을 포함하는 제1 클래딩;

상기 제1 클래딩 상에 형성된 광 도파로;

상기 광 도파로 상에 순차적으로 적층된 제1 콘택 패턴, 제1 분리 제한 헤테로(SCH) 패턴, 제1 액티브 패턴, 제2 SCH 패턴, 제3 클래딩, 및 제2 콘택 패턴;

상기 제1 및 제2 콘택 패턴들 상에 각각 형성된 제1 및 제2 전극들; 및

상기 제1 클래딩 내에 형성되어, 인듐갈륨 질화물(InGaN), 인듐갈륨알루미늄 질화물(InGaAlN) 혹은 알루미늄 질화물(AlN)을 포함하는 제2 액티브 패턴을 포함하는 반도체 레이저 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 레이저 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] SOI 기판 상에 LD 소자를 구현하는 경우, 실리콘 산화막에 의해 상기 LD 소자에서 발생한 열이 기판으로 잘 빠져 나가지 못하여, 상기 LD 소자의 열화가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 우수한 특성을 갖는 반도체 레이저 장치를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 우수한 특성을 갖는 반도체 레이저 장치를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 일 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 레이저 장치는, 기판 상에 형성되어 갈륨 질화물(GaN)을 포함하는 제1 클래딩, 상기 제1 클래딩 상에 형성된 광 도파로, 상기 광 도파로 상에 순차적으로 적층된 제1 콘택 패턴, 제1 분리 제한 헤테로(SCH) 패턴, 제1 액티브 패턴, 제2 SCH 패턴, 제3 클래딩, 및 제2 콘택 패턴, 및 상기 제1 및 제2 콘택 패턴들 상에 각각 형성된 제1 및 제2 전극들을 포함할 수 있다.

[0006] 본 발명의 일 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 레이저 장치는, 기판 상에 형성되어 갈륨 질화물(GaN)을 포함하는 제1 클래딩, 상기 제1 클래딩 상에 각각 형성되어, 실리콘(Si) 및 티타늄 산화물(TiO_2)을 각각 포함하는 제1 및 제2 광 도파로들, 상기 제1 및 제2 광 도파로들 상에 각각 형성된 제1 및 제2 반도체 레이저 광원 구조물들, 상기 제1 반도체 레이저 광원 구조물에 연결된 제1 및 제2 전극들, 및 상기 제2 반도체 레이저 광원 구조물에 연결된 제3 및 제4 전극들을 포함할 수 있다.

[0007] 본 발명의 다른 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 레이저 장치 제조 방법에서, 제1 기판 상에 갈륨 질화물(GaN)을 포함하는 제1 클래딩을 형성하고, 상기 제1 클래딩 상에 광 도파로를 형성하고, 상기 광 도파로 상에 순차적으로 적층된 제1 콘택 패턴, 제1 SCH 패턴, 액티브 패턴, 제2 SCH 패턴, 제3 클래딩, 및 제2 콘택 패턴을 형성하고, 그리고 상기 제1 및 제2 콘택 패턴들 상에 제1 및 제2 전극들을 각각 형성할 수 있다.

발명의 효과

[0008] 본 발명의 실시예들에 따른 반도체 레이저 장치에서, 기판 상에 형성된 광 도파로의 저면을 커버하는 클래딩이 열 전도도가 높은 물질, 즉 갈륨 질화물(GaN)을 포함하고 있으므로, 반도체 레이저 광원 구조물에서 발생하는 열을 상기 기판으로 효과적으로 방출할 수 있다. 이에 따라, 상기 반도체 레이저 장치는 열에 의한 특성 열화가 개선될 수 있다.

도면의 간단한 설명

[0009] 도 1은 예시적인 실시예들에 따른 제1 반도체 레이저 장치를 설명하기 위한 단면도이다.

도 2 내지 도 5는 예시적인 실시예들에 따른 제1 반도체 레이저 장치를 제조하는 방법의 단계들을 설명하기 위한 단면도들이다.

도 6은 예시적인 실시예들에 따른 제2 반도체 레이저 장치를 설명하기 위한 단면도이다.

도 7은 예시적인 실시예들에 따른 제3 반도체 레이저 장치를 설명하기 위한 단면도이다.

도 8은 예시적인 실시예들에 따른 제4 반도체 레이저 장치를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0011] 도 1은 예시적인 실시예들에 따른 제1 반도체 레이저 장치를 설명하기 위한 단면도이다.

[0012] 도 1을 참조하면, 상기 제1 반도체 레이저 장치는 제1 기판(100) 상에 순차적으로 적층된 제1 클래딩(cladding)(110), 제1 광 도파로(125), 및 제1 반도체 레이저 광원 구조물을 포함할 수 있다. 또한, 상기 제1 반도체 레이저 장치는 제1 광 도파로(125)의 양 측벽을 커버하는 제2 클래딩(130), 제1 광 도파로(125) 및 제2 클래딩(130)을 수용하는 제2 기판(120), 및 제1 및 제2 전극들(272, 274)을 더 포함할 수 있다.

[0013] 제1 기판(100)은 예를 들어, 실리콘(Si), 게르마늄(Ge) 등과 같은 반도체 기판일 수 있다. 예시적인 실시예들에 있어서, 제1 기판(100)은 (111) 결정면을 갖는 실리콘 기판일 수 있다. 제1 기판(100)에는 예를 들어, p형 혹은 n형 불순물이 도핑될 수도 있다.

[0014] 예시적인 실시예들에 있어서, 제1 클래딩(110)은 실리콘(Si)보다 굴절률이 낮으며, 실리콘 산화물(SiO_2)보다 열 전도도가 높은 물질을 포함할 수 있다. 이에 따라, 제1 클래딩(110)은 예를 들어, 단결정 갈륨 질화물(GaN)을 포함할 수 있다. 경우에 따라서, 제1 클래딩(110)에는 예를 들어, 탄소(C)나 철(Fe) 등이 도핑되어 절연성을 가

질 수도 있다.

[0015] 제2 기판(120)은 제1 클래딩(110) 상면에 본딩될 수 있다. 제2 기판(120)은 예를 들어, 실리콘(Si), 게르마늄(Ge) 등과 같은 반도체 기판일 수 있다. 예시적인 실시예들에 있어서, 제2 기판(120)은 (100) 결정면을 갖는 실리콘 기판일 수 있다. 다른 실시예들에 있어서, 제2 기판(120)은 (111) 결정면을 갖는 실리콘 기판일 수도 있다.

[0016] 제1 광 도파로(125)는 제2 기판(120)에 수용될 수 있다. 즉, 제1 광 도파로(125)는 제1 클래딩(110) 상면에 형성될 수 있으며, 제1 기판(100) 상면에 평행한 제1 방향으로 연장되는 바(bar) 형상을 가질 수 있다. 제1 광 도파로(125)는 제2 기판(120)의 일부를 식각하여 형성되는 것으로서, 제2 기판(120)과 실질적으로 동일한 물질을 포함할 수 있다. 이에 따라, 제1 광 도파로(125)는 실리콘(Si), 게르마늄(Ge) 등과 같은 반도체 물질, 예를 들어 (100) 결정면을 갖는 실리콘을 포함할 수 있다.

[0017] 제2 클래딩(130)은 제2 기판(120)에 수용되어 제1 광 도파로(125)의 양 측벽들을 커버할 수 있다. 즉, 제2 클래딩(130)은 제1 클래딩(110) 상면에 형성되어 제1 기판(100) 상면에 평행하면서 상기 제1 방향과 직교하는 제2 방향으로의 제1 광 도파로(125)의 양 측벽들을 커버할 수 있다. 제2 클래딩(130)은 제1 광 도파로(125)가 포함하는 실리콘(Si)에 비해 작은 굴절률을 갖는 물질, 예를 들어, 실리콘 산화물(SiO_2) 혹은 실리콘 질화물(SiN)을 포함할 수 있다. 이와는 달리, 제2 클래딩(130)은 에어(air)를 포함할 수도 있다.

[0018] 예시적인 실시예들에 있어서, 상기 제1 반도체 레이저 광원 구조물은 이른 바, 분리 제한 헤테로구조물(Separate Confinement Heterostructure: SCH) 레이저 구조를 가질 수 있다. 즉, 상기 제1 반도체 레이저 광원 구조물은 제1 광 도파로(125) 및 제2 클래딩(130)을 수용하는 제2 기판(120) 상에 순차적으로 적층되고 각각 III-V 족 물질을 포함하는 제1 콘택 패턴(262), 제1 SCH 패턴(252), 제1 액티브 패턴(242), 제2 SCH 패턴(232), 제3 클래딩(222), 및 제2 콘택 패턴(212)을 포함할 수 있다.

[0019] 제1 콘택 패턴(262)은 예를 들어, n형 불순물이 도핑된 인듐 인화물(InP)을 포함할 수 있다. 제1 콘택 패턴(262)은 그 상부에 적층된 제1 SCH 패턴(252), 제1 액티브 패턴(242), 제2 SCH 패턴(232), 제3 클래딩(222), 및 제2 콘택 패턴(212)을 포함하는 제1 구조물보다 상기 제2 방향으로의 폭이 더 클 수 있다. 예시적인 실시예들에 있어서, 제1 콘택 패턴(262) 및 상기 제1 구조물은 상기 제1 방향으로 연장될 수 있다.

[0020] 제1 및 제2 SCH 패턴들(252, 232)은 제1 액티브 패턴(242)보다는 굴절률이 작고 제3 클래딩(222)보다는 굴절률이 큰 물질을 포함할 수 있다. 또한, 제1 및 제2 SCH 패턴들(252, 232)은 각각 n형 및 p형 불순물들이 도핑된 물질을 포함할 수 있다. 이에 따라, 제1 SCH 패턴(252)은 예를 들어, n형 불순물이 도핑된 인듐갈륨알루미늄 비화물(InGaAlAs)을 포함할 수 있고, 제1 액티브 패턴(242)은 예를 들어, 불순물이 도핑되지 않은 인듐갈륨알루미늄 비화물(InGaAlAs)을 포함할 수 있으며, 제2 SCH 패턴(232)은 예를 들어, p형 불순물이 도핑된 인듐갈륨알루미늄 비화물(InGaAlAs)을 포함할 수 있다.

[0021] 한편, 제3 클래딩(222)은 예를 들어, p형 불순물이 도핑된 인듐 인화물(InP)을 포함할 수 있고, 제2 콘택 패턴(212)은 예를 들어, p형 불순물이 도핑된 인듐갈륨 비화물(InGaAs)을 포함할 수 있다.

[0022] 다른 실시예들에 있어서, 상기 제1 반도체 레이저 광원 구조물은 이중 헤테로구조물 레이저, 양자 우물(Quantum Well: QW) 레이저, 양자 캐스케이드(cascade) 레이저, 인터밴드(interband) 캐스케이드 레이저, 분산 브래그 리플렉터(Distributed Bragg Reflector: DBR) 레이저 등과 같은 구조를 가질 수도 있다.

[0023] 제1 및 제2 전극들(272, 274)은 제1 및 제2 콘택 패턴들(262, 212) 상에 각각 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 전극(272)은 상기 제1 구조물로부터 상기 제2 방향으로 이격되도록 형성될 수 있으며, 제2 전극(274)은 제1 광 도파로(125)와 제1 기판(100) 상면에 수직한 수직 방향으로 오버랩되면서 상기 제1 방향으로 연장될 수 있다. 각 제1 및 제2 전극들(272, 274)은 예를 들어, 금속, 금속 질화물 등의 도전 물질을 포함할 수 있다.

[0024] 제1 전류 차단 영역(280)은 상기 제1 구조물 중에서 양성자들(protons)이 도핑된 영역일 수 있으며, 제1 및 제2 전극들(272, 274)에 의해 인가되는 전류의 경로를 차단하는 역할을 수행할 수 있다. 예시적인 실시예들에 있어서, 제1 전류 차단 영역(280)은 제1 액티브 패턴(242)의 상부, 제2 SCH 패턴(232), 및 제3 클래딩(222) 내부에 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 전류 차단 영역(280)은 상기 제1 방향으로 연장될 수 있으며, 상기 수직 방향을 따라 제1 광 도파로(125)와 오버랩되지 않을 수 있다.

[0025] 상기 제1 반도체 레이저 장치에서, 제1 및 제2 전극들(272, 274)에 전압이 인가됨으로써 이들 사이의 구조물들,

즉 제1 콘택 패턴(262), 제1 SCH 패턴(252), 제1 액티브 패턴(242), 제2 SCH 패턴(232), 제3 클래딩(222), 및 제2 콘택 패턴(212) 사이에 전류가 발생할 수 있으며, 상기 전류의 경로는 제1 전류 차단 영역(280)에 의해 제1 광 도파로(125)와 수직 방향으로 오버랩되는 제1 액티브 패턴(242), 제2 SCH 패턴(232), 제3 클래딩(222), 및 제2 콘택 패턴(212) 부분으로 한정될 수 있다.

[0026] 상기 전류에 의해, n형 불순물들이 도핑된 제1 콘택 패턴(262) 및 제1 SCH 패턴(252)과, p형 불순물들이 도핑된 제2 SCH 패턴(232), 제3 클래딩(222), 및 제2 콘택 패턴(212) 사이에 형성된 제1 액티브 패턴(242) 내에서 전자와 정공이 결합하여 레이저를 생성할 수 있으며, 상기 생성된 레이저는 하부의 제1 광 도파로(125)로 이동할 수 있다. 제1 광 도파로(125)는 이의 양 측벽들을 커버하는 제2 클래딩(130)이나 이의 저면을 커버하는 제1 클래딩(110)보다 큰 굴절률을 갖는 물질을 포함하고 있으므로, 상기 생성된 레이저는 제1 광 도파로(125)에 의해 가이드 되어, 이의 연장 방향인 상기 제1 방향을 따라 이동할 수 있다.

[0027] 예시적인 실시예들에 있어서, 제1 클래딩(110)은 열 전도도가 높은 물질, 즉 갈륨 질화물(GaN)을 포함하고 있으므로, 상기 제1 반도체 레이저 광원 구조물에서 발생하는 열을 제1 기판(100)으로 효과적으로 방출할 수 있다. 이에 따라, 상기 제1 반도체 레이저 장치는 종래 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판 상에 구현된 반도체 레이저 장치에 비해, 열에 의한 특성 열화가 개선될 수 있다.

[0028] 도 2 내지 도 5는 예시적인 실시예들에 따른 제1 반도체 레이저 장치를 제조하는 방법의 단계들을 설명하기 위한 단면도들이다.

[0029] 도 2를 참조하면, 제1 기판(100) 상에 제1 클래딩(110) 및 제2 기판(120)을 순차적으로 적층할 수 있다.

[0030] 제1 기판(100)은 예를 들어, 실리콘(Si), 게르마늄(Ge) 등과 같은 반도체 기판일 수 있다. 예시적인 실시예들에 있어서, 제1 기판(100)은 (111) 결정면을 갖는 실리콘 기판일 수 있다. 제1 기판(100)에는 예를 들어, p형 혹은 n형 불순물을 도핑할 수도 있다.

[0031] 예시적인 실시예들에 있어서, 제1 클래딩(110)은 실리콘(Si)보다 굴절률이 낮고, 실리콘 산화물(SiO_2)보다 열전도도가 높은 물질을 포함할 수 있다. 이에 따라, 제1 클래딩(110)은 예를 들어, 단결정 갈륨 질화물(GaN)을 포함하도록 형성할 수 있다. 제1 클래딩(110)은 예를 들어, 금속 유기 화학 기상 증착(Metal Organic Chemical Vapor Deposition: MOCVD) 공정을 통해 제1 기판(100) 상에 형성될 수 있다.

[0032] 제2 기판(120)은 예를 들어, 실리콘(Si), 게르마늄(Ge) 등과 같은 반도체 기판일 수 있다. 예시적인 실시예들에 있어서, 제2 기판(120)은 (100) 결정면을 갖는 실리콘 기판일 수 있다. 다른 실시예들에 있어서, 제2 기판(120)은 (111) 결정면을 갖는 실리콘 기판일 수도 있다.

[0033] 제2 기판(120)은 제1 클래딩(110) 상에 본딩을 통해 형성될 수 있다. 제1 클래딩(110) 상에 제2 기판(120)을 본딩한 후, 제2 기판(120) 상부를 제거하여 두께를 감소시킬 수 있다. 제2 기판(120) 상부는 예를 들어, 식각 공정 혹은 그라인딩(grinding) 공정을 통해 제거될 수 있다.

[0034] 도 3을 참조하면, 상기 두께가 감소된 제2 기판(120)을 부분적으로 제거하여 제1 클래딩(110) 상면을 노출시키는 제1 개구를 형성할 수 있으며, 상기 제1 개구를 채우는 제2 클래딩(130)을 형성할 수 있다.

[0035] 상기 제1 개구는 제2 기판(120) 상에 식각 마스크(도시되지 않음)를 형성한 후, 이를 사용하는 식각 공정을 통해 형성될 수 있다. 예시적인 실시예들에 있어서, 상기 제1 개구는 제1 기판(100) 상면에 평행한 제1 방향으로 연장되도록 형성될 수 있으며, 제1 기판(100) 상면에 평행하면서 상기 제1 방향과 직교하는 제2 방향을 따라 서로 이격되는 2개의 제1 개구들이 형성될 수 있다.

[0036] 상기 제1 개구들 사이에 잔류하는 제2 기판(120)의 부분은 제1 광 도파로(125)를 형성할 수 있으며, 제1 광 도파로(125)는 상기 제1 방향으로 연장되는 바(bar) 형상을 가질 수 있다.

[0037] 이후, 제2 클래딩(130)은 상기 제1 개구를 채우는 제2 클래딩 막을 제2 기판(120) 상에 형성한 후, 제2 기판(120)의 상면이 노출될 때까지 상기 제2 클래딩 막을 평탄화함으로써 형성될 수 있다. 상기 평탄화 공정은 예를 들어, 화학 기계적 연마(Chemical Mechanical Polishing: CMP) 공정 및/또는 에치 백 공정을 포함할 수 있다.

[0038] 제2 클래딩(130)은 제1 광 도파로(125)에 비해 작은 굴절률을 갖는 물질, 예를 들어, 실리콘 산화물(SiO_2) 혹은 실리콘 질화물(SiN)을 포함하도록 형성될 수 있다. 이와는 달리, 제2 클래딩(130)은 에어(air)를 포함하도록 형성될 수도 있으며, 이 경우 상기 제1 개구를 채우는 상기 제2 클래딩 막 형성 공정은 생략될 수 있다.

[0039] 도 4를 참조하면, 제3 기판(200) 상에 제2 콘택막(210), 제3 클래딩 막(220), 제2 SCH 막(230), 제1 액티브 막(240), 제1 SCH 막(250), 및 제1 콘택막(260)을 순차적으로 적층할 수 있다.

[0040] 제3 기판(200)은 핸들링 기판으로서 예를 들어, 실리콘과 같은 반도체 물질이나, 예를 들어 유리(glass)와 같은 절연 물질을 포함할 수 있다.

[0041] 제2 콘택막(210), 제3 클래딩 막(220), 제2 SCH 막(230), 제1 액티브 막(240), 제1 SCH 막(250), 및 제1 콘택막(260)은 각각 III-V 족 물질을 포함할 수 있다.

[0042] 예시적인 실시예들에 있어서, 제1 및 제2 SCH 막들(250, 230)은 제1 액티브 막(240)보다는 굴절률이 작고 제3 클래딩 막(220)보다는 굴절률이 큰 물질을 포함할 수 있다. 또한, 제1 SCH 막(250) 및 제1 콘택막(260)은 n형 불순물이 도핑된 물질을 포함할 수 있으며, 제2 콘택막(210), 제3 클래딩 막(220), 및 제2 SCH 막(230)은 p형 불순물이 도핑된 물질을 포함할 수 있다.

[0043] 이에 따라, 제2 콘택막(210)은 예를 들어, p형 불순물이 도핑된 인듐갈륨 비화물(InGaAs)을 포함할 수 있고, 제3 클래딩 막(220)은 예를 들어, p형 불순물이 도핑된 인듐 인화물(InP)을 포함할 수 있으며, 제2 SCH 막(230)은 예를 들어, p형 불순물이 도핑된 인듐갈륨알루미늄 비화물(InGaAlAs)을 포함할 수 있고, 제1 액티브 막(240)은 예를 들어, 불순물이 도핑되지 않은 인듐갈륨알루미늄 비화물(InGaAlAs)을 포함할 수 있으며, 제1 SCH 막(250)은 n형 불순물이 도핑된 인듐갈륨알루미늄 비화물(InGaAlAs)을 포함할 수 있고, 제1 콘택막(260)은 예를 들어, n형 불순물이 도핑된 인듐 인화물(InP)을 포함할 수 있다.

[0044] 도 5를 참조하면, 제3 기판(200)을 180도 뒤집은 후, 제1 콘택막(260)이 제1 광 도파로(125) 및 제2 클래딩(130)이 형성된 제2 기판(120) 상면과 접촉하도록 제3 기판(200)과 제2 기판(120)을 본딩할 수 있다.

[0045] 이에 따라, 제2 기판(120) 상부에는 순차적으로 적층된 제1 콘택막(260), 제1 SCH 막(250), 제1 액티브 막(240), 제2 SCH 막(230), 제3 클래딩 막(220), 및 제2 콘택막(210)을 포함하는 제1 반도체 레이저 광원 구조물 막이 형성될 수 있다.

[0046] 다시 도 1을 참조하면, 제2 콘택막(210), 제3 클래딩 막(220), 제2 SCH 막(230), 제1 액티브 막(240), 및 제1 SCH 막(250)을 패터닝하여 각각 제2 콘택 패턴(212), 제3 클래딩(222), 제2 SCH 패턴(232), 제1 액티브 패턴(242), 및 제1 SCH 패턴(252)을 형성할 수 있으며, 한편 제1 콘택막(260) 역시 패터닝되어 제1 콘택 패턴(262)을 형성할 수 있다. 이에 따라, 제2 기판(120) 상에 순차적으로 적층된 제1 콘택 패턴(262), 제1 SCH 패턴(252), 제1 액티브 패턴(242), 제2 SCH 패턴(232), 제3 클래딩(222), 및 제2 콘택 패턴(212)을 포함하는 제1 반도체 레이저 광원 구조물이 형성될 수 있다.

[0047] 이때, 하부의 제1 콘택 패턴(262)은 제1 SCH 패턴(252), 제1 액티브 패턴(242), 제2 SCH 패턴(232), 제3 클래딩(222), 및 제2 콘택 패턴(212)을 포함하는 상부의 제1 구조물보다 상기 제2 방향으로의 폭이 더 클 수 있다. 제1 콘택 패턴(262) 및 상기 제1 구조물은 상기 제1 방향으로 연장될 수 있다.

[0048] 이후, 제1 및 제2 콘택 패턴들(262, 212) 상에 제1 및 제2 전극들(272, 274)을 각각 형성할 수 있다. 예시적인 실시예들에 있어서, 제1 전극(272)은 상기 제1 구조물로부터 상기 제2 방향으로 이격되도록 형성될 수 있으며, 제2 전극(274)은 제1 광 도파로(125)와 제1 기판(100) 상면에 수직한 수직 방향으로 오버랩되면서 상기 제1 방향으로 연장되도록 형성될 수 있다. 제1 및 제2 전극들(272, 274)은 예를 들어, 금속, 금속 질화물 등을 포함하도록 형성될 수 있다.

[0049] 이후, 이온 주입 공정을 통해 상기 제1 구조물에 양성자들(protons) 도핑함으로써, 상기 제1 반도체 레이저 장치를 완성할 수 있다.

[0050] 예시적인 실시예들에 있어서, 상기 양성자들은 제2 전극(274)를 이온 주입 마스크로 사용하여 상기 제1 구조물에 도핑될 수 있으며, 제2 콘택 패턴(212)을 통과하여 제1 액티브 패턴(242)의 일부까지 도핑될 수 있다. 이에 따라, 상기 양성자들은 제1 액티브 패턴(242)의 상부, 제2 SCH 패턴(232), 및 제3 클래딩(222) 내부에 도핑되어 제1 전류 차단 영역(280)을 형성할 수 있다. 예시적인 실시예들에 있어서, 제1 전류 차단 영역(280)은 상기 제1 방향으로 연장될 수 있으며, 상기 수직 방향을 따라 제1 광 도파로(125)와 오버랩되지 않을 수 있다.

[0051] 도 6은 예시적인 실시예들에 따른 제2 반도체 레이저 장치를 설명하기 위한 단면도이다. 상기 제2 반도체 레이저 장치는 제2 액티브 패턴을 더 포함하는 것을 제외하고는, 도 1을 참조로 설명한 제1 반도체 레이저 장치와 실질적으로 동일하거나 유사하다. 이에 따라, 동일한 구성 요소에는 동일한 참조 부호를 부여하고, 이들에 대한

자세한 설명은 생략한다.

[0052] 도 6을 참조하면, 상기 제2 반도체 레이저 장치는 제1 클래딩(110) 내에 형성된 제2 액티브 패턴(115)을 더 포함할 수 있다. 즉, 제2 액티브 패턴(115)은 제1 클래딩(110)의 하부 및 상부 사이에 배치될 수 있다.

[0053] 제2 액티브 패턴(115)은 예를 들어, 인듐갈륨 질화물(InGaN), 인듐알루미늄갈륨 질화물(InAlGaN), 알루미늄 질화물(AlN) 등을 포함할 수 있으며, QW에 준하는 매우 얇은 두께를 가질 수 있다.

[0054] 제2 액티브 패턴(115)이 형성된 경우, 제1 기판(100) 하면에 별도의 제3 전극(도시되지 않음)이 더 형성될 수 있으며, 상기 제3 전극과 제1 전극(272) 사이에서 발생하는 전류에 의해, 제1 액티브 패턴(242)에서와 유사하게 제2 액티브 패턴(115)에서도 레이저가 생성될 수 있다. 상기 생성된 레이저는 상부의 제1 광 도파로(125)로 이동할 수 있으며, 제1 광 도파로(125)의 연장 방향을 따라 가이드 되어 상기 제1 방향으로 이동할 수 있다. 이에 따라, 제2 액티브 패턴(115)은 제1 액티브 패턴(242)에서 생성된 레이저를 변조시키는 일종의 변조기(modulator) 역할을 수행할 수 있다.

[0055] 도 7은 예시적인 실시예들에 따른 제3 반도체 레이저 장치를 설명하기 위한 단면도이다. 상기 제3 반도체 레이저 장치는 제1 광 도파로 대신에 제2 광 도파로를 포함하는 것을 제외하고는, 도 1을 참조로 설명한 제1 반도체 레이저 장치와 실질적으로 동일하거나 유사하다.

[0056] 도 7을 참조하면, 상기 제3 반도체 레이저 장치는 제1 기판(100) 상에 순차적으로 적층된 제1 클래딩(110), 제2 광 도파로(290), 및 제2 반도체 레이저 광원 구조물을 포함할 수 있다. 또한, 상기 제3 반도체 레이저 장치는 제2 광 도파로(290)의 양 측벽을 커버하는 제2 클래딩(130), 제2 광 도파로(290) 및 제2 클래딩(130)을 수용하는 제2 기판(120), 및 제4 및 제5 전극들(276, 278)을 더 포함할 수 있다.

[0057] 제2 광 도파로(290)는 저면이 제1 클래딩(110)에 의해 커버될 수 있으며, 상기 제2 방향으로의 양 측벽들은 제2 클래딩(130)에 의해 커버될 수 있다. 예시적인 실시예들에 있어서, 제2 광 도파로(290)는 티타늄 산화물(TiO_2)을 포함할 수 있다. 제2 광 도파로(290)가 포함하는 티타늄 산화물은 제1 광 도파로(125)가 포함하는 실리콘에 비해서 단파장 영역에서 광의 흡수 계수가 낮으므로 광 손실 없이 효과적으로 광 도파로 역할을 수행할 수 있다. 즉, 도 1에 도시된 제1 광 도파로(125)는 예를 들어, 1100nm 내지 1600nm의 장파장 영역에서 사용할 수 있으며, 도 7에 도시된 제2 광 도파로(290)는 예를 들어, 300nm 내지 500nm의 단파장 영역에서 사용될 수 있다.

[0058] 한편, 제2 광 도파로(290)를 포함하는 상기 제3 반도체 레이저 장치는 제1 클래딩(110)이 갈륨 질화물 대신에, 예를 들어 종래 SOI 기판에서 사용되는 실리콘 산화물을 포함할 수도 있다.

[0059] 상기 제2 반도체 레이저 광원 구조물은 도 1에 도시된 제1 반도체 레이저 광원 구조물과 동일하게, SCH 레이저 구조를 가질 수 있다. 이에 따라, 상기 제2 반도체 레이저 광원 구조물은 제2 광 도파로(290) 및 제2 클래딩(130)을 수용하는 제2 기판(120) 상에 순차적으로 적층되고 각각 III-V 족 물질을 포함하는 제3 콘택 패턴(264), 제3 SCH 패턴(254), 제3 액티브 패턴(244), 제4 SCH 패턴(234), 제4 클래딩(224), 및 제4 콘택 패턴(214)을 포함할 수 있으며, 제3 액티브 패턴(244)의 상부, 제4 SCH 패턴(234), 및 제4 클래딩(224) 내부에는 제2 전류 차단 영역(285)이 형성될 수 있다.

[0060] 도 8은 예시적인 실시예들에 따른 제4 반도체 레이저 장치를 설명하기 위한 단면도이다. 상기 제4 반도체 레이저 장치는 제1 기판 및 제1 클래딩 상에 도 1을 참조로 설명한 제1 반도체 레이저 장치와 도 7을 참조로 설명한 제3 반도체 레이저 장치가 함께 집적된 것이다. 이에 따라, 동일한 구성 요소에는 동일한 참조 부호를 부여하고, 이들에 대한 자세한 설명은 생략한다.

[0061] 도 8을 참조하면, 상기 제4 반도체 레이저 장치는 제1 및 제2 영역들(I, II)을 포함하는 제1 기판(100) 상에 순차적으로 적층된 제1 클래딩(110) 및 제2 기판(120)을 포함할 수 있다.

[0062] 또한, 상기 제4 반도체 레이저 장치는 제1 기판(100)의 제1 영역(I) 상에 순차적으로 적층된 제1 광 도파로(125) 및 상기 제1 반도체 레이저 광원 구조물, 제2 기판(120) 내에 수용되어 제1 광 도파로(125)의 양 측벽을 커버하는 제2 클래딩(130), 및 제1 및 제2 전극들(272, 274)을 더 포함할 수 있다. 한편, 상기 제4 반도체 레이저 장치는 제1 기판(100)의 제2 영역(II) 상에 순차적으로 적층된 제2 광 도파로(290) 및 상기 제2 반도체 레이저 광원 구조물, 제2 기판(120) 내에 수용되어 제2 광 도파로(290)의 양 측벽을 커버하는 제2 클래딩(130), 및 제4 및 제5 전극들(276, 278)을 더 포함할 수 있다.

[0063] 예시적인 실시예들에 있어서, 동일한 제1 기판(100) 상에 제1 및 제2 광 도파로들(125, 290), 및 상기 제1 및

제2 반도체 레이저 광원 구조물들이 형성되므로, 이들 사이의 절연성을 강화하기 위해서, 제1 클래딩(110)에는 탄소(C) 혹은 철(Fe)이 도핑될 수도 있다.

[0064] 전술한 바와 같이, 제1 기판(100)의 제1 영역(I) 상에 형성된 제1 광 도파로(125)는 상대적으로 장파장 영역에서 광을 가이드 할 수 있으며, 제1 기판(100)의 제2 영역(II) 상에 형성된 제2 광 도파로(290)는 상대적으로 단파장 영역에서 광을 가이드 할 수 있다.

부호의 설명

[0065] 100, 120, 200: 제1 내지 제3 기판

110, 130, 222, 224: 제1 내지 제4 클래딩

242, 115, 244: 제1 내지 제3 액티브 패턴

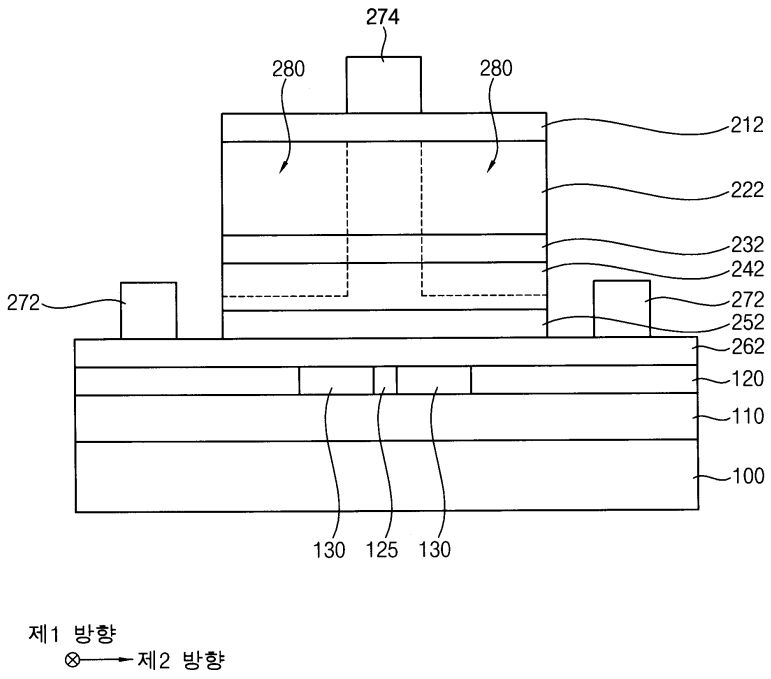
252, 232, 254, 234: 제1 내지 제4 SCH 패턴

262, 212, 264, 214: 제1 내지 제4 콘택 패턴

272, 274: 제1 및 제2 전극 276, 278: 제4 및 제5 전극

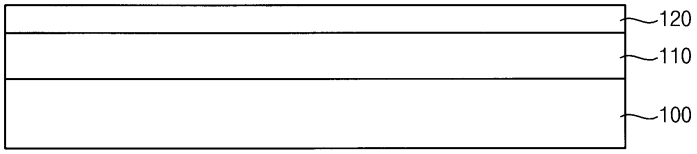
도면

도면1



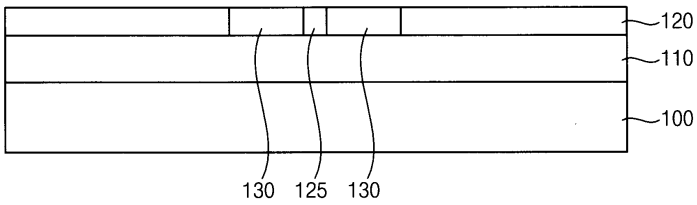
제1 방향
⊗——▸제2 방향

도면2



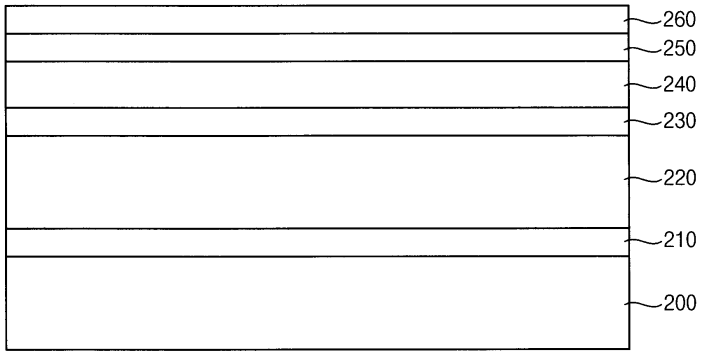
제1 방향
⊗ 제2 방향

도면3



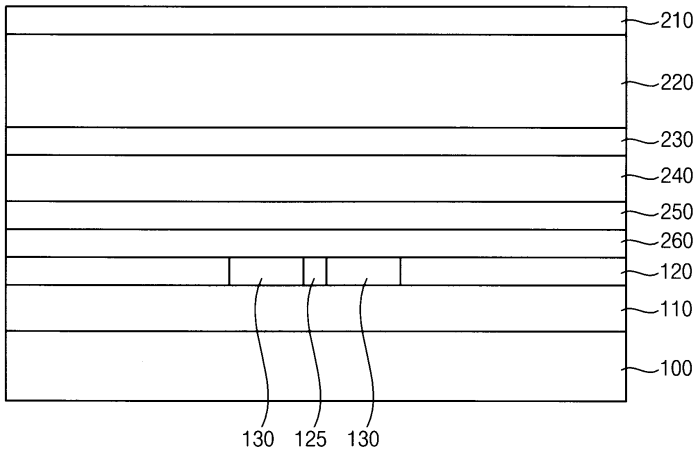
제1 방향
⊗ 제2 방향

도면4



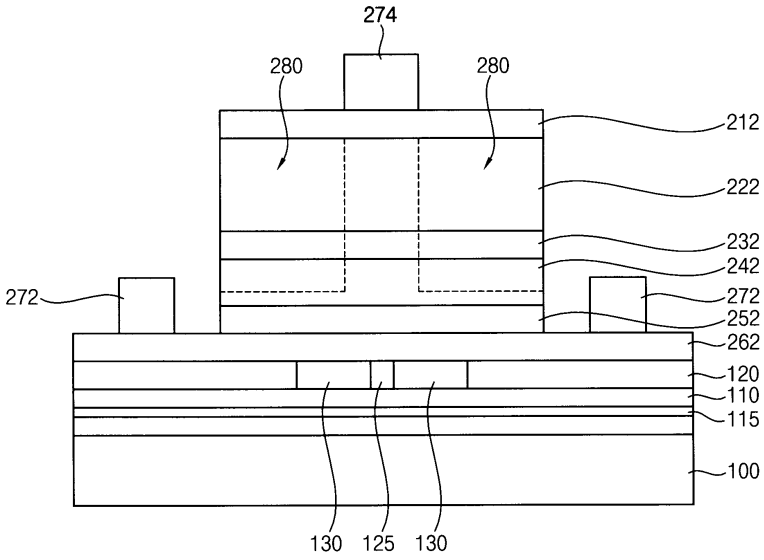
제1 방향
⊗ 제2 방향

도면5



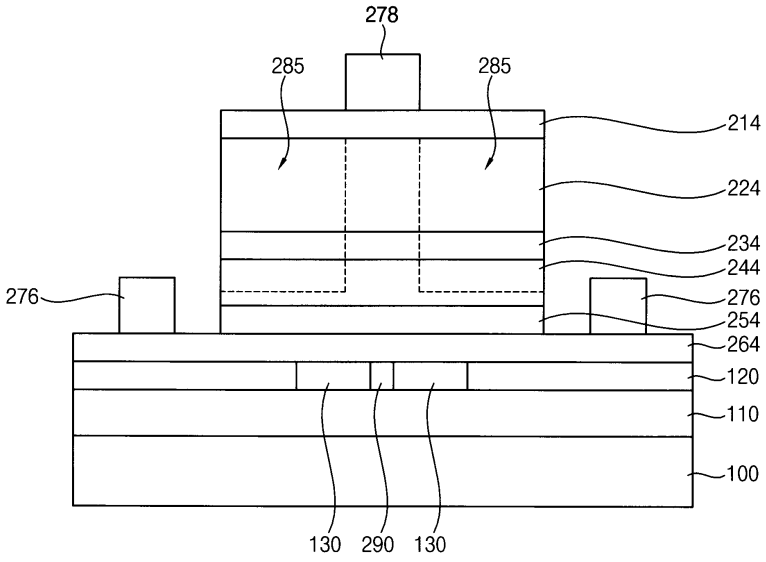
제1 방향
⊗——► 제2 방향

도면6



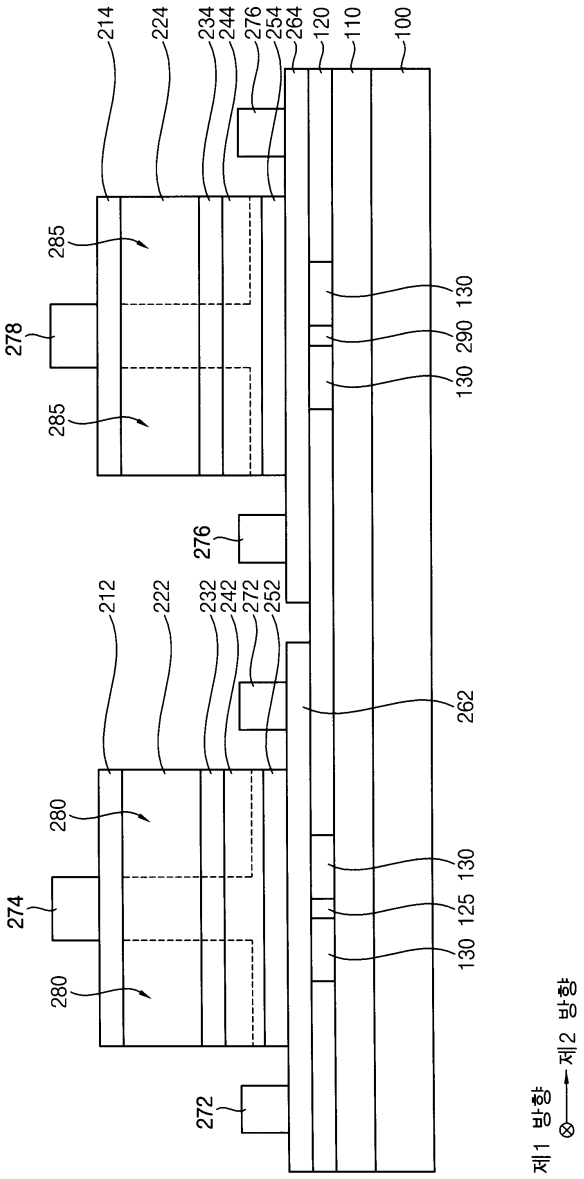
제1 방향
⊗——► 제2 방향

도면7



제1 방향
⊗ 제2 방향

도면8


214
224
234
244
276
254
264
120
110
100
285
278
285
130
290
130
276
212
222
232
242
272
252
262
280
274
280
130
125
130
272
제1 방향
제2 방향