



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 16/34 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월08일 10-0680479 2007년02월01일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0030076 2005년04월11일 2005년04월11일	(65) 공개번호 (43) 공개일자	10-2006-0107716 2006년10월16일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이민규
 경기 이천시 고담동 산11번지 고담기숙사 101-1410

(74) 대리인 신영무

(56) 선행기술조사문헌

JP07029383 A	KR1019970060242 A
KR1020040043363 A	KR1020050075548 A
KR1020060014342 A	US20040223371 A1
05754469	05754469,06853585,06147190

* 심사관에 의하여 인용된 문헌

심사관 : 조명관

전체 청구항 수 : 총 8 항

(54) 비휘발성 메모리 장치의 프로그램 검증 방법

(57) 요약

본 발명은 프로그램을 검증할 때 복수개의 워드라인들 중 마지막에 해당하는 워드라인에 제2 프로그램 검증 전압레벨을 인가하고 나머지 워드라인에 제1 프로그램 검증 전압레벨보다 낮은 제1 프로그램 전압을 인가해서 프로그램 셀의 문턱전압을 좁게 조절하는 낸드형 플래시 메모리 장치의 프로그램 검증 방법에 관한 것이다.

대표도

도 4

특허청구의 범위

청구항 1.

N(N은 자연수)개의 워드라인 각각에 연결된 메모리 셀들을 포함하는 낸드형 플래시 메모리 장치의 프로그램 검증 방법에 있어서,

- (a) 상기 N 개의 워드 라인 중, 임의의 어드레스를 갖는 제1워드라인에 연결된 메모리 셀들에 데이터를 프로그램하는 단계;
- (b) 상기 프로그램한 제 1 워드라인이 마지막 N 번째인지 여부를 판단하는 단계;
- (c) 상기 판단결과, 프로그램한 워드라인이 마지막 N번째가 아닌 경우, 상기 프로그램한 워드라인에 제 1 프로그램 검증 전압을 인가하여 프로그램의 패스/페일을 검증하는 단계;
- (d) 상기 검증결과 패스인 경우, 상기 워드라인의 다음 어드레스를 갖는 제 2 워드라인에 연결된 메모리 셀들에 데이터를 프로그램하는 단계; 및
- (e) 상기 단계 (b)로 되돌아가서 상기 단계 (d) 제 2 워드라인이 마지막 N 번째인지 여부를 판단하여, 상기 제 2 워드라인이 마지막 N 번째인 경우 제 2 프로그램 검증 전압을 인가하여 프로그램의 패스/페일을 검증하는 단계를 포함하는 비휘발성 메모리 장치의 프로그램 검증 방법.

청구항 2.

제 1 항에 있어서,

상기 단계 (a) 내지 (d)는 상기 프로그램한 워드라인이 N번째가 될 때까지 반복적으로 이루어지는 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 검증 방법.

청구항 3.

제 1 항에 있어서,

상기 단계 (c)에서의 프로그램이 페일이면 상기 단계 (a)의 제 1 워드라인에 프로그램 전압을 소정의 전압 만큼 높여서 재인가하여 상기 해당 워드라인에 연결된 메모리 셀들에 데이터를 다시 프로그램하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 검증 방법.

청구항 4.

제 1 항에 있어서,

상기 단계 (e)에서의 프로그램이 페일이면 상기 단계 (d)의 제 2 워드라인에 프로그램 전압을 소정의 전압 만큼 높여서 재인가하여 상기 해당 워드라인에 연결된 메모리 셀들에 데이터를 다시 프로그램하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 검증 방법.

청구항 5.

제 1 항에 있어서,

상기 제2 프로그램 검증 전압레벨은 상기 제1 프로그램 검증 전압레벨보다 높은 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 검증 방법.

청구항 6.

제 1 항에 있어서,

상기 제2 프로그램 검증 전압레벨은 상기 제1 프로그램 검증 전압레벨보다 높은 1.2V인 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 검증 방법.

청구항 7.

제 1 항에 있어서,

상기 제1 프로그램 검증 전압레벨은 상기 제2 프로그램 검증 전압레벨보다 낮은 0.8V 혹은 1.0V인 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 검증 방법.

청구항 8.

제 1 항에 있어서,

상기 메모리 셀들 각각은 멀티 레벨 셀 또는 싱글 레벨 셀인 것을 특징으로 하는 비휘발성 메모리 장치의 프로그램 검증 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 메모리 장치의 프로그램 검증 방법에 관한 것으로, 특히 메모리 셀의 문턱전압 분포를 좁게 조절하기 위한 낸드형 플래시 메모리 장치의 프로그램 검증 방법에 관한 것이다.

전기적으로 프로그램(program)과 소거(erase)가 가능하며, 일정 주기로 데이터(data)를 재작성하는 리프레쉬(refresh) 기능이 필요 없는 비휘발성 메모리 소자의 수요가 증가하고 있다. 여기서, 프로그램이란 데이터를 메모리 셀에 기록(write)하는 동작을 가리킨다.

메모리 소자의 고집적화를 위해 복수개의 메모리 셀(memory cell)들이 직렬로 접속(즉, 인접한 셀끼리 드레인 또는 소오스를 서로 공유하는 구조)되어 한 개의 스트링(string)을 구성하는 낸드(NAND)형 플래시 메모리 소자가 개발되었다. 낸드형 플래시 메모리 소자는 노어(NOR)형 플래시 메모리와 달리 순차적으로 정보를 독출(read)하는 메모리이다.

기존의 낸드형 플래시 메모리 소자의 프로그램 셀의 문턱전압(V_t) 분포는 오버 프로그램과 독출 마진에 따른 디바이스 성능을 좌우하는 요소(factor)이다. 프로그램 셀의 문턱전압(V_t)은 ISPP(Incremental Step Pulse Program)에 의해 제어된다. 특히, 멀티 레벨 셀(Multi Level Cell)을 갖는 낸드형 플래시 메모리 장치에서는 프로그램 셀의 문턱전압(V_t) 분포는 매우 중요한 요소이다.

도 1은 낸드형 플래시 메모리 소자의 메모리 셀 어레이를 나타내는데, 이러한 낸드형 플래시 메모리 소자에서는 ISPP를 진행할 경우, BPD(Back Pattern Dependency) 효과와 간섭효과(interference effect)에 의해서 프로그램 셀의 문턱전압

(Vt)이 워드라인(WL0~WL31)별로 차이를 발생한다. 그로 인해 메모리 셀의 문턱전압 분포가 넓어지게 된다. 이러한 넓은 문턱전압 분포는 싱글 레벨 셀 또는 멀티 레벨 셀에서 독출 마진을 열화시키고, 사이클링(cycling) 특성 및 리텐션(retention) 특성에서의 마진에 악영향을 준다.

도 2는 ISPP를 사용한 프로그램 셀의 문턱전압 분포를 나타내는 그래프이다.

도 2를 참조하면, 마지막에 프로그램되는 워드라인(WL31)의 프로그램 셀(MC31)이 간섭 셀 문턱전압(인접한 셀의 문턱전압에 따른 액세스 셀의 문턱전압의 왜곡현상)의 영향을 받지 않아, 다른 프로그램 셀(MC0~MC30)과 다른 영역에서 프로그램 셀의 문턱전압 분포를 갖는다는 것을 알 수 있다. 이로 인해, 전체 프로그램 셀(MC0~MC31)의 문턱전압 분포가 1.4V정도로 넓게 분포되어 있음을 알 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 복수개의 워드라인들 중 마지막에 해당하는 워드라인과 나머지 워드라인에 서로 다른 레벨의 프로그램 검증 전압을 인가해서 프로그램 셀의 문턱전압을 좁게 조절하는 것에 있다.

발명의 구성

상술한 과제를 달성하기 위한 본 발명에 따른, (N은 자연수)개의 워드라인 각각에 연결된 메모리 셀들을 포함하는 낸드형 플래시 메모리 장치의 프로그램 검증 방법은 (a) 상기 N 개의 워드 라인 중, 임의의 어드레스를 갖는 제1워드라인에 연결된 메모리 셀들에 데이터를 프로그램하는 단계; (b) 상기 프로그램한 제 1 워드라인이 마지막 N 번째인지 여부를 판단하는 단계; (c) 상기 판단결과, 프로그램한 워드라인이 마지막 N 번째가 아닌 경우, 상기 프로그램한 워드라인에 제 1 프로그램 검증 전압을 인가하여 프로그램의 패스/페일을 검증하는 단계; (d) 상기 검증결과 패스인 경우, 상기 워드라인의 다음 어드레스를 갖는 제 2 워드라인에 연결된 메모리 셀들에 데이터를 프로그램하는 단계; 및 (e) 상기 단계 (b)로 되돌아가서 상기 단계 (d) 제 2 워드라인이 마지막 N 번째인지 여부를 판단하여, 상기 제 2 워드라인이 마지막 N 번째인 경우 제 2 프로그램 검증 전압을 인가하여 프로그램의 패스/페일을 검증하는 단계를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

도 3은 셀의 문턱전압 분포를 좁게 조절하기 위한 본 발명에 따른 낸드형 플래시 메모리 장치를 나타낸다.

도 3을 참조하면, 낸드형 플래시 메모리 장치는 메모리 셀 블록(110), 워드라인 스위칭부(120), 로우 디코더(130), 프로그램 검증 전압 선택부(140), 프로그램 검증 전압 발생부(150), 어드레스 디코더(160), 및 페이지 버퍼(170)를 포함한다.

도 3을 참조하면, 메모리 셀 블록(110)은 메모리 셀들(MC), 소스 선택 트랜지스터(SST), 및 드레인 선택 트랜지스터(DST)를 포함한다. 드레인 역할을 하는 각 비트라인(BL1~BLn)은 드레인 선택 라인(DSL)을 선택하기 위한 드레인 선택 트랜지스터(DST)와 연결되고, 소스 역할을 공통 소스 라인(CSL)은 소스 선택 라인(SSL)을 선택하기 위한 소스 선택 트랜지스터(SST)와 연결된다. 드레인 선택 트랜지스터(DST)와 소스 선택 트랜지스터(SST) 사이에 직렬로 연결되는 메모리 셀들(MC)의 개수는 디바이스 및 밀도(density)를 고려하여 16개, 32개, 64개로 구성된다. 도 3에서는 32개의 메모리 셀을 하나의 스트링으로 하였고 이러한 스트링이 N개가 존재한다. 메모리 셀들(예컨대 MC1)은 하나의 워드라인(WL1)에 의해 제어되며, 하나의 페이지를 형성한다. 도 2에서는 32개의 페이지가 존재한다.

프로그램 검증 전압 발생부(150)는 도시하지 않았지만 차동 증폭기와 저항들을 이용해서 다양한 프로그램 검증 전압, 예컨대, 0.8V, 1.0V 혹은 1.2V의 프로그램 검증 전압을 발생시킨다.

여기서, 1.2V의 프로그램 전압은 워드라인(WL31)에 인가될 것이고, 0.8V 혹은 1.0V는 나머지 워드라인(WL0~WL30)에 인가될 것이다.

프로그램 검증 전압 선택부(140)는 어드레스 디코더(160)로부터 전달되는 워드라인의 어드레스를 입력받아 해당 워드라인에 인가될 프로그램 검증 전압을 워드라인 스위칭부(120)로 전달한다.

그러면, 워드라인 스위칭부(120)는 로우 디코더(130)의 출력신호에 응답하여 해당 워드라인에 프로그램 검증 전압을 인가한다.

본 발명에서는 프로그램 속도를 확보하기 위해서 ISPP(Incremental Step Pulse Program)를 적용하여 워드라인(WL0-WL31)에 프로그램 전압을 인가해서 메모리 셀(MC0-MC31)에 데이터를 프로그램한다. 그리고 워드라인(WL31)에 존재한 간섭효과를 제거하기 위해서, 프로그램 검증 시에 워드라인(WL31)에 다른 워드라인(WL0-WL30)과는 다른 레벨의 프로그램 검증 전압을 인가한다. 이렇게 하면, 프로그램 셀(MC31)이 다른 프로그램 셀(MC0-MC30)과 같은 문턱전압 분포를 갖게 되어, 문턱전압 분포가 좁아진다.

도 4는 본 발명에 따른 낸드형 플래시 메모리 장치의 프로그램 검증 방법을 나타낸 흐름도로서, 이하, 도 3 및 도 4를 참조하면서 낸드형 플래시 메모리 장치의 프로그램 검증 방법을 설명하기로 한다.

도 4를 참조하면, 먼저, 32개의 워드라인들 중 첫번째 프로그램 대상 워드라인(예컨대 WL0)에 프로그램 전압을 인가하여 해당 워드라인(WL0)에 연결된 메모리 셀들에 데이터를 프로그램한다(S11).

다음에, 이 첫번째 프로그램 대상 워드라인(WL0)이 마지막에 해당하는 32번째 워드라인(WL31)인지 아닌지를 판단한다(S12). 이때, 첫번째 프로그램 대상 워드라인(WL0)이 32번째 워드라인(WL31)이 아니면 이 워드라인(예컨대 WL0)에 제 1 프로그램 검증 전압, 예컨대 0.8V 혹은 1.0V를 인가하여 프로그램의 패스/페일(pass/fail)을 검증한다(S13).

단계 S13에서 프로그램이 페일이면 곧바로 단계 S11로 되돌아가서 첫번째 워드라인(예컨대 WL0)에 처음에 인가했던 프로그램 전압(예컨대 18V)에 0.5V를 더한 프로그램 전압(즉 18.5V)을 인가하여(멀티레벨 셀(MLC)인 경우에는 처음에 인가했던 프로그램 전압에 0.2V를 더한 프로그램 전압을 인가), 첫번째 워드라인(WL0)의 메모리 셀들에 다시 데이터를 프로그램한다. 그런 다음, 다시 첫번째 워드라인(예컨대 WL0)에 제 1 프로그램 검증 전압, 예컨대 0.8V 혹은 1.0V를 인가하여 프로그램의 패스/페일(pass/fail)을 검증한다(S13). 이러한 동작은 프로그램이 패스될 때까지 프로그램 전압을 0.5V씩 높여가면서 반복적으로 이루어진다.

단계 S13에서 프로그램이 패스이면 워드라인을 구동시키기 위한 어드레스를 하나 증가시키고(S14), 단계 S11로 되돌아서 다음 프로그램 대상 워드라인(예컨대 WL1)에 프로그램 전압을 인가하여 워드라인(WL1)의 메모리 셀들에 데이터를 프로그램한다.

그런 다음, 단계 S12로 가서 워드라인(WL1)이 마지막에 해당하는 32번째 워드라인(예컨대 WL31)인지 아닌지를 판단한다. 단계 S11 내지 S14를 프로그램 대상 워드라인이 마지막에 해당하는 32번째가 될 때까지 반복한다. 이때, 프로그램 대상 워드라인이 마지막에 해당하면, 즉, 32번째 워드라인(WL31)이면, 워드라인(WL31)에 제 2 프로그램 검증 전압, 예컨대 1.2V를 인가하여 프로그램의 패스/페일을 검증한다(S15).

이때, 단계 S15에서 프로그램이 페일이면 다시 단계 S11로 되돌아가서, 마지막에 프로그램한 워드라인(예컨대 WL31)에 처음에 인가했던 프로그램 전압(예컨대 18V)에 0.5V를 더한 프로그램 전압(즉 18.5V)을 인가하여, 마지막에 해당하는 워드라인(WL31)의 메모리 셀들에 다시 데이터를 프로그램한다. 그런 다음, 프로그램된 워드라인(WL31)에 다시 제 2 프로그램 검증 전압, 예컨대 1.2V를 인가하여 프로그램의 패스/페일을 검증한다. 이러한 동작은 프로그램이 패스될 때까지 프로그램 전압을 0.5V씩 높여가면서 반복적으로 이루어진다.

단계 S15에서 프로그램이 패스이면, 모든 동작을 종료한다.

상술한 프로그램 검증 시에 프로그램 셀의 문턱전압 분포를 좁게 하기 위한 실시예 1은 워드라인(WL0-WL30)에는 1.0V의 프로그램 검증 전압을 인가하고, 워드라인(WL31)에 1.2V의 프로그램 검증 전압을 인가하는 것이다.

또한, 프로그램 검증 시에 프로그램 셀의 문턱전압 분포를 좁게 하기 위한 실시예 2는 워드라인(WL0-WL30)에는 0.8V의 프로그램 검증 전압을 인가하고, 워드라인(WL31)에 1.2V의 프로그램 검증 전압을 인가하는 것이다.

상술한 실시예들과 같이 워드라인(WL31)에, 다른 워드라인(WL0-WL31)과는 다른 레벨의 프로그램 검증 전압을 인가하면 도 5에 도시한 것과 같은 프로그램 셀의 문턱전압 분포가 나타난다.

도 5를 참조하면, 기존의 프로그램 검증 전압을 사용할 경우에는, 메모리 셀의 문턱전압 분포의 폭이 1.4V로 넓었지만, 본 발명의 실시예 1에 따른 프로그램 검증 전압을 사용하면, 메모리 셀의 문턱전압 분포가 1.2V까지 좁아지고, 본 발명의 실시예 2에 따른 프로그램 검증 전압을 사용하면, 메모리 셀의 문턱전압 분포가 1.0V까지 좁아짐을 알 수 있다.

상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따르면, 프로그램 셀의 문턱전압 분포를 좁게 조절할 수 있다. 그 결과, 칩의 독출 마진을 확보할 수 있어 수율을 높일 수 있고, 또한 내구성(endurance) 및 신뢰성(reliability) 특성을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 일반적인 낸드형 플래시 메모 장치의 메모리 셀 블록을 나타낸다.

도 2는 도 1의 낸드형 플래시 메모리 장치의 프로그램 셀의 문턱전압 분포를 나타낸 그래프이다.

도 3은 메모리 셀의 문턱전압 분포를 좁게 할 수 있는 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 장치를 나타낸 블록도이다.

도 4는 도 3의 낸드형 플래시 메모리 장치의 프로그램 검증 방법을 나타낸 흐름도이다.

도 5는 도 3의 낸드형 플래시 메모리 장치의 프로그램 셀의 문턱전압 분포를 나타낸 그래프이다.

< 도면의 주요 부분에 대한 부호의 설명 >

110 : 메모리 셀 블록 120 : 워드라인 스위칭부

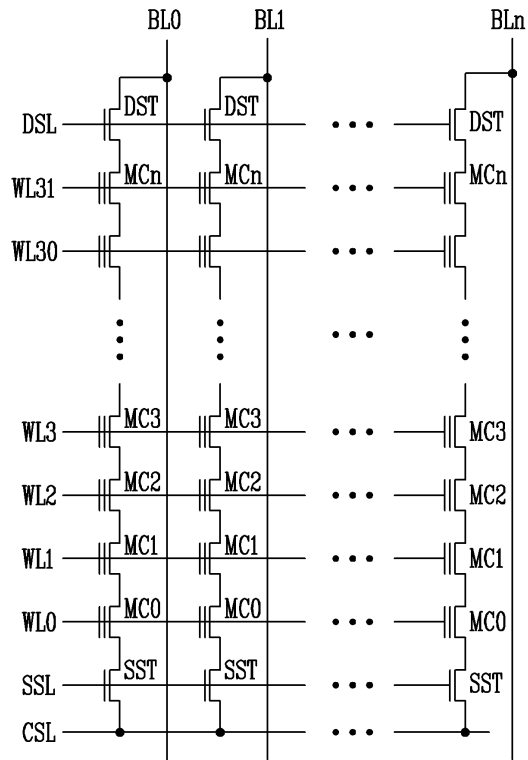
130 : 로우 디코더 140 : 프로그램 검증 전압 선택부

150 : 프로그램 검증 전압 발생부 160 : 어드레스 디코더

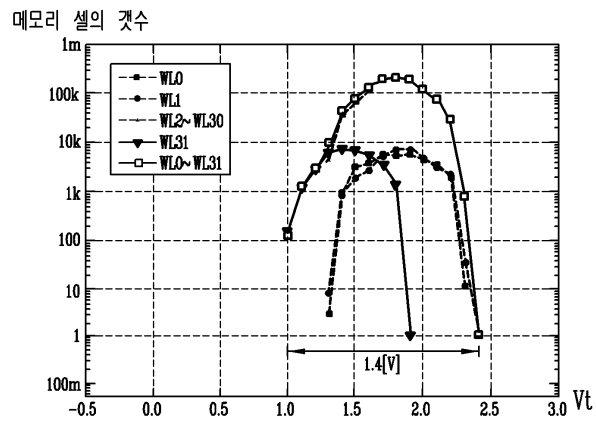
170 : 페이지 버퍼

도면

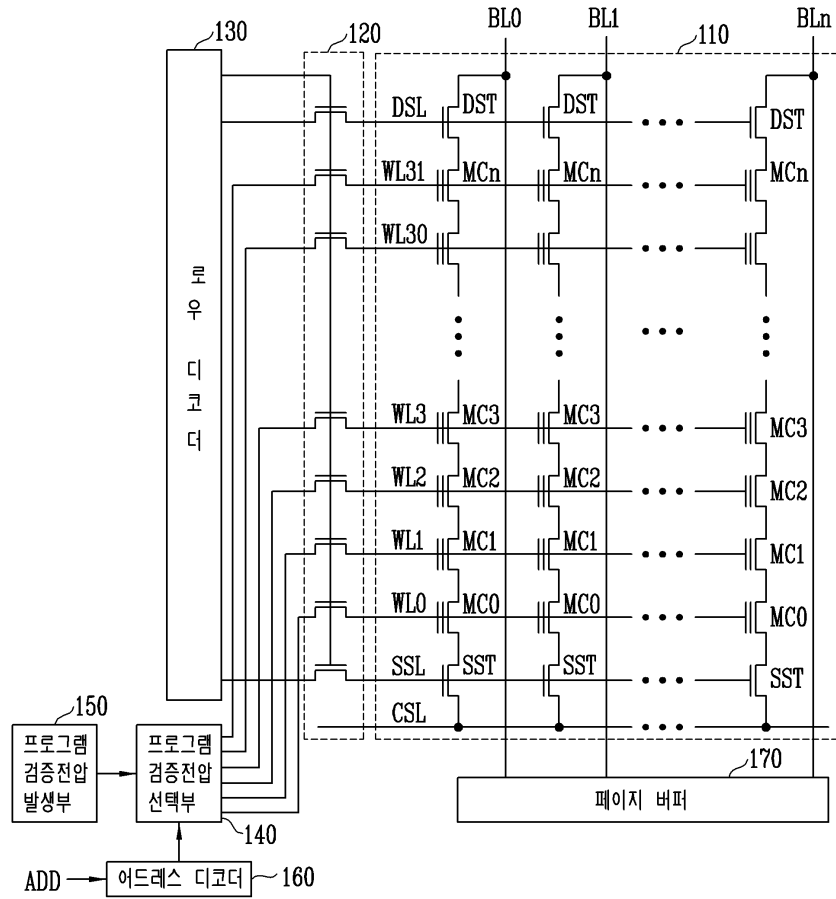
도면1



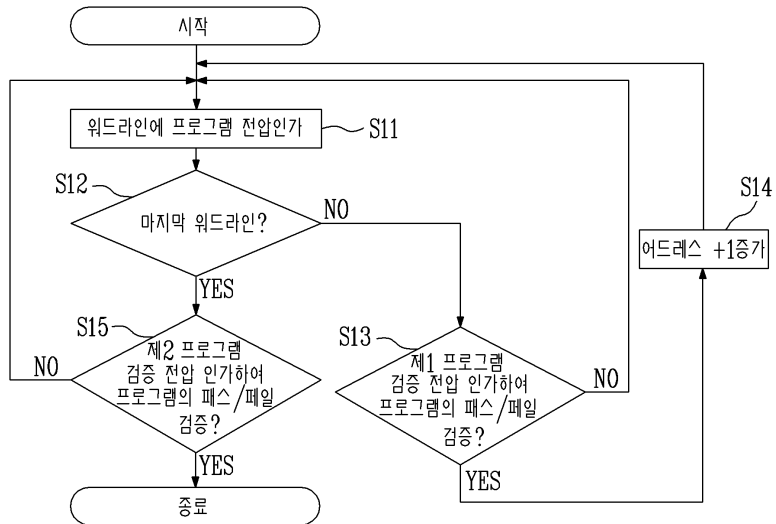
도면2



도면3



도면4



도면5

