



(10) **DE 10 2015 113 250 A1** 2016.11.24

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2015 113 250.8**
 (22) Anmeldetag: **12.08.2015**
 (43) Offenlegungstag: **24.11.2016**

(51) Int Cl.: **H01L 29/423** (2006.01)
H01L 29/78 (2006.01)
H01L 21/28 (2006.01)
H01L 21/336 (2006.01)

(30) Unionspriorität:
62/165,369 **22.05.2015** **US**
14/818,965 **05.08.2015** **US**

(72) Erfinder:
Chang, Kuo-Hui, Hsinchu, TW; Wu, Po-Chi,
Hsinchu, TW; Chang, Chai-Wei, Hsinchu, TW;
Chao, Yi-Cheng, Hsinchu, TW

(71) Anmelder:
Taiwan Semiconductor Manufacturing Company,
Ltd., Hsin-Chu, TW

(56) Ermittelter Stand der Technik:

(74) Vertreter:
BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE

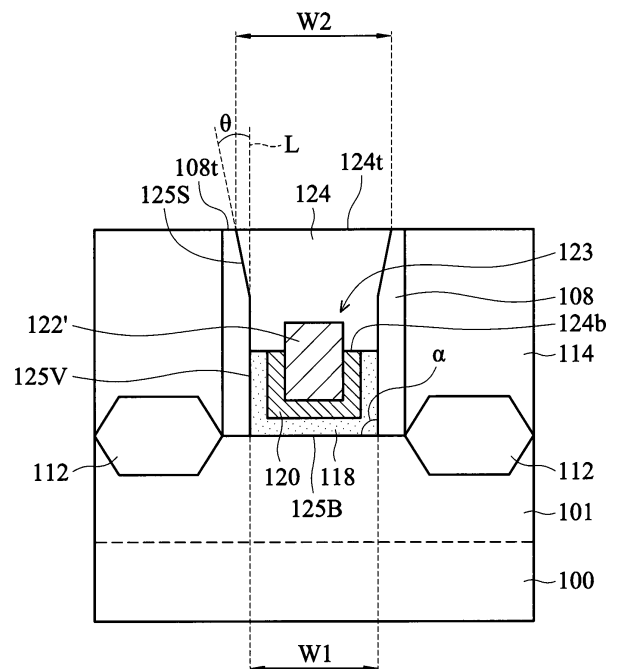
US **8 048 790** **B2**
US **8 772 168** **B2**
US **2013 / 0 189 834** **A1**
US **2015 / 0 118 836** **A1**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **STRUKTUR UND VERFAHREN ZUM AUSBILDEN EINER HALBLEITERVORRICHTUNGSSTRUKTUR**

(57) Zusammenfassung: Strukturen und Verfahren zum Ausbilden einer Halbleitervorrichtungsstruktur sind bereitgestellt. Die Halbleitervorrichtungsstruktur umfasst einen Gatestapel über einem Halbleitersubstrat und ein Abdeckelement über dem Gatestapel. Das Abdeckelement weist einen oberen Abschnitt und einen unteren Abschnitt auf und der obere Abschnitt ist breiter als der untere Abschnitt. Die Halbleitervorrichtungsstruktur umfasst außerdem ein Spaceelement über einer Seitenwand des Abdeckelements und einer Seitenwand des Gatestapels.



Beschreibung**AUSFÜHRLICHE BESCHREIBUNG****PRIORITÄTSANSPRUCH UND QUERVERWEIS**

[0001] Diese Anmeldung beansprucht die Priorität der vorläufigen US-Anmeldung Nr. 62/165,369, die am 22 Mai 2015 eingereicht wurde und die hier durch Rückbezug in ihrer Gänze aufgenommen ist.

ALLGEMEINER STAND DER TECHNIK

[0002] Die Industrie für integrierte Halbleiterschaltungen (IC) hat ein sehr schnelles Wachstum erfahren. Technologische Fortschritte in IC-Materialien und -Design haben Generationen von ICs hervorgebracht. Jede Generation weist kleinere und komplexere Schaltungen als die vorangegangene Generation auf.

[0003] Die Funktionsdichte (d. h. die Anzahl miteinander verschalteter Bauelemente pro Chipfläche) ist im Laufe der IC-Entwicklung grundsätzlich gestiegen, während die geometrische Größe (d. h. die kleinste Komponente (oder Leiterbahn), die unter Verwendung eines Fertigungsverfahrens erzeugt werden kann) kleiner geworden ist. Dieser Miniaturisierungsprozess (Skalierung) bringt grundsätzlich Vorteile, indem die Produktionseffizienz gesteigert und die damit verbundenen Kosten gesenkt werden.

[0004] Diese Fortschritte führten jedoch zu einer Steigerung der Komplexität der Verarbeitung und Herstellung von ICs. Da Merkmalgrößen immer kleiner werden, wird die Durchführung der Fertigungsprozesse immer schwieriger. Daher besteht eine Herausforderung darin, zuverlässige Halbleitervorrichtungen in zunehmend kleineren Größen auszubilden.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0005] Aspekte der vorliegenden Offenbarung werden am besten aus der nachstehenden ausführlichen Beschreibung verstanden, wenn sie zusammen mit den begleitenden Figuren gelesen wird. Es ist zu beachten, dass gemäß dem Standardverfahren in der Branche verschiedene Merkmale nicht maßstabsgetreu gezeichnet sind. Vielmehr können die Abmessungen der verschiedenen Merkmale zur Klarheit der Erörterung beliebig vergrößert oder verkleinert sein.

[0006] Fig. 1A bis Fig. 1G sind Querschnittsansichten verschiedener Stufen eines Prozesses zum Ausbilden einer Halbleitervorrichtungsstruktur gemäß einigen Ausführungsformen.

[0007] Fig. 2 ist eine Querschnittsansicht einer Halbleitervorrichtungsstruktur gemäß einigen Ausführungsformen.

[0008] Die nachstehende Offenbarung stellt viele verschiedene Ausführungsformen, oder Beispiele, zum Implementieren verschiedener Merkmale des vorliegenden Gegenstands bereit. Konkrete Beispiele von Komponenten und Anordnungen sind nachstehend beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese sind selbstverständlich lediglich Beispiele und sind nicht im beschränkenden Sinne gedacht. Zum Beispiel kann das Ausbilden eines ersten Merkmals über oder auf einem zweiten Merkmal in der nachstehenden Beschreibung Ausführungsformen umfassen, in denen das erste und das zweite Merkmal in direktem Kontakt ausgebildet werden, und kann ebenfalls Ausführungsformen umfassen, in denen zusätzliche Merkmale zwischen dem ersten und dem zweiten Merkmal ausgebildet werden können, so dass das erste und das zweite Merkmal möglicherweise nicht in direktem Kontakt stehen. Außerdem kann die vorliegende Offenbarung Bezugsnummern und/oder -buchstaben in den verschiedenen Beispielen wiederholen. Diese Wiederholung geschieht zum Zweck der Einfachheit und Klarheit und sie schreibt an sich keine Beziehung zwischen den verschiedenen besprochenen Ausführungsformen und/oder Ausgestaltungen vor.

[0009] Außerdem können hierin Begriffe, die sich auf räumliche Relativität beziehen, wie z. B. „unterhalb“, „unter“, „unterer“, „oberhalb“, „oberer“ und dergleichen, zur Erleichterung der Besprechung verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem anderen Element oder Merkmal (zu anderen Elementen oder Merkmalen), wie in den Figuren dargestellt, zu beschreiben. Die Begriffe, die räumliche Relativität betreffen, sollen verschiedene Ausrichtungen der verwendeten oder betriebenen Vorrichtung zusätzlich zu der in den Figuren dargestellten Ausrichtung umfassen. Die Vorrichtung kann auf eine andere Weise ausgerichtet sein (um 90 Grad gedreht oder anders ausgerichtet) und die hier verwendeten Bezeichnungen, die räumliche Relativität betreffen, können gleichermaßen dementsprechend ausgelegt werden.

[0010] Einige Ausführungsformen der Offenbarung sind beschrieben. Fig. 1A bis Fig. 1G sind Querschnittsansichten verschiedener Stufen eines Prozesses zum Ausbilden einer Halbleitervorrichtungsstruktur gemäß einigen Ausführungsformen. Zusätzliche Vorgänge können vor, während und/oder nach den in Fig. 1A bis Fig. 1G beschriebenen Stufen bereitgestellt werden. Einige der beschriebenen Stufen können für andere Ausführungsformen ersetzt oder eliminiert werden. Zusätzliche Merkmale können der Halbleitervorrichtungsstruktur hinzugefügt werden. Einige der nachstehend beschriebenen Merkmale können für andere Ausführungsformen ersetzt oder eliminiert werden.

[0011] Wie in **Fig. 1A** dargestellt, wird ein Halbleitersubstrat **100** bereitgestellt. In einigen Ausführungsformen ist das Halbleitersubstrat **100** ein Bulk-Halbleitersubstrat, wie z. B. ein Halbleiter-Wafer. Zum Beispiel kann das Halbleitersubstrat **100** ein Siliziumwafer sein. Das Halbleitersubstrat **100** kann Silizium oder ein anderes Elementhalbleitermaterial, wie z. B. Germanium, umfassen. In einigen anderen Ausführungsformen umfasst das Halbleitersubstrat **100** einen Verbindungshalbleiter. Der Verbindungshalbleiter kann Galliumarsenid, Siliziumkarbid, Indiumarsenid, Indiumphosphid, ein anderes geeignetes Material oder eine Kombination davon umfassen.

[0012] In einigen Ausführungsformen umfasst das Halbleitersubstrat **100** ein SOI-Substrat (Silizium auf einem Isolator). Das SOI-Substrat kann unter Verwendung eines SIMOX-Prozesses (Trennung durch Sauerstoffimplantation), eines Waferbondprozesses, eines anderen geeigneten Verfahrens oder einer Kombination davon gefertigt werden.

[0013] In einigen Ausführungsformen werden eine oder mehrere Finnenstrukturen ausgebildet. Wie in **Fig. 1A** dargestellt, ist eine der Finnenstrukturen (die Finnenstruktur **101**) gezeigt. In einigen Ausführungsformen werden mehrere Aussparungen (oder Gräben) (nicht dargestellt) in dem Halbleitersubstrat **100** ausgebildet. Folglich werden mehrere Finnenstrukturen, die eine Finnenstruktur **101** umfassen, zwischen den Aussparungen ausgebildet. In einigen Ausführungsformen werden ein oder mehrere fotolithografische und Ätzprozesse zum Ausbilden der Aussparungen verwendet.

[0014] Wie in **Fig. 1A** dargestellt, werden gemäß einigen Ausführungsformen Isolationsmerkmale (nicht dargestellt) in den Aussparungen ausgebildet, die einen unteren Abschnitt der Finnenstruktur **101** umgeben. Die Isolationsmerkmale werden verwendet, um verschiedene in und/oder über dem Halbleitersubstrat **100** ausgebildete Vorrichtungselemente zu definieren und elektrisch zu isolieren. In einigen Ausführungsformen umfassen die Isolationsmerkmale STI-Merkmale (flache Grabenisolation), LOCOS-Merkmale (lokale Oxidation von Silizium), andere geeignete Isolationsmerkmale oder eine Kombination davon.

[0015] In einigen Ausführungsformen weist jedes der Isolationsmerkmale eine mehrschichtige Struktur auf. In einigen Ausführungsformen werden die Isolationsmerkmale aus einem dielektrischen Material gefertigt. Das dielektrische Material kann Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, mit Fluor dotiertes Silikatglas (FSG), ein Low-k-Dielektrikumsmaterial, ein anderes geeignetes Material oder eine Kombination davon umfassen. In einigen Ausführungsformen wird ein STI-Liner (nicht dargestellt) ausgebildet, um kristalline Defekte an der Grenzfläche zwischen dem Halbleitersubstrat **100** und den Isolationsmerk-

malen zu reduzieren. Gleichmaßen kann der STI-Liner auch verwendet werden, um kristalline Defekte an der Grenzfläche zwischen den Finnenstrukturen und den Isolationsmerkmalen zu reduzieren.

[0016] In einigen Ausführungsformen wird ein dielektrisches Material über dem Halbleitersubstrat **100** abgeschieden. Die Schicht aus dem dielektrischen Material deckt die Finnenstrukturen, die die Finnenstruktur **101** umfassen, ab und füllt die Aussparungen zwischen den Finnenstrukturen. In einigen Ausführungsformen wird die Schicht aus dem dielektrischen Material unter Verwendung eines chemischen Gasphasenabscheidungsprozesses (CVD-Prozesses), eines Rotationsbeschichtungsprozesses, eines anderen geeigneten Prozesses oder einer Kombination davon abgeschieden. In einigen Ausführungsformen wird ein Planarisierungsprozess durchgeführt, um die Schicht aus dem dielektrischen Material zu dünnen, bis die Finnenstruktur **101** freigelegt wird. Der Planarisierungsprozess kann einen chemisch-mechanischen Polierprozess (CMP-Prozess), einen Schleifprozess, einen Ätzprozess, einen anderen geeigneten Prozess oder eine Kombination davon umfassen. Danach wird die Schicht aus dem dielektrischen Material bis unterhalb der Oberseite der Finnenstruktur **101** rückgeätzt. Folglich werden die Isolationsmerkmale ausgebildet. Die Finnenstrukturen, die die Finnenstruktur **101** umfassen, stehen gemäß einigen Ausführungsformen von den Isolationsmerkmalen hervor.

[0017] Wie in **Fig. 1A** dargestellt, wird gemäß einigen Ausführungsformen eine Gatedielektrikumsschicht **104** über den Isolationsmerkmalen und der Finnenstruktur **101** abgeschieden. In einigen Ausführungsformen wird die Gatedielektrikumsschicht **104** aus Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, einem dielektrischen Material mit einer hohen Dielektrizitätskonstante (high-k), einem anderen geeigneten dielektrischen Material oder einer Kombination davon gefertigt. Zu Beispielen von High-k-Dielektrikumsmaterialien gehören Hafniumoxid, Zirkoniumoxid, Aluminiumoxid, Legierung aus Hafniumdioxid-Aluminiumoxid, Hafnium-Siliziumoxid, Hafnium-Siliziumoxinitrid, Hafnium-Tantaloxid, Hafnium-Titanoxid, Hafnium-Zirkoniumoxid, ein anderes geeignetes High-k-Material oder eine Kombination davon. In einigen Ausführungsformen ist die Gatedielektrikumsschicht **104** eine Dummy-Gatedielektrikumsschicht, die nachfolgend entfernt wird. In einigen anderen Ausführungsformen wird die Gatedielektrikumsschicht **104** nicht ausgebildet.

[0018] In einigen Ausführungsformen wird die Gatedielektrikumsschicht **104** unter Verwendung eines chemischen Gasphasenabscheidungsprozesses (CDV-Prozesses), eines Atomlagenabscheidungsprozesses (ALD-Prozesses), eines thermischen Oxidationsprozesses, eines physikalischen Gasphasen-

abscheidungsprozesses (PVD-Prozesses), eines anderen geeigneten Prozesses oder einer Kombination davon abgedeckt.

[0019] Danach wird gemäß einigen Ausführungsformen eine Gateelektrode **106** über der Gatedielektrikumsschicht **104** ausgebildet, um einen Abschnitt der Finnenstruktur **101** abzudecken, wie in **Fig. 1A** dargestellt. In einigen Ausführungsformen ist die Gateelektrode **106** eine Dummy-Gateelektrode, die durch eine Metallgateelektrode ersetzt wird. In einigen Ausführungsformen wird die Gateelektrode **106** aus Polysilizium gefertigt. In einigen Ausführungsformen dient der Abschnitt der Finnenstruktur **101** unter der Gateelektrode **106** als ein Kanalgebiet eines auszubildenden Transistors.

[0020] In einigen Ausführungsformen wird eine Gateelektrodenschicht über der Gatedielektrikumsschicht **104** unter Verwendung eines CVD-Prozesses oder eines anderen geeigneten Prozesses abgedeckt. In einigen Ausführungsformen wird die Gateelektrodenschicht aus Polysilizium gefertigt. Danach wird gemäß einigen Ausführungsformen eine strukturierte Hartmaskenschicht (nicht dargestellt) über der Gateelektrodenschicht ausgebildet. Die strukturierte Hartmaskenschicht kann verwendet werden, um die Gateelektrodenschicht in eine oder mehrere Gateelektroden, die die in **Fig. 1A** dargestellte Gateelektrode **106** umfassen, zu strukturieren. In einigen Ausführungsformen wird die Gatedielektrikumsschicht **104** ebenfalls strukturiert, wie in **Fig. 1A** dargestellt. Die Gateelektrode **106** und die Gatedielektrikumsschicht **104** können zusammen einen Gatestapel **109** bilden.

[0021] In einigen Ausführungsformen ist der Gatestapel **109** ein Dummy-Gatestapel und er wird durch einen Metallgatestapel ersetzt. In einigen Ausführungsformen umgibt der Gatestapel **109** Seitenflächen und eine obere Fläche der Finnenstruktur **101** und erstreckt sich ferner über das Halbleitersubstrat **100**.

[0022] In einigen Ausführungsformen umfasst die strukturierte Hartmaskenschicht eine erste Hartmaskenschicht und eine zweite Hartmaskenschicht. Die erste Hartmaskenschicht befindet sich zwischen der Gateelektrodenschicht und der zweiten Hartmaskenschicht. In einigen Ausführungsformen wird die erste Hartmaskenschicht aus Siliziumnitrid gefertigt. In einigen Ausführungsformen wird die zweite Hartmaskenschicht aus Siliziumoxid gefertigt. In einigen Ausführungsformen ist die zweite Hartmaskenschicht dicker als die erste Hartmaskenschicht.

[0023] In einigen Ausführungsformen werden Dichtelemente (nicht dargestellt) über Seitenwänden des Gatestapels **109** ausgebildet. Die Dichtelemente können verwendet werden, um den Gatestapel **109**

zu schützen und/oder einen nachfolgenden Prozess zum Ausbilden von schwach dotierten Source-/Draingebieten (LDS/D-Gebieten) zu unterstützen. In einigen Ausführungsformen wird ein Ionenimplantationsprozess zum Ausbilden der LDS/D-Gebiete verwendet. In einigen anderen Ausführungsformen werden die Dichtelemente nicht ausgebildet. In einigen anderen Ausführungsformen werden die LDS/D-Gebiete nicht ausgebildet.

[0024] Danach werden gemäß einigen Ausführungsformen Spacerelemente **108** über Seitenwänden des Gatestapels **109** ausgebildet, wie in **Fig. 1A** dargestellt. Die Spacerelemente **108** können verwendet werden, um den Gatestapel **109** zu schützen und/oder einen nachfolgenden Prozess zum Ausbilden von Source-/Drainmerkmalen zu unterstützen. In einigen Ausführungsformen werden die Spacerelemente **108** aus einem dielektrischen Material gefertigt. Das dielektrische Material kann Siliziumnitrid, Siliziumoxinitrid, Siliziumoxid, ein anderes geeignetes Material oder eine Kombination davon umfassen.

[0025] In einigen Ausführungsformen wird eine Schicht aus einem dielektrischen Material über dem Halbleitersubstrat **100** und dem Gatestapel **109** abgedeckt. Die Schicht aus dem dielektrischen Material kann unter Verwendung eines CVD-Prozesses, eines ALD-Prozesses, eines Rotationsbeschichtungsprozesses, eines anderen geeigneten Prozesses oder einer Kombination davon abgedeckt werden. Danach wird die Schicht aus dem dielektrischen Material unter Verwendung eines Ätzprozesses, wie z. B. eines anisotropen Ätzprozesses, teilweise entfernt. Folglich bilden die über den Seitenwänden des Gatestapels **109** verbleibenden Abschnitte der Schicht aus dem dielektrischen Material die Spacerelemente **108**.

[0026] Wie in **Fig. 1A** dargestellt, werden gemäß einigen Ausführungsformen Source-/Drainmerkmale **112** über den Abschnitten der Finnenstruktur **101** in der Nähe des Gatestapels **109** ausgebildet. In einigen Ausführungsformen wird die Finnenstruktur **101** teilweise entfernt, um Aussparungen in der Nähe der Spacerelemente **108** auszubilden. Danach wird gemäß einigen Ausführungsformen ein epitaktischer Aufwuchsprozess durchgeführt, um die Source-/Drainmerkmale **112** auszubilden, wie in **Fig. 1A** dargestellt. In einigen Ausführungsformen werden die Source-/Drainmerkmale **112** außerdem als Stressoren verwendet, die Verspannung oder Beanspruchung an das Kanalgebiet zwischen den Source-/Drainmerkmalen **112** anlegen können. Die Ladungsträgerbeweglichkeit kann dementsprechend verbessert werden.

[0027] Wie in **Fig. 1A** dargestellt, wird gemäß einigen Ausführungsformen eine dielektrische Schicht **114** derart ausgebildet, dass sie den Gatestapel

109 umgibt. In einigen Ausführungsformen wird eine Schicht aus einem dielektrischen Material abgeschieden, um die Source-/Drainmerkmale **112**, die Spacerelemente **108** und den Gatestapel **109** abzudecken. Danach wird ein Planarisierungsprozess verwendet, um die Schicht aus dem dielektrischen Material teilweise zu entfernen. Die Schicht aus dem dielektrischen Material kann teilweise entfernt werden, bis die Gateelektrode **106** freigelegt wird. Folglich wird die dielektrische Schicht **114** ausgebildet.

[0028] In einigen Ausführungsformen wird die Schicht aus dem dielektrischen Material aus Siliziumoxid, Siliziumoxinitrid, Borsilikatglas (BSG), Phosphorsilikatglas (PSG), Borphosphorsilikatglas (BPSG), fluoriertem Silikatglas (FSG), einem Low-K-Material, einem porösen dielektrischen Material, einem anderen geeigneten Material oder einer Kombination davon gefertigt. In einigen Ausführungsformen wird die Schicht aus dem dielektrischen Material unter Verwendung eines CVD-Prozesses, eines ALD-Prozesses, eines Rotationsbeschichtungsprozesses, eines anderen geeigneten Prozesses oder einer Kombination davon abgeschieden. In einigen Ausführungsformen umfasst der Planarisierungsprozess einen CMP-Prozess, einen Schleifprozess, einen Ätzprozess, einen anderen geeigneten Prozess oder eine Kombination davon.

[0029] Danach werden gemäß einigen Ausführungsformen mehrere Ätzvorgänge durchgeführt, um die Gateelektrode **106** zu entfernen. In einigen Ausführungsformen werden diese Ätzvorgänge innerhalb einer selben Prozesskammer durchgeführt.

[0030] Wie in **Fig. 1B** dargestellt, wird gemäß einigen Ausführungsformen ein Abschnitt der Gateelektrode **106** entfernt, und in einem ersten Ätzvorgang eine Aussparung **116a** auszubilden. Die Aussparung **116a** wird durch die Spacerelemente **108** und die zwischen den Spacerelementen **108** verbliebene Gateelektrode **106** umgeben. In einigen Ausführungsformen weist die Aussparung **116a** eine Tiefe auf, die in einem Bereich von ungefähr 10 nm bis ungefähr 20 nm liegt. In manchen Fällen können die Spacerelemente **108** nach dem teilweisen Entfernen der Gateelektrode **106** ein wenig zur Aussparung **116a** hin einstürzen. Folglich wird die Öffnung der Aussparung **116a** kleiner.

[0031] In einigen Ausführungsformen setzt der erste Ätzvorgang ein Plasma ein. In einigen Ausführungsformen umfasst das in dem ersten Ätzvorgang verwendete Reaktionsgas HBr, Cl_2 , ein anderes ähnliches Gas, ein anderes geeignetes Gas oder eine Kombination davon.

[0032] Wie in **Fig. 1C** dargestellt, wird gemäß einigen Ausführungsformen ein Abschnitt der Gateelektrode **106** weiter entfernt und die Spacerelemente

108 werden in einem zweiten Ätzvorgang auch seitlich geätzt. In einigen Ausführungsformen ist eine Ätzrate des ersten Ätzvorgangs an den Spacerelementen **108** niedriger als eine Ätzrate des zweiten Ätzvorgangs an den Spacerelementen **108**.

[0033] Nach dem zweiten Ätzvorgang wird die Aussparung (**116a**) tiefer und ist mit **116b** gekennzeichnet. In einigen Ausführungsformen weist die Aussparung **116b** eine Tiefe auf, die in einem Bereich von ungefähr 20 nm bis ungefähr 35 nm liegt. In einigen Ausführungsformen wird die Aussparung **116b** entlang einer Richtung von einer Unterseite der Aussparung **116b** zu einer Oberseite der Aussparung **116b** hin breiter, wie in **Fig. 1C** dargestellt.

[0034] In einigen Ausführungsformen wird die Bedingung des zweiten Ätzvorgangs feinjustiert, um obere Abschnitte der Spacerelemente **108** seitlich zu ätzen, wie in **Fig. 1C** dargestellt. In einigen Ausführungsformen setzt der zweite Ätzvorgang ein Plasma ein. In einigen Ausführungsformen umfasst das in dem zweiten Ätzvorgang verwendete Reaktionsgas CHF_3 , HBr, O_2 , Ar, He, ein anderes ähnliches Gas, ein anderes geeignetes Gas oder eine Kombination davon. In einigen Ausführungsformen liegt eine Volumenkonzentration von CHF_3 in einem Bereich von ungefähr 50% bis ungefähr 90%. In einigen Ausführungsformen liegt eine Volumenkonzentration von HBr in einem Bereich von ungefähr 20% bis ungefähr 30%. In einigen Ausführungsformen liegt eine Volumenkonzentration von O_2 in einem Bereich von ungefähr 10% bis ungefähr 40%.

[0035] Aufgrund des lateralen Ätzens der Spacerelemente **108** weist die Aussparung **116b** eine größere Öffnung auf. In einigen anderen Ausführungsformen weist die Aussparung **116b** eine geneigte Seitenwand auf. In einigen anderen Ausführungsformen weist die Aussparung **116b** gekrümmte Seitenwände auf. In einigen Ausführungsformen werden die Breiten der Aussparung **116b** entlang einer Richtung von einer Unterseite der Aussparung **116b** zur Oberseite der Aussparung **116b** hin allmählich größer. In einigen Ausführungsformen wird die Aussparung **116b** entlang einer Richtung von einer Oberseite der Gateelektrode **106** zur Oberseite der Aussparung **116b** hin allmählich größer.

[0036] Wie in **Fig. 1D** dargestellt, wird gemäß einigen Ausführungsformen der verbleibende Abschnitt der Gateelektrode **106** in einem dritten Ätzvorgang weiter entfernt. In einigen Ausführungsformen ist eine Ätzrate des zweiten Ätzvorgangs an den Spacerelementen **108** höher als eine Ätzrate des dritten Ätzvorgangs an den Spacerelementen **108**. In einigen Ausführungsformen werden die Spacerelemente **108** während des dritten Ätzvorgangs im Wesentlichen nicht entfernt.

[0037] Nach dem dritten Ätzzvorgang wird die Aussparung (**116b**) tiefer und wird mit **116c** gekennzeichnet. In einigen Ausführungsformen weist die Aussparung **116c** eine Tiefe auf, die in einem Bereich von ungefähr 60 nm bis ungefähr 85 nm liegt. Danach wird gemäß einigen Ausführungsformen die Gatedielektrikumsschicht **104** entfernt. Die Aussparung **116c** legt die Finnenstruktur **101** frei, wie in **Fig. 1D** dargestellt.

[0038] In einigen Ausführungsformen setzt der dritte Ätzzvorgang ein Plasma ein. In einigen Ausführungsformen umfasst das in dem zweiten Ätzzvorgang verwendete Reaktionsgas HBr Cl₂, ein anderes ähnliches Gas, ein anderes geeignetes Gas oder eine Kombination davon. In einigen anderen Ausführungsformen werden ein oder mehrere andere Ätzzvorgänge vor, während, zwischen und/oder nach dem ersten, dem zweiten und dem dritten Ätzzvorgang durchgeführt.

[0039] Wie in **Fig. 1E** dargestellt, werden gemäß einigen Ausführungsformen Metallgatestapelschichten abgeschieden, um die Aussparung **116c** (oder Graben) zwischen den Spacerelementen **108** zu füllen. Die Metallgatestapelschichten können eine Gatedielektrikumsschicht **118**, eine Austrittsarbeitsschicht **120** und eine leitfähige Füllschicht **122** umfassen. Eine oder mehrere Schichten können zwischen den Metallgatestapelschichten ausgebildet werden. Zum Beispiel wird eine Barrierschicht zwischen der Gatedielektrikumsschicht **118** und der Austrittsarbeitsschicht **120** ausgebildet. Eine Sperrschicht kann zwischen der Austrittsarbeitsschicht **120** und der leitfähigen Füllschicht **122** ausgebildet werden. In einigen Ausführungsformen wird das Einfüllen der Metallgatestapelschichten leichter, da die Aussparung **116c** nach den vorstehend erwähnten Ätzzvorgängen (im Vergleich mit der in **Fig. 1B** dargestellten Aussparung **116a**) breiter ist.

[0040] In einigen Ausführungsformen wird die Gatedielektrikumsschicht **118** aus einem dielektrischen Material mit einer hohen Dielektrizitätskonstante (high-k) gefertigt. Die Gatedielektrikumsschicht **118** kann aus Hafniumoxid, Zirkoniumoxid, Aluminiumoxid, einer Legierung aus Hafniumdioxid-Alluminiumoxid, Hafnium-Siliziumoxid, Hafnium-Siliziumoxinitrid, Hafnium-Tantaloxid, Hafnium-Titanoxid, Hafnium-Zirkoniumoxid, einem anderen geeigneten High-k-Material oder einer Kombination davon gefertigt werden.

[0041] Die Austrittsarbeitsschicht **120** wird verwendet, um die gewünschte Austrittsarbeit für Transistoren bereitzustellen, damit die Vorrichtungsleistung verbessert wird, wie z. B. eine verbesserte Schwellenspannung. In einigen Ausführungsformen ist die Austrittsarbeitsschicht **120** eine Schicht aus einem n-Typ-Metall, die in der Lage ist, einen für die Vorrichtung geeigneten Austrittsarbeitswert bereitzustellen,

wie z. B. kleiner gleich ungefähr 4,5 eV. In einigen Ausführungsformen ist die Austrittsarbeitsschicht **120** eine Schicht aus einem p-Typ-Metall, die in der Lage ist, einen für die Vorrichtung geeigneten Austrittsarbeitswert bereitzustellen, wie z. B. größer gleich ungefähr 4,8 eV.

[0042] Die Schicht aus dem n-Typ-Metall kann ein Metall, Metallkarbid, Metallnitrid oder eine Kombination davon umfassen. Zum Beispiel umfasst die Schicht aus dem n-Typ-Metall Titanitrid, Tantal, Tantalnitrid, andere geeignete Materialien oder eine Kombination davon. Die Schicht aus dem p-Typ-Metall kann ein Metall, Metallkarbid, Metallnitrid, andere geeignete Materialien oder eine Kombination davon umfassen. Zum Beispiel umfasst das p-Typ-Metall Tantalnitrid, Wolframnitrid, Titan, Titanitrid, andere geeignete Materialien oder eine Kombination davon.

[0043] Die Austrittsarbeitsschicht **120** kann außerdem aus Hafnium, Zirkonium, Titan, Tantal, Aluminium, aus Metallkarbiden (z. B. Hafniumkarbid, Zirkoniumkarbid, Titankarbid, Aluminiumkarbid), Aluminiden, Ruthenium, Palladium, Platin, Kobalt, Nickel, leitfähigen Metalloxiden oder einer Kombination davon gefertigt werden. Die Dicke und/oder die Zusammensetzungen der Austrittsarbeitsschicht **120** können feinjustiert werden, um das Austrittsarbeitniveau einzustellen. Zum Beispiel kann eine Titanitridschicht in Abhängigkeit von der Dicke und/oder den Zusammensetzungen der Titanitridschicht als eine p-Typ-Metallschicht oder eine n-Typ-Metallschicht verwendet werden.

[0044] In einigen Ausführungsformen wird die leitfähige Füllschicht **122** aus einem Metallmaterial gefertigt. Das Metallmaterial kann Wolfram, Aluminium, Kupfer, ein anderes geeignetes Material oder eine Kombination davon umfassen. Das Ausbilden der Metallgatestapelschichten kann mehrere Abscheidungsprozesse einsetzen. Die Abscheidungsprozesse können einen CVD-Prozess, einen ALD-Prozess, einen PVD-Prozess, einen Elektroplattierungsprozess, einen stromlosen Plattierungsprozess, einen Rotationsbeschichtungsprozess, einen anderen geeigneten Prozess oder eine Kombination davon umfassen.

[0045] Wie in **Fig. 1F** dargestellt, wird gemäß einigen Ausführungsformen ein Planarisierungsprozess durchgeführt, um die Abschnitte der Metallgatestapelschichten außerhalb der Aussparung (oder des Grabens) zwischen den Spacerelementen **108** zu entfernen. Folglich wird ein Metallgatestapel **123** ausgebildet. Der Metallgatestapel **123** umfasst die Gatedielektrikumsschicht **118**, die Austrittsarbeitsschicht **120** und eine Gateelektrode **122'** (wie z. B. eine Metallgateelektrode), die einen Abschnitt der leitfähigen Füllschicht **122** darstellt.

[0046] Wie in Fig. 1G dargestellt, wird gemäß einigen Ausführungsformen der Metallgatestapel **123** rückgeätzt. In einigen Ausführungsformen steht die Gateelektrode **122'** nach dem Rückätzprozess von oberen Flächen der Austrittsarbeitsschicht **120** und/oder der Gatedielektrikumsschicht **118** hervor.

[0047] In einigen Ausführungsformen werden die Spacerelemente **108** seitlich geätzt, um eine Aussparung bereitzustellen, die eine größere Öffnung aufweist. Daher kann der Ätzprozess zum Rückätzen des Metallgatestapels **123** aufgrund der größeren Öffnung gut durchgeführt werden. Das anschließende Ausbilden eines Abdeckelements und ein anschließender Prozess zum Ausbilden eines leitfähigen Kontakts mit dem Metallgatestapel **123** sind wesentlich verbessert.

[0048] Danach wird gemäß einigen Ausführungsformen ein Abdeckelement **124** über dem rückgeätzten Metallgatestapel **123** ausgebildet, wie in Fig. 1G dargestellt. In einigen Ausführungsformen steht das Abdeckelement **124** in direktem Kontakt mit dem Metallgatestapel **123**. In einigen Ausführungsformen steht das Abdeckelement **124** in direktem Kontakt mit der Gateelektrode **122'**. In einigen Ausführungsformen steht das Abdeckelement **124** in direktem Kontakt mit der Austrittsarbeitsschicht **120**. In einigen Ausführungsformen steht das Abdeckelement **124** in direktem Kontakt mit der Gatedielektrikumsschicht **118**. In einigen Ausführungsformen steht das Abdeckelement **124** in direktem Kontakt mit den Spacerelementen **108**. In einigen Ausführungsformen dringt die Gateelektrode **122'** in das Abdeckelement **124** ein. In einigen Ausführungsformen umgibt das Abdeckelement **124** einen oberen Abschnitt der Gateelektrode **122'**. In einigen Ausführungsformen umgibt das Abdeckelement **124** durchgehend einen oberen Abschnitt der Gateelektrode **122'**.

[0049] In einigen Ausführungsformen wird das Abdeckelement **124** aus einem dielektrischen Material gefertigt. Das dielektrische Material kann Siliziumnitrid, Siliziumoxinitrid, ein anderes geeignetes Material oder eine Kombination davon umfassen. In einigen Ausführungsformen wird eine Schutzmaterialschicht (wie z. B. eine dielektrische Schicht) über der dielektrischen Schicht **114**, den Spacerelementen **108** und dem rückgeätzten Metallgatestapel **123** abgeschieden. In einigen Ausführungsformen wird die Schutzmaterialschicht aus einem dielektrischen Material gefertigt. Das dielektrische Material kann Siliziumnitrid, Siliziumoxinitrid, Siliziumkarbid, Silizium-Kohlenstoffnitrid, Oxid, ein anderes ähnliches Material, ein anderes geeignetes Material oder eine Kombination davon umfassen. In einigen Ausführungsformen wird die Schutzmaterialschicht unter Verwendung eines CVD-Prozesses, eines ALD-Prozesses, eines Rotationsbeschichtungsprozesses, eines anderen geeig-

neten Prozesses oder einer Kombination davon abgeschieden.

[0050] Danach wird gemäß einigen Ausführungsformen der Abschnitt der Schutzmaterialschicht außerhalb der Aussparung zwischen den Spacerelementen **108** entfernt. Folglich bildet der verbleibende Abschnitt der Schutzmaterialschicht das Abdeckelement **124**, wie in Fig. 1G dargestellt. In einigen Ausführungsformen wird ein Planarisierungsprozess verwendet, um die Schutzmaterialschicht teilweise zu entfernen, um das Ausbilden des Abdeckelements **124** zu erzielen. In einigen Ausführungsformen umfasst der Planarisierungsprozess einen chemisch-mechanischen Polierprozess (CMP-Prozess), einen Schleifprozess, einen Ätzprozess, einen anderen geeigneten Prozess oder eine Kombination davon.

[0051] Wie in Fig. 1G dargestellt, weist das Abdeckelement **124** eine Oberseite **124t** und eine Unterseite **124b** auf. Das Abdeckelement **124** weist eine erste Breite W_1 in der Nähe des Metallgatestapels **123** (oder der Unterseite **124b**) und eine zweite Breite W_2 in der Nähe der Oberseite **124t** des Abdeckelements **124** auf. Die Breite W_2 ist größer als die Breite W_1 . In einigen Ausführungsformen liegt die erste Breite W_1 in einem Bereich von ungefähr 25 nm bis ungefähr 35 nm. In einigen Ausführungsformen liegt die zweite Breite W_2 in einem Bereich von ungefähr 27 nm bis ungefähr 37 nm. In einigen Ausführungsformen weist das Abdeckelement **124** einen oberen Abschnitt und einen unteren Abschnitt auf. Der obere Abschnitt ist breiter als der untere Abschnitt, wie in Fig. 1G dargestellt.

[0052] In einigen Ausführungsformen wird das Abdeckelement **124** entlang einer Richtung von der Oberseite **124t** zur Unterseite **124b** des Abdeckelements **124** hin allmählich schmaler. In einigen Ausführungsformen wird das Abdeckelement **124** entlang einer Richtung von der Oberseite **124t** zum Metallgatestapel **123** hin allmählich schmaler. In einigen Ausführungsformen wird das Spacerelement **108** entlang einer Richtung von der Unterseite **124b** des Abdeckelements **124** zu einer Oberseite **108t** des Spacerelements **108** hin allmählich schmaler.

[0053] Wie in Fig. 1G dargestellt, besteht zwischen einer Unterseite **125B** und einer Seitenwand **125V** des Metallgatestapels **123** ein Winkel α . In einigen Ausführungsformen sollte der Winkel α sorgfältig derart reguliert werden, dass er innerhalb eines geeigneten Bereichs liegt. In einigen Ausführungsformen liegt der Winkel α in einem Bereich von ungefähr 85 Grad bis ungefähr 95 Grad. Wie in Fig. 1G dargestellt, besteht zwischen einer Seitenwand **125S** des Abdeckelements **124** und einer gedachten Ebene L, die sich von der Seitenwand **124V** des Metallgatestapels **123** zur Oberseite **124t** des Abdeckelements **124**

erstreckt, ein Winkel θ . In einigen Ausführungsformen sollte der Winkel θ sorgfältig derart reguliert werden, dass er innerhalb eines geeigneten Bereichs liegt. In einigen Ausführungsformen liegt der Winkel θ in einem Bereich von ungefähr 1 Grad bis ungefähr 10 Grad.

[0054] Viele Abwandlungen und/oder Modifikationen können an Ausführungsformen der Offenbarung vorgenommen werden. **Fig. 2** ist eine Querschnittsansicht einer Halbleitervorrichtungsstruktur gemäß einigen Ausführungsformen. Gleiche Bezugsnummern werden verwendet, um gleiche Elemente zu kennzeichnen. In einigen Ausführungsformen sind die Source-/Drainmerkmale dotierte Gebiete, die innerhalb der Finnenstruktur **101** ausgebildet werden. In einigen anderen Ausführungsformen wird die Finnenstruktur **101** nicht ausgebildet. In diesen Fällen sind die Source-/Drainmerkmale dotierte Gebiete, die in dem Halbleitersubstrat **100** ausgebildet werden.

[0055] Ausführungsformen der Offenbarung bilden eine Halbleitervorrichtungsstruktur, die einen Gatestapel mit Spacerelementen über Seitenwänden des Gatestapels aufweist. Obere Abschnitte der Spacerelemente und des Gatestapels werden teilweise entfernt, um eine Aussparung über dem Gatestapel und zwischen den Spacerelementen auszubilden. Die Aussparung weist einen oberen Abschnitt auf, der breiter ist als ein unterer Abschnitt der Aussparung. Danach wird ein verbleibender Abschnitt des Gatestapels entfernt. Danach wird ein Metallgatestapel in der Aussparung ausgebildet und dann rückgeätzt. Ein Abdeckelement wird dann über dem Metallgatestapel und zwischen den Spacerelementen ausgebildet. Aufgrund des Profils der Aussparung sind die Qualitäten der Prozesse zum Entfernen des verbleibenden Abschnitts des Gatestapels, zum Ausbilden des Metallgatestapels, zum Rückätzen des Metallgatestapels und zum Ausbilden des Abdeckelements verbessert.

[0056] Gemäß einigen Ausführungsformen ist eine Halbleitervorrichtungsstruktur bereitgestellt. Die Halbleitervorrichtungsstruktur umfasst einen Gatestapel über einem Halbleitersubstrat und ein Abdeckelement über dem Gatestapel. Das Abdeckelement weist einen oberen Abschnitt und einen unteren Abschnitt auf und der obere Abschnitt ist breiter als der untere Abschnitt. Die Halbleitervorrichtungsstruktur umfasst außerdem ein Spacerelement über einer Seitenwand des Abdeckelements und einer Seitenwand des Gatestapels.

[0057] Gemäß einigen Ausführungsformen ist eine Halbleitervorrichtungsstruktur bereitgestellt. Die Halbleitervorrichtungsstruktur umfasst einen Gatestapel über einem Halbleitersubstrat. Die Halbleitervorrichtungsstruktur umfasst außerdem ein Abdeckelement über dem Gatestapel und das Abde-

ckelement weist eine erste Breite in der Nähe des Gatestapels und eine zweite Breite in der Nähe des oberen Abschnitts des Abdeckelements auf. Die zweite Breite ist größer als die erste Breite. Die Halbleitervorrichtungsstruktur umfasst ferner ein Spacerelement über einer Seitenwand des Abdeckelements und einer Seitenwand des Gatestapels.

[0058] Gemäß einigen Ausführungsformen ist ein Verfahren zum Ausbilden einer Halbleitervorrichtungsstruktur bereitgestellt. Das Verfahren umfasst ein Ausbilden einer Gateelektrode über einem Halbleitersubstrat und ein Ausbilden von Spacerelementen über Seitenwänden der Gateelektrode. Das Verfahren umfasst außerdem ein teilweises Entfernen der Gateelektrode und der Spacerelemente, um eine Aussparung zwischen den Spacerelementen auszubilden. Die Aussparung wird entlang einer Richtung von einer Unterseite der Aussparung zu einer Oberseite der Aussparung hin breiter. Das Verfahren umfasst ferner ein Entfernen eines verbleibenden Abschnitts der Gateelektrode, so dass die Aussparung tiefer wird. Außerdem umfasst das Verfahren ein Ausbilden eines Metallgatestapels in der Aussparung, nachdem der verbleibende Abschnitt der Gateelektrode entfernt wurde. Das Verfahren umfasst außerdem ein Ausbilden eines Abdeckelements über dem Metallgatestapel und zwischen den Spacerelementen.

[0059] Das Vorstehende skizziert Merkmale von mehreren Ausführungsformen, so dass ein Fachmann die Aspekte der vorliegenden Offenbarung besser verstehen kann. Ein Fachmann sollte erkennen, dass er die vorliegende Offenbarung als eine Grundlage für Entwerfen und Modifizieren anderer Prozesse und Strukturen leicht verwenden kann, um die gleichen Aufgaben durchzuführen und/oder die gleichen Vorteile der hier vorgestellten Ausführungsformen zu erzielen. Ein Fachmann soll ebenfalls verstehen, dass derartige äquivalente Ausführungen nicht vom Erfindungsgedanken und Umfang der vorliegenden Offenbarung abweichen, und dass er verschiedene Änderungen, Ersetzungen und Modifizierungen hier vornehmen kann, ohne vom Erfindungsgedanken und Umfang der vorliegenden Offenbarung abzuweichen.

Patentansprüche

1. Halbleitervorrichtungsstruktur, umfassend: einen Gatestapel über einem Halbleitersubstrat; ein Abdeckelement über dem Gatestapel, wobei das Abdeckelement einen oberen Abschnitt und einen unteren Abschnitt aufweist und der obere Abschnitt breiter ist als der untere Abschnitt; und ein Spacerelement über einer Seitenwand des Abdeckelements und einer Seitenwand des Gatestapels.

2. Halbleitervorrichtungsstruktur nach Anspruch 1, wobei der Gatestapel eine Austrittsarbeitsschicht und eine durch die Austrittsarbeitsschicht umgebende Gateelektrode umfasst.

3. Halbleitervorrichtungsstruktur nach Anspruch 2, wobei das Abdeckelement in direktem Kontakt mit der Austrittsarbeitsschicht oder der Gateelektrode steht.

4. Halbleitervorrichtungsstruktur nach Anspruch 2 oder 3, wobei die Gateelektrode von einer oberen Fläche der Austrittsarbeitsschicht hervorsteht.

5. Halbleitervorrichtungsstruktur nach einem der vorhergehenden Ansprüche, wobei die Gateelektrode in das Abdeckelement eindringt.

6. Halbleitervorrichtungsstruktur nach einem der vorhergehenden Ansprüche, wobei das Abdeckelement entlang einer Richtung von einer Oberseite des Abdeckelements zu dem Gatestapel hin allmählich schmaler wird.

7. Halbleitervorrichtungsstruktur nach einem der vorhergehenden Ansprüche, wobei das Spacerelement entlang einer Richtung von einer Unterseite des Abdeckelements zu einer Oberseite des Spacerelements hin allmählich schmaler wird.

8. Halbleitervorrichtungsstruktur nach einem der vorhergehenden Ansprüche, wobei das Abdeckelement in direktem Kontakt mit dem Spacerelement steht.

9. Halbleitervorrichtungsstruktur nach einem der vorhergehenden Ansprüche, wobei der Gatestapel eine Gatedielektrikumsschicht umfasst, und die Gatedielektrikumsschicht in direktem Kontakt mit dem Abdeckelement steht.

10. Halbleitervorrichtungsstruktur nach einem der vorhergehenden Ansprüche, wobei zwischen einem oberen Abschnitt der Seitenwand des Abdeckelements und einer gedachten Ebene, die sich von der Seitenwand des Gatestapels zu einer Oberseite des Abdeckelements hin erstreckt, ein Winkel besteht, und der Winkel in einem Bereich von ungefähr 1 Grad bis ungefähr 10 Grad liegt.

11. Halbleitervorrichtungsstruktur, umfassend:
einen Gatestapel über einem Halbleitersubstrat;
ein Abdeckelement über dem Gatestapel, wobei das Abdeckelement eine erste Breite in der Nähe des Gatestapels und eine zweite Breite in der Nähe eines oberen Abschnitts des Abdeckelements aufweist, und die zweite Breite größer ist als die erste Breite; und
ein Spacerelement über einer Seitenwand des Abdeckelements und einer Seitenwand des Gatestapels.

12. Halbleitervorrichtungsstruktur nach Anspruch 11, wobei das Abdeckelement aus einem dielektrischen Material gefertigt ist.

13. Halbleitervorrichtungsstruktur nach Anspruch 11 oder 12, wobei das Abdeckelement in direktem Kontakt mit dem Gatestapel und dem Spacerelement steht.

14. Halbleitervorrichtungsstruktur nach einem der Ansprüche 11 bis 13, wobei der Gatestapel eine Austrittsarbeitsschicht und eine durch die Austrittsarbeitsschicht umgebende Gateelektrode umfasst.

15. Halbleitervorrichtungsstruktur nach Anspruch 14, wobei das Abdeckelement einen oberen Abschnitt der Gateelektrode umgibt.

16. Verfahren zum Ausbilden einer Halbleitervorrichtungsstruktur, umfassend:
Ausbilden einer Gateelektrode über einem Halbleitersubstrat;
Ausbilden von Spacerelementen über Seitenwänden der Gateelektrode;
teilweises Entfernen der Gateelektrode und der Spacerelemente, um eine Aussparung zwischen den Spacerelementen auszubilden, wobei die Aussparung entlang einer Richtung von einer Unterseite der Aussparung zu einer Oberseite der Aussparung hin breiter wird;
Entfernen eines verbleibenden Abschnitts der Gateelektrode, so dass die Aussparung tiefer wird;
Ausbilden eines Metallgatestapels in der Aussparung, nachdem der verbleibende Abschnitt der Gateelektrode entfernt wurde; und
Ausbilden eines Abdeckelements über dem Metallgatestapel und zwischen den Spacerelementen.

17. Verfahren nach Anspruch 16, das ferner ein Rückätzen des Metallgatestapels, bevor das Abdeckelement ausgebildet wird, umfasst.

18. Verfahren nach Anspruch 16 oder 17, wobei der Metallgatestapel eine Austrittsarbeitsschicht und eine durch die Austrittsarbeitsschicht umgebende Gateelektrode umfasst, und die Gateelektrode von einer oberen Fläche der Austrittsarbeitsschicht hervorsteht, nachdem der Metallgatestapel rückgeätzt wurde.

19. Verfahren nach einem der Ansprüche 16 bis 18, wobei das teilweise Entfernen der Gateelektrode und der Spacerelemente in einem ersten Ätzworgang durchgeführt wird, das Entfernen des verbleibenden Abschnitts der Gateelektrode in einem zweiten Ätzworgang durchgeführt wird, und eine Ätzrate des ersten Ätzworgangs an den Spacerelementen höher ist als eine Ätzrate des zweiten Ätzworgangs an den Spacerelementen.

20. Verfahren nach Anspruch 19, wobei ein Abschnitt der Gateelektrode vor dem ersten Ätzvorgang und nach dem Ausbilden der Spacerelemente entfernt wird.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

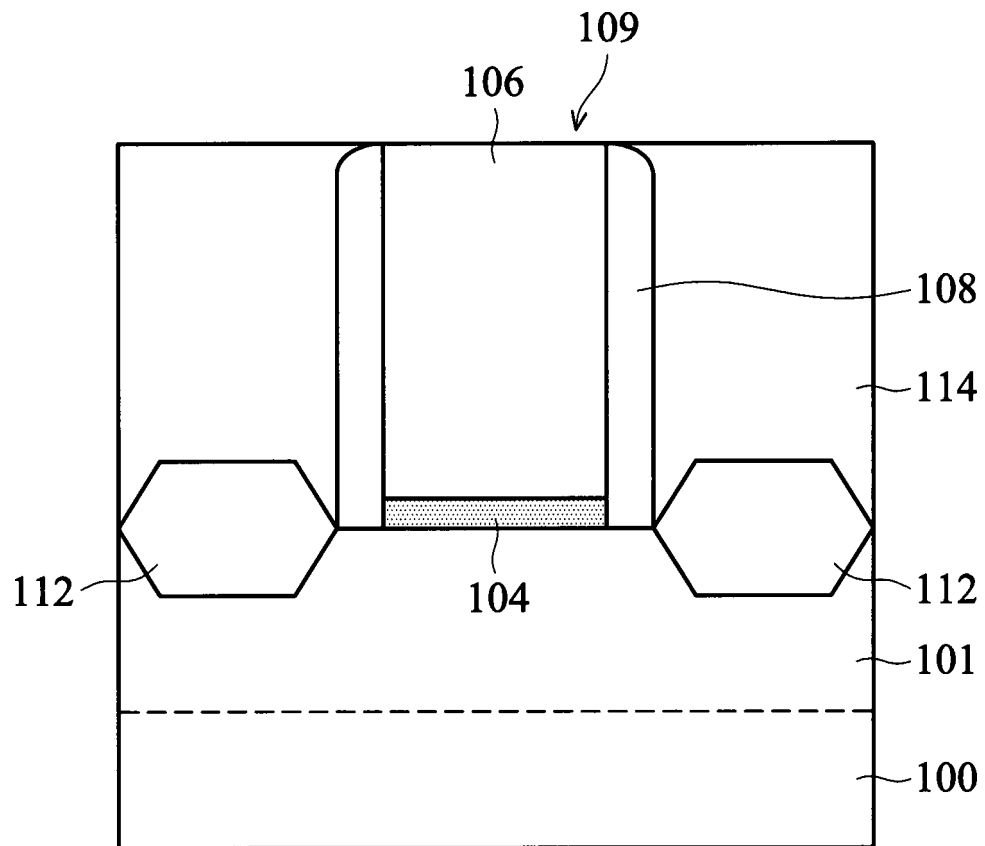


FIG. 1A

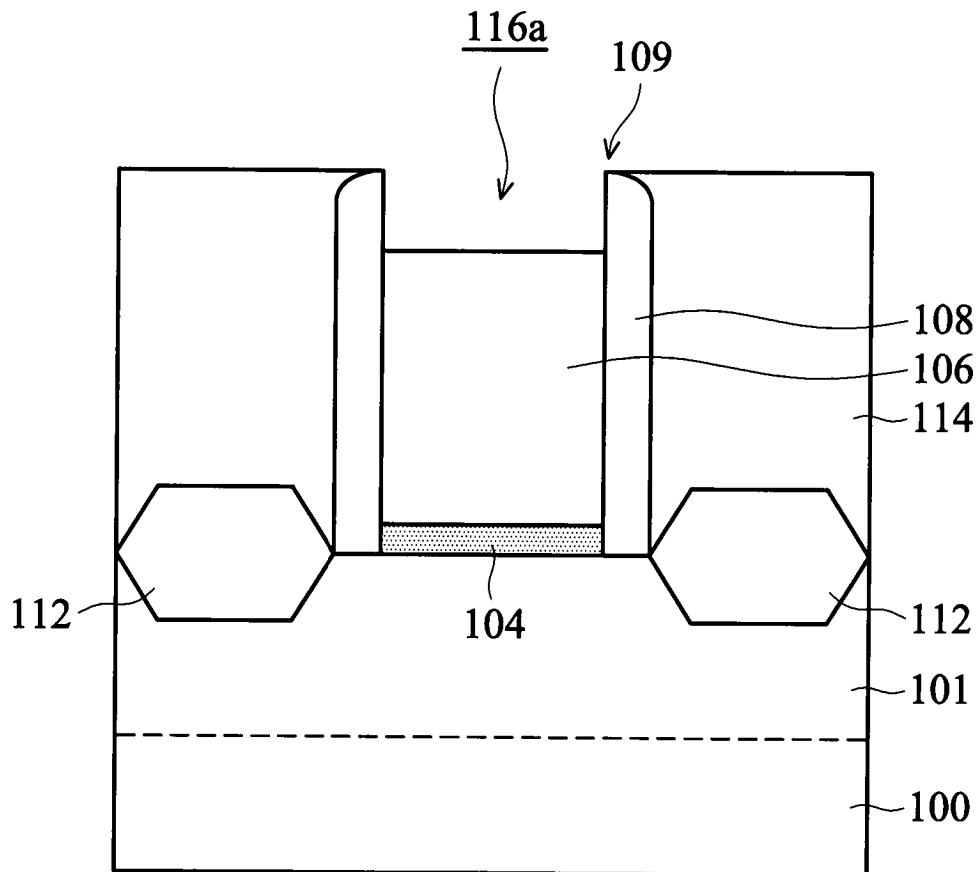


FIG. 1B

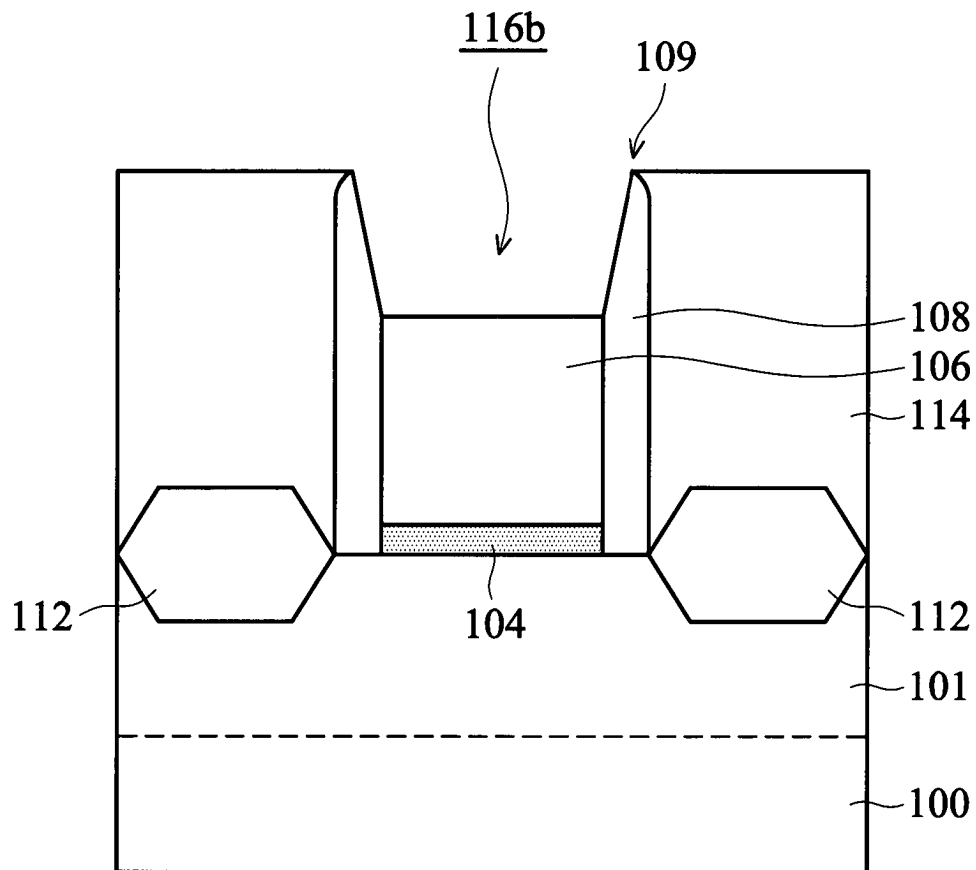


FIG. 1C

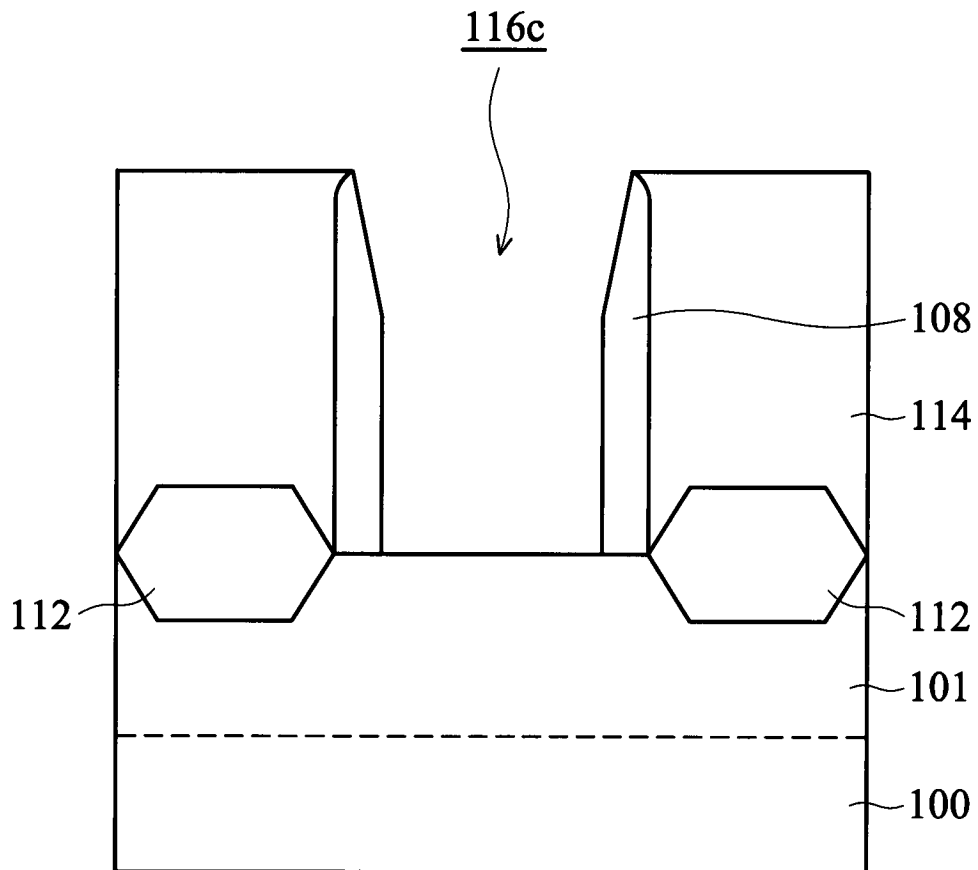


FIG. 1D

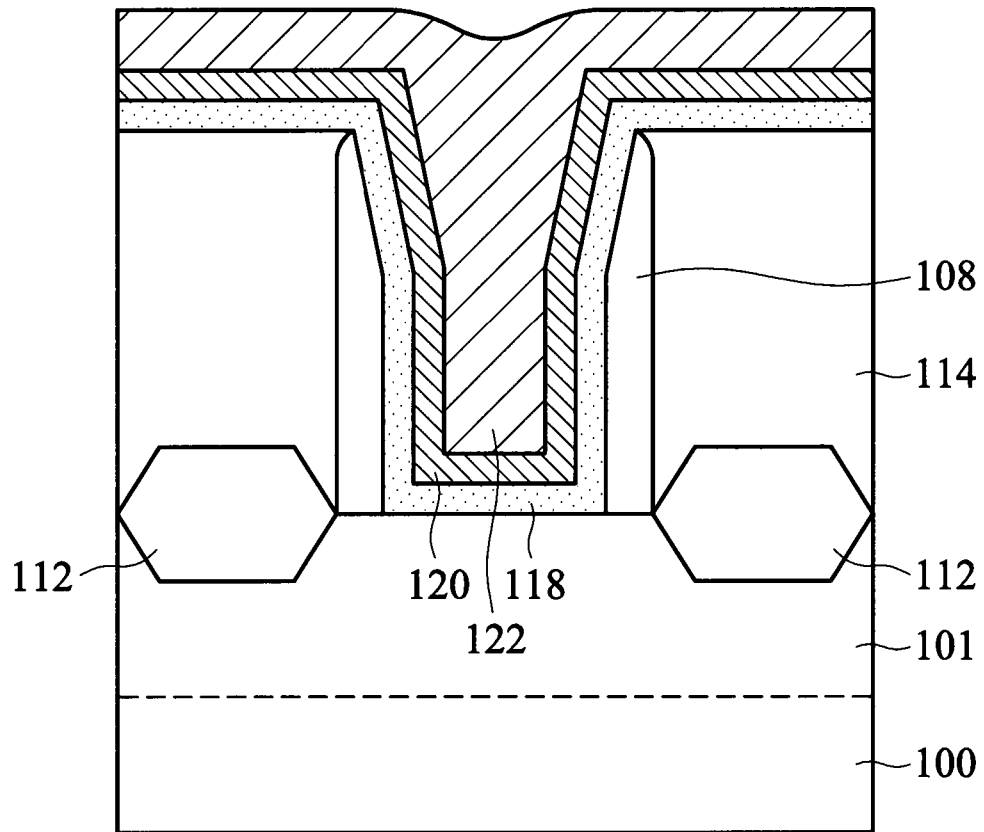


FIG. 1E

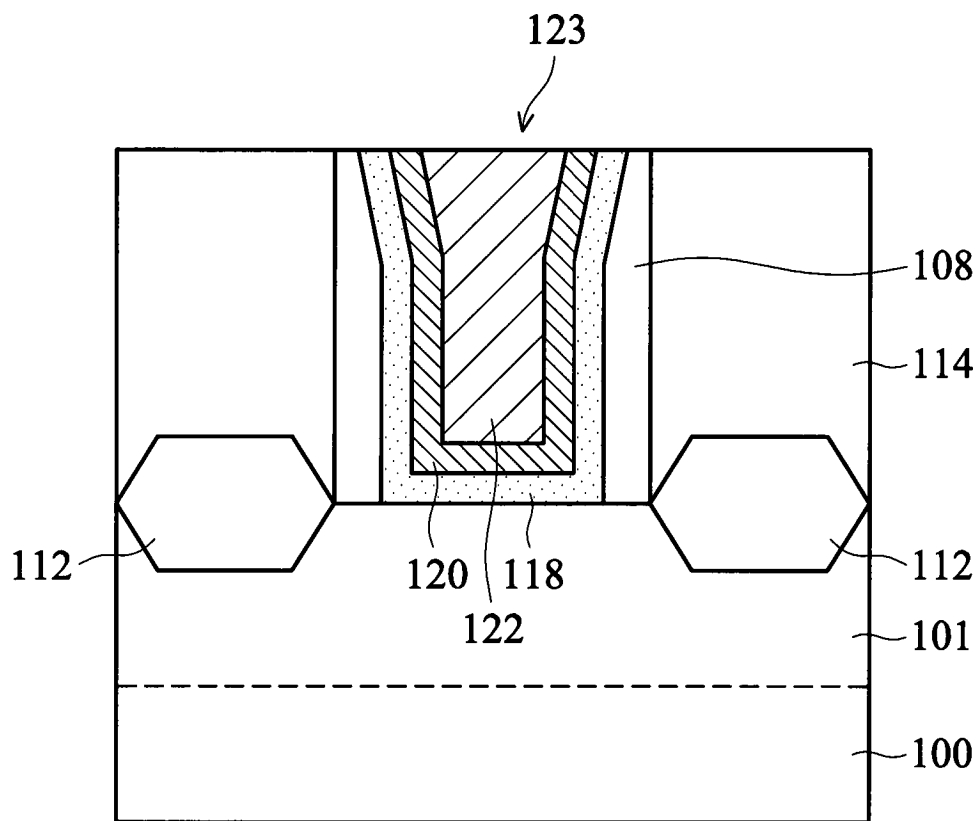


FIG. 1F

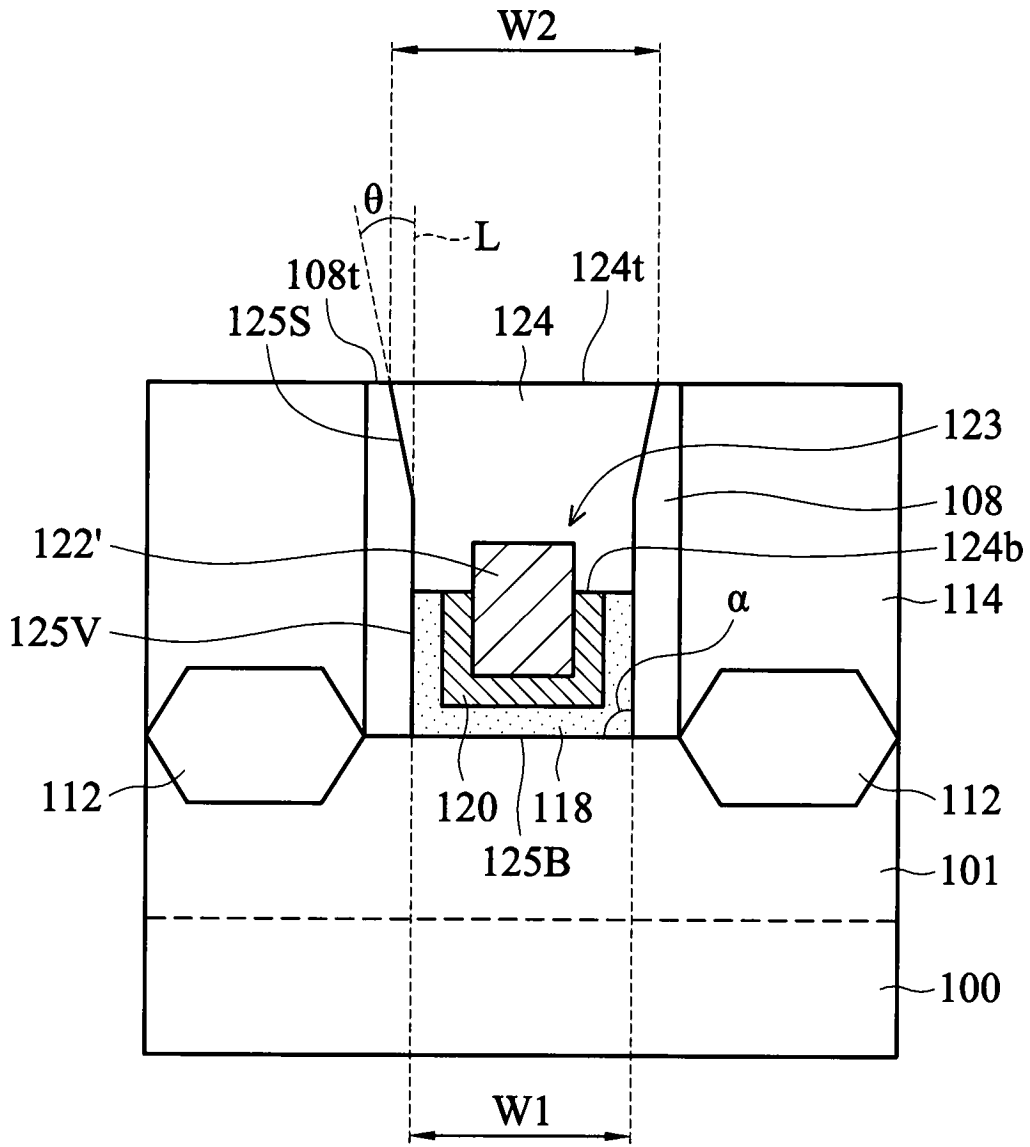


FIG. 1G

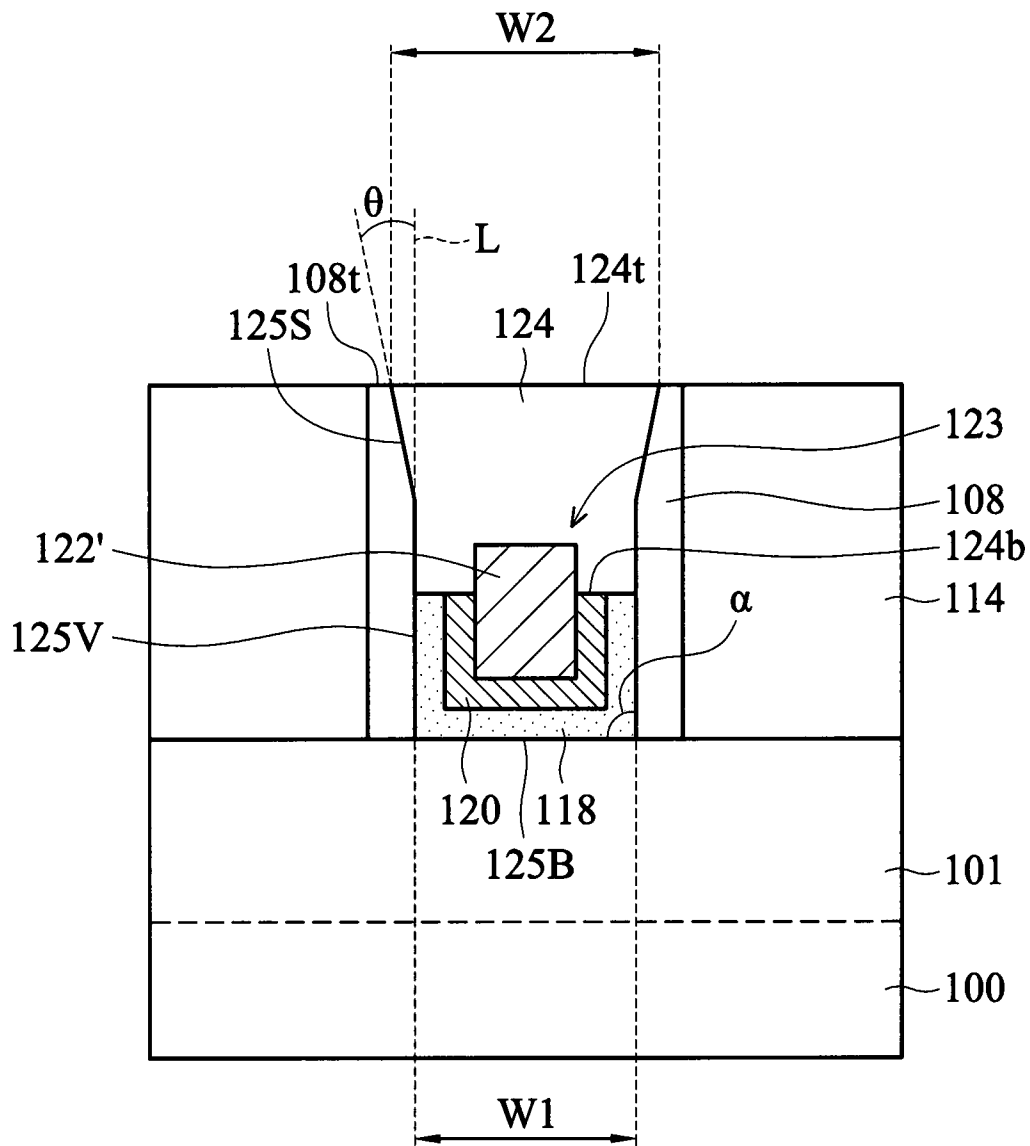


FIG. 2