



(12) 发明专利

(10) 授权公告号 CN 116013905 B

(45) 授权公告日 2023.06.23

(21) 申请号 202310302175.7

H01L 21/336 (2006.01)

(22) 申请日 2023.03.27

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 114744049 A, 2022.07.12

申请公布号 CN 116013905 A

审查员 李慧梅

(43) 申请公布日 2023.04.25

(73) 专利权人 通威微电子有限公司

地址 610299 四川省成都市双流区成都芯谷产业园区集中区内

(72) 发明人 李大龙 刘益丽 莫中友

(74) 专利代理机构 北京超凡宏宇专利代理事务所(特殊普通合伙) 11463

专利代理师 杜杨

(51) Int. Cl.

H01L 23/62 (2006.01)

H01L 29/78 (2006.01)

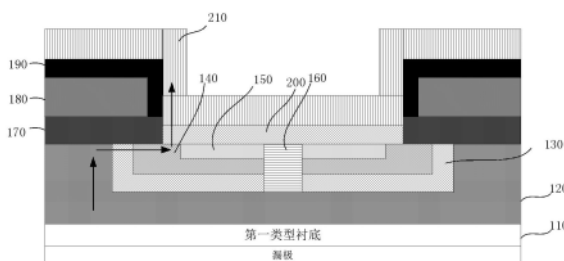
权利要求书2页 说明书6页 附图7页

(54) 发明名称

一种半导体器件及其制作方法

(57) 摘要

本申请提供了一种半导体器件及其制作方法,涉及半导体技术领域。该半导体器件包括第一类型衬底;位于第一类型衬底一侧的第一类型外延层;位于外延层内的第二类型阱区;位于第二类型阱区内的第一类型掺杂区;部分或全部位于第一类型掺杂区内的第一类型电阻区;位于第二类型阱区与第一类型掺杂区一侧的栅极区;位于第一类型电阻区与第一类型掺杂区一侧的源极金属区;其中,第一类型电阻区为正温度系数区。本申请提供的半导体器件及其制作方法具有在器件短路时,防止器件损坏的效果。



1. 一种半导体器件,其特征在于,所述半导体器件包括:
第一类型衬底(110);
位于所述第一类型衬底(110)一侧的第一类型外延层(120);
位于所述外延层内的第二类型阱区(130);
位于所述第二类型阱区(130)内的第一类型掺杂区(140);
部分或全部位于所述第一类型掺杂区(140)内的第一类型电阻区(150);
位于所述第二类型阱区(130)与所述第一类型掺杂区(140)一侧的栅极区;
位于所述第一类型电阻区(150)与所述第一类型掺杂区(140)一侧的源极金属区;其中,

所述第一类型电阻区(150)为正温度系数区,当器件导通时,电流优先沿第一类型电阻区的两侧流过。

2. 如权利要求1所述的半导体器件,其特征在于,所述第一类型电阻区(150)的掺杂浓度低于所述第一类型掺杂区(140)的掺杂浓度。

3. 如权利要求1所述的半导体器件,其特征在于,所述源极金属区包括镍金属层(200)以及位于所述镍金属层(200)一侧的铝金属层(210)。

4. 如权利要求1所述的半导体器件,其特征在于,所述半导体器件还包括:
位于所述第二类型阱区(130)与第一类型掺杂区(140)一侧的第二类型掺杂区(160);
所述第一类型电阻区(150)位于所述第二类型掺杂区(160)的任一侧或位于所述第二类型掺杂区(160)的两侧。

5. 如权利要求4所述的半导体器件,其特征在于,所述第一类型电阻区(150)与所述第二类型掺杂区(160)接触;或所述第一类型电阻区(150)位于所述第一类型掺杂区(140)的中间位置。

6. 如权利要求1所述的半导体器件,其特征在于,所述第一类型掺杂区(140)的数量包括至少两个,至少两个所述第一类型掺杂区(140)间隔设置,所述第一类型电阻区(150)位于所述至少两个所述第一类型掺杂区(140)与所述第二类型阱区(130)内。

7. 如权利要求1所述的半导体器件,其特征在于,所述第一类型电阻区(150)的数量包括至少两个,至少两个所述第一类型电阻区(150)间隔设置,且至少两个所述第一类型电阻区(150)均位于所述第一类型掺杂区(140)内。

8. 如权利要求1所述的半导体器件,其特征在于,当所述第一类型为N型时,所述第二类型为P型;当所述第一类型为P型时,所述第二类型为N型。

9. 一种半导体器件制作方法,其特征在于,所述半导体器件制作方法包括:
提供第一类型衬底(110);
基于所述第一类型衬底(110)的一侧制作第一类型外延层(120);
基于位于所述外延层内制作第二类型阱区(130);
基于所述第二类型阱区(130)内制作第一类型掺杂区(140);
制作部分或全部位于所述第一类型掺杂区(140)内的第一类型电阻区(150);
基于所述第二类型阱区(130)与所述第一类型掺杂区(140)一侧制作栅极区;
基于所述第一类型电阻区(150)与所述第一类型掺杂区(140)一侧制作源极金属区;
其中,所述第一类型电阻区(150)为正温度系数区,当器件导通时,电流优先沿第一类

型电阻区的两侧流过。

10. 如权利要求9所述的半导体器件制作方法,其特征在于,所述第一类型电阻区(150)的掺杂浓度低于所述第一类型掺杂区(140)的掺杂浓度。

一种半导体器件及其制作方法

技术领域

[0001] 本申请涉及半导体技术领域,具体而言,涉及一种半导体器件及其制作方法。

背景技术

[0002] 传统的平面MOSFET在发生短路事件时,低的电阻将产生大的短路电流,造成器件热失效,甚至热烧毁。而根据业界目前已有的技术方案,抗短路能力提高,也就是减小短路条件下的峰值电流,将对 $R_{DS(on)}$ 产生很大的负面影响。

[0003] 综上,现有技术中存在当平面MOSFET短路时,容易出现器件损坏的问题。

发明内容

[0004] 本申请的目的在于提供一种半导体器件及其制作方法,以解决现有技术中存在的当平面MOSFET短路时,容易出现器件损坏的问题。

[0005] 为了实现上述目的,本申请实施例采用的技术方案如下:

[0006] 一方面,本申请实施例提供了一种半导体器件,所述半导体器件包括:

[0007] 第一类型衬底;

[0008] 位于所述第一类型衬底一侧的第一类型外延层;

[0009] 位于所述外延层内的第二类型阱区;

[0010] 位于所述第二类型阱区内的第一类型掺杂区;

[0011] 部分或全部位于所述第一类型掺杂区内的第一类型电阻区;

[0012] 位于所述第二类型阱区与所述第一类型掺杂区一侧的栅极区;

[0013] 位于所述第一类型电阻区与所述第一类型掺杂区一侧的源极金属区;其中,

[0014] 所述第一类型电阻区为正温度系数区。

[0015] 可选地,所述第一类型电阻区的掺杂浓度低于所述第一类型掺杂区的掺杂浓度。

[0016] 可选地,所述源极金属区包括镍金属层以及位于所述镍金属层一侧的铝金属层。

[0017] 可选地,所述半导体器件还包括:

[0018] 位于所述第二类型阱区与第一类型掺杂区的第二类型掺杂区;所述第一类型电阻区位于所述第二类型掺杂区的任一侧或位于所述第二类型掺杂区的两侧。

[0019] 可选地,所述第一类型电阻区与所述第二类型掺杂区接触;或所述第一类型电阻区位于所述第一类型掺杂区的中间位置。

[0020] 可选地,所述第一类型掺杂区的数量包括至少两个,至少两个所述第一类型掺杂区间隔设置,所述第一类型电阻区位于所述至少两个所述第一类型掺杂区与所述第二类型阱区内。

[0021] 可选地,所述第一类型电阻区的数量包括至少两个,至少两个所述第一类型电阻区间隔设置,且至少两个所述第一类型电阻区均位于所述第一类型掺杂区内。

[0022] 可选地,当所述第一类型为N型时,所述第二类型为P型;当所述第一类型为P型时,所述第二类型为N型。

[0023] 另一方面,本申请实施例还提供了一种半导体器件制作方法,所述半导体器件制作方法包括:

[0024] 提供第一类型衬底;

[0025] 基于所述第一类型衬底的一侧制作第一类型外延层;

[0026] 基于位于所述外延层内制作第二类型阱区;

[0027] 基于所述第二类型阱区内制作第一类型掺杂区;

[0028] 制作部分或全部位于所述第一类型掺杂区内的第一类型电阻区;

[0029] 基于所述第二类型阱区与所述第一类型掺杂区一侧制作栅极区;

[0030] 基于所述第一类型电阻区与所述第一类型掺杂区一侧制作源极金属区;其中,

[0031] 所述第一类型电阻区为正温度系数区。

[0032] 可选地,所述第一类型电阻区的掺杂浓度低于所述第一类型掺杂区的掺杂浓度。

[0033] 相对于现有技术,本申请具有以下有益效果:

[0034] 本申请实施例提供了一种半导体器件及其制作方法,该半导体器件包括第一类型衬底;位于第一类型衬底一侧的第一类型外延层;位于外延层内的第二类型阱区;位于第二类型阱区内的第一类型掺杂区;部分或全部位于第一类型掺杂区内的第一类型电阻区;位于第二类型阱区与第一类型掺杂区一侧的栅极区;位于第一类型电阻区与第一类型掺杂区一侧的源极金属区;其中,第一类型电阻区为正温度系数区。由于本申请提供的半导体器件中,设置有第一类型电阻区,且该第一类型电阻区为正温度系数区,因此在正常工作情况下,第一类型电阻区的阻值较低;而当出现器件短路时,第一类型电阻区的阻值将变得很大,从而限制了短路电流,达到了防止器件损坏的效果。

[0035] 为使本申请的上述目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附附图,作详细说明如下。

附图说明

[0036] 为了更清楚地说明本申请实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本申请的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它相关的附图。

[0037] 图1为现有技术中半导体器件的剖面示意图。

[0038] 图2为本申请实施例提供的第一种半导体器件的剖面示意图。

[0039] 图3为本申请实施例提供的第二种半导体器件的剖面示意图。

[0040] 图4为本申请实施例提供的第三种半导体器件的剖面示意图。

[0041] 图5为本申请实施例提供的第四种半导体器件的剖面示意图。

[0042] 图6为本申请实施例提供的第五种半导体器件的剖面示意图。

[0043] 图7为本申请实施例提供的第六种半导体器件的剖面示意图。

[0044] 图8为本申请实施例提供的第七种半导体器件的剖面示意图。

[0045] 图9为本申请实施例提供的第八种半导体器件的剖面示意图。

[0046] 图10为本申请实施例提供的第九种半导体器件的剖面示意图。

[0047] 图11为本申请实施例提供的第十种半导体器件的剖面示意图。

[0048] 图12为本申请实施例提供的第十一种半导体器件的剖面示意图。

[0049] 图13为本申请实施例提供的第十二种半导体器件的剖面示意图。

[0050] 图14为本申请实施例提供的半导体器件制作方法的示例性流程图。

[0051] 图中：

[0052] 110-第一类型衬底；120-第一类型外延层；130-第二类型阱区；140-第一类型掺杂区；150-第一类型电阻区；160-第二类型掺杂区；170-栅氧层；180-Poly Si；190-层间介质层；200-镍金属层；210-铝金属层。

具体实施方式

[0053] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。通常在此处附图中描述和示出的本申请实施例的组件可以以各种不同的配置来布置和设计。

[0054] 因此，以下对在附图中提供的本申请的实施例的详细描述并非旨在限制要求保护的本申请的范围，而是仅仅表示本申请的选定实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0055] 应注意到：相似的标号和字母在下面的附图中表示类似项，因此，一旦某一项在一个附图中被定义，则在随后的附图中不需要对其进行进一步定义和解释。同时，在本申请的描述中，术语“第一”、“第二”等仅用于区分描述，而不能理解为指示或暗示相对重要性。

[0056] 需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0057] 在本申请的描述中，需要说明的是，术语“上”、“下”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，或者是该申请产品使用时惯常摆放的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。

[0058] 下面结合附图，对本申请的一些实施方式作详细说明。在不冲突的情况下，下述的实施例及实施例中的特征可以相互组合。

[0059] 现有的垂直导电的MOSFET的剖面结构如图1所述，当该器件导通时，电流流动方向如图中箭头指向的方向，即电流沿垂直方向流动，垂直导电的MOSFET具有耐压高等优点。

[0060] 但正如背景技术中所述，在实际工作中，可能出现MOSFET短路的情况，导致的器件热失效，甚至热烧毁。目前传统的解决方案为增大MOSFET的电阻，减小短路条件下的峰值电流，提升其抗短路能力。然而，该方式会对器件的 $R_{DS(on)}$ 产生较大的负面影响，影响器件性能。

[0061] 有鉴于此,本申请提供了一种半导体器件,通过在半导体器件中设置包括正温度系数的第一类型电阻区,保证了在器件正常工作时,其电阻较小;但在器件短路时,第一类型电阻区的阻值较大,起到了在短路情况下保护器件,且不会对器件的 $R_{DS(on)}$ 产生负面影响的效果。

[0062] 下面对本申请提供的半导体器件进行示例性说明:

[0063] 作为一种可选的实现方式,请参阅图2,该半导体器件包括:

[0064] 第一类型衬底110;位于第一类型衬底110一侧的第一类型外延层120;位于外延层内的第二类型阱区130;位于第二类型阱区130内的第一类型掺杂区140;部分或全部位于第一类型掺杂区140内的第一类型电阻区150;位于第二类型阱区130与第一类型掺杂区140一侧的栅极区;位于第一类型电阻区150与第一类型掺杂区140一侧的源极金属区;其中,第一类型电阻区150为正温度系数区。

[0065] 其中,本申请并不对第一类型与第二类型进行限定,例如,当第一类型为N型时,则第二类型为P型;当第一类型为P型时,则第二类型为N型。为便于说明,请参阅图3,本申请以第一类型为N型为例进行说明。

[0066] 由于在该半导体器件中,在源极区域引入了第一类型电阻区150(图3中N+区),进而在该区域引入了额外的源极电阻,且该第一类型电阻区150为正温度系数区,因此当在器件正常工作情况下,温度较低,第一类型电阻区150的电阻较低,此时器件中电阻主要为沟道电阻和JFET电阻,该第一类型电阻区150的电阻占比较小,甚至该阻值可以忽略。但当器件短路时,器件温度升高,此时该第一类型电阻区150的阻值也相应升高,具有在短路高温状态下体现出高电阻的特性,限制了短路电流,对处于短路状态下的器件起到了保护作用,同时由于当器件温度降低时,则第一类型电阻区150的阻值也相应降低,因此不会对器件的导通电阻 $R_{DS(on)}$ 产生影响,提升器件性能。

[0067] 并且,在一种实现方式中,第一类型电阻区150的掺杂浓度低于所述第一类型掺杂区140的掺杂浓度。

[0068] 此外,如图3中所述,源极金属区包括镍金属层200以及位于所述镍金属层200一侧的铝金属层210。其中,镍金属也是具有强正温度系数的金属,借助在源极和铝金属之间具有强正温度系数的镍金属与额外引入的第一类型电阻区150的作用,限制了短路电流随温度的上升,改善了器件短路耐受能力,提升了器件的短路可靠性。

[0069] 其中,本申请可以通过调节第一类型掺杂区140与第一类型电阻区150的掺杂浓度的方式,达到灵活调节源极电阻与引入的第一类型电阻区150的阻值的目的,使得可以根据需要灵活设置器件在短路时的电阻。

[0070] 需要说明的是,该半导体器件还包括位于所述第二类型阱区130与第一类型掺杂区140的第二类型掺杂区160(图3中P++区),并且,本申请并不对第一类型电阻区150与第一类型掺杂区140的结构进行限定。

[0071] 作为本申请第一种可选的实现方式,第一类型掺杂区140的深度以及宽度固定,但可以灵活调整第一类型电阻区150的深度与宽度。

[0072] 例如,如图2所示的器件结构,第一类型电阻区150的宽度较长且与第二类型掺杂区160相邻,或者,如图4所示,第一类型电阻区150的宽度也可以较短,同时深度更深,可以根据实际需求灵活调节。

[0073] 并且,图2与图4中所述的器件结构中,第一类型电阻区150位于所述第二类型掺杂区160的两侧,当然地,也可以选择只在第二类型掺杂区160的一侧设置第一类型电阻区150,由于器件的周期性排列,因此在实际应用中,第一类型电阻区150也为间隔性的周期性设置。例如,请参阅图5,在该器件结构中,只在位于第二类型掺杂区160的左侧设置第一类型电阻区150,当然地,在其它的一些示例中,也可以仅在第二类型掺杂区160的右侧设置第一类型电阻区150,在此不做限定。

[0074] 作为本申请第二种可选的实现方式,第一类型掺杂区140与第一类型电阻区150的深度与宽度均可调节,且二者区域需要接触或重合。

[0075] 例如,请参阅图6,第一类型掺杂区140可以设置与第二类型掺杂区160不接触,同时,第一类型电阻区150与第一类型掺杂区140重合,且第一类型电阻区150与第二类型掺杂区160接触。

[0076] 此外,请参阅图7,也可以只在位于第二类型掺杂区160的左侧设置第一类型电阻区150,当然地,在其它的一些示例中,也可以仅在第二类型掺杂区160的右侧设置第一类型电阻区150,在此不做限定。

[0077] 作为本申请第三种可选的实现方式,第一类型掺杂区140的数量包括至少两个,至少两个第一类型掺杂区140间隔设置,第一类型电阻区150位于至少两个第一类型掺杂区140与第二类型阱区130内。

[0078] 以第一类型掺杂区140的数量包括两个为例,请参阅图8,在第二类型掺杂区160的两侧,均设置有两个第一类型掺杂区140,且第一类型电阻区150的两侧的分别与两个第一类型掺杂区140接触。当然地,第一类型掺杂区140的数量还可以设置更多,例如还多可以设置为三个,且第一类型掺杂区140、第一类型电阻区150的深度与宽度均可调节,在此不做限定。

[0079] 当然地,请参阅图9,也可以仅在第二类型掺杂区160的一侧设置第一类型电阻区150,如图9中在第二类型掺杂区160的左侧设置第一类型电阻区150。

[0080] 作为本申请第四种可选的实现方式,第一类型掺杂区140的深度以及宽度固定,但可以灵活调整第一类型电阻区150的深度与宽度,且第一类型电阻区150与第二类型掺杂区160不接触。

[0081] 请参阅图10,在该实现方式中,当器件导通时,电流可以优先沿第一类型电阻区150的两侧流过,此时,第一类型电阻区150的宽度可以根据需要进行调节。并且,同理地,请参阅图11,也可仅在第二类型掺杂区160的一侧设置第一类型电阻区150,在此不做限定。

[0082] 作为本申请第五种可选的实现方式,第一类型电阻区150的数量包括至少两个,至少两个第一类型电阻区150间隔设置,且至少两个第一类型电阻区150均位于第一类型掺杂区140内。

[0083] 此时,第一类型掺杂区140的深度以及宽度固定,但可以灵活调节第一类型电阻区150的数量、深度以及宽度。例如,请参阅图12,在第一类型掺杂区140的两侧,各设置有两个第一类型电阻区150,两个第一类型电阻区150间隔设置,当该器件导通时,从图示中箭头方向上可以优先流过电流。

[0084] 当然地,第一类型电阻区150还可以设置更多,例如设置三个或者四个,且多个第一类型电阻区150之间等间距设置。

[0085] 此外,请参阅图13,也可仅在第二类型掺杂区160的一侧设置第一类型电阻区150,在此不做赘述。

[0086] 并且,结合图2-图13所示,在衬底的底部还设置有漏极,且栅极区包括逐层设置的栅氧层170、Poly Si180以及层间介质层190,当器件导通时,栅氧层170的下方会形成导电沟道,进而形成如图示的电流方向。

[0087] 基于上述实现方式,本申请实施例还提供了一种半导体器件制作方法,请参阅图14,该半导体器件制作方法包括:

[0088] S101,提供第一类型衬底;

[0089] S102,基于第一类型衬底的一侧制作第一类型外延层;

[0090] S103,基于位于外延层内制作第二类型阱区;

[0091] S104,基于第二类型阱区内制作第一类型掺杂区;

[0092] S105,制作部分或全部位于第一类型掺杂区内的第一类型电阻区;其中,第一类型电阻区为正温度系数区。

[0093] S106,基于第二类型阱区与第一类型掺杂区一侧制作栅极区;

[0094] S107,基于第一类型电阻区与第一类型掺杂区一侧制作源极金属区。

[0095] 作为一种实现方式,第一类型电阻区150的掺杂浓度低于第一类型掺杂区140的掺杂浓度。

[0096] 综上所述,本申请实施例提供了一种半导体器件及其制作方法,该半导体器件包括第一类型衬底110;位于第一类型衬底110一侧的第一类型外延层120;位于外延层内的第二类型阱区130;位于第二类型阱区130内的第一类型掺杂区140;部分或全部位于第一类型掺杂区140内的第一类型电阻区150;位于第二类型阱区130与第一类型掺杂区140一侧的栅极区;位于第一类型电阻区150与第一类型掺杂区140一侧的源极金属区;其中,第一类型电阻区150为正温度系数区。由于本申请提供的半导体器件中,设置有第一类型电阻区150,且该第一类型电阻区150为正温度系数区,因此在正常工作情况下,第一类型电阻区150的阻值较低;而当出现器件短路时,第一类型电阻区150的阻值将变得很大,从而限制了短路电流,达到了防止器件损坏的效果。

[0097] 以上所述仅为本申请的优选实施例而已,并不用于限制本申请,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

[0098] 对于本领域技术人员而言,显然本申请不限于上述示范性实施例的细节,而且在不背离本申请的精神或基本特征的情况下,能够以其它的具体形式实现本申请。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本申请的范围由所附权利要求要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本申请内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。

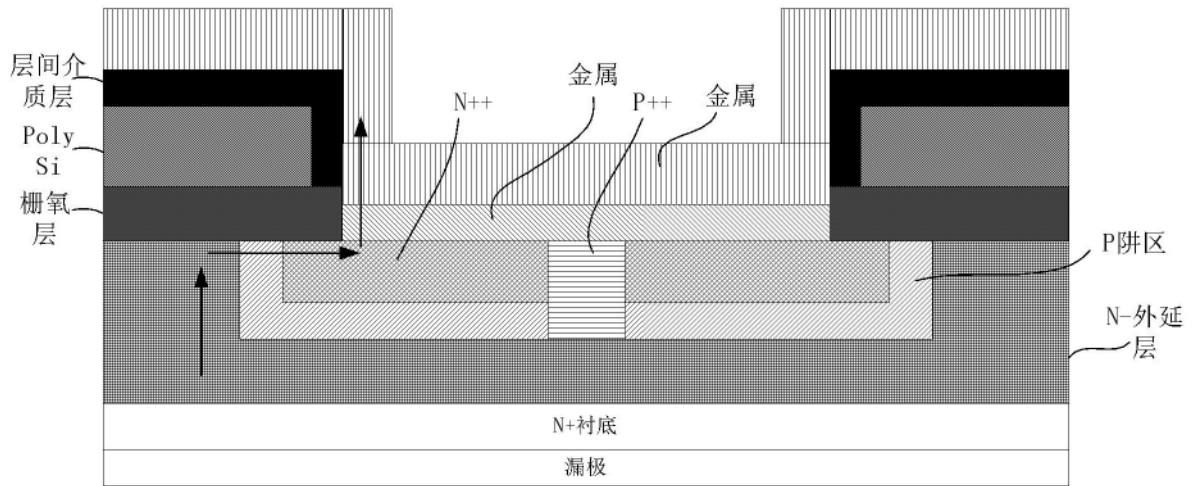


图1

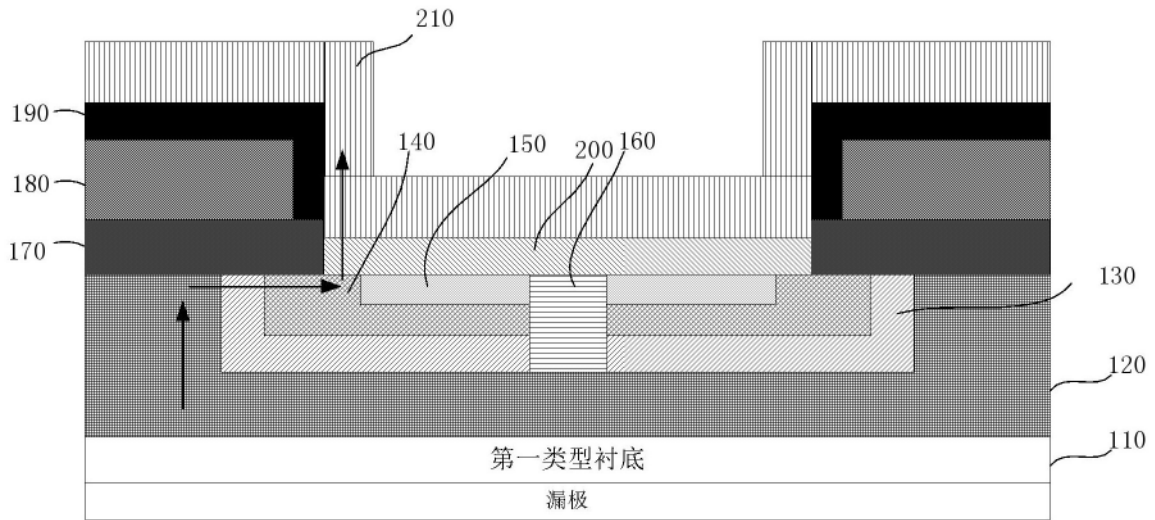


图2

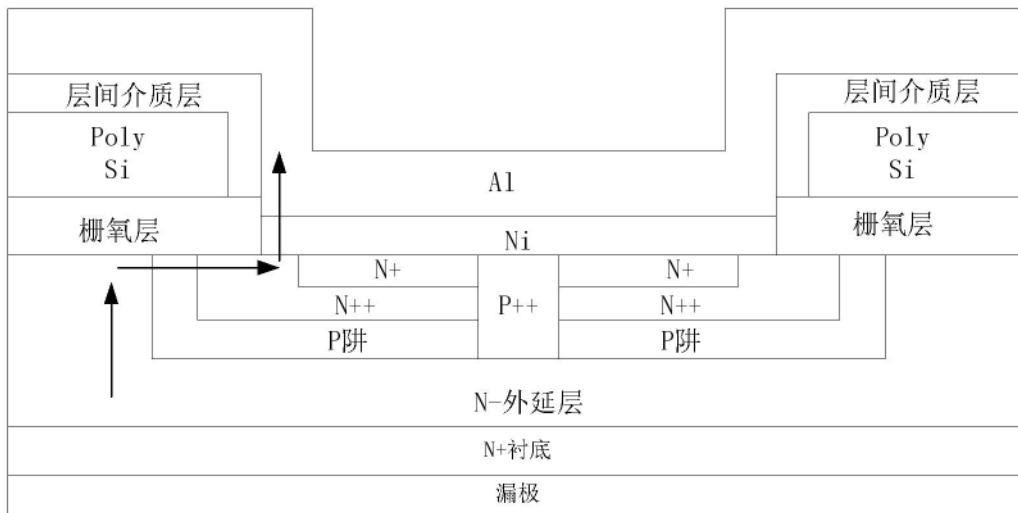


图3

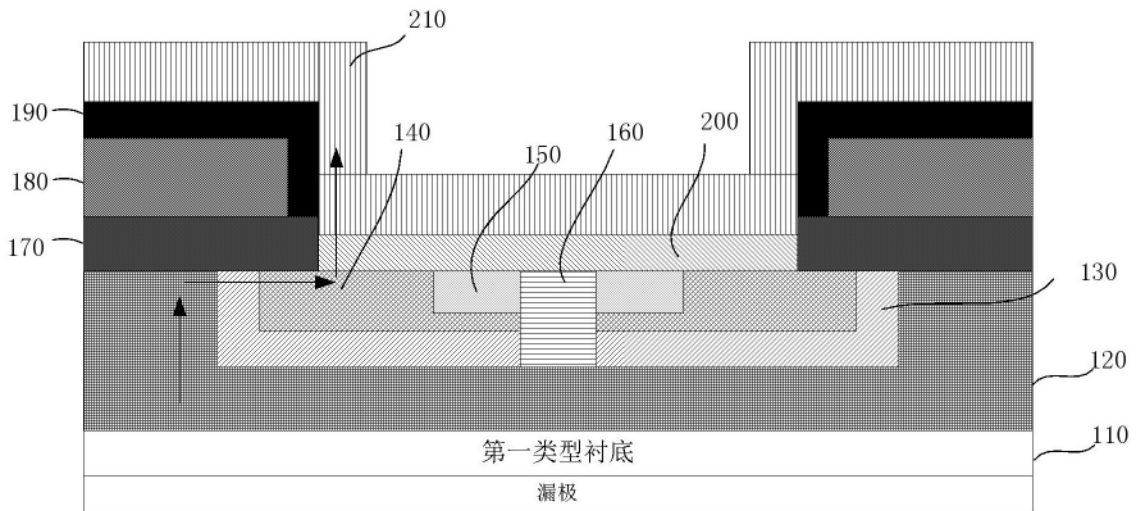


图4

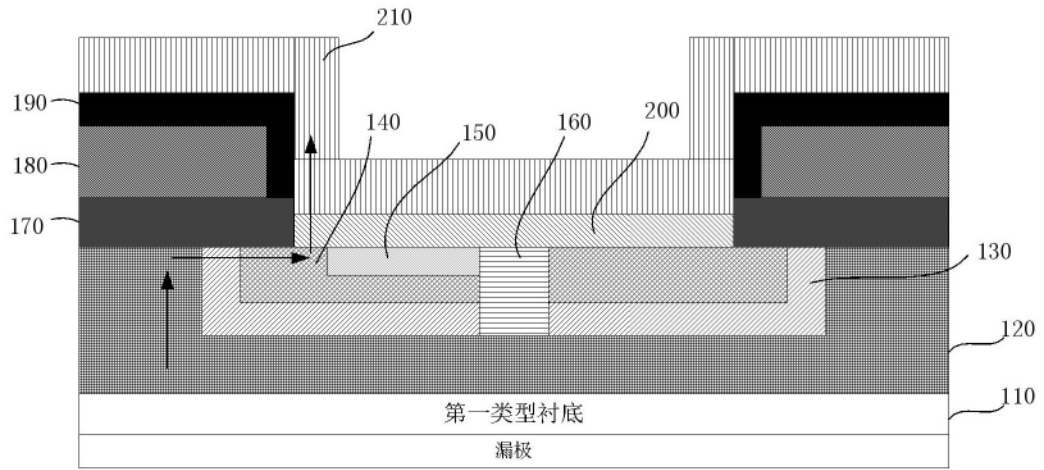


图5

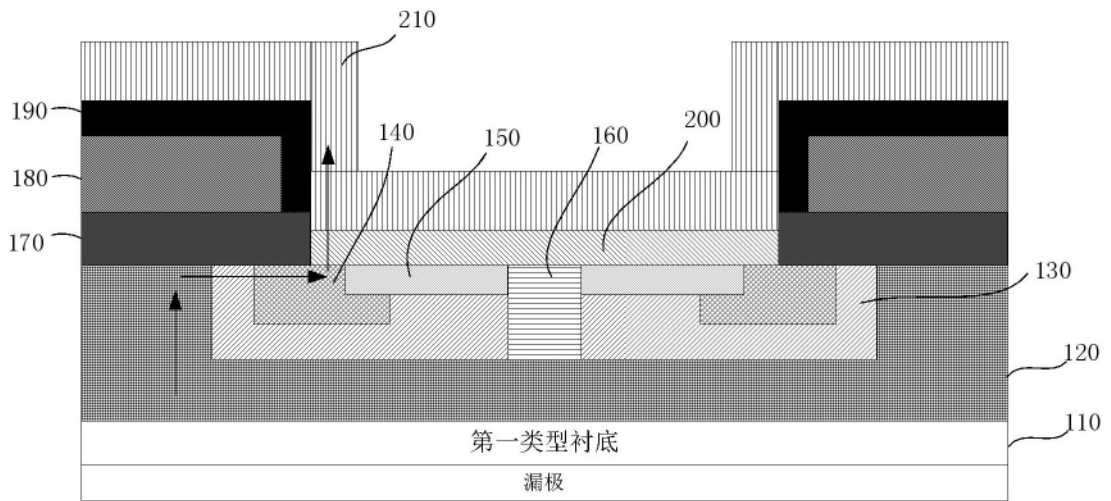


图6

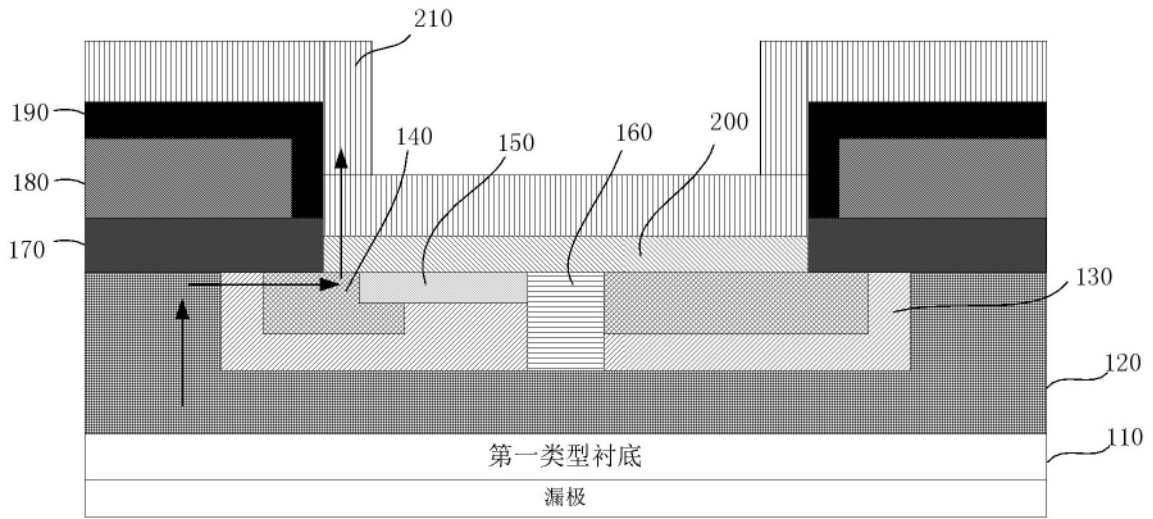


图7

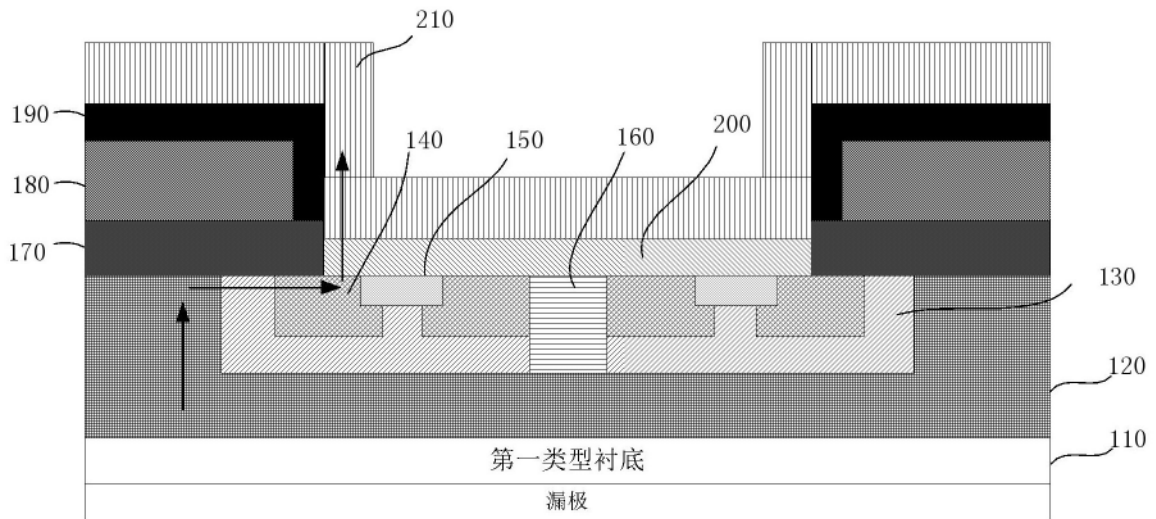


图8

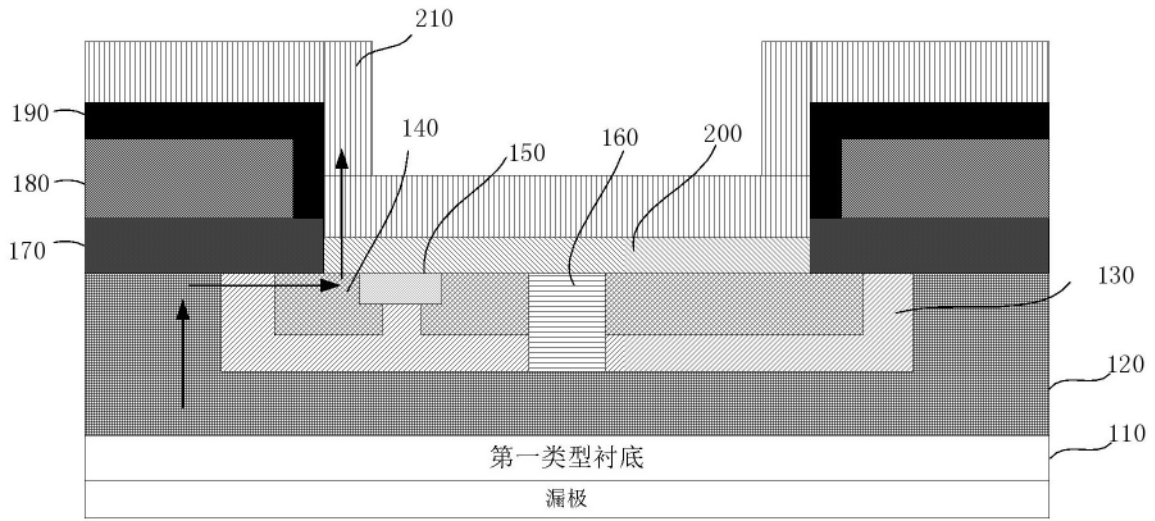


图9

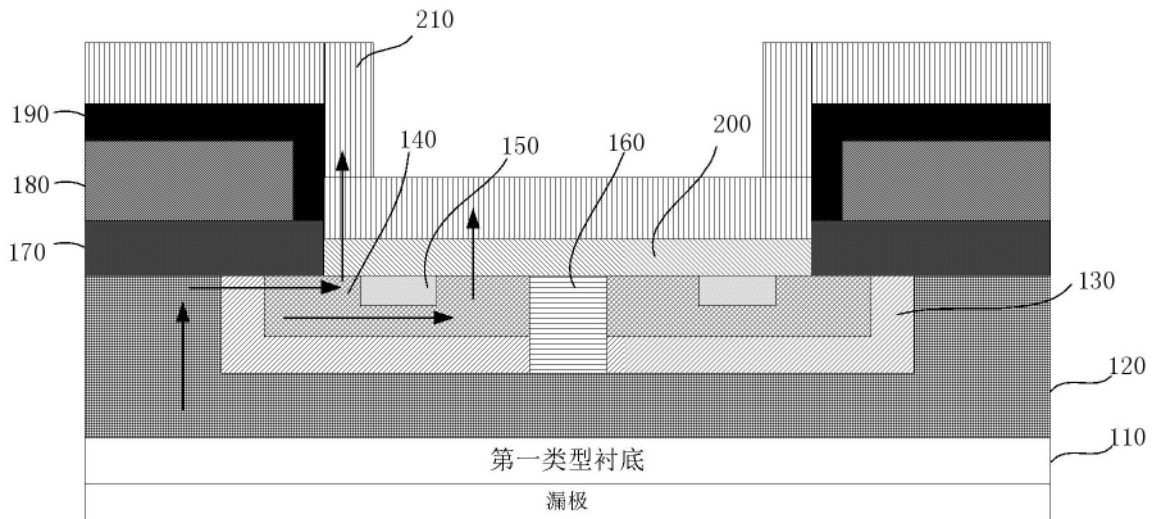


图10

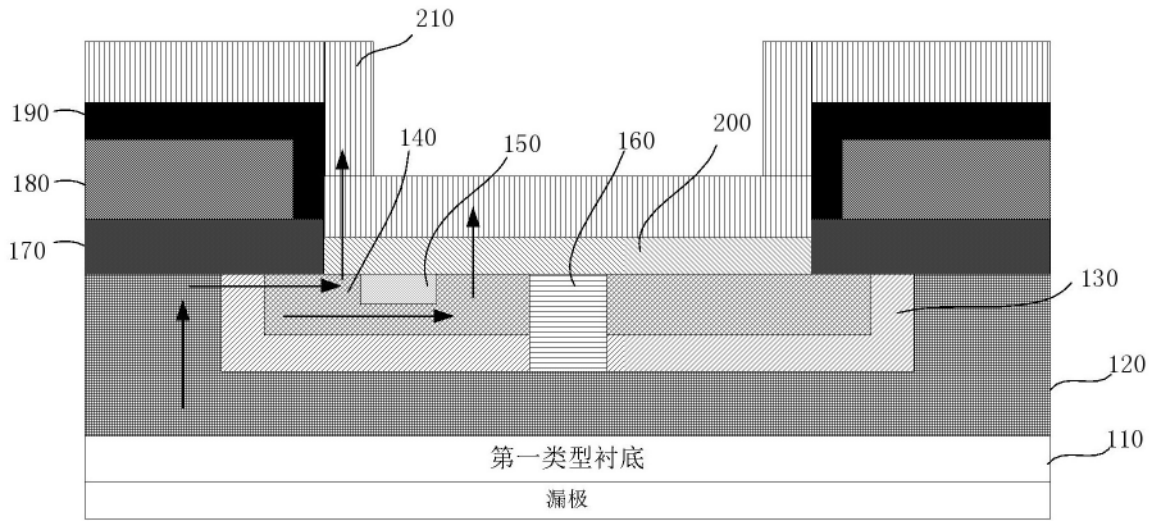


图11

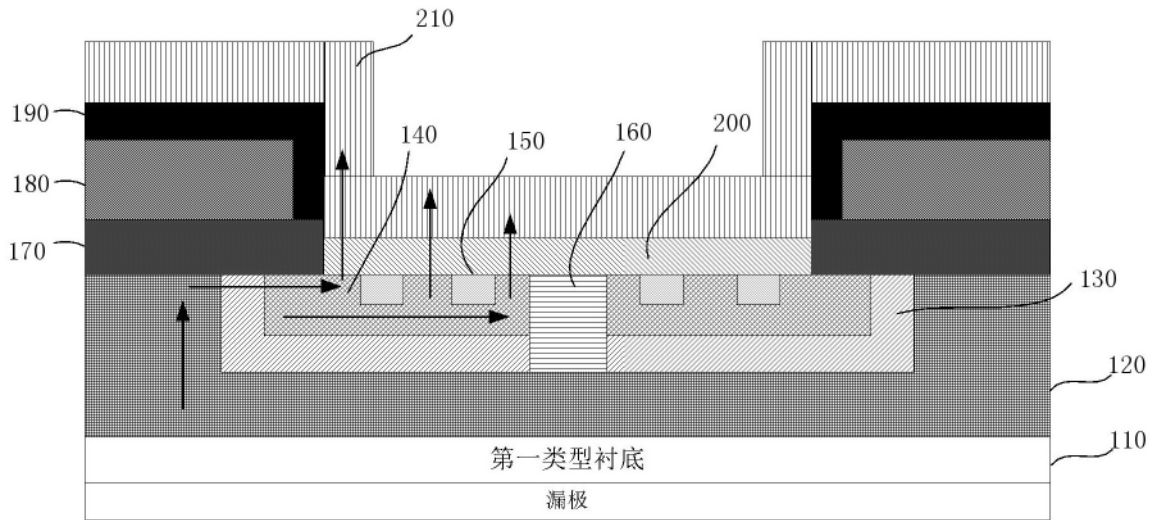


图12

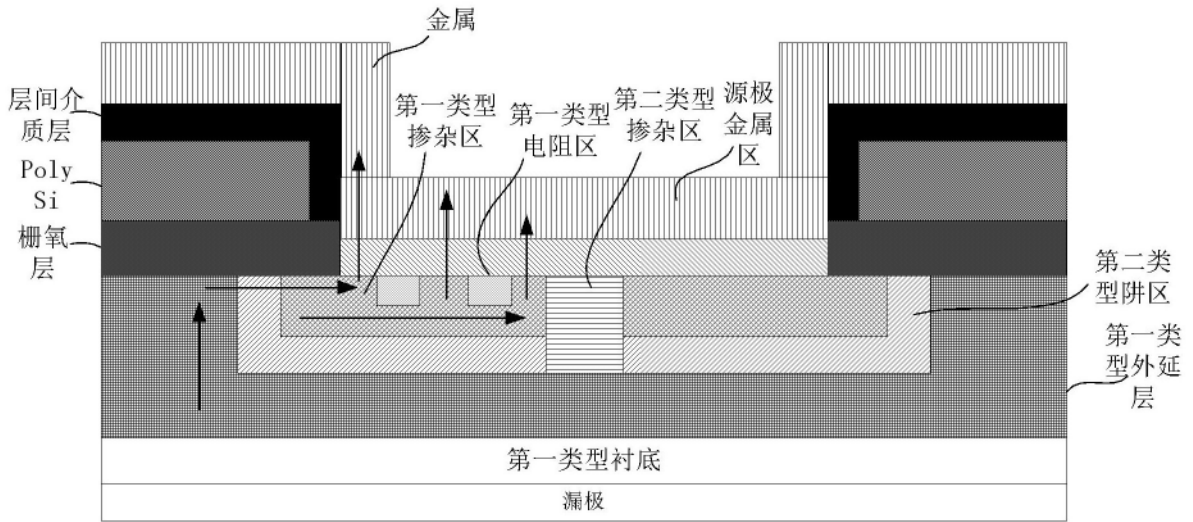


图13

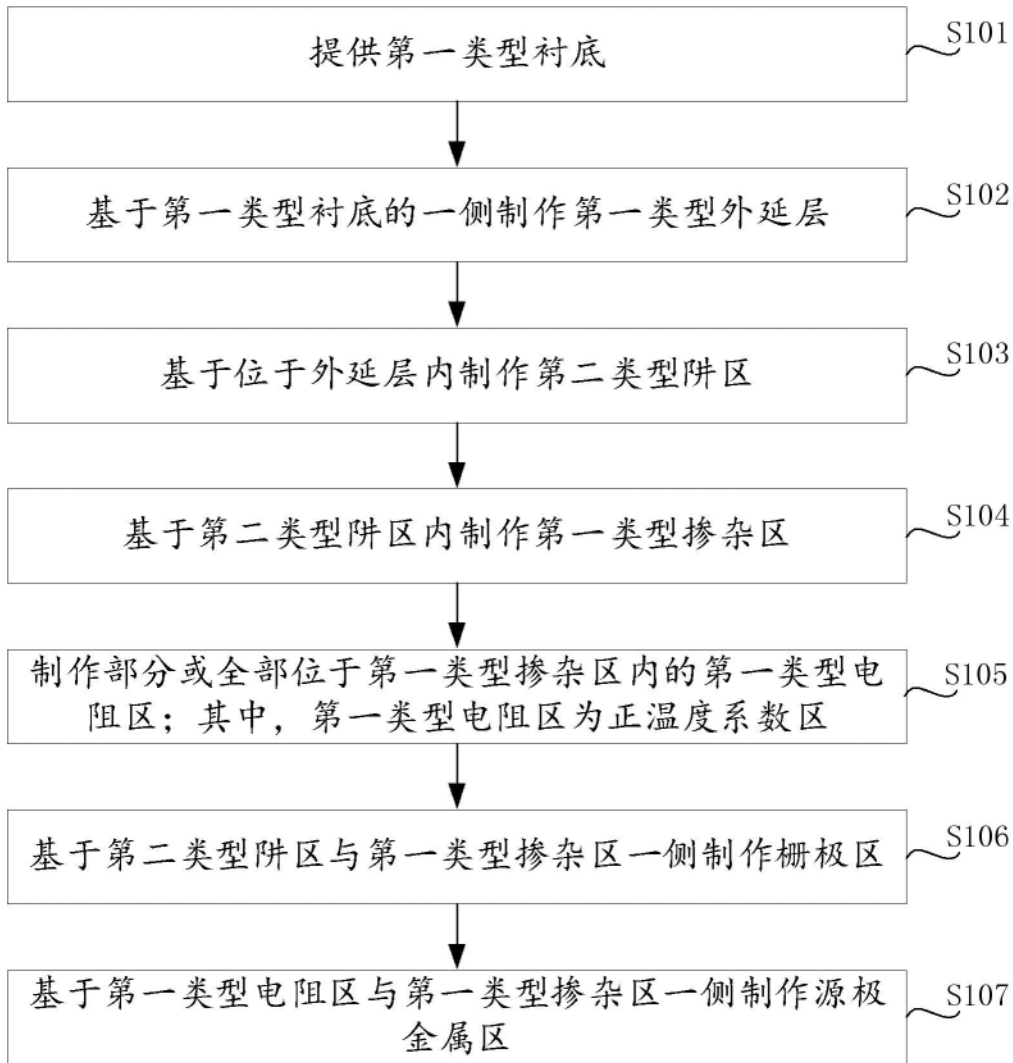


图14