

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5794855号
(P5794855)

(45) 発行日 平成27年10月14日(2015.10.14)

(24) 登録日 平成27年8月21日(2015.8.21)

(51) Int. Cl.		F I			
HO2M	3/155	(2006.01)	HO2M	3/155	T
HO2M	1/08	(2006.01)	HO2M	1/08	C

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2011-171486 (P2011-171486)	(73) 特許権者	514107233
(22) 出願日	平成23年8月5日(2011.8.5)		トランスフォーム・ジャパン株式会社
(65) 公開番号	特開2013-38865 (P2013-38865A)		神奈川県横浜市港北区新横浜 2 - 5 - 1 5
(43) 公開日	平成25年2月21日(2013.2.21)		新横浜センタービル9F
審査請求日	平成26年7月11日(2014.7.11)	(74) 代理人	100079108
			弁理士 稲葉 良幸
		(74) 代理人	100109346
			弁理士 大貫 敏史
		(74) 代理人	100117189
			弁理士 江口 昭彦
		(74) 代理人	100134120
			弁理士 内藤 和彦
		(74) 代理人	100144325
			弁理士 小澁 高弘

最終頁に続く

(54) 【発明の名称】 電源装置の駆動回路及び電源装置

(57) 【特許請求の範囲】

【請求項 1】

高電圧電源ラインと低電圧電源ラインとの間に直列に接続されたハイサイドトランジスタとロウサイドトランジスタと、両トランジスタの接続ノードと出力端子との間に設けられたインダクタとを有する電源装置の前記両トランジスタを駆動する駆動回路であって、前記ハイサイドトランジスタのゲートを駆動する第1のゲートドライバと、前記ロウサイドトランジスタのゲートを駆動する第2のゲートドライバとを有し、前記ハイサイドトランジスタがオンでロウサイドトランジスタがオフの第1の状態から、前記ハイサイドトランジスタがオフでロウサイドトランジスタがオンの第2の状態に移る遷移期間で、前記第1のゲートドライバは前記ハイサイドトランジスタのゲートを前記低電圧電源ラインの電圧より低い第1の電圧に駆動する一方、前記遷移期間で、前記第2のゲートドライバは前記ロウサイドトランジスタのゲートを前記低電圧電源ラインの電圧に駆動する電源装置の駆動回路。

【請求項 2】

請求項 1 において、さらに、前記低電圧電源ラインと前記接続ノードに接続され、前記接続ノードの電圧の上昇と低下の繰り返しにより、前記第1の電圧を生成する第1電圧生成回路を有する電源装置の駆動回路。

【請求項 3】

請求項 2 において、

前記第 1 のゲートドライバは、前記ハイサイドトランジスタのゲートと前記第 1 電圧生成回路の出力との間に設けられた第 1 のドライバトランジスタを有し、
前記第 1 の電圧の電圧は、前記低電圧電源ラインの電圧より前記第 1 のドライバトランジスタの閾値電圧だけ低い電圧より高い電源装置の駆動回路。

【請求項 4】

高電圧電源ラインと低電圧電源ラインとの間に直列に接続されたハイサイドトランジスタとロウサイドトランジスタと、

両トランジスタの接続ノードと出力端子との間に設けられたインダクタと、

前記ハイサイドトランジスタとロウサイドトランジスタとを交互にオン、オフするように両トランジスタのゲートを駆動する駆動回路とを有し、

10

前記駆動回路は、

前記ハイサイドトランジスタのゲートを駆動する第 1 のゲートドライバと、

前記ロウサイドトランジスタのゲートを駆動する第 2 のゲートドライバとを有し、

前記ハイサイドトランジスタがオンでロウサイドトランジスタがオフの第 1 の状態から、

前記ハイサイドトランジスタがオフでロウサイドトランジスタがオンの第 2 の状態に遷移

する遷移期間で、前記第 1 のゲートドライバは前記ハイサイドトランジスタのゲートを前

記低電圧電源ラインの電圧より低い第 1 の電圧に駆動する一方、前記遷移期間で、前記第

2 のゲートドライバは前記ロウサイドトランジスタのゲートを前記低電圧電源ラインの電

圧に駆動する電源装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、電源装置の駆動回路及び電源装置に関する。

【背景技術】

【0002】

電源装置は、入力電源の電圧を降圧または昇圧して所望の電位の出力電圧を生成する。

このうち、降圧型の電源装置は、高電位電源ラインと低電位電源ラインとの間に直列に接

続されたハイサイドトランジスタとロウサイドトランジスタとを有し、さらに、両トラン

ジスタの接続ノードと出力端子との間に設けられたインダクタと、出力端子の出力電圧を

監視して出力電圧が所望の電位になるように制御信号を生成する制御回路と、制御信号に

応じてハイサイドトランジスタとロウサイドトランジスタのゲートを駆動する駆動回路と

を有する。

30

【0003】

制御回路は、PWM（パルス幅変調）、PFM（パルス周波数変調）など所定の変調方式

により制御信号を生成する。そして、駆動回路は、その制御信号に応じて、ハイサイド

トランジスタの第 1 のゲート駆動信号と、ロウサイドトランジスタの第 2 のゲート駆動信

号とを生成する。駆動回路は、ハイサイドトランジスタとロウサイドトランジスタとを交

互にオンオフし、且つ、遷移期間において両トランジスタが同時にオンしないように、第

1、第 2 のゲート駆動信号を生成する。

【0004】

40

上記の降圧型の電源装置は、例えば、特許文献 1、2、3 に記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2004 - 56982 号公報

【特許文献 2】特開 2008 - 113496 号公報

【特許文献 3】特開 2002 - 44940 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

ハイサイドトランジスタとロウサイドトランジスタが共にNチャンネルトランジスタの場合、駆動回路は、ハイサイドトランジスタをオン、ロウサイドトランジスタをオフにした第1の状態、インダクタに高電位電源ラインから電流を流してインダクタに電磁エネルギーを蓄積し、第1の状態から第2の状態への遷移期間では、ロウサイドトランジスタのオフを維持したままハイサイドトランジスタのゲート・ソース間を短絡してオフにし、インダクタの蓄積した電磁エネルギーによる電流により接続ノードの電位を低下させる。そして、遷移期間で接続ノードの電位が十分に低下した後にロウサイドトランジスタをオンにして、両トランジスタがオフ、オンの第2の状態にする。ハイサイドトランジスタがオンしている第1の状態では接続ノードの電位を高くし、ロウサイドトランジスタがオンしている第2の状態では接続ノードの電位を低くし、両トランジスタのドレイン・ソース間電圧を抑えて損失を抑えている。

10

【0007】

しかしながら、上記の遷移期間においてロウサイドトランジスタのオフを維持したままハイサイドトランジスタのゲート・ソース間を短絡してオフに駆動するとき、駆動回路のトランジスタの駆動能力が小さいとハイサイドトランジスタのゲートの電位をソースの電位まで低下させることができない。特に、電源装置のスイッチング速度を高速化した場合、遷移期間で両トランジスタの接続ノードの電位が急速に低下し、ハイサイドトランジスタのゲートの電位がソースである接続ノードの急速な低下に追従することができず、ハイサイドトランジスタがオンしたまま接続ノードが低下することがある。

20

【0008】

この場合、接続ノードが低下しているためハイサイドトランジスタのドレイン・ソース間電圧が大きく、ハイサイドトランジスタの損失が大きくなる。電源装置は、遷移期間での両トランジスタの損失を抑制することが電源装置全体の効率向上に重要なファクタであるので、上記のような遷移期間でのハイサイドトランジスタの動作は、損失の増加と効率の低下を招く。

【0009】

そこで、本発明の目的は、ハイサイドトランジスタのオンからロウサイドトランジスタのオンへスイッチングする遷移期間での、ハイサイドトランジスタのオン動作を抑制して効率を向上した電源装置の駆動回路及び電源装置を提供することにある。

30

【課題を解決するための手段】

【0010】

電源装置の駆動回路の第1の側面は、高電位電源ラインと低電位電源ラインとの間に直列に接続されたハイサイドトランジスタとロウサイドトランジスタと、両トランジスタの接続ノードと出力端子との間に設けられたインダクタとを有する電源装置の前記両トランジスタを駆動する駆動回路であって、

前記ハイサイドトランジスタのゲートを駆動する第1のゲートドライバと、

前記ロウサイドトランジスタのゲートを駆動する第2のゲートドライバとを有し、

前記ハイサイドトランジスタがオンでロウサイドトランジスタがオフの第1の状態から、前記ハイサイドトランジスタがオフでロウサイドトランジスタがオンの第2の状態に遷移する遷移期間で、前記第1のゲートドライバは前記ハイサイドトランジスタのゲートを前記低電位電源ラインの電位より低い第1の電圧に駆動する。

40

【発明の効果】

【0011】

第1の側面によれば、効率の良い電源装置を提供する。

【図面の簡単な説明】

【0012】

【図1】降圧型の電源装置の回路図である。

【図2】図1の電源装置の変型例である。

【図3】図2の電源装置の第1の状態から第2の状態への遷移期間の動作を示す波形図である。

50

【図4】本実施の形態における電源装置の回路図である。

【図5】図4の電源装置の第1の状態から第2の状態への遷移期間の動作を示す波形図である。

【図6】第1電圧生成回路の回路例を示す図である。

【図7】第2の実施の形態の電源装置に用いられるハイサイドトランジスタQ1とロウサイドトランジスタQ2の概略断面図である。

【発明を実施するための形態】

【0013】

図1は、降圧型の電源装置の回路図である。この電源装置は、入力される高電位電源INとグランドである低電位電源VSSとの間に直列に接続されたハイサイドトランジスタQ1とロウサイドトランジスタQ2と、両トランジスタの接続ノードSWと出力端子OUTとの間に設けられたインダクタL1と、出力端子OUTに設けられる平滑化コンデンサC1と、両トランジスタQ1、Q2のゲートを駆動するゲートドライバを有する駆動回路10と、出力端子OUTの電位を監視し出力端子OUTの電位が所望の電位になるように制御信号PWMを生成する制御回路12とを有する。

【0014】

ハイサイドトランジスタQ1とロウサイドトランジスタQ2とは、例えば、NチャネルFETであり、好ましくはNチャネルのHEMT（高電子移動度トランジスタ）であり、閾値電圧は同等である。また、駆動回路10内のハイサイドトランジスタQ1のゲートを駆動する第1のゲートドライバは、PチャネルトランジスタQ3とNチャネルトランジスタQ4とを有する相補型インバータである。同様に、ロウサイドトランジスタQ2のゲートを駆動する第2のゲートドライバも、PチャネルトランジスタQ5とNチャネルトランジスタQ6とを有する相補型インバータである。

【0015】

駆動回路10では、制御信号PWMに応じて、第1のゲートドライバQ3、Q4と第2のゲートドライバQ5、Q6とが、ハイサイドトランジスタQ1とロウサイドトランジスタQ2がオン、オフの第1の状態とオフ、オンの第2の状態とを交互に繰り返すように、両トランジスタQ1、Q2のゲートを駆動する。駆動回路10内の論理回路14は、第1、第2のゲートドライバへの制御信号N1、N2を、それぞれ対応する最適な電位レベルで生成するとともに、両トランジスタQ1、Q2が第1の状態と第2の状態間の遷移期間で同時に導通状態にならないように制御信号を生成する。

【0016】

制御信号N1がLレベル、N2がHレベルになると、ゲートG1がHレベルとなりハイサイドトランジスタQ1がオン、ゲートG2がLレベル（VSSレベル）となりロウサイドトランジスタQ2がオフの第1の状態になる。これにより、接続ノードSWは高電位電源IN側に上昇し、高電位電源INからオン状態のハイサイドトランジスタQ1からインダクタL1にインダクタ電流ILが流れる。このインダクタ電流ILの発生によりインダクタL1は電磁エネルギーを蓄積する。

【0017】

上記の第1の状態から第2の状態への遷移期間では、制御信号N1がHレベル、N2がHレベルになる。そのため、トランジスタQ4がオンしゲートG1が接続ノードSWと同じ電位になり、ハイサイドトランジスタQ1はオフになり、トランジスタQ6がオンしゲートG1が低電位電源VSSの電位のままでロウサイドトランジスタQ2はオフを維持する。この両トランジスタQ1、Q2が共にオフの状態になると、インダクタL1に蓄積された電磁エネルギーによりインダクタ電流ILが継続して流れ、接続ノードSWの電位は高電位電源INの高い電位から低電位電源VSSのグランド電位に向かって低下する。ただし、ゲートG1は接続ノードSWの電位低下に追従するので、ハイサイドトランジスタQ1のオフは維持される。

【0018】

そして、インダクタ電流ILにより接続ノードSWの電位がグランドVSSより閾値電

10

20

30

40

50

圧だけ低くなると、ロウサイドトランジスタQ2がオンして、インダクタ電流ILはグラウンドVSSからロウサイドトランジスタQ2を介して流れる。この接続ノードSWの低下にตอบสนองして、論理回路14は制御信号N2をLレベルに変化させ、ゲートG2がHレベルになりロウサイドトランジスタQ2は完全にオン状態になる。これで第2の状態への遷移が完了する。

【0019】

第2の状態から第1の状態への遷移期間では、まずロウサイドトランジスタQ2をオフにして両トランジスタQ1、Q2が共にオフの状態にした後、ハイサイドトランジスタQ1をオンにし、第1の状態への遷移動作を完了する。第1の状態では、ハイサイドトランジスタQ1のオン動作により、インダクタL1に高電位電源INからトランジスタQ1を介して電流ILが流れる。それによりインダクタL1は電磁エネルギーを蓄積する。

10

【0020】

制御回路12は、出力端子OUTの電位が所望の電位に維持されるように、制御信号PWMを生成する。たとえば、制御回路12は、電源装置の出力端子OUTに接続される負荷16が重負荷の場合にはハイサイドトランジスタQ1をオンする時間を長くし、軽負荷の場合にはその時間を短く制御する。または、別の例では、制御回路12は、ハイサイドトランジスタQ1のオン時間は一定に保ち、重負荷の場合にはハイサイドトランジスタQ1がオンする周波数を高くし、軽負荷の場合にはその周波数を低く制御する。

【0021】

図1において、ハイサイドトランジスタQ1のゲートG1を駆動する第1のゲートドライバQ3、Q4では、トランジスタQ4がゲートG1とソースSWとの間に設けられている。したがって、第1の状態から第2の状態への遷移期間では、トランジスタQ4がオンして、ゲートG1と接続ノードSWとを短絡状態にしているため、両トランジスタQ1、Q2がオフ、オフ状態になりインダクタ電流ILにより接続ノードSWがグラウンドVSSより低くなったとしても、ハイサイドトランジスタQ1のオフ状態は保たれる。しかも、ハイサイドトランジスタQ1のゲート・ソース間は短絡されているため、ゲート・ソース間耐圧が低いトランジスタ、例えばパワーMOSトランジスタ、をハイサイドトランジスタに使用することができた。

20

【0022】

しかしながら、出力電圧の精度向上の要請から両トランジスタQ1、Q2のスイッチング制御が高速化するに伴い、第1の状態から第2の状態への遷移期間において、接続ノードSWの電位が急速に低下するようになる。その場合、トランジスタQ4のサイズが不十分で十分な駆動能力を持たない場合は、ゲートG1の電位が接続ノードSWの電位の急速な低下に追従することができなくなる。その結果、ハイサイドトランジスタQ1のゲート・ソース間が閾値電圧以上になり、ハイサイドトランジスタQ1がオン状態のまま接続ノードSWの電位が低下する。

30

【0023】

このとき、ハイサイドトランジスタQ1のドレイン・ソース間電圧VDSは、接続ノードSWのグラウンドVSSへの低下により大きくなっており、ドレイン電流IDとすると、ハイサイドトランジスタQ1のオン状態により、 $VDS \times ID$ の損失が発生することになる。これは大きなAC損失を招く。

40

【0024】

定常状態では、ハイサイドトランジスタQ1がオン状態のときは、接続ノードSWの電位が高く、一方、ロウサイドトランジスタQ2がオン状態のときは、接続ノードSWの電位がグラウンドVSS近傍まで低下している。したがって、定常状態での両トランジスタの損失、つまりDC損失はそれほど大きくない。

【0025】

したがって、上記の遷移期間でのハイサイドトランジスタQ1のオン動作によるAC損失の増大は、電源装置の効率の低下を招き、好ましくない。

【0026】

50

図2は、図1の電源装置の変型例である。図2の電源装置では、駆動回路10内の第1のゲートドライバQ3、Q4のトランジスタQ4のソースが低電位電源であるグラウンドVSSに接続されている。それ以外の構成は、図1と同じである。

【0027】

図3は、図2の電源装置の第1の状態から第2の状態への遷移期間の動作を示す波形図である。図3を参照しながら、遷移期間の動作を説明する。ハイサイドトランジスタQ1がオン、ロウサイドトランジスタQ2がオフの第1の状態から、オフ、オンの第2の状態への遷移期間では、論理回路14が制御信号N1をHレベルにしてトランジスタQ4をオンにし、ゲートG1の電荷をグラウンドVSSに放電し、ハイサイドトランジスタQ1はオフになる。ロウサイドトランジスタQ2側は、制御信号N2がHレベルのままでゲートG2はグラウンドVSSに低下しオフの状態を維持している。

10

【0028】

図1と同様に、両トランジスタQ1、Q2がオフの状態では、接続ノードSWの電位が急速に低下する。しかし、図2の電源装置では、第1のゲートドライバのトランジスタQ4のソースがグラウンドVSSに接続されているので、ハイサイドトランジスタQ1のゲートG1はグラウンドVSSに維持されているので、接続ノードSWの低下中にゲートG1が追従できずにハイサイドトランジスタQ1がオンすることはない。

【0029】

ただし、インダクタL1に蓄積された電磁エネルギーによりインダクタ電流ILが継続して流れるため、接続ノードSWは、高電位電源IN側の高い電位から低電位電源であるグラウンドVSSに向かって低下する。接続ノードSWがグラウンドVSSの電位になっても、論理回路14は、両トランジスタQ1、Q2の同時オンによる貫通電流を防止するために、ゲートG2の電位は時間t0 - t1の間はHレベルにならない。この時間t0 - t1は、ゲートG1がグラウンドVSSになり、接続ノードSWが負電位になったことを確認してからゲートG2をHレベルに駆動するために必要な時間である。

20

【0030】

つまり、両トランジスタQ1、Q2のゲートG1、G2が共にグラウンドVSSの電位になっているので、更に接続ノードSWがグラウンドVSSより両トランジスタQ1、Q2の閾値電圧だけ低くなると(時間t0 - t1)、両トランジスタQ1、Q2が共にオンになり、インダクタ電流ILは、ハイサイドトランジスタQ1とロウサイドトランジスタQ2との両方から流れる。

30

【0031】

この状態では、接続ノードSWがグラウンドVSSより低い負電位であるので、ハイサイドトランジスタQ1のドレイン・ソース間電圧VDSは非常に大きくなり、大きな損失の原因になる。一方、ロウサイドトランジスタQ2のドレイン・ソース間電圧はそれほど大きくない。この両トランジスタQ1、Q2が共にオンする状態は、論理回路14により制御信号N2がLレベルにされゲートG2がHレベルになり、インダクタ電流ILがロウサイドトランジスタQ2側からのみ供給されるまで継続する。

【0032】

したがって、図2の電源装置では、図3に示した遷移期間中の時間t0 - t1でのハイサイドトランジスタQ1のオン動作による大きな損失は、電源装置の効率低下の原因となる。

40

【0033】

[第1の実施の形態]

図4は、本実施の形態における電源装置の回路図である。本実施の形態の電源装置は、図1、図3と同様に、高電位電源INの配線ラインと低電位電源VSSの配線ラインとの間に直列に接続されたハイサイドトランジスタQ1とロウサイドトランジスタQ2と、両トランジスタの接続ノードSWと出力端子OUTとの間に設けられたインダクタL1とを有する。さらに、電源装置は、両トランジスタQ1、Q2のゲートを駆動するゲートドライバを有する駆動回路10と、出力端子OUTの電位を監視し出力端子OUTの電位が所

50

望の電位になるように制御信号 P W M を生成する制御回路 1 2 とを有する。

【 0 0 3 4 】

また，図 1 ，図 3 と同様に，ハイサイドトランジスタ Q 1 とロウサイドトランジスタ Q 2 とは，例えば，N チャンネル F E T であり，好ましくは N チャンネルの H E M T （高電子移動度トランジスタ）で，閾値電圧は同じである。

【 0 0 3 5 】

また，駆動回路 1 0 内のハイサイドトランジスタ Q 1 のゲートを駆動する第 1 のゲートドライバは，P チャンネルトランジスタ Q 3 と N チャンネルトランジスタ Q 4 とを有する相補型インバータである。同様に，ロウサイドトランジスタ Q 2 のゲートを駆動する第 2 のゲートドライバも，P チャンネルトランジスタ Q 5 と N チャンネルトランジスタ Q 6 とを有する相補型インバータである。第 1 のゲートドライバのトランジスタ Q 3 のソースは第 1 の内部電源 V D D 1 に接続され，第 2 のゲートドライバのトランジスタ Q 5 のソースは第 2 の内部電源 V D D 2 に接続されている。N チャンネルのハイサイドトランジスタ Q 1 をオンさせるために，第 1 の内部電源 V D D 1 は入力される高電位電源 I N よりもトランジスタ Q 1 の閾値電圧以上高く昇圧されている。たとえば，第 1 の内部電源 V D D 1 は接続ノード S W とブーストキャパシタを介して接続され，ハイサイドトランジスタ Q 1 がオンになり接続ノード S W を上昇したときに，ブーストキャパシタにより第 1 の内部電源 V D D 1 がセルフブーストされるようにする。第 2 の内部電源 V D D 2 は，ロウサイドトランジスタ Q 2 をオンにできる程度の電位であればよい。

【 0 0 3 6 】

さらに，図 4 の電源装置の駆動回路 1 0 は，低電位電源 V S S より低い第 1 の電圧 V 1 を生成する第 1 電圧生成回路 2 0 を有し，それが生成する第 1 の電圧は，第 1 のゲートドライバのトランジスタ Q 4 のソースに供給される。この第 1 の電圧は，例えば，グランド V S S より低く，トランジスタ Q 4 の閾値電圧を V_{th4} とすると $V_{SS} - V_{th4}$ より高い負電位である。

【 0 0 3 7 】

この構成により，第 1 の状態から第 2 の状態への遷移期間において，第 1 のゲートドライバ Q 3 ，Q 4 では，制御信号 N 1 の H レベルによりトランジスタ Q 4 がオンになり，ハイサイドトランジスタ Q 1 のゲート G 1 の電位を低電位電源のグランド V S S より低い電位にする。その結果，遷移期間において，ゲート G 1 が定電位電源のグランド V S S より低い電位に，ゲート G 2 がグランド V S S になるので，両トランジスタ Q 1 ，Q 2 が共にオフになり，インダクタ電流 I L により接続ノード S W が負電位の $V_{SS} - V_{th}(Q2)$ になったとき，ロウサイドトランジスタ Q 2 はオンになるが，ハイサイドトランジスタ Q 1 のゲート・ソース間電圧はその閾値電圧 $V_{th}(Q1)$ 以上にはならず，オンしない。

【 0 0 3 8 】

第 1 の電圧 V 1 の電位は，接続ノード S W が負電位に低下したときに，ロウサイドトランジスタ Q 2 だけがオンし，ハイサイドトランジスタ Q 1 がオンしないような電位であり，且つ，トランジスタ Q 4 がオンしないような電位であることが求められる。つまり，第 1 の電圧 V 1 の電位は， $(V_{SS} -) \sim (V_{SS} - V_{th}(Q4))$ の範囲である。ここでは，ロウサイドトランジスタ Q 2 が実質的に導通するためのオーバードライブ電圧に対応する。ゲート G 2 がグランド V S S の電位であり，ゲート G 1 が $V_{SS} -$ の電位であれば，Q 2 がオンしても Q 1 はオフ状態を保つことになる。

【 0 0 3 9 】

図 5 は，図 4 の電源装置の第 1 の状態から第 2 の状態への遷移期間の動作を示す波形図である。図 5 を参照しながら，遷移期間の動作を説明する。トランジスタ Q 1 ，Q 2 がオン，オフの第 1 の状態からオフ，オンの第 2 の状態に切り替わる遷移期間では，論理回路 1 4 が制御信号 N 1 を H レベルにしてトランジスタ Q 4 をオンにし，ゲート G 1 の電荷をグランド V S S より低い第 1 の電圧 V 1 に放電し，ハイサイドトランジスタ Q 1 はオフになる。ロウサイドトランジスタ Q 2 側は，制御信号 N 2 が H レベルのままゲート G 2 は

10

20

30

40

50

グランドVSSに低下しオフの状態を維持している。

【0040】

両トランジスタQ1, Q2が共にオフ状態であるので, 接続ノードSWから出力端子OUTへ向かうインダクタ電流ILにより接続ノードSWは急速に低下する。時間t0で, 接続ノードSWがグランドVSSより低いVSS - Vth(Q2)になると, ロウサイドトランジスタQ2はゲートG2と接続ノードSW間が閾値Vth(Q2)以上になりオンする。しかし, ハイサイドトランジスタQ1のゲートG1はグランドVSSより低い電位V1に駆動されているので, ゲート・ソース間電圧は閾値電圧Vth(Q1)以上にならず, オンすることはない。したがって, ハイサイドトランジスタQ1がオンになり大きな損失を発生することは防止される。

10

【0041】

時間t1になると, 論理回路14が制御信号N2をLレベルにして, 第2のゲートドライバQ5, Q6がゲートG2をHレベルにする。それにより, インダクタ電流ILの低下により接続ノードSWの電位が負電位からグランドVSSに戻っても, ロウサイドトランジスタQ2のオン状態が維持される。これで第2の状態への遷移が完了する。

【0042】

上記のように, 遷移期間中の特に時間t0 - t1において, ハイサイドトランジスタQ1のゲートG1が低電位電源であるグランドVSSより低い第1の電圧V1に制御されているので, 接続ノードSWがグランドVSSより低いVSS - Vth(Q2)になってもハイサイドトランジスタQ1はオンしないで, Q1のオンによる損失が発生することはない。

20

【0043】

図6は, 第1電圧生成回路の回路例を示す図である。第1電圧生成回路20は, ブーストラップ回路であり, ブースト用キャパシタC11と, 安定化キャパシタC13と, クランプ用トランジスタQ10と, クランプ用ダイオードD12とを有する。そして, ブースト用キャパシタの一方の電極は接続ノードSWに接続され, 他方の電極は第1の電圧V1が生成されるノードn20に接続されている。

【0044】

電源装置において, ハイサイドトランジスタQ1とロウサイドトランジスタQ2とが第1の状態(オン, オフ)と第2の状態(オフ, オン)を交互に繰り返すと, 接続ノードSWが高電位電源INの電位と低電位電源であるグランドVSSの電位とに交互に変化する。この接続ノードSWの上下に変化する信号を利用して, 第1電圧生成回路は, ブースト用キャパシタC11によりノードn20を(VSS -) ~ (VSS - Vth(Q4))の間のいずれかの負電位にする。

30

【0045】

接続ノードSWがHレベルに変化すると, ノードn20がキャパシタC11のカップリングにより上昇するが, クランプ用ダイオードD12によりグランドVSSからその順方向電圧VFの電位でクランプされる。そして, 接続ノードSWがHレベルからLレベルに変化すると, ノードn20がキャパシタC11のカップリングにより下降し, それに伴う負の電荷がキャパシタC13に充電される。上記の動作が繰り返されることで, ノードn20はグランドVSSより低い負電位に降圧される。ただし, クランプ用トランジスタQ10によりノードn20はグランドVSSからその閾値電圧Vth低い電位VSS - Vth(Q10)よりは低くならない。Vth(Q10) = Vth(Q4)に設定しておけば, 第1の電圧V1は(VSS -) ~ (VSS - Vth(Q4))の間のいずれかの負電位に保たれる。

40

【0046】

図4の実施の形態において, 遷移期間にロウサイドトランジスタQ2のゲートG2がグランドVSSに駆動されているので, 接続ノードSWが負電位に低下したときにハイサイドトランジスタQ1がオンしないようにするために, そのゲートG1をグランドVSSより低く, 且つ, トランジスタQ4をオンにしないようなVSS - Vth4より高い電位V

50

1 にしている。

【0047】

ロウサイドトランジスタQ2のゲートG2がグラウンドVSS以外の電位、例えばVSS-
- やVSS+、に駆動されている場合は、ハイサイドトランジスタQ1のゲートG2
は、ゲートG1より高い電位に駆動されていけばよい。すなわち、Nチャネルの両トラン
ジスタQ1、Q2が負電位の接続ノードSWを共通ソースとする状態では、ゲートG1の
電位がゲートG2の電位より高ければ、ロウサイドトランジスタQ2はオンしてもハイサ
イドトランジスタQ1はオンにならないからである。

【0048】

[第1の実施の形態の変型例]

図4、5に示した第1の実施の形態では、第1の状態から第2の状態への遷移期間の、
特に時間t0-t1において、第1のゲートドライバQ3、Q4がハイサイドトランジスタ
Q1のゲートG1を低電位電源であるグラウンドVSSより低い負電圧に駆動した。しかし、
時間t1後の第2の状態ではゲートG1をグラウンドVSSに維持しても、ゲートG2
がグラウンドVSSよりも高いHレベルにあるので、ハイサイドトランジスタQ1のオフ状
態に影響はない。

10

【0049】

そこで、変型例では、第1電圧生成回路20が、少なくとも遷移期間の時間t0-t1
の間だけ接続ノードSWのパルス信号を利用した降圧動作を行い、時間t1後では接続ノ
ードSWの信号の入力を切断して、降圧動作を停止する。その結果、ノードn20はグラ
ウンドVSSに上昇し、第1の電圧V1はグラウンドVSSの電位になり、ハイサイドトラン
ジスタQ1のゲートG1もグラウンドVSSの電位にされる。

20

【0050】

[第2の実施の形態]

第2の実施の形態の電源装置の回路図は、図2と同じである。ただし、ハイサイドト
ランジスタQ1とロウサイドトランジスタQ2とは、共にNチャネルのHEMTであり、ハ
イサイドトランジスタQ1の閾値電圧がロウサイドトランジスタQ2の閾値電圧よりも高
く形成されている。

【0051】

図7は、第2の実施の形態の電源装置に用いられるハイサイドトランジスタQ1とロウ
サイドトランジスタQ2の概略断面図である。共に、Si基板20上にノンドープのGa
Nチャネル層31と、N型のAlGaIn電子供給層32と、ゲート電極Gと、ソース電極
Sと、ドレイン電極Dとが形成され、電子供給層32の電子がチャネル層31との界面に
二次元電子ガス層を形成してオン状態になる。なお、Si基板20をSiC基板としても
良い。そして、ハイサイドトランジスタQ1のゲート電極Gからチャネル層31までの距
離が、ロウサイドトランジスタQ2よりも短くなるように構成されている。これにより、
ハイサイドトランジスタQ1の閾値電圧のほうがロウサイドトランジスタQ2より高くな
る。

30

【0052】

図2の構成の場合、図3に示したとおり、第1の状態から第2の状態への遷移期間にお
いて、時間t0-t1では、ハイサイドトランジスタQ1とロウサイドトランジスタQ2
のゲートG1、G2が共にグラウンドVSSの電位に駆動されている。しかし、Q1の閾値
電圧がQ2よりも大きいため、インダクタ電流ILにより接続ノードSWがVSS-Vth
に低下しても、ロウサイドトランジスタQ2のみがオンになり、ハイサイドトランジスタ
Q1がオンになることはない。

40

【0053】

図4の第1の実施の形態におけるハイサイドトランジスタQ1、ロウサイドトランジスタ
Q2も、図7と同様の構成のNチャネルHEMTである。ただし、両トランジスタのゲ
ート電極の構造は同じであり、閾値電圧も同じである。

【0054】

50

第1, 第2の実施の形態の電源装置において, ハイサイドトランジスタQ1とロウサイドトランジスタQ2とは, 図7に示す構造であり, 同じSi基板上に形成されている。

【0055】

以上の通り, 本実施の形態の電源装置によれば, ハイサイドトランジスタとロウサイドトランジスタのスイッチング動作における遷移期間において, ハイサイドトランジスタがドレイン・ソース間電圧が高い状態で導通することが防止されるので, 損失の低下を抑制することができる。

【0056】

以上の実施の形態をまとめると, 次の付記のとおりである。

【0057】

(付記1)

高電位電源ラインと低電位電源ラインとの間に直列に接続されたハイサイドトランジスタとロウサイドトランジスタと, 両トランジスタの接続ノードと出力端子との間に設けられたインダクタとを有する電源装置の前記両トランジスタを駆動する駆動回路であって, 前記ハイサイドトランジスタのゲートを駆動する第1のゲートドライバと, 前記ロウサイドトランジスタのゲートを駆動する第2のゲートドライバとを有し, 前記ハイサイドトランジスタがオンでロウサイドトランジスタがオフの第1の状態から, 前記ハイサイドトランジスタがオフでロウサイドトランジスタがオンの第2の状態に遷移する遷移期間で, 前記第1のゲートドライバは前記ハイサイドトランジスタのゲートを前記低電位電源ラインの電位より低い第1の電圧に駆動する電源装置の駆動回路。

【0058】

(付記2)

付記1において,

前記遷移期間で, 前記第2のゲートドライバは前記ロウサイドトランジスタのゲートを前記低電位電源ラインの電位に駆動する電源装置の駆動回路。

【0059】

(付記3)

付記1または2において, さらに,

前記低電位電源ラインと前記接続ノードに接続され, 前記接続ノードの電位の上昇と低下の繰り返しにより, 前記第1の電位を生成する第1電圧生成回路を有する電源装置の駆動回路。

【0060】

(付記4)

付記3において,

前記第1のゲートドライバは, 前記ハイサイドトランジスタのゲートと前記第1電圧生成回路の出力との間に設けられた第1のドライバトランジスタを有し,

前記第1の電圧の電位は, 前記低電位電源ラインの電位より前記第1のドライバトランジスタの閾値電圧だけ低い電位より高い電源装置の駆動回路。

【0061】

(付記5)

高電位電源ラインと低電位電源ラインとの間に直列に接続されたハイサイドトランジスタとロウサイドトランジスタと, 両トランジスタの接続ノードと出力端子との間に設けられたインダクタとを有する電源装置の前記両トランジスタを駆動する駆動回路であって,

前記ハイサイドトランジスタのゲートを駆動する第1のゲートドライバと,

前記ロウサイドトランジスタのゲートを駆動する第2のゲートドライバとを有し,

前記ハイサイドトランジスタがオンでロウサイドトランジスタがオフの第1の状態から, 前記ハイサイドトランジスタがオフでロウサイドトランジスタがオンの第2の状態に遷移する遷移期間で, 前記第1のゲートドライバは前記ハイサイドトランジスタのゲートを第1の電圧に駆動し, 前記第2のゲートドライバは前記ロウサイドトランジスタのゲートを前記第1の電圧より高い第2の電圧に駆動する電源装置の駆動回路。

10

20

30

40

50

【 0 0 6 2 】

(付記 6)

高電位電源ラインと低電位電源ラインとの間に直列に接続されたハイサイドトランジスタとロウサイドトランジスタと、

両トランジスタの接続ノードと出力端子との間に設けられたインダクタと、

前記ハイサイドトランジスタとロウサイドトランジスタとを交互にオン、オフするように両トランジスタのゲートを駆動する駆動回路とを有し、

前記駆動回路は、

前記ハイサイドトランジスタのゲートを駆動する第 1 のゲートドライバと、

前記ロウサイドトランジスタのゲートを駆動する第 2 のゲートドライバとを有し、

前記ハイサイドトランジスタがオンでロウサイドトランジスタがオフの第 1 の状態から、前記ハイサイドトランジスタがオフでロウサイドトランジスタがオンの第 2 の状態に遷移する遷移期間で、前記第 1 のゲートドライバは前記ハイサイドトランジスタのゲートを前記低電位電源ラインの電位より低い第 1 の電圧に駆動する電源装置。

10

【 0 0 6 3 】

(付記 7)

付記 6 において、

前記遷移期間で、前記第 2 のゲートドライバは前記ロウサイドトランジスタのゲートを前記低電位電源ラインの電位に駆動する電源装置。

【 0 0 6 4 】

(付記 8)

付記 6 または 7 において、さらに、

前記低電位電源ラインと前記接続ノードに接続され、前記接続ノードの電位の上昇と低下の繰り返しにより、前記第 1 の電位を生成する第 1 電圧生成回路を有する電源装置。

20

【 0 0 6 5 】

(付記 9)

付記 8 において、

前記第 1 のゲートドライバは、前記ハイサイドトランジスタのゲートと前記第 1 電圧生成回路の出力との間に設けられた第 1 のドライバトランジスタを有し、

前記第 1 の電圧の電位は、前記低電位電源ラインの電位より前記第 1 のドライバトランジスタの閾値電圧だけ低い電位より高い電源装置。

30

【 0 0 6 6 】

(付記 10)

高電位電源ラインと低電位電源ラインとの間に直列に接続されたハイサイドトランジスタとロウサイドトランジスタと、

両トランジスタの接続ノードと出力端子との間に設けられたインダクタと、

前記ハイサイドトランジスタとロウサイドトランジスタとを交互にオン、オフするように両トランジスタのゲートを駆動する駆動回路とを有し、

前記駆動回路は、

前記ハイサイドトランジスタのゲートを駆動する第 1 のゲートドライバと、

前記ロウサイドトランジスタのゲートを駆動する第 2 のゲートドライバとを有し、

前記ハイサイドトランジスタがオンでロウサイドトランジスタがオフの第 1 の状態から、前記ハイサイドトランジスタがオフでロウサイドトランジスタがオンの第 2 の状態に遷移する遷移期間で、前記第 1 のゲートドライバは前記ハイサイドトランジスタのゲートを第 1 の電圧に駆動し、前記第 2 のゲートドライバは前記ロウサイドトランジスタのゲートを前記第 1 の電圧より高い第 2 の電圧に駆動する電源装置。

40

【 0 0 6 7 】

(付記 11)

高電位電源ラインと低電位電源ラインとの間に直列に接続されたハイサイドトランジスタとロウサイドトランジスタと、

50

両トランジスタの接続ノードと出力端子との間に設けられたインダクタと、
 前記ハイサイドトランジスタとロウサイドトランジスタとを交互にオン、オフするよう
 に両トランジスタのゲートを駆動する駆動回路とを有し、
 前記ハイサイドトランジスタの閾値電圧は、前記ロウサイドトランジスタの閾値電圧よ
 り大きく、
 前記ハイサイドトランジスタがオンでロウサイドトランジスタがオフの第1の状態から
 、前記ハイサイドトランジスタがオフでロウサイドトランジスタがオンの第2の状態に遷
 移する遷移期間で、前記第1、第2のゲートドライバは前記ハイサイドトランジスタ及び
 ロウサイドトランジスタのゲートを同じ電圧に駆動する電源装置。

【0068】

(付記12)

付記11において、

前記ハイサイドトランジスタ及びロウサイドトランジスタは、高電子移動度トランジス
 タ(HEMT)である電源装置。

【符号の説明】

【0069】

Q1：ハイサイドトランジスタ

Q2：ロウサイドトランジスタ

L1：インダクタ

OUT：出力端子

10：駆動回路

Q3, Q4：第1のゲートドライバ

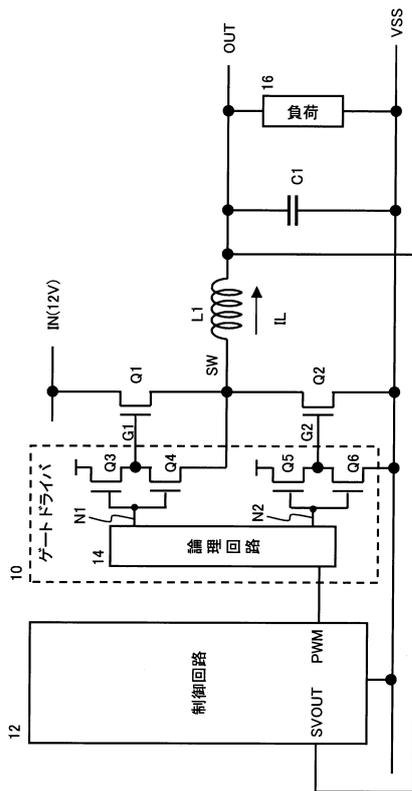
Q5, Q6：第2のゲートドライバ

20：第1電圧生成回路

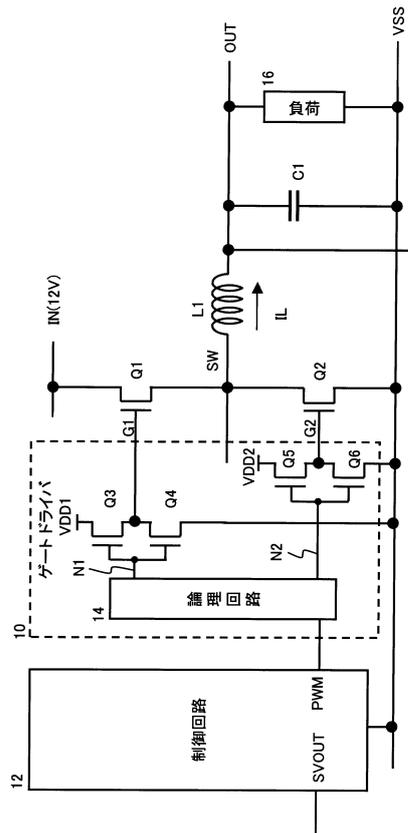
10

20

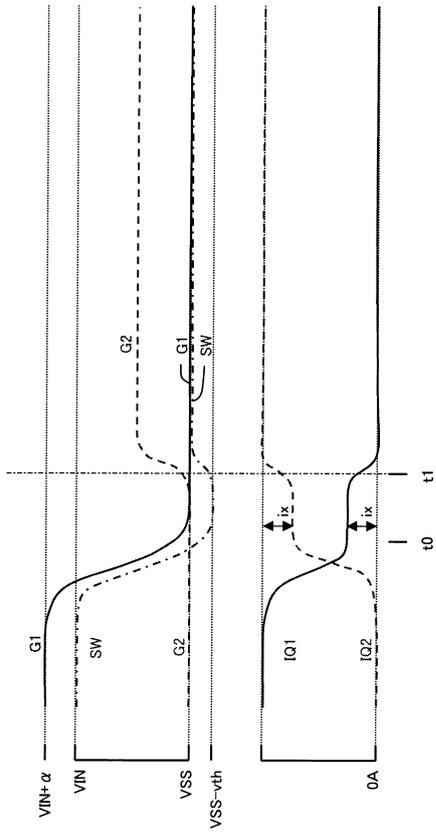
【図1】



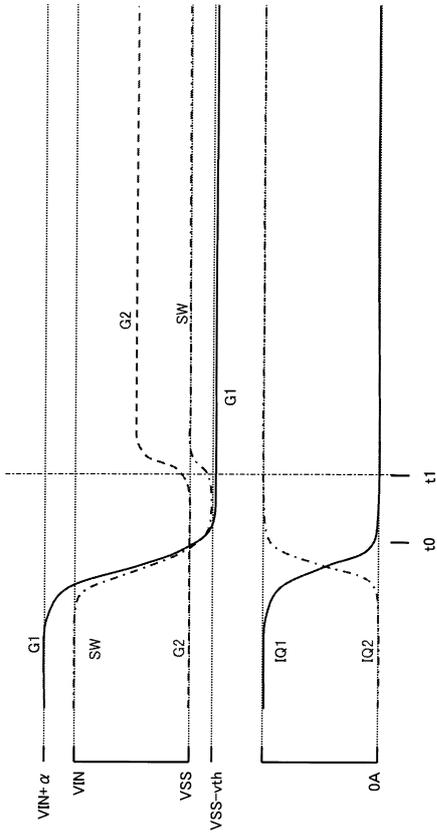
【図2】



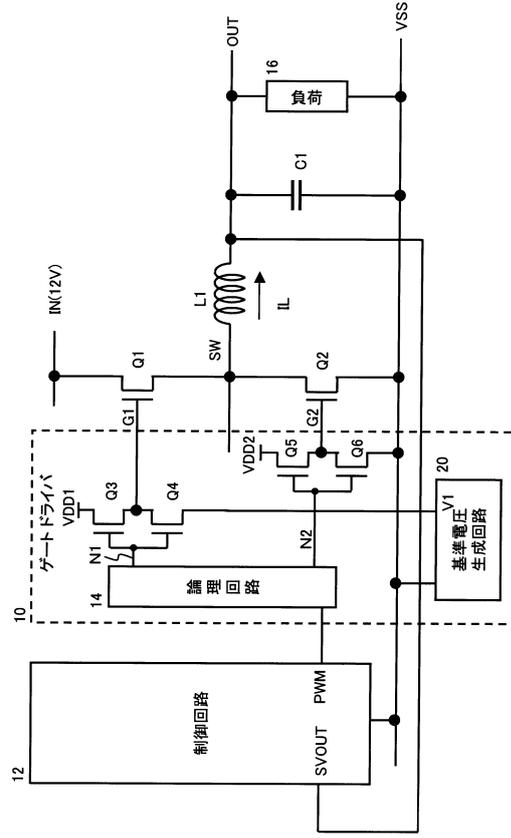
【 図 3 】



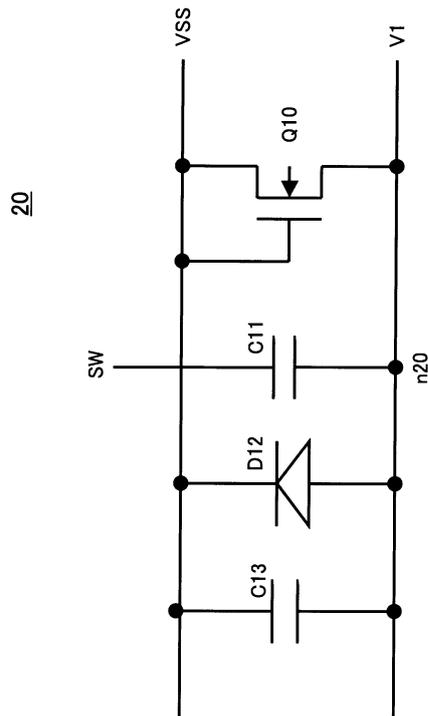
【 図 5 】



【 図 4 】

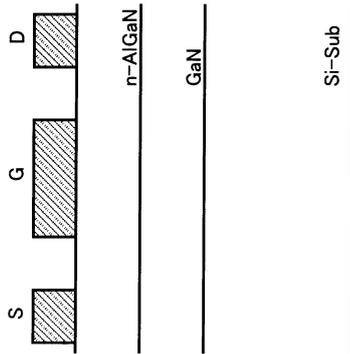


【 図 6 】

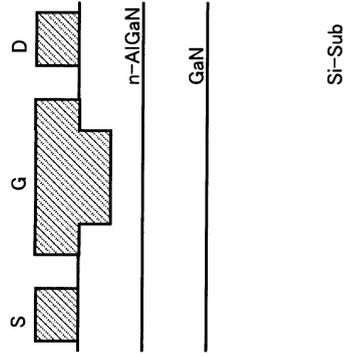


【 7 】

Q2



Q1



フロントページの続き

(72)発明者 竹前 義博

神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内

審査官 中里 翔平

(56)参考文献 特開2000-197343(JP, A)

特開2002-044940(JP, A)

米国特許出願公開第2011/0148376(US, A1)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44

H02M 1/00 - 1/44

H03K 17/00 - 17/98