

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6004685号  
(P6004685)

(45) 発行日 平成28年10月12日 (2016. 10. 12)

(24) 登録日 平成28年9月16日 (2016. 9. 16)

(51) Int. Cl.		F I			
<b>HO4N</b>	<b>5/378</b>	<b>(2011.01)</b>	HO4N	5/335	780
<b>HO4N</b>	<b>5/363</b>	<b>(2011.01)</b>	HO4N	5/335	630
<b>HO4N</b>	<b>5/374</b>	<b>(2011.01)</b>	HO4N	5/335	740

請求項の数 11 (全 15 頁)

(21) 出願番号	特願2012-62704 (P2012-62704)	(73) 特許権者	000001007
(22) 出願日	平成24年3月19日 (2012. 3. 19)		キヤノン株式会社
(65) 公開番号	特開2013-197880 (P2013-197880A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年9月30日 (2013. 9. 30)	(74) 代理人	100076428
審査請求日	平成27年3月13日 (2015. 3. 13)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素が配された画素部を含む撮像部、及び前記撮像部から出力されたアナログ信号をデジタル信号に変換して出力する変換部を備え、

前記変換部は、

第1基準電圧とクロック信号とを受ける第1処理部であって、遅延回路と、前記第1基準電圧と前記アナログ信号とを比較してその結果を第1比較信号として出力する第1比較器とを含む第1処理部と、

第2基準電圧を受ける第2処理部であって、容量と、前記容量の電圧と前記第2基準電圧とを比較してその結果を第2比較信号として出力する第2比較器とを含む第2処理部と、

を備え、

前記第1処理部は、

前記第1比較器による比較が開始されてから前記第1比較信号の値が変化するための時間を計測した結果にしたがって前記デジタル信号の上位ビットを生成し、

前記第1比較信号を前記遅延回路により前記クロック信号に基づいて遅延させて生成した遅延信号を前記第2処理部に出力し、

前記第2処理部は、

前記第1比較信号の値が変化したことに応答して前記容量の充電を開始し、

前記遅延信号の値が変化したことに応じて前記容量の充電を終了し、

10

20

その後、前記第 2 比較器による比較が開始されてから前記第 2 比較信号の値が変化するまでの時間を計測した結果にしたがって前記デジタル信号の下位ビットを生成する、  
ことを特徴とする固体撮像装置。

【請求項 2】

前記アナログ信号は、ノイズ成分を含む第 1 アナログ信号、及び、該ノイズ成分と前記画素部に入射した光に応じた成分とを有する第 2 アナログ信号を含み、

前記デジタル信号は、前記第 1 アナログ信号に対応する第 1 デジタル信号、及び、前記第 2 アナログ信号に対応する第 2 デジタル信号を含む、

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記変換部から出力された前記第 1 デジタル信号と前記第 2 デジタル信号との差分を算出して出力する、

ことを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】

前記第 1 比較信号の値が変化してから前記遅延信号の値が変化するまでの時間は、前記クロック信号の少なくとも 1 周期である、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記遅延回路は、前記第 1 比較信号を前記クロック信号のエッジに同期させることによって前記遅延信号を生成する

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 6】

複数の画素が配された画素部を含む撮像部と、前記撮像部から出力されたアナログ信号をデジタル信号に変換して出力する変換部とを備え、

前記変換部は、第 1 処理部及び第 2 処理部を備え、

前記第 1 処理部は、前記撮像部から出力されたアナログ信号と第 1 基準電圧との比較を開始してからこれらの大小関係が逆転するまでの時間を計測した結果にしたがって該アナログ信号に対応するデジタル信号の上位ビットを生成し、

第 1 エッジと第 2 エッジとを有するクロック信号が供給される前記第 2 処理部は、前記第 1 処理部における前記大小関係の逆転にตอบสนองして容量の充電を開始し、その直後の前記クロック信号の前記第 1 エッジの後から所定時間が経過したことに応じて前記容量の充電を終了し、その後、前記容量の電圧と第 2 基準電圧との比較を開始してからこれらの大小関係が逆転するまでの時間を、前記クロック信号をカウントすることによって該デジタル信号の下位ビットを生成し、

前記第 2 処理部は、互いに並列に配された第 1 経路及び第 2 経路と、これらと直列に配された定電流源と、を含み、

前記第 1 経路には前記容量と前記容量を充電するための第 1 スイッチとが直列に配され、前記第 2 経路には第 2 スイッチが配され、前記第 2 処理部は、前記第 1 スイッチを導通状態にすることによって前記定電流源により前記容量を充電し、前記容量を充電している間は前記第 2 スイッチを非導通状態にし、前記容量の充電をする前及び後においては前記第 2 スイッチを導通状態にする、

ことを特徴とする固体撮像装置。

【請求項 7】

前記第 2 処理部は基準電圧発生用の容量を含み、前記定電流源により前記基準電圧発生用の容量を充電することによって生じた電圧を前記第 2 基準電圧として用いる、

ことを特徴とする請求項 6 に記載の固体撮像装置。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の固体撮像装置と、

前記固体撮像装置から出力される信号を処理する信号処理部と、

を備えることを特徴とするカメラ。

10

20

30

40

50

## 【請求項 9】

複数の画素が配された画素部を含む撮像部、及び前記撮像部から出力されたアナログ信号をデジタル信号に変換して出力する変換部を備える固体撮像装置の駆動方法であって、前記変換部は、

第 1 基準電圧とクロック信号とを受ける第 1 処理部であって、遅延回路と、前記第 1 基準電圧と前記アナログ信号とを比較してその結果を第 1 比較信号として出力する第 1 比較器とを含む第 1 処理部と、

第 2 基準電圧を受ける第 2 処理部であって、容量と、前記容量の電圧と前記第 2 基準電圧とを比較してその結果を第 2 比較信号として出力する第 2 比較器とを含む第 2 処理部と、

を備え、

前記固体撮像装置の駆動方法は、

前記第 1 比較器による比較が開始されてから前記第 1 比較信号の値が変化するまでの時間を計測した結果にしたがって前記デジタル信号の上位ビットを生成し、前記第 1 比較信号を前記遅延回路により前記クロック信号に基づいて遅延させて生成した遅延信号を前記第 2 処理部に出力する第 1 工程と、

前記第 1 比較信号の値が変化したことに応答して前記容量の充電を開始し、前記遅延信号の値が変化したことに応じて前記容量の充電を終了し、その後、前記第 2 比較器による比較が開始されてから前記第 2 比較信号の値が変化するまでの時間を計測した結果にしたがって前記前記デジタル信号の下位ビットを生成する第 2 工程と、を含む、

ことを特徴とする固体撮像装置の駆動方法。

## 【請求項 10】

前記第 1 工程及び前記第 2 工程では、ノイズ成分を含む第 1 アナログ信号に対応する第 1 デジタル信号の上位ビット及び下位ビットをそれぞれ生成し、

前記固体撮像装置の駆動方法は、

前記撮像部から出力され且つ前記ノイズ成分及び前記画素部に入射した光に応じた成分を含む第 2 アナログ信号に対応する第 2 デジタル信号の上位ビットを、前記第 1 比較器により前記第 1 基準電圧と前記第 2 アナログ信号との比較を開始してから該比較の結果を示す第 3 比較信号の値が変化するまでの時間を計測した結果にしたがって生成し、前記第 3 比較信号を前記遅延回路により前記クロック信号に基づいて遅延させて生成した第 2 遅延信号を前記第 2 処理部に出力する第 3 工程と、

前記第 3 比較信号の値が変化したことに応答して前記容量の充電を開始し、前記第 2 遅延信号の値が変化したことに応じて前記容量の充電を終了し、その後、前記第 2 比較器により前記容量の電圧と前記第 2 基準電圧との比較を開始してから該比較の結果を示す第 4 比較信号の値が変化するまでの時間を計測した結果にしたがって前記第 2 デジタル信号の下位ビットを生成する第 4 工程と、をさらに含む、

ことを特徴とする請求項 9 に記載の固体撮像装置の駆動方法。

## 【請求項 11】

前記第 1 工程及び前記第 2 工程によって得られた前記第 1 デジタル信号と、前記第 3 工程及び前記第 4 工程によって得られた前記第 2 デジタル信号との差分を算出して出力する第 5 工程をさらに含む、

ことを特徴とする請求項 10 に記載の固体撮像装置の駆動方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、固体撮像装置及びその駆動方法に関する。

## 【背景技術】

## 【0002】

10

20

30

40

50

画素信号のアナログデジタル変換（以下、A D変換）を高精度化する方法の1つとして、特許文献1には、列並列型のA D変換装置が開示されている。該A D変換装置は、第1 A D変換装置（第1処理部）と第2 A D変換装置（第2処理部）とを含み、第1処理部が第1のA D変換を行ってデジタル信号の上位ビットを生成した後に、第2処理部が第2のA D変換を行って下位ビットを生成する。第1処理部は、対象のアナログ信号と基準電圧とを比較することによって第1のA D変換を行う。第2処理部は、第1処理部の該比較の結果に応じて、定電流源によって容量の充電を開始し、その直後のクロック信号のエッジ（例えば、上昇エッジ）にตอบสนองして該充電を終了する。その後、第2処理部は、該容量の電圧を保持し、第2のA D変換を行う。

【先行技術文献】

10

【特許文献】

【0003】

【特許文献1】特開2007-243324号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

図9は、上記動作中における、基準電圧 $V_{ref}$ 、アナログ信号 $V_A$ 、基準電圧 $V_{ref}$ とアナログ信号 $V_A$ とを比較する比較器の出力 $COMP$ 、容量の電圧 $V_C$ 、及びクロック信号 $clk$ のそれぞれの状態を示した図である。ここでは、基準電圧 $V_{ref}$ とアナログ信号 $V_A$ との大小関係の逆転によって出力 $COMP$ が反転（例えば、Low状態からHi状態に遷移）してから、その直後のクロック信号 $clk$ の上昇エッジまでの期間 $t_c$ にわたって、該容量の充電がなされている。

20

【0005】

しかしながら、該容量の充電を開始したとき、スイッチの切り替え等のノイズにより、該容量の電圧 $V_C$ は変動しうる。よって、該充電の期間 $t_c$ が、ノイズが収まるのに必要な時間に対して小さい場合は、本来A D変換がなされるべき電圧値（ $V_{C1}$ ）ではなく、ノイズにより変動された電圧値（ $V_{C2}$ ）についてA D変換がなされてしまう。このことは、デジタル信号の精度の低下をもたらす。

【0006】

本発明の目的は、高精度でA D変換を行うのに有利な技術を提供することにある。

30

【課題を解決するための手段】

【0007】

本発明の一つの側面は固体撮像装置にかかり、前記固体撮像装置は、複数の画素が配された画素部を含む撮像部、及び前記撮像部から出力されたアナログ信号をデジタル信号に変換して出力する変換部を備え、前記変換部は、第1基準電圧とクロック信号とを受け第1処理部であって、遅延回路と、前記第1基準電圧と前記アナログ信号とを比較してその結果を第1比較信号として出力する第1比較器とを含む第1処理部と、第2基準電圧を受け第2処理部であって、容量と、前記容量の電圧と前記第2基準電圧とを比較してその結果を第2比較信号として出力する第2比較器とを含む第2処理部と、を備え、前記第1処理部は、前記第1比較器による比較が開始されてから前記第1比較信号の値が変化するまでの時間を計測した結果にしたがって前記デジタル信号の上位ビットを生成し、前記第1比較信号を前記遅延回路により前記クロック信号に基づいて遅延させて生成した遅延信号を前記第2処理部に出力し、前記第2処理部は、前記第1比較信号の値が変化したことに応じて前記容量の充電を開始し、前記遅延信号の値が変化したことに応じて前記容量の充電を終了し、その後、前記第2比較器による比較が開始されてから前記第2比較信号の値が変化するまでの時間を計測した結果にしたがって前記デジタル信号の下位ビットを生成することを特徴とする。

40

【発明の効果】

【0008】

50

本発明によれば、高精度でAD変換を行うのに有利な技術を提供することができる。

【図面の簡単な説明】

【0009】

【図1】第1実施形態の固体撮像装置の構成例を説明する図。

【図2】第1実施形態で用いたステートマシンの構成例を説明する図。

【図3A】第1実施形態の固体撮像装置を駆動する方法を説明する図。

【図3B】図3Aの一部を拡大した図。

【図4】固体撮像装置を駆動しているときの波形を説明する図。

【図5】第2実施形態の固体撮像装置の構成例を説明する図。

【図6】第2実施形態の固体撮像装置を駆動する方法を説明する図。

【図7】第3実施形態の固体撮像装置の構成例を説明する図。

【図8】第3実施形態の固体撮像装置を駆動する方法を説明する図。

【図9】下位ビット生成用の容量の充電時において生じるノイズを説明する図。

【発明を実施するための形態】

【0010】

<第1実施形態>

図1乃至4を参照しながら、第1実施形態の固体撮像装置1を説明する。固体撮像装置1は、図1に例示されるように、撮像部10及び変換部30を備えている。撮像部10は、複数の画素101が配された画素部20を備えており、ここでは簡易化のため、2行×2列の画素101を描いている。変換部30は、撮像部10から出力された画素信号、又は該画素信号を増幅した信号等のアナログ信号をデジタル信号に変換しうる。ここで、変換部30は、第1処理部31及び第2処理部32を備えており、ここでは、画素部20の各列に1つずつ配されている。また、固体撮像装置1は、複数の画素101のそれぞれを行ごとに制御する垂直走査回路130を備えうる。

【0011】

画素101は、光電変換部102、転送トランジスタ103、フローティングディフュージョンノード104(FDノード104)、リセットトランジスタ105、ソースフォロワトランジスタ106、及び選択トランジスタ107を含んでいる。光電変換部102として、ここでは、フォトダイオードを用いている。転送トランジスタ103のゲート端子は、制御信号ptx用の信号配線に接続されている。制御信号ptxが活性化されると、光電変換部102において受光によって発生し蓄積された電荷が、転送トランジスタ103によって、FDノード104に転送される。ソースフォロワトランジスタ106に流れる電流量は、FDノード104に転送された電荷量の変動に応じて変化しうる。選択トランジスタ107のゲート端子は、制御信号psel用の信号配線に接続されている。制御信号pselが活性化されると、選択トランジスタ107は、ソースフォロワトランジスタ106の電流量に応じた画素信号を列信号線108に出力しうる。また、リセットトランジスタ105のゲート端子は、制御信号pres用の信号配線に接続されている。制御信号presが活性化されると、リセットトランジスタ105はFDノード104の電位をリセットしうる。

【0012】

撮像部10の各列に対応する列信号線108のそれぞれには、トランジスタ109が配されている。トランジスタ109は、定電流源134及びトランジスタ135を用いてカレントミラー回路を形成することによって、一定の電流を流す定電流源として用いられている。撮像部10は、画素部20から読み出された画像信号を増幅する増幅器(不図示)を含んでもよい。

【0013】

第1処理部31のそれぞれは、第1比較器110、ステートマシン129、及び第1カウンタ150を含んでいる。第1比較器110の非反転入力端子(「+」で表記)には、列信号線108が接続されている。第1比較器110の反転入力端子(「-」で表記)には、第1基準電圧Vref1(ここでは、ランプ信号を用いる)が入力されている。第1

10

20

30

40

50

基準電圧  $V_{ref1}$  は、端子 140 から入力されている。第 1 比較器 110 の出力 COMP01 は、信号配線 120 を介してステートマシン 129 に入力されている。また、ステートマシン 129 には、制御端子 141 からクロック信号  $clk$  が入力され、制御端子 142 からリセット信号  $rst$  が入力されている。これらの入力に応じて、ステートマシン 129 は、信号配線 121 及び 122 を介して、以下に述べる動作にしたがった信号を出力しうる。

#### 【0014】

図 2 は、本実施形態で用いるステートマシン 129 を示している。ステートマシン 129 は、例として、フリップフロップ回路 303 及び 304 を用いて構成されている。制御端子 141 から、第 1 エッジと第 2 エッジを有するクロック信号  $clk$  が入力される。ここでは、第 1 エッジを上昇エッジとし、第 2 エッジを下降エッジとするが、これは逆にしてもよい。ステートマシン 129 は、第 1 比較器 110 の出力信号 COMP01 が反転した後からクロック信号  $clk$  の 2 つ目の第 1 エッジが入力されたときに、信号 COMP01 を、信号配線 122 を介して出力しうる。ここではフリップフロップ回路 303 及び 304 の 2 段としたが、この段数を変更することによって、信号 COMP01 の入力と信号配線 122 を介して為される出力とのタイミングを調整することができる。また、リセット信号  $rst$  が活性化することにより、フリップフロップ回路 303 及び 304 は初期化されうる。また、ステートマシン 129 から信号配線 121 を介して為される出力は、第 1 比較器 110 の出力信号 COMP01 をバッファ 301 によってバッファリングしたものである。信号配線 121 は、第 1 カウンタ 150 の入力、及び第 2 処理部 32 に含まれるスイッチトランジスタ 114 のゲート端子と接続されている。信号配線 122 は、第 2 処理部 32 に含まれるスイッチトランジスタ 114 のゲート端子と接続されている。

#### 【0015】

第 2 処理部 32 は、トランジスタ 111、スイッチトランジスタ 112、スイッチトランジスタ 114、容量 116、第 2 比較器 118、及び第 2 カウンタ 151 を含んでいる。トランジスタ 111 は、定電流源 137 及びトランジスタ 136 を用いてカレントミラー回路を形成することによって、一定の電流を流す定電流源として用いられている。スイッチトランジスタ 112 のゲート端子は信号配線 122 と接続されており、スイッチトランジスタ 112 は、導通状態となっているときは、トランジスタ 111 からの電流を流しうる。また、スイッチトランジスタ 114 のゲート端子は信号配線 121 が入力されている。スイッチトランジスタ 114 が非導通状態になることによって、容量 116 はトランジスタ 111 を介して充電されうる。また、スイッチトランジスタ 114 が導通状態になることによって、容量 116 に充電された電荷は放電され、容量 116 の電圧  $V_{116}$  は 0 [V] になる。第 2 比較器 118 の非反転入力端子 (「+」で表記) には、電圧  $V_{116}$  が入力されている。第 2 比較器 118 の反転入力端子 (「-」で表記) には、第 2 基準電圧  $V_{ref2}$  (ここでは、ランプ信号を用いる) が入力されている。第 2 基準電圧  $V_{ref2}$  は、端子 154 から入力されている。第 2 比較器 118 から出力された信号は、第 2 カウンタ 151 に入力されている。

#### 【0016】

第 1 カウンタ 150 は、例えば、クロック信号 CLK1 にしたがうカウンタ回路であり、本実施形態においては、これによって、変換部 30 に入力されたアナログ信号に対応するデジタル信号のうち上位ビットに相当する部分が生成されうる。また、第 2 カウンタ 151 は、例えば、クロック信号 CLK2 にしたがうカウンタ回路であり、これによって、該デジタル信号の下位ビットに相当する部分が生成されうる。クロック信号 CLK1 は端子 152 から入力されており、クロック信号 CLK2 は端子 153 から入力されている。また、リセット信号  $rst$ 、クロック信号  $clk$ 、CLK1 及び CLK2 は、例えば、固体撮像装置 1 が備えうるタイミング発生器 (不図示) から入力されうる。ここでは、クロック信号 CLK1 及び CLK2 は、クロック信号  $clk$  と同期しているものを用いるが、仕様に応じて PLL 等を用いて、互いに異なる周期のものを用いてもよい。

#### 【0017】

変換部30は、上述のような構成によって、撮像部10から出力された第1アナログ信号と第2アナログ信号とを、第1デジタル信号と第2デジタル信号とに変換してそれぞれ出力しうる。第1アナログ信号は、各画素101のFDノード104の電位がリセットされたときの出力として、ノイズ成分を含んでいる。第2アナログ信号は該ノイズ成分と画素部20に入射した光に応じた成分とを含んでいる。その後、固体撮像装置1は、変換部30から出力された第1デジタル信号及び第2デジタル信号、又はこれらの差分を、例えば、水平走査回路(不図示)によって、算出して出力する。このようにして、最終的に、画素部20から出力された画像信号についてのデジタル信号が得られる。

#### 【0018】

図3は、横軸を時間として、固体撮像装置1を駆動しているときの各信号の状態を示している。図3には、画素101を制御する制御信号 $p_{sel}$ 、 $p_{tx}$ 、及び $p_{res}$ 、列信号線108の電位 $V_{line}$ 、第1基準電圧 $V_{ref1}$ 、並びに、第1比較器110の出力 $COMP01$ のそれぞれの状態を示している。その下には、クロック信号 $clk$ 、及びリセット信号 $rst$ の状態を示している。その下には、信号配線121及び122の電位 $V_{121}$ 及び $V_{122}$ (ステートマシン120の出力信号)、第2基準電圧 $V_{ref2}$ 、並びに、第2比較器118の出力 $COMP02$ のそれぞれの状態を示している。

#### 【0019】

時刻 $t_0 \sim t_9$ においては、ノイズ成分を含む第1アナログ信号が第1デジタル信号に変換される。そのうち、時刻 $t_3 \sim t_4$ においては、第1デジタル信号の上位ビットが生成され(第1工程)、時刻 $t_7 \sim t_8$ においては、第1デジタル信号の下位ビットが生成される(第2工程)。同様にして、時刻 $t_9 \sim t_{18}$ においては、ノイズ成分と画素部20に入射した光に応じた成分とを含む第2アナログ信号が第2デジタル信号に変換される。そのうち、時刻 $t_{12} \sim t_{13}$ においては、第2デジタル信号の上位ビットが生成され(第3工程)、時刻 $t_{16} \sim t_{17}$ においては、第2デジタル信号の下位ビットが生成される(第4工程)。その後、固体撮像装置1は、例えば、第1工程～第4工程によって得られた第1デジタル信号及び第2デジタル信号を出力し、又はこれらの差分を算出して出力しうる(第5工程)。

#### 【0020】

以下、図3Aを参照しながら、固体撮像装置1を駆動する方法を具体的に述べる。時刻 $t_0$ において、制御信号 $p_{sel}$ をHi状態にし、画素部20のうち、所定の行の画素101のそれぞれが選択された状態になる。時刻 $t_1$ において、制御信号 $p_{res}$ をHi状態にし、FDノード104をリセットする。時刻 $t_2$ において、制御信号 $p_{res}$ をLow状態にし、該リセットを解除する。ここで、FDノード104の電位に応じた列信号線108の電位 $V_{line}$ は、第1アナログ信号に対応している。また、第1基準電圧 $V_{ref1}$ は、電位 $V_{line}$ よりも低い状態(ここでは、0[V])になっており、第1比較器110の出力信号 $COMP01$ はHi状態になっている。

#### 【0021】

時刻 $t_3$ において、第1基準電圧 $V_{ref1}$ が一定の傾きをもって上昇し始め、また、第1カウンタ150へのクロック信号 $CLK1$ の供給が開始されている。これにより、第1処理部31は、撮像部10から出力された信号 $V_{line}$ と第1基準電圧 $V_{ref1}$ (ランプ信号)との比較を開始する。また、ここでは、第1基準電圧 $V_{ref1}$ の上昇とクロック信号 $CLK1$ の供給とは同じ時刻 $t_3$ において開始されているが、異なる時間に開始され、該計測にオフセット成分を含ませてもよい。

#### 【0022】

ある時刻において、信号 $V_{line}$ と第1基準電圧 $V_{ref1}$ との大小関係が逆転し、第1比較器110の出力信号 $COMP01$ が反転する。この時刻を、時刻 $t_4$ とする。第1カウンタ152は、クロック信号 $CLK1$ の第1エッジ(または、第2エッジ)の数をカウントすることにより、時刻 $t_3$ から時刻 $t_4$ までの時間を計測している。第1処理部31は、このようにして得られた該計測結果(カウント値)にしたがって信号 $V_{line}$ (アナログ信号)に対応するデジタル信号の上位ビットを生成する(第1工程)。

## 【 0 0 2 3 】

また、この時刻  $t_4$  において、信号配線 1 2 1 の電位  $V_{121}$  (ステートマシン 1 2 9 の一方の出力) は Low 状態になり、スイッチトランジスタ 1 1 4 が非導通状態になる。即ち、第 2 処理部 3 2 は、第 1 処理部 3 1 における大小関係の逆転に应答して容量の充電を開始する。具体的には、定電流源として用いられているトランジスタ 1 1 1 からスイッチトランジスタ 1 1 2 を介して容量 1 1 6 への充電が開始される。ここで、容量 1 1 6 の電圧  $V_{116}$  の上昇の傾きは、容量 1 1 6 の値を  $C_1$ 、容量 1 1 6 の電荷量を  $Q_1$ 、定電流源の電流の値を  $I$  として、

$$= dV / dt = (d(Q_1 / C_1)) / dt = I / C_1 \quad \dots \text{式 (1)}$$

と表せる。

10

## 【 0 0 2 4 】

その後、図 3 B (図 3 A の一部を拡大して描いた図) に示されるように、容量 1 1 6 の充電を開始した直後のクロック信号 CLK 1 の第 1 エッジ (上昇エッジ) の後から所定時間が経過したことに応じて容量 1 1 6 の充電を終了する。この時刻を時刻  $t_5$  とする。ここで、所定時間とは、例えば、クロック信号 CLK 1 の少なくとも 1 周期とすることが好ましい。本実施形態においては、前述のステートマシン 1 2 9 の構成により、2 つ目のクロック信号 CLK 1 の第 1 エッジ (上昇エッジ) において該充電が終了されている。即ち、時刻  $t_4$  から時刻  $t_5$  までの時間 (期間 A) は、第 2 工程を行うための容量 1 1 6 の充電期間である。その後、容量 1 1 6 の電圧  $V_{116}$  は維持されうる。

## 【 0 0 2 5 】

20

ここで、図 4 (a) に例示されるように、時刻  $t_4$  から時刻  $t_5$  における容量 1 1 6 の充電時の電圧  $V_{116}$  は、前述の傾きで上昇している。しかし、実際には、電圧  $V_{116}$  の波形は、例えば、スイッチトランジスタ 1 1 4 が導通状態から非導通状態に切り替わることや、電源電圧が変動することによるノイズの影響を受けうる。このことは、後に生成されうるデジタル信号の下位ビットに精度の低下をもたらしうる。そこで、本実施形態では、容量 1 1 6 の充電を、その充電が開始された直後のクロック信号 CLK 1 の第 1 エッジの後から所定時間が経過するまで行っている。本実施形態では、所定時間を、このノイズの影響がなくなると考えられるクロック信号 CLK 1 の 1 周期分としているが、それ以上の期間としてもよい。

## 【 0 0 2 6 】

30

時刻  $t_6$  において、第 1 基準電圧  $V_{ref1}$  の上昇は停止し、クロック信号 CLK 1 の供給も停止される。

## 【 0 0 2 7 】

時刻  $t_7$  において、第 2 基準電圧  $V_{ref2}$  が一定の傾きをもって上昇し始め、また、第 2 カウンタ 1 5 1 へのクロック信号 CLK 2 の供給が開始されている。これにより、第 2 処理部 3 2 は、容量 1 1 6 の電圧  $V_{116}$  と、第 2 基準電圧  $V_{ref2}$  (ランプ信号) との比較を開始する。

## 【 0 0 2 8 】

ある時刻において、容量 1 1 6 の電圧  $V_{116}$  と、第 2 基準電圧  $V_{ref2}$  との大小関係が逆転し、第 2 比較器 1 1 8 の出力信号 COMP 0 2 が反転する。この時刻を、時刻  $t_8$  とする。第 2 カウンタ 1 5 1 は、クロック信号 CLK 2 の第 1 エッジ (または、第 2 エッジ) の数をカウントすることにより、時刻  $t_7$  から時刻  $t_8$  までの時間 (期間 B) を計測している。この結果に応じて、第 2 処理部 3 2 は、デジタル信号の下位ビットを生成する (第 2 工程)。ここで、期間 B は、期間 A に対して十分に長いため、分解能を上げて、デジタル信号の下位ビットを高精度で生成することが可能である。

40

## 【 0 0 2 9 】

時刻  $t_9$  において、クロック信号 CLK 2 の供給が停止され、第 1 基準電圧  $V_{ref1}$  及び第 2 基準電圧  $V_{ref2}$  を初期化し、また、リセット信号  $rst$  を Hi 状態にしてステートマシン 1 2 9 の状態を初期化している。これにより、第 1 アナログ信号をデジタル信号へ変換する工程は終了され、第 2 アナログ信号をデジタル信号へ変換する工程が開始

50

されうる。

【0030】

時刻  $t_{10}$  において、リセット信号  $rst$  を  $Low$  状態にしてステートマシン 129 のリセットを解除し、また、制御信号  $ptx$  を  $Hi$  状態にする。これによって、光電変換部 102 において受光によって発生し蓄積された電荷が  $FD$  ノード 104 に転送されうる。

【0031】

時刻  $t_{11}$  において、制御信号  $ptx$  を  $Low$  状態にし、電荷の転送を終了する。ここで、 $FD$  ノード 104 の電位に応じた列信号線 108 の電位  $V_{line}$  は、第 2 アナログ信号に対応している。

【0032】

その後、時刻  $t_{12} \sim t_{18}$  においては、時刻  $t_3 \sim t_9$  と同様の動作が行われ、第 2 アナログ信号に対応する第 2 デジタル信号が生成される（第 3 工程、及び第 4 工程）。ここで、図 4 (b) に例示されるように、時刻  $t_{13} \sim$  時刻  $t_{14}$  における容量 116 の充電時の電圧  $V_{116}$  は、傾きで上昇している。しかし、時刻  $t_4 \sim$  時刻  $t_5$  と同様に、電圧  $V_{116}$  の波形はノイズの影響を受けうる。このことは、後に生成されうるデジタル信号の下位ビットに精度の低下をもたらす。そこで、前述と同様に、容量 116 の充電を、その充電が開始された直後のクロック信号  $CLK_1$  の第 1 エッジ（上昇エッジ）の後から所定時間が経過するまで行っている。

【0033】

このようにして、各画素 101 のリセット後の第 1 アナログ信号と、電荷転送後の第 2 アナログ信号との変換をそれぞれ行い、第 1 デジタル信号と第 2 デジタル信号とをそれぞれ生成する。その後、例えば、固体撮像装置 1 の内部又は外部において、第 1 デジタル信号と第 2 デジタル信号との差分が、公知の減算処理によって算出され出力されうる（第 5 工程）。ここで、図 4 (a) 及び (b) に示したように、時刻  $t_4 \sim t_5$  における電圧  $V_{116}$  の波形と、時刻  $t_{13} \sim t_{14}$  における電圧  $V_{116}$  の波形とは、容量 116 への充電を開始した際にノイズの影響を受けうる。そこで、第 2 工程及び第 4 工程では、第 2 処理部 32 は、所定時間だけ長く容量 116 を充電して、前述のようにして第 1 デジタル信号と第 2 デジタル信号の下位ビットをそれぞれ生成する。しかし、前述のとおり、第 5 工程では、固体撮像装置 1 の内部又は外部において、第 1 デジタル信号と第 2 デジタル信号との差分が算出されうる。よって、第 5 工程では、時刻  $t_4 \sim t_5$  において充電された容量 116 の電圧  $V_{116}$  と、時刻  $t_{13} \sim t_{14}$  において充電された容量 116 の電圧  $V_{116}$  との差分に対応するデジタル信号の下位ビットが生成される。即ち、結果として、図 4 (c) に示されるように、該充電を開始した際のノイズの成分と該ノイズによる電位変動が収まるまで所定時間だけ長く充電した成分とを差し引いた信号成分（図中の  $V$ ）が、第 5 工程で得られるデジタル信号の下位ビットに対応する。このようにして、変換時間の増大を抑制しつつ、高い精度でアナログデジタル変換を行うことが可能となる。

【0034】

< 第 2 実施形態 >

図 5 及び 6 を参照しながら、第 2 実施形態の固体撮像装置 2 を説明する。図 5 及び 6 において用いられている記号や番号は、第 1 実施形態と同じものを示している。本実施形態は、図 5 に例示されるように、第 2 処理部 32 がスイッチトランジスタ 113 をさらに含む点で第 1 実施形態と異なる。

【0035】

本実施形態における第 2 処理部 32 の構成を、図 5 を参照しながら、以下に具体的に述べる。第 2 処理部 32 には、容量 116 とスイッチトランジスタ 112 とが直列に配され、また、容量 116 への充電を開始するためのスイッチトランジスタ 114 が配されている。また、第 2 処理部 32 には、トランジスタ 111 が定電流源として配されている。ここで、容量 116 とスイッチトランジスタ 112 とが直列に配された経路を第 1 経路とする。本実施形態では、この第 1 経路と並列に、スイッチトランジスタ 113 を含む第 2 経路が配されている。即ち、第 2 処理部 32 は、互いに並列に配された第 1 経路及び第 2 経

10

20

30

40

50

路と、これらと直列に配された定電流源と、を含んでいる。

【 0 0 3 6 】

本実施形態においては、ステートマシン 1 2 9 は、電位  $V_{1 2 2}$  と反対の状態となる信号を、信号配線 1 2 3 を介して、さらにも出力する。この信号配線 1 2 3 は、スイッチトランジスタ 1 1 3 のゲート端子と接続されている。ここで、電位  $V_{1 2 2}$  と反対の状態となる信号は、例えば、図 2 に示されたステートマシン 1 2 9 の構成に 1 段のインバータを追加すれば容易に生成できる。

【 0 0 3 7 】

図 6 を参照しながら、固体撮像装置 2 を駆動した場合の効果を説明する。固体撮像装置 2 は、スイッチトランジスタ 1 1 3 の動作と、信号配線 1 2 3 の電位  $V_{1 2 3}$  とを除いて、第 1 実施形態の固体撮像装置 1 と同様であるため、詳細な説明を省略する。図 6 から分かるように、電位  $V_{1 2 2}$  と電位  $V_{1 2 3}$  とが互いに反対の状態となっているため、固体撮像装置 2 を駆動している間は、電流源として用いられるトランジスタ 1 1 1 の電流の流れる経路は、第 1 経路及び第 2 経路のいずれか一方に切り替えられうる。より具体的には、トランジスタ 1 1 1 の電気的な接続先が、容量 1 1 6 及び接地レベルのいずれか一方に切り替えられうる。これにより、例えば、時刻  $t_4$  の前（容量 1 1 6 の充電の前）、時刻  $t_4 \sim t_5$ （該充電の間）、及び時刻  $t_5$  の後（該充電の後）において、第 2 処理部 3 2 では常に一定の電流が流れている。即ち、容量 1 1 6 の充電の間と、その前後とにおいて、第 2 処理部 3 2 において流れる電流量の変動がないため、図 4 で示すようなノイズの発生を抑制できる。

【 0 0 3 8 】

ここで、第 1 実施形態では、ノイズの影響を回避するため、時刻  $t_4$  において容量 1 1 6 の充電を開始し、その直後のクロック信号 CLK 1 の第 1 エッジの後から所定時間が経過した時刻  $t_5$  において容量 1 1 6 の充電を終了した。しかし、本実施形態においては、上記の方法によってノイズの発生を抑制するため、確保することが必要な「所定時間」を短くすることができる。これにより、例えば、フリップフロップ回路の数を抑制することができ、このことは回路設計の最適化に有利である。

【 0 0 3 9 】

また、固体撮像装置 2 の駆動中において、例えば、その中央の領域において電源電圧が降下し、トランジスタ 1 1 1 のゲートソース電圧の低下によって、トランジスタ 1 1 1 の電流量が減少することも考えられる。しかし、本実施形態によると該電流量の変動が抑制されるため、該電流量の減少に対する補正処理に有利であり、変換部 3 0 の変換誤差を低減することもできる。

【 0 0 4 0 】

このようにして、固体撮像装置 2 は、スイッチトランジスタ 1 1 2（第 1 スイッチ）を導通状態にすることによって、容量 1 1 6 を充電する。容量 1 1 6 を充電している間は、スイッチトランジスタ 1 1 3（第 2 スイッチ）を非導通状態にする。一方、容量 1 1 6 の充電をする前及び後においてはスイッチトランジスタ 1 1 3（第 2 スイッチ）を導通状態にする。以上、本実施形態によると、第 1 実施形態の効果に加え、上述の有利な効果が得られる。

【 0 0 4 1 】

< 第 3 実施形態 >

図 7 及び 8 を参照しながら、第 3 実施形態の固体撮像装置 3 を説明する。図 7 及び 8 において用いられている記号や番号は、第 1 及び第 2 実施形態と同じものを示している。本実施形態は、図 7 に例示されるように、第 2 処理部 3 2 が、第 2 基準電圧  $V_{ref 2}$  に代替してランプ信号を発生させるため回路を含む第 2 経路を有する点で、第 1 実施形態と異なる。例えば、第 2 経路には、スイッチトランジスタ 1 1 3 と容量 1 1 7 とが直列に配され、容量 1 1 7 の電圧  $V_{1 1 7}$  が第 2 比較器 1 1 8 の反転入力端子に入力されている。また、容量 1 1 7 への充電を開始するためのスイッチトランジスタ 1 1 5 が配されている。容量 1 1 7 は、基準電圧発生用容量として用いられている。即ち、この容量 1 1 7 を定電

10

20

30

40

50

流源により充電することによって生じた電圧  $V_{117}$  を第2基準電圧  $V_{ref2}$  として用いる。

【0042】

第2実施形態と同様に、電位  $V_{122}$  と電位  $V_{123}$  とは互いに反対の状態であるため、固体撮像装置3を駆動している間は、電流源として用いられるトランジスタ111の電流の流れる経路は、第1経路又は第2経路のいずれか一方に切り替えられうる。信号配線124は、スイッチトランジスタ115のゲート端子に接続されている。スイッチトランジスタ115のゲート端子に入力される信号（信号配線124の電位  $V_{124}$ ）は、例えば、タイミング発生器（不図示）によって生成されてもよい。

【0043】

固体撮像装置3の駆動方法を、図8を参照しながら、特に、第1工程及び第2工程について述べる。時刻  $t_0 \sim t_4$  は、第1及び第2実施形態と同様であるため説明を省く。時刻  $t_5$  において、電位  $V_{122}$  がLow状態になってスイッチトランジスタ112が非導通状態になり、容量116の充電が終了されている。同時に、電位  $V_{123}$  がHi状態になってスイッチトランジスタ113が導通状態になり、トランジスタ111の電氣的な接続先が第2経路に切り替えられている。電位  $V_{124}$  はHi状態であるため、トランジスタ111からの容量117の充電は開始されず容量117の電圧  $V_{117}$  は上昇していない。即ち、トランジスタ111の電氣的な接続先は、接地レベルとなっている。よって、第2実施形態と同様の効果が得られうる。時刻  $t_6$  においては、第1及び第2実施形態と同様であるため説明を省く。

【0044】

時刻  $t_7$  において、電位  $V_{124}$  がLow状態になり、容量117の充電が開始され、電圧  $V_{117}$  が上昇している。ここで、容量117の値を  $C_2$ （例えば、 $C_1$ の4倍）とし、定電流源の電流の値を  $I$  とする。ここで、容量117の電圧  $V_{117}$  の上昇の傾きは、式(1)と併せて、

$$= I / C_2 = C_1 \times \quad / C_2 = \quad / 4 \quad \dots \text{式(2)}$$

と表せる。この場合、期間Aと期間Bとの関係は、 $B = 4A$ と表せる。このことは、同一の周波数のクロック信号を用いた場合において、デジタル信号の2ビット分の下位ビットを生成することができることを意味している。また、 $C_1$ と $C_2$ の関係は、例えば、1:8、1:16とすることによって、該下位ビットのビット数を3ビット、4ビットと増やすこともできる。時刻  $t_8 \sim t_9$  は、第1及び第2実施形態と同様であるため説明を省く。その後、第3工程及び第4工程が、時刻  $t_9 \sim t_{18}$  において、同様にして為されうる。

【0045】

以上のように、第2工程及び第4工程における該下位ビットの生成の精度は、容量116と容量117との関係によるところが大きく、定電流源としてのトランジスタ111の電流量の変動による影響は小さい。特に、容量素子は、トランジスタに対して、製造ばらつき及び特性ばらつきが小さい。よって、本実施形態によると、第1及び第2実施形態の効果に加え、該下位ビットをより高い精度で生成することが可能である。

【0046】

以上の3つの実施形態を述べたが、本発明はこれらに限られるものではなく、目的、状態、用途、機能、およびその他の仕様の変更が適宜可能であり、他の実施形態によっても実施されうることは言うまでもない。例えば、各実施形態においては画素部をCMOSイメージセンサとして構成したが、その他の如何なるセンサでもよい。また、例えば、画素のそれぞれについてNMOSTランジスタを用いて構成した場合について説明したが、PMOSTランジスタを用いて構成してもよい。その他のトランジスタについても同様であり、例えば、固体撮像装置1乃至3は、各機能の活性化と非活性化とを決定する信号が、これと逆になるような構成であってもよい。例えば、第1比較部110及び第2比較部118の比較結果の出力が上記各実施形態とは逆のものになるような構成にすることもできる。また、第1カウンタ150及び第2カウンタ151は、各実施形態においてはカウン

10

20

30

40

50

トアップ動作によって時間を計測したが、例えば、カウントダウン動作を用いてもよい。また、例えば、第1カウンタ150及び第2カウンタ151の代わりに、共通のカウンタを用いて、計測結果をそれぞれ個別に保持する構成にしてもよい。また、第1処理部31及び第2処理部32には、同一の周波数のクロック信号を供給したが、異なる周波数のクロック信号を用いて前述の駆動方法が為されてもよい。

【0047】

その他、例えば、ステートマシン129は、ここではフリップフロップ回路303及び304の2段としたが、この段数を変更することによって容量116の充電時間を変更することができる。また、この充電時間は、フリップフロップ回路の段数の変更によってクロック信号にしたがって変更できるが、充電時間を所望の期間に確定することができればよく、この構成に限られない。また、例えば、ステートマシン129の他に、第2ステートマシン129'を用いて、さらに同様の処理を繰り返し、ビット数を増加させることも可能である。また、上記の各機能ブロックの動作制御は、コンピュータ上で稼働しているOS等が、コントローラと共に、または、コントローラに代わって、その一部または全部を行ってもよい。

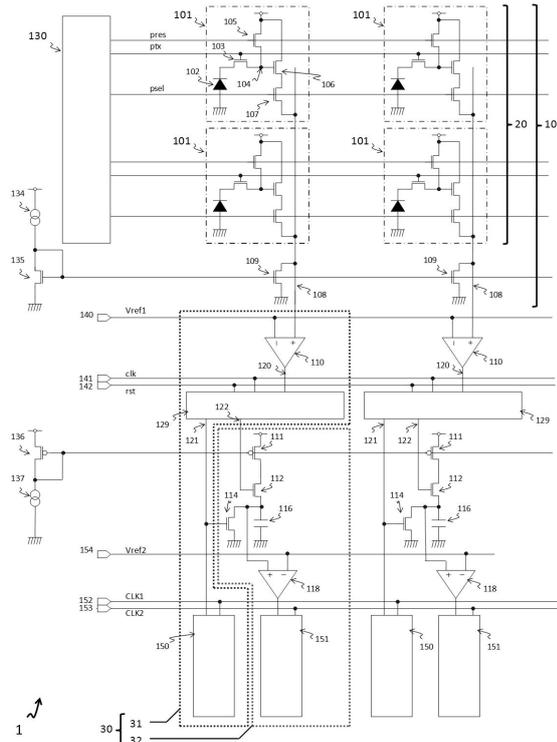
10

【0048】

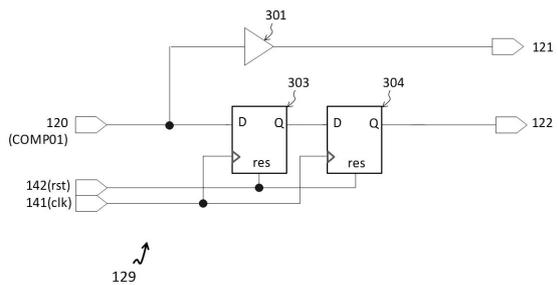
以上の実施形態は、カメラに含まれる固体撮像装置について述べたが、カメラの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。カメラは、上記の実施形態として例示された本発明に係る固体撮像装置と、この固体撮像装置から出力される信号を処理する信号処理部とを含みうる。この信号処理部は、例えば、上記各実施形態で得られたデジタルデータを処理するプロセッサを含みうる。

20

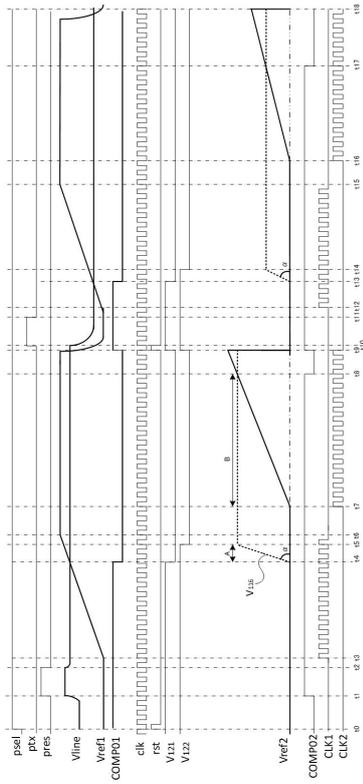
【図1】



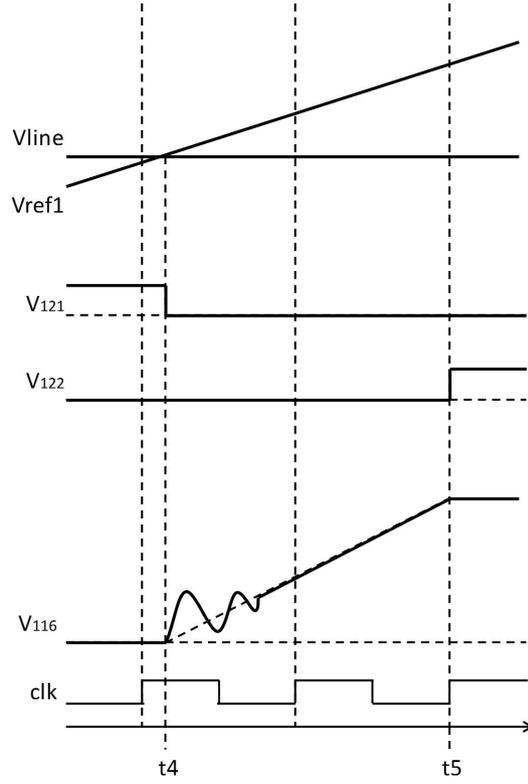
【図2】



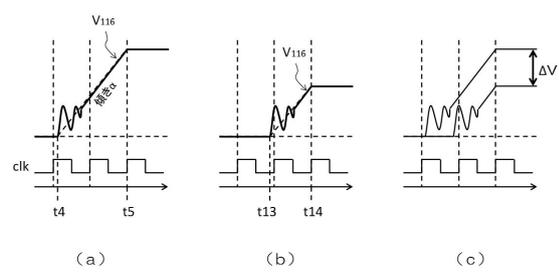
【 図 3 A 】



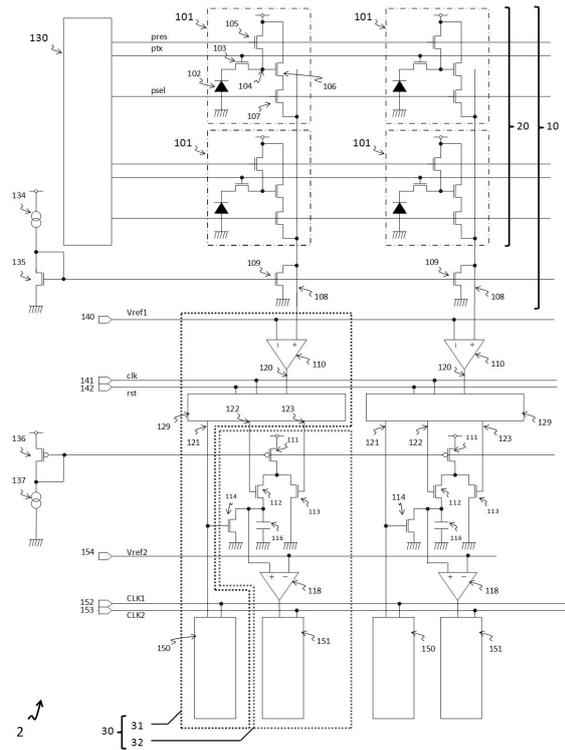
【 図 3 B 】



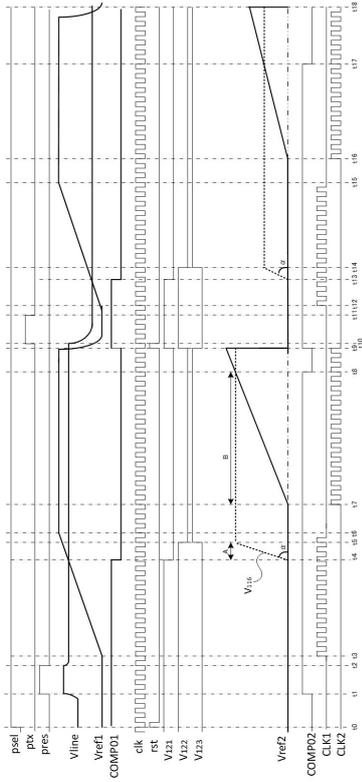
【 図 4 】



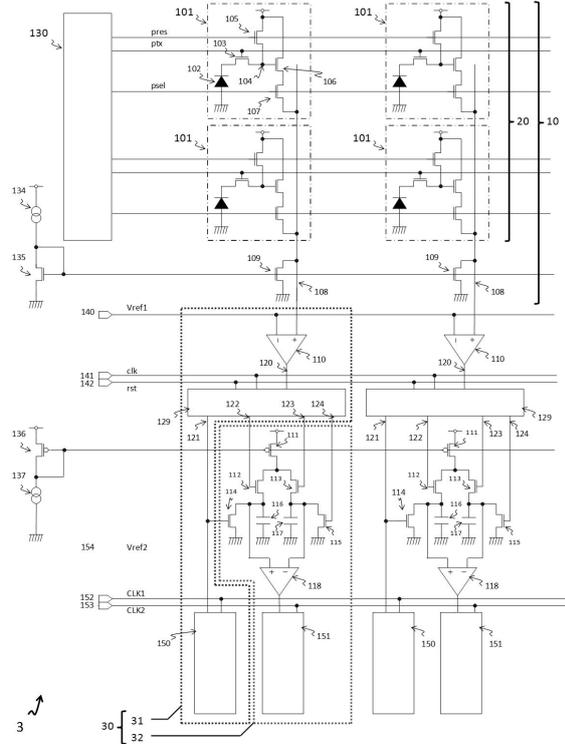
【 図 5 】



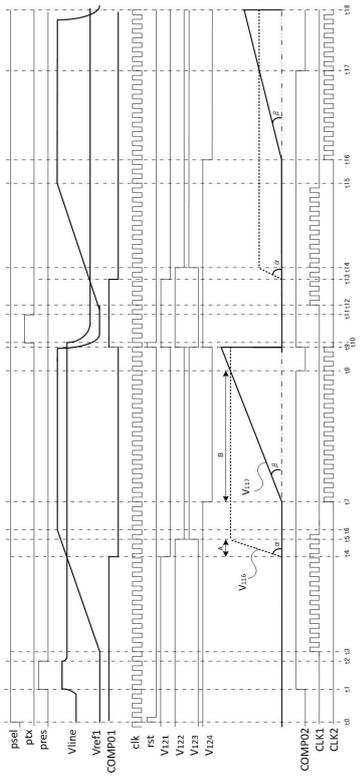
【 図 6 】



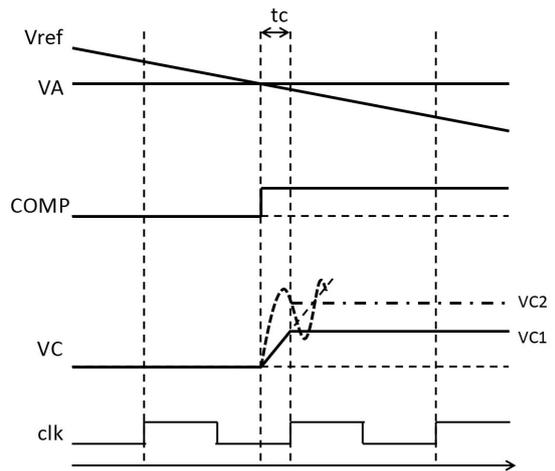
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(72)発明者 山崎 和男  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2007-243324(JP,A)  
特開2006-042033(JP,A)  
特開2008-219243(JP,A)  
特開2010-183405(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/30 - 5/378