



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201707071 A

(43)公開日：中華民國 106 (2017) 年 02 月 16 日

(21)申請案號：104143212

(22)申請日：中華民國 104 (2015) 年 12 月 22 日

(51)Int. Cl.：

H01L21/28 (2006.01)

H01L21/336 (2006.01)

H01L21/338 (2006.01)

H01L29/423 (2006.01)

H01L29/49 (2006.01)

H01L29/778 (2006.01)

H01L29/78 (2006.01)

H01L29/812 (2006.01)

(30)優先權：2015/03/30

世界智慧財產權組織

PCT/JP2015/059956

(71)申請人：瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION (JP)

日本

(72)發明人：加藤芳健 KATO, YOSHITAKE (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：21 項 圖式數：32 共 66 頁

(54)名稱

半導體裝置及半導體裝置之製造方法

(57)摘要

本發明使半導體裝置之特性提高。於包含介隔閘極絕緣膜 GI 形成於氮化物半導體層 CH 上之閘極電極 GE 之半導體裝置(MISFET)中，以包含形成於氮化物半導體層 CH 上之第 1 閘極絕緣膜(第 1 金屬之氧化膜)GIa、與第 2 閘極絕緣膜(第 2 金屬之氧化膜)GIb 之方式構成閘極絕緣膜 GI。並且，第 2 金屬(例如 Hf)之陰電性低於第 1 金屬(例如 Al)。如上所述，藉由使第 2 金屬之陰電性低於第 1 金屬之陰電性，能夠使閘極電壓(Vth)向正方向偏移。又，以包含形成於第 2 閘極絕緣膜 GIb 上之第 1 閘極電極(第 3 金屬之氮化膜)GEa、與第 2 閘極電極(第 4 金屬)GEb 之方式構成閘極電極 GE。藉此，能夠防止氧向閘極絕緣膜 GI 擴散，減低閘極電壓(Vth)之不均一。

指定代表圖：

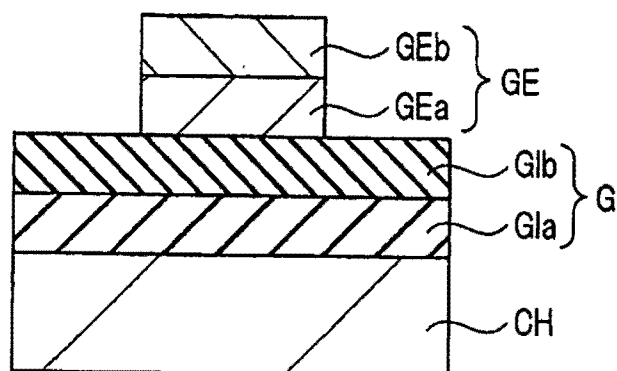


圖1

符號簡單說明：

CH . . . 通道層

GE . . . 閘極電極

GEa . . . 第 1 閘極
電極GEb . . . 第 2 閘極
電極

GI . . . 閘極絕緣膜

GIa . . . 第 1 閘極絕
緣膜GIb . . . 第 2 閘極
絕緣膜

發明摘要

※ 申請案號：104147212

※ 申請日：104.12.22

※IPC 分類：

H01L	21/28	(2006.1)
H01L	21/336	(2006.1)
H01L	21/338	(2006.1)
H01L	29/423	(2006.1)
H01L	29/49	(2006.1)
H01L	29/778	(2006.1)
H01L	29/78	(2006.1)
H01L	29/812	(2006.1)

【發明名稱】

半導體裝置及半導體裝置之製造方法

【中文】

本發明使半導體裝置之特性提高。於包含介隔閘極絕緣膜GI形成於氮化物半導體層CH上之閘極電極GE之半導體裝置(MISFET)中，以包含形成於氮化物半導體層CH上之第1閘極絕緣膜(第1金屬之氧化膜)GIa、與第2閘極絕緣膜(第2金屬之氧化膜)GIb之方式構成閘極絕緣膜GI。並且，第2金屬(例如Hf)之陰電性低於第1金屬(例如Al)。如上所述，藉由使第2金屬之陰電性低於第1金屬之陰電性，能夠使閾值電壓(V_{th})向正方向偏移。又，以包含形成於第2閘極絕緣膜GIb上之第1閘極電極(第3金屬之氮化膜)GEa、與第2閘極電極(第4金屬)GEb之方式構成閘極電極GE。藉此，能夠防止氧向閘極絕緣膜GI擴散，減低閾值電壓(V_{th})之不均一。

【英文】

無

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

CH	通道層
GE	閘極電極
GEa	第1閘極電極
GEb	第2閘極電極
GI	閘極絕緣膜
GIa	第1閘極絕緣膜
GIb	第2閘極絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置及半導體裝置之製造方法

【技術領域】

本發明係關於一種半導體裝置及半導體裝置之製造方法，例如可於使用氮化物半導體之半導體裝置及其製造方法中適宜地利用。

【先前技術】

近年來，使用具有大於Si之帶隙的III-V族化合物之半導體裝置受到關注。其中，使用氮化鎵(GaN)等氮化物半導體之半導體裝置具有高速且低損耗地動作之特性。又，使用氮化鎵系氮化物半導體之功率MISFET(Metal Insulator Semiconductor Field Effect Transistor，金屬絕緣半導體場效電晶體)能夠實現常斷開動作，其之開發得到推進。

例如，於以下之專利文獻1(日本專利特開2014-183125號公報)中揭示一種常斷開型半導體裝置，其包含：由i-GaN而形成之電子移行層、由AlGaN而形成之電子供給層、源極電極、汲極電極、及形成於絕緣膜上之閘極電極。閘極電極係使用Ni/Au，藉由舉離法而形成。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2014-183125號公報

【發明內容】

[發明所欲解決之問題]

本發明者從事如上所述之使用氮化物半導體之半導體裝置之研究開發，關於常斷開型半導體裝置之特性提高而進行了銳意研究。於其過程中，判明關於使用氮化物半導體之半導體裝置及半導體裝置之

製造方法，存在進一步改善之餘地。

其他課題與新穎之特徵可根據本說明書之記載及隨附圖式而變得明瞭。

[解決問題之技術手段]

於本案中所揭示之實施形態中，若簡單地說明代表性者之概要，則如下所示。

本案中所揭示之一實施形態中所示之半導體裝置包含第1閘極絕緣膜、第2閘極絕緣膜、第1閘極電極及第2閘極電極。並且，第1閘極絕緣膜係含有第1金屬之氧化膜或含有矽之氧化膜，第2閘極絕緣膜係含有第2金屬之氧化膜，第2金屬之陰電性小於第1金屬或矽之陰電性。又，第1閘極電極係含有第3金屬之氮化膜，第2閘極電極包含第4金屬。

本案中所揭示之一實施形態中所示之半導體裝置之製造方法包含於氮化物半導體層上形成包含含有第1金屬之氧化膜或含有矽之氧化膜的第1閘極絕緣膜之步驟。並且，包含於第1閘極絕緣膜上形成包含第2金屬之氧化膜的第2閘極絕緣膜之步驟、及於第2閘極絕緣膜上形成包含含有第3金屬之氮化膜的第1閘極電極之步驟。進而，包含於第1閘極電極上形成包含第4金屬之第2閘極電極之步驟。並且，第1閘極絕緣膜係含有第1金屬之氧化膜或含有矽之氧化膜，第2閘極絕緣膜係含有第2金屬之氧化膜，第2金屬之陰電性小於第1金屬或矽之陰電性。

[發明之效果]

藉由本案中所揭示之以下所示之代表性實施形態中所示之半導體裝置，能夠使半導體裝置之特性提高。

藉由本案中所揭示之以下所示之代表性實施形態中所示之半導體裝置之製造方法，能夠製造特性良好之半導體裝置。

【圖式簡單說明】

圖1係表示實施形態1之半導體裝置之構成之剖視圖。

圖2係表示實施形態1之半導體裝置之其他構成之剖視圖。

圖3係表示實施形態1之半導體裝置之比較例1之構成之剖視圖。

圖4係表示實施形態1之半導體裝置之比較例2之構成之剖視圖。

圖5(a)~(c)係表示樣品1~4中之氧濃度分佈之圖。

圖6係表示實施形態1之半導體裝置之製造步驟之剖視圖。

圖7係表示實施形態1之半導體裝置之製造步驟之剖視圖，且係表示繼圖6之後之製造步驟之剖視圖。

圖8係表示實施形態1之半導體裝置之製造步驟之剖視圖，且係表示繼圖7之後之製造步驟之剖視圖。

圖9係表示實施形態1之半導體裝置之製造步驟之剖視圖，且係表示繼圖8之後之製造步驟之剖視圖。

圖10係表示實施形態1之半導體裝置之製造步驟之剖視圖，且係表示繼圖9之後之製造步驟之剖視圖。

圖11係表示實施形態1之半導體裝置之製造步驟之剖視圖，且係表示繼圖10之後之製造步驟之剖視圖。

圖12係表示實施形態1之半導體裝置之特徵性構成之剖視圖。

圖13係表示實施形態2之半導體裝置之構成之剖視圖。

圖14係表示實施形態2之半導體裝置之製造步驟之剖視圖。

圖15係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖14之後之製造步驟之剖視圖。

圖16係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖15之後之製造步驟之剖視圖。

圖17係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖16之後之製造步驟之剖視圖。

圖18係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖17之後之製造步驟之剖視圖。

圖19係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖18之後之製造步驟之剖視圖。

圖20係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖19之後之製造步驟之剖視圖。

圖21係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖20之後之製造步驟之剖視圖。

圖22係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖21之後之製造步驟之剖視圖。

圖23係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖22之後之製造步驟之剖視圖。

圖24係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖23之後之製造步驟之剖視圖。

圖25係表示實施形態2之半導體裝置之製造步驟之剖視圖，且係表示繼圖24之後之製造步驟之剖視圖。

圖26係表示實施形態2之半導體裝置之構成之俯視圖之一例。

圖27係表示實施形態2之半導體裝置之構成之剖視圖。

圖28係表示實施形態3之半導體裝置之構成之剖視圖。

圖29係表示閘極絕緣膜之積層效果之曲線圖。

圖30係表示實施形態4之半導體裝置之構成之剖視圖。

圖31係表示實施形態5之半導體裝置之構成之剖視圖。

圖32係表示實施形態6之半導體裝置之構成之剖視圖。

【實施方式】

於以下實施形態中，為了方便起見，必要時分割為複數個部分(section)或實施形態而進行說明，但除了特別明示之情形以外，該等

並非互無關係，其中一者與另一者之一部分或全部之變化例、應用例、詳細說明、補充說明等有關。又，於以下之實施形態中，於提及要素數等(包括個數、數值、量、範圍等)之情形時，除了特別明示之情形及原理上明確地限定為特定數之情形等以外，並不限定為該特定數，可為特定數以上或以下。

進而，於以下之實施形態中，其構成要素(亦包括要素步驟等)除了特別明示之情形及原理上明確地認為必須之情形等以外，並非一定為必須者。同樣地，於以下之實施形態中，於提及構成要素等之形狀、位置關係等時，除了特別明示之情形及原理上明確地認為並非如此之情形等以外，包括實質上與其形狀等近似或類似者等。關於上述數等(包括個數、數值、量、範圍等)，此方面亦同樣。

以下，基於圖式對實施形態加以詳細說明。再者，於用以說明實施形態之所有圖中，對具有同一功能之構件標註同一或相關之符號，省略其重複說明。又，於存在複數個類似之構件(部位)之情形時，有對總稱之符號追加記號而表示個別或特定之部位之情形。又，於以下之實施形態中，除了特別必要時以外，原則上並不重複同一或同樣之部分之說明。

又，於實施形態中所使用之圖式中，即使是剖視圖，亦存在為了使圖式易於觀看而省略影線之情形。又，即使是俯視圖，亦存在為了使圖式易於觀看而標註影線之情形。

又，於剖視圖及俯視圖中，各部位之大小並不與實際器件(device)對應，存在為了使圖式易懂而相對放大地表示特定部位之情形。又，於剖視圖與俯視圖對應之情形時，亦存在為了使圖式易懂而相對放大地表示特定部位之情形。

(實施形態1)

以下，一面參照圖式一面對本實施形態之半導體裝置加以詳細

說明。

[構造說明]

圖1係表示本實施形態之半導體裝置之構成之剖視圖。圖1中所示之半導體裝置係使用氮化物半導體之MIS(Metal Insulator Semiconductor, 金屬絕緣半導體)型之場效電晶體(FET; Field Effect Transistor)。圖1係示意性地表示例如由圖2之虛線所圍之矩形部分之構成之圖。圖2係表示本實施形態之半導體裝置之其他構成之剖視圖。關於如圖2所示之半導體裝置,藉由實施形態2而加以詳細說明。圖3係表示本實施形態之半導體裝置之比較例1之構成之剖視圖。圖4係表示本實施形態之半導體裝置之比較例2之構成之剖視圖。

如圖1所示,於本實施形態之半導體裝置中,包含介隔閘極絕緣膜GI配置於包含氮化物半導體之通道層CH上之閘極電極GE。

此處,閘極絕緣膜GI包含形成於通道層CH上之第1閘極絕緣膜GIa、與形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb。又,閘極電極GE包含形成於第2閘極絕緣膜GIb上之第1閘極電極GEa、與形成於第1閘極電極GEa上之第2閘極電極GEb。

以下,關於閘極絕緣膜GI(GIa、GIb)及閘極電極GE(GEa、GEb)而加以說明。

如上所述,閘極絕緣膜GI包含形成於通道層CH上之第1閘極絕緣膜GIa、與形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb。第1閘極絕緣膜GIa包含第1金屬之氧化物(含有第1金屬之氧化物、第1金屬之氧化膜)。第2閘極絕緣膜GIb包含第2金屬之氧化物(含有第2金屬之氧化物、第2金屬之氧化膜)。並且,第2金屬之陰電性低於第1金屬之陰電性。

又,第1閘極絕緣膜GIa並非對通道層(氮化物半導體)CH進行熱氧化而形成之膜,而是藉由所謂堆積法(沈積法)而形成之膜。

第1金屬例如為鋁(Al)。於此情形時，第1金屬之氧化物成為氧化鋁(Al_2O_3)。

第2金屬係選自Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上之元素。於此情形時，第2金屬之氧化物例如成為氧化鈦(HfO_2)、氧化鋯(ZrO_2)、氧化鉭(Ta_2O_5)、氧化鈦(TiO_2)、氧化鈮(Nb_2O_5)、氧化鏷(La_2O_3)、氧化釷(Y_2O_3)、氧化鎂(MgO)。第2金屬與氧之組成比並不限於上述者。又，作為第2金屬，亦可包含2種以上之元素。於此情形時，成為2種金屬與氧之化合物。其中，於此情形時，必須2種以上元素之陰電性均低於第1金屬之陰電性。然而，含有雜質程度之金屬(例如0.01%濃度以下之金屬)於製造上不可避免，因此存在不論陰電性之大小為多少均含有雜質程度之金屬之情況。

如上所述，閘極電極GE包含形成於第2閘極絕緣膜GIb上之第1閘極電極GEa、與形成於第1閘極電極GEa上之第2閘極電極GEB。

第1閘極電極GEa係第3金屬之氮化物。作為第3金屬，可使用Ti、Ta、W等。於此情形時，第3金屬之氮化物(含有第3金屬之氮化物、第3金屬之氮化膜)成為TiN、TaN、WN。作為第3金屬，較佳為具有導電性、加工性高、氧之吸收性或供給性低之金屬。於此方面而言，作為第3金屬，較佳為使用Ti。

第2閘極電極GEB包含第4金屬。作為第4金屬，可使用W、Ru、Ir。作為第4金屬，較佳為即使於氧化後亦具有導電性、加工性高、阻擋氧向下層之第1閘極電極GEa滲入者。於此方面而言，作為第4金屬，較佳為使用W。

如上所述，作為閘極絕緣膜GI，積層使用陰電性不同之第1金屬及第2金屬之各自之氧化物，於上層配置陰電性低之第2金屬之氧化膜，因此能夠使閾值電壓(V_{th})為正($V_{th} > 0$)(閘極絕緣膜之積層效果)。

又，作為閘極電極GE，積層使用含有第3金屬之氮化物及第4金屬，於上層配置第4金屬，因此能夠防止氧向閘極絕緣膜GI擴散，減低閾值電壓(V_{th})之不均一。特別是即使經過後述之退火處理，亦能夠減低氧之擴散，維持閘極絕緣膜之積層效果。

作為第3金屬之氮化膜(MN)，較佳為第3金屬(M)與氮(N)之比(化學計量比) N/M 為1以上。如上所述，藉由使第3金屬(M)與氮(N)之比(化學計量比) N/M 大於1(富氮)，能夠於可於晶粒與晶粒之間的晶界(grain boundary)產生之懸鍵上鍵結氮(N)，減低與氧之反應性(亦稱為氧之引入)。第3金屬(M)與氮(N)之比例如可藉由XPS(X-ray Photoelectron Spectroscopy, X射線光電子光譜法)而測定。根據本發明者之研究，於使用氮化鈦膜(TiN膜)作為第3金屬之氮化膜(MN)之情形時，TiN之Ti與N之比 N/Ti 最大可設為1.2左右。因此，較佳為 $1 < N/Ti \leq 1.2$ 。

作為第4金屬之膜厚，較佳為50 nm以上。第4金屬如上所述具有防止氧自閘極電極GE之表面向第1閘極電極GEa擴散之作用。若將50 nm左右之膜厚之第4金屬(第2閘極電極GEb)積層於第1閘極電極GEa上，則能夠將閘極電極GE之表面之氧濃度於第1閘極電極GEa之表面降低1位左右。因此，藉由將第4金屬(例如鎢膜(W膜))之膜厚設為50 nm以上，能夠有效地抑制氧向第1閘極電極GEa擴散。

例如，於以單層使用氧化鋁膜作為閘極絕緣膜GI之比較例1(圖3)之情形時，閾值電壓(V_{th})成為負($V_{th} < 0$)。若閾值電壓(V_{th})成為負($V_{th} < 0$)，則成為常導通狀態。相對於此，如圖4中所示之比較例2般，於閘極絕緣膜GI中，使用氧化鋁(Al_2O_3)作為第1閘極絕緣膜GIa，使用氧化鈦(HfO_2)作為其上層之第2閘極絕緣膜GIb之情形時，Hf之陰電性低於Al，因此能夠使閾值電壓(V_{th})為正($V_{th} > 0$)(閘極絕緣膜之積層效果)。

其係由於藉由 Al_2O_3 與 HfO_2 之積層將閘極絕緣膜中之氧之電子牽引至陰電性高之元素側的極化效果所達成。亦即，與該極化對應，平帶電壓 V_{fb} 變大(成為正($V_{fb} > 0$))，與該平帶電壓 V_{fb} 對應，能夠使閾值電壓(V_{th})為正($V_{th} > 0$)。

然而，根據本發明者之研究，於形成較閘極絕緣膜(Al_2O_3 與 HfO_2)更上之層(例如閘極電極或配線(包括源極電極、汲極電極))時，由於成膜時所產生之電漿或荷電粒子，於閘極絕緣膜(Al_2O_3 與 HfO_2)中施加損傷而可能產生陷阱(陷阱能階、缺陷)。有時將此種損傷稱為充電損傷(charge-up damage)。特別是於藉由PVD法(濺鍍法等)而形成較閘極絕緣膜(Al_2O_3 與 HfO_2)更上之層之情形時，對閘極絕緣膜(Al_2O_3 與 HfO_2)施加之損傷大，由於該陷阱(陷阱能階、缺陷)之影響，閾值電壓(V_{th})降低($V_{th} < 0$)。

因此，關於該損傷之恢復、亦即陷阱(陷阱能階、缺陷)之減低，有效的是熱處理(亦稱為退火、退火處理、後退火、恢復退火)。亦即，藉由於形成較閘極絕緣膜(Al_2O_3 與 HfO_2)更上之層(例如閘極電極或配線(包括源極電極、汲極電極))後實施熱處理，能夠使閾值電壓(V_{th})再次上升，從而使其為正($V_{th} > 0$)。

然而，根據本發明者之實驗可判明：平帶電壓 V_{fb} 既存在恢復至 $V_{fb} > 0$ 者，亦存在停留於 $V_{fb} < 0$ 者，於恢復之程度上存在不均一。

本發明者關於上述平帶電壓 V_{fb} 之恢復程度之不均一，對其原因進行了銳意研究，作為用以尋求原因之實驗之一，使用上述比較例2(圖4)之半導體裝置進行了如下所述之實驗。作為器件1，製作如下者：將第1閘極絕緣膜(Al_2O_3)GIa與第2閘極絕緣膜(HfO_2)GIb積層，其後於惰性氣體中添加有氧之氛圍下進行退火，藉由電阻加熱真空蒸鍍法形成Au而作為閘極絕緣膜GI上之閘極電極GE。並且，作為器件2，製作如下者：將第1閘極絕緣膜GIa與第2閘極絕緣膜GIb積層，於僅為

惰性氣體之氛圍下進行退火，藉由電阻加熱真空蒸鍍法形成Au而作為閘極絕緣膜GI上之閘極電極GE。再者，於Au之蒸鍍時，使用金屬遮罩(蔽蔭遮罩)形成閘極電極。藉由此種Au之蒸鍍，能夠避免充電損傷之影響，且能夠驗證退火氛圍中之氧之影響。

測定器件1及器件2之C-V特性，調查Vfb。其結果，於惰性氣體中添加有氧之氛圍下進行退火之器件1中，平帶電壓Vfb停留為 $Vfb < 0$ 。另一方面，於僅為惰性氣體之氛圍下進行退火之器件2中，平帶電壓Vfb恢復至 $Vfb > 0$ 。

根據包含以上實驗之各種研究可判明：由於退火氛圍中之氧，形成於第1閘極絕緣膜GIa與第2閘極絕緣膜GIb界面之氧之極化被破壞、或其程度減低，基於該極化效果之平帶電壓Vfb之偏移效果減低。

特別是於閘極電極GE中使用TiN之情形時，若於成膜後暫時取出至空氣中而進行退火，則進入至TiN膜之氧、或TiN膜之表面所吸附之氧擴散至膜中。又，進入至TiN膜之水分子亦擴散至膜中。於此種TiN膜中擴散之氧(氧元素)破壞閘極絕緣膜中所形成之上述極化，使該極化效果變無。

相對於此，根據本實施形態之半導體裝置(圖1)，由於積層使用含有第3金屬之氮化物及第4金屬作為閘極電極GE，且於上層配置第4金屬，因此能夠防止氧向閘極絕緣膜GI擴散，維持氧之極化(閘極絕緣膜之積層效果)，維持平帶電壓Vfb之偏移效果。藉此，能夠使閾值電壓(Vth)為正($Vth > 0$)。又，能夠矯正閾值電壓(Vth)之不均一。特別是即使於形成閘極絕緣膜GI後實施退火處理(例如500°C以上之熱處理)之情形時，亦能夠減低由退火處理引起之氧之擴散，維持閘極絕緣膜之積層效果。

其次，關於第2閘極電極GEb之氧擴散之抑制效果加以說明。作為

用以驗證該氧擴散之抑制效果之實驗之一，進行如下所述之實驗。

作為樣品1(TiN(as))，藉由濺鍍法於Si基板上形成TiN膜。又，作為樣品2(TiN(anneal))，藉由濺鍍法於Si基板上形成TiN膜，於與上述恢復退火相當之條件下對該TiN膜進行退火。

又，作為樣品3(W/TiN(as))，藉由濺鍍法於Si基板上形成TiN膜，連續地於TiN膜上形成W膜。又，作為樣品4(TiN(anneal))，藉由濺鍍法於Si基板上形成TiN膜，連續地於TiN膜上形成W膜，於與上述恢復退火相當之條件下對該TiN膜與W膜之積層膜進行退火。

測定該等樣品(樣品1～樣品4)中之氧濃度分佈。於測定中使用SIMS(Secondary Ion Mass Spectrometry，次級離子質譜分析)法。

於圖5中表示各樣品中之氧濃度分佈。圖5(a)係一併記載4個樣品(樣品1～4)之氧濃度之曲線圖者，圖5(b)係僅僅記載樣品1、2之曲線圖者，圖5(c)係僅僅記載樣品3、4之曲線圖者。圖5之橫軸為深度(Depth、[nm])，縱軸為氧濃度(Oxygen concentration、[atoms/cm³])。例如1.0E+17表示 1.0×10^{17} 。再者，於圖5之TiN膜(樣品1、2)中，錯開W膜之膜厚部分(90 nm左右)而表記深度之起點。又，於深度為120 nm之位置、亦即與TiN膜與Si基板之邊界對應之位置所確認之峰值係由Si基板上之自然氧化膜引起。

如圖5(a)、(b)所示，與樣品1(TiN(as))相比而言，於樣品2(TiN(anneal))中，TiN膜中之氧濃度變高(參照箭頭a部)。相對於此，如圖5(a)、(c)所示，於樣品3(W/TiN(as))及樣品4(W/TiN(anneal))中，雖然W膜中之氧濃度變高(參照箭頭b部)，但於W膜之下方之深度75 nm以後(參照c部)，樣品3、4之曲線圖重疊，無法確認氧濃度上升。又，於樣品3、4中，與樣品1、2之情形相比而言，TiN膜表面之氧濃度被抑製得較低。

根據上述結果可判明：於採用本實施形態之積層閘極電極構造

之樣品3、4中，第2閘極電極GEB表面所吸附之氧或水分子即使於退火後亦不擴散至作為第1閘極電極GEa之TiN膜。藉此，能夠維持由閘極絕緣膜GI內所形成之極化所帶來的平帶電壓 V_{fb} 之偏移效果。

此處，關於用以防止氧向作為第1閘極電極GEa之TiN膜擴散的第2閘極電極GEB之膜厚進行研究。例如，於圖5中確認W膜之膜厚為50 nm左右，氧濃度下降1位。認為若表面之氧濃度下降1位，則相當程度地抑制氧向TiN膜之擴散，因此關於第2閘極電極GEB之膜厚，認為若為50 nm左右則充分有效。

又，如上所述，藉由使TiN膜富氮，亦即，使TiN膜之Ti與N之比 N/Ti 大於1，能夠藉由氮(N)使可於晶界產生之懸鍵鈍化。藉此，能夠抑制暴露於大氣時之氧或水分子之吸附。另一方面，於TiN膜為富Ti之情形時，作為第2閘極電極GEB之 HfO_2 等之氧向第1閘極電極GEa移動，於第2閘極電極GEB中產生氧缺陷(氧空位)。該氧空位具有正電荷，使平帶電壓 V_{fb} 向負側偏移。因此，於使TiN膜為富氮之情形時，能夠抑制此種平帶電壓 V_{fb} 向負側之偏移。

[製法說明]

其次，參照圖6～圖11對本實施形態之半導體裝置之製造方法加以說明，且使該半導體裝置之構成更明確。圖6～圖11係表示本實施形態之半導體裝置之製造步驟之剖視圖。

如圖6所示，準備形成有通道層CH之基板。通道層CH係氮化物半導體層，例如使用氮化鎵層(GaN層)。作為基板，使用GaN基板，亦可將該基板作為通道層CH而使用。又，亦可於Si基板等支持基板上形成GaN層。例如，使用有機金屬化學氣相沈積(MOCVD：Metal Organic Chemical Vapor Deposition)法等，於Si基板上異質磊晶生長i-GaN層。此時，並不刻意地進行雜質摻雜而使其生長。

首先，使用稀釋HCl溶液等對通道層(i-GaN層、GaN基板)CH之

表面進行清洗。其次，於通道層CH上形成包含第1閘極絕緣膜GIa與第2閘極絕緣膜GIb之閘極絕緣膜GI。

首先，如圖7所示，於通道層CH上形成第1閘極絕緣膜(第1金屬之氧化膜)GIa。例如，作為第1閘極絕緣膜GIa，使用堆積法堆積氧化鋁膜(Al_2O_3 膜)。例如，將三甲基鋁($\text{Al}(\text{CH}_3)_3$ 、TMA)及 H_2O (氧化劑)作為原料氣體，於 400°C 之氛圍中，使用ALD(Atomic Layer Deposition，原子層沈積)法堆積 $50\text{ nm}\sim 100\text{ nm}$ 左右之膜厚之氧化鋁膜(Al_2O_3 膜)。藉由ALD法，能夠控制性、被覆性良好地形成膜質良好之膜。再者，作為氧化劑，除了 H_2O 以外，亦可使用臭氧(O_3)。再者，除了ALD法以外，亦可使用氧電漿CVD法形成氧化鋁膜(Al_2O_3 膜)。

其次，進行熱處理。例如，於氮(N_2)氛圍中，實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第1閘極絕緣膜GIa(此處為氧化鋁膜)中之陷阱(陷阱能階、缺陷)。特別是於藉由堆積法於GaN上形成氧化鋁之情形時，膜中之陷阱密度變高，屢次看到電容-電壓特性(C-V特性)之遲滯。該C-V特性之遲滯係指例如一面將電壓自 -10 V 提高至 $+10\text{ V}$ 一面測定之C-V波形、與一面將電壓自 $+10\text{ V}$ 降低至 -10 V 一面測定之C-V波形並不相同，波形並不重疊。因此，藉由實施熱處理，能夠減低陷阱密度，改善遲滯。

其次，如圖8所示，於第1閘極絕緣膜GIa(此處為氧化鋁膜)上，例如形成氧化鈦膜(HfO_2 膜)作為第2閘極絕緣膜(第2金屬之氧化膜)GIb。例如，藉由使用Hf金屬靶、及氬(Ar)與氧(O_2)之混合氣體之反應性濺鍍法，堆積氧化鈦膜。

氧化鈦膜之膜厚例如可於 $1\sim 10\text{ nm}$ 左右之範圍內調整。其中，根據本發明者之研究，即使為 $2\sim 3\text{ nm}$ 之膜厚，亦能夠藉由上述氧之極化獲得充分之平帶電壓 V_{fb} 之偏移效果。反應性濺鍍法係PVD法之

一種。於形成第2閘極絕緣膜 G1b時，除了 PVD(Physical Vapor Deposition，物理氣相沈積)法以外，亦可使用ALD法或CVD法。

其次，進行熱處理。例如，於氮(N₂)氛圍中，實施750℃、1分鐘左右之熱處理。藉由該熱處理，第2閘極絕緣膜 G1b(此處為氧化鉛膜)中之陷阱(陷阱能階、缺陷)減少。再者，於上述步驟中，個別地進行第1閘極絕緣膜 G1a(氧化鋁膜)之形成後之熱處理、第2閘極絕緣膜 G1b(氧化鉛膜)之形成後之熱處理，但亦可省略第1閘極絕緣膜 G1a之形成後之熱處理，於形成第1閘極絕緣膜 G1a(氧化鋁膜)與第2閘極絕緣膜 G1b(氧化鉛膜)之積層膜後一次性進行熱處理。

如此般，形成包含第1閘極絕緣膜 G1a(氧化鋁膜)與第2閘極絕緣膜 G1b(氧化鉛膜)之積層膜之閘極絕緣膜 GI。

其次，於閘極絕緣膜 GI上形成閘極電極 GE。例如，如圖9及圖10所示般，形成氮化鈦膜(TiN膜)作為第1閘極電極 GEa，進而於其上形成鎢膜(W膜)作為第2閘極電極 GEb。例如，藉由使用Ti金屬靶、及氬(Ar)與氮(N₂)之混合氣體之反應性濺鍍法，於第2閘極絕緣膜 G1b上堆積20 nm左右之氮化鈦膜。繼而，如圖10所示般，藉由使用W金屬靶、氬(Ar)氣體之濺鍍法，於第1閘極電極 GEa上堆積100 nm左右之鎢膜。較佳為於TiN膜之成膜步驟與W膜之成膜步驟之間不暴露於空氣中，而連續地進行該等步驟。藉由於TiN膜之成膜裝置與W膜之成膜裝置之間進行真空搬送，能夠在不暴露於空氣下而進行連續之成膜。作為成膜方法，除了如上述濺鍍法般之PVD法以外，亦可使用ALD法或CVD法。又，於形成第2閘極絕緣膜 G1b時，亦不限定於PVD法。

其中，若使用多靶濺鍍裝置，則能夠容易地進行連續成膜。於該裝置中，於反應處理室內配置複數個靶，可藉由切換擋板而容易地變更膜種類。因此，裝置構成或製造步驟不會變得繁雜，能夠並不暴露於空氣中而進行連續之成膜，故適宜用於W膜/TiN膜之積層膜之形

成。

如上所述，藉由並不暴露於空氣中而進行連續之成膜，能夠減低被引入至第1閘極電極GEa之表面之氧量，而能夠抑制氧之擴散。其結果，能夠維持氧之極化(閘極絕緣膜之積層效果)，維持平帶電壓Vfb之偏移效果。

又，如上所述，可確認若第2閘極電極(W膜)GEb之膜厚為50 nm左右，則氧濃度下降1位，因此關於第2閘極電極(W膜)GEb之膜厚，較佳為50 nm以上。又，於成膜第2閘極電極(W膜)GEb之後，將其暴露於大氣中，於以後之步驟中進行熱處理(恢復退火)之情形時，較佳為形成100 nm以上之膜厚之W膜。又，第2閘極電極(W膜)GEb之膜厚之上限例如為500 nm左右。

其次，進行熱處理。該熱處理係用以減低由閘極電極GE之成膜時之電漿或荷電粒子所引起的閘極絕緣膜(Al_2O_3 與 HfO_2)中之陷阱(陷阱能階、缺陷)之熱處理。作為熱處理條件，只要根據第1閘極電極GEa與第2閘極電極GEb之PVD條件(例如功率或時間)而選擇最適合之溫度、時間等即可。根據本發明者之研究，較佳為於溫度為 400°C ～ 600°C 、時間為10分鐘～60分鐘之範圍內進行。又，作為熱處理氛圍，例如較佳為使用氮(N_2)等惰性氣體之氛圍。

其次，如圖11所示，使用光微影技術及蝕刻技術，對氮化鈦膜與鎢膜之積層膜進行圖案化(加工)，藉此形成所期望之形狀之閘極電極GE(第1閘極電極GEa與第2閘極電極GEb)。第2閘極電極GEb覆蓋第1閘極電極GEa之整個上表面。再者，於該閘極電極GE之蝕刻時，亦可對下層之閘極絕緣膜GI進行蝕刻。又，上述熱處理亦可於該圖案化步驟之後進行。

如此般，形成包含第1閘極電極GEa與第2閘極電極GEb之積層膜之閘極電極GE。又，作為第1閘極電極GEa之材料，亦可使用容易閘

極蝕刻之例如TaN、WN等，作為第2閘極電極GEb，亦可使用例如Ru或Ir等。

如上所述，根據本實施形態，藉由將第1金屬之氧化膜與陰電性低於第1金屬之第2金屬之氧化膜積層而用作閘極絕緣膜，能夠使閾值電壓(Vth)向正方向偏移。

又，作為閘極電極GE，積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬，因此能夠防止氧向閘極絕緣膜GI擴散，維持氧之極化(閘極絕緣膜之積層效果)，從而維持平帶電壓Vfb之偏移效果。藉此，能夠使閾值電壓(Vth)為正($V_{th} > 0$)。又，能夠矯正閾值電壓(Vth)之不均一。特別是即使於形成閘極絕緣膜GI之後實施退火處理之情形時，亦能夠減低由退火處理引起之氧之擴散，維持閘極絕緣膜之積層效果。

又，於本實施形態中，對可將閘極絕緣膜及閘極電極應用為圖2中所示之半導體裝置之一部分之例進行了說明，但亦可將本實施形態之閘極絕緣膜及閘極應用於其他類型之半導體裝置中。於後述之實施形態2或實施形態6中說明此種應用例之一部分。

(總結)

一面參照圖12，一面於以下總結說明本實施形態之半導體裝置之特徵性構成。圖12係表示本實施形態之半導體裝置之特徵性構成之剖視圖。

本實施形態之半導體裝置如圖12所示般包含介隔閘極絕緣膜GI形成於通道層(氮化物半導體)CH上之閘極電極GE。

<關於閘極絕緣膜>

閘極絕緣膜GI包含形成於通道層(氮化物半導體)CH上之第1金屬M1之氧化膜M1O、形成於氧化膜M1O上之第2金屬M2之氧化膜M2O。M1與O之組成比、M2與O之組成比自然根據所選擇之元素而變

化。

並且，第2金屬M2之陰電性小於第1金屬M1之陰電性。第1金屬M1及第2金屬M2選自以下之表1(極化之陰電性)中所示之第2族、第3族、第4族、第5族及第13族。作為第1金屬M1及第2金屬M2，特佳為其氧化物於器件動作範圍溫度(例如 $< 200^{\circ}\text{C}$)下以固體形式存在，且為薄膜而具有良好之絕緣性。該等金屬中，只要根據陰電性之關係而選擇下層之氧化膜及上層之氧化膜之組合即可。

作為第1金屬M1、亦即構成下層之氧化膜之金屬(元素)，較佳為Al。再者，亦可如後述之實施形態3等中所說明般使用Si(第14族)。若於形成第1金屬之氧化物時氮化物半導體表面被氧化，則形成絕緣性低之界面氧化物層，有損閘極絕緣膜之特性。上述Al之氧化物、亦即氧化鋁即使形成於氮化物半導體(特別是GaN)上，亦難以形成該界面反應層，於此方面而言適宜用於下層。

[表2]

金屬或金屬化合物	
M3	Ti、Ta、W
M3N	TiN、TaN、WN
M4	W、Ru、Ir

又，如上所述，較佳為N與M3之組成比N/M3大於1。又，M4之膜厚較佳為50 nm以上。

(實施形態2)

以下，一面參照圖式，一面對本實施形態之半導體裝置加以詳細說明。

[構造說明]

圖13係表示本實施形態之半導體裝置之構成之剖視圖。圖13中所示之半導體裝置係使用氮化物半導體之MISFET。該半導體裝置亦稱為高電子遷移率電晶體(HEMT: High Electron Mobility Transistor)或功率電晶體。本實施形態之半導體裝置係所謂之凹槽閘極型半導體裝置。

於本實施形態之半導體裝置中，包含形成於基板S上之複數個氮化物半導體層。具體而言，於基板S上依序形成有核生成層NUC、應變緩和層STR、緩衝層BU、通道層(亦稱為電子移行層)CH及障壁層BA。閘極電極GE係貫通絕緣膜IF及障壁層BA，介隔閘極絕緣膜GI而形成於挖掘至通道層CH之中途之溝(亦稱為溝槽、凹槽)T之內部。

此處，閘極絕緣膜GI包含形成於通道層CH上之第1閘極絕緣膜GIa、形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb，包含與實施形態1中所說明之閘極絕緣膜(第1閘極絕緣膜GIa、第2閘極絕緣膜GIb)同樣之材料。亦即，第1閘極絕緣膜GIa包含第1金屬之氧化物。第2閘極絕緣膜GIb包含第2金屬之氧化物。並且，第2金屬之陰電性低於第1金屬之陰電性。第1閘極絕緣膜GIa並非對通道層(氮化物半導

體)CH進行熱氧化而形成之膜，而是藉由所謂堆積法(沈積法)而形成之膜。亦即，下層之第1金屬之氧化膜並非構成氮化物半導體層之元素之氧化物。如上所述，第1金屬之氧化膜並非藉由通道層(氮化物半導體)之直接氧化而形成者，因此第1金屬與構成通道層(氮化物半導體)之元素不同。

又，閘極電極GE包含形成於通道層CH上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEb，包含與實施形態1中所說明之閘極電極(第1閘極電極GEa、第2閘極電極GEb)同樣之材料。亦即，第1閘極電極GEa包含第3金屬之氮化物(含有第3金屬之氮化物、第3金屬之氮化膜)。第2閘極電極GEb包含第4金屬。並且，較佳為第3金屬之氮化物之氮(N)與第3金屬(M3)之組成比N/M3大於1。又，第4金屬之膜厚較佳為50 nm以上。

又，源極電極SE及汲極電極DE形成於閘極電極GE之兩側之障壁層BA上。

如圖13所示，於基板S上形成有核生成層NUC，於核生成層NUC上形成有應變緩和層STR。核生成層NUC係為了生成於應變緩和層STR等之上部所形成之層生長時之晶核而形成。又，核生成層NUC係為了防止如下現象而形成：形成於上部之層之構成元素(例如Ga等)自上部所形成之層擴散至基板S，從而造成基板S變質。又，應變緩和層STR係為了緩和對基板S之應力，抑制於基板S產生翹曲或裂痕而形成。

於該應變緩和層STR上形成有緩衝層BU，於緩衝層BU上形成有包含氮化物半導體之通道層(亦稱為電子移行層)CH，於通道層CH上形成有包含氮化物半導體之障壁層BA。於閘極電極GE之兩側之障壁層BA上形成有源極電極SE及汲極電極DE。該源極電極SE及汲極電極DE與障壁層BA分別進行歐姆連接。又，於閘極電極GE上形成有絕緣

層IL1，該絕緣層IL1中，將源極電極SE之形成區域及汲極電極DE之形成區域之絕緣層IL1除去而形成接觸孔。於該接觸孔之內部埋入導電性膜，藉由該導電性膜構成上述源極電極SE及汲極電極DE。於源極電極SE及汲極電極DE上形成有絕緣層IL2。

此處，於本實施形態之半導體裝置中，於通道層CH與障壁層BA之界面附近之通道層側生成二維電子氣2DEG。又，於對閘極電極GE施加正電壓(閾值電壓)之情形時，於閘極電極GE與通道層CH之界面附近形成通道。

上述二維電子氣2DEG係由於如下機制而形成。構成通道層CH或障壁層BA之氮化物半導體(此處為氮化鎵系半導體)分別禁帶寬度(帶隙)或電子親和力不同。因此，於該等半導體之接合面生成井型電位。於該井型電位內儲存電子，因此於通道層CH與障壁層BA之界面附近生成二維電子氣2DEG。

並且，於通道層CH與障壁層BA之界面附近所形成之二維電子氣2DEG藉由形成有閘極電極GE之溝T而分斷。因此，於本實施形態之半導體裝置中，可根據通道之形成之有無而切換接通/斷開。

並且，於本實施形態中，將第1金屬之氧化物與配置於其上之陰電性低於第1金屬之第2金屬之氧化物的積層膜用作閘極絕緣膜GI，因此能夠與實施形態1之情形同樣地使平帶電壓(V_{fb})向正方向偏移。藉此，能夠使閾值電壓(V_{th})向正方向偏移。並且，藉由調整偏移量，能夠使閾值電壓(V_{th})為正($V_{th} > 0$)，能夠使常斷開特性提高。

又，作為閘極電極GE，積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬，因此能夠與實施形態1之情形同樣地防止氧向閘極絕緣膜GI擴散，減低閾值電壓(V_{th})之不均一。特別是即使經過後述之退火處理，亦能夠減低氧之擴散，維持閘極絕緣膜之積層效果。

進而，藉由使第3金屬之氮化物之氮(N)與第3金屬(M3)之組成比N/M3大於1，能夠起到與實施形態1同樣之效果。又，藉由使第4金屬之膜厚為50 nm以上，能夠起到與實施形態1同樣之效果。

[製法說明]

其次，一面參照圖14～圖25一面說明本實施形態之半導體裝置之製造方法，且使該半導體裝置之構成更明確。圖14～圖25係表示本實施形態之半導體裝置之製造步驟之剖視圖。

如圖14所示，作為基板S，例如使用包含露出(111)面之矽(Si)之半導體基板，於其上部，例如使用有機金屬化學氣相沈積法等異質磊晶生長氮化鋁(AlN)層作為核生成層NUC。其次，於核生成層NUC上，形成反覆積層有氮化鎵(GaN)層與氮化鋁(AlN)層之積層膜(AlN/GaN膜)之超晶格構造體作為應變緩和層STR。例如，使用有機金屬化學氣相沈積法等，分別以2～3 nm左右之膜厚，分別反覆異質磊晶生長100層(合計200層)左右之氮化鎵(GaN)層及氮化鋁(AlN)層。再者，作為基板S，除了上述矽以外，亦可使用包含SiC或藍寶石等之基板。

其次，於應變緩和層STR上形成緩衝層BU。於應變緩和層STR上，例如使用有機金屬化學氣相沈積法等使AlGaN層異質磊晶生長而作為緩衝層BU。

其次，如圖15所示般，於緩衝層BU上形成通道層CH。例如，於緩衝層BU上，使氮化鎵層(i-GaN層)異質磊晶生長。此時，並不刻意地進行雜質之摻雜而使其生長。該通道層CH之電子親和力大於緩衝層BU之電子親和力。又，該通道層CH係帶隙比緩衝層BU窄之氮化物半導體。

其次，於通道層CH上，例如使用有機金屬化學氣相沈積法等使AlGaN層異質磊晶生長而作為障壁層BA。該障壁層BA之電子親和力

小於通道層CH之電子親和力。又，該障壁層BA係帶隙比通道層CH寬之氮化物半導體。

如此般，形成緩衝層BU、通道層CH及障壁層BA之積層體。該積層體係藉由上述異質磊晶生長、亦即[0001]晶軸(C軸)方向所積層之III族面生長而形成。換而言之，藉由(0001)Ga面生長而形成上述積層體。該積層體中，於通道層CH與障壁層BA之界面附近生成二維電子氣2DEG。

其次，如圖16所示般，於障壁層BA上形成具有開口部之絕緣膜IF。例如，使用熱CVD法等，於障壁層BA上堆積氮化矽膜作為絕緣膜IF。其次，藉由使用光微影技術及蝕刻技術而於絕緣膜IF上形成開口部。

其次，將絕緣膜IF作為遮罩，對障壁層BA及通道層CH進行蝕刻，藉此形成貫通絕緣膜IF及障壁層BA而到達通道層CH之中途之溝T(圖17)。於該蝕刻後，為了恢復蝕刻損傷，亦可進行熱處理。

其次，如圖18及圖19所示般，於溝T內及絕緣膜IF上形成包含第1閘極絕緣膜GIa與第2閘極絕緣膜GIb之閘極絕緣膜GI。例如，於通道層CH露出於其底部之溝T內及絕緣膜IF上形成第1閘極絕緣膜GIa。例如，於溝T之底面、側壁及絕緣膜IF上堆積氧化鋁膜(Al_2O_3 膜)作為第1閘極絕緣膜GIa(圖18)。具體而言，藉由稀釋HCl溶液對基板S之表面進行清洗後，例如將三甲基鋁($\text{Al}(\text{CH}_3)_3$ 、TMA)及 H_2O (氧化劑)作為原料氣體，於 400°C 之氛圍中，使用ALD法於溝T內及絕緣膜IF上堆積 $50\text{ nm}\sim 100\text{ nm}$ 左右之膜厚之氧化鋁膜(Al_2O_3 膜)。藉由ALD法，能夠膜厚之控制性良好、且即使於凹凸面亦被覆性良好地形成膜。再者，作為氧化劑，除了 H_2O 以外，亦可使用臭氧(O_3)。

其次，進行熱處理。例如，於氮(N_2)氛圍中，實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，第1閘極絕緣膜GIa(此處為氧化鋁膜)

中之陷阱(陷阱能階、缺陷)減少。特別是於藉由堆積法於Ga₂O₃上形成氧化鋁之情形時，膜中之陷阱密度變高，C-V特性之遲滯變大。因此，藉由實施熱處理，能夠減低陷阱密度。

其次，如圖19所示般，於第1閘極絕緣膜GIa(此處為氧化鋁膜)上，例如形成氧化鈣膜(HfO₂膜)作為第2閘極絕緣膜GIb。例如，藉由使用Hf金屬靶、及氬(Ar)與氧(O₂)之混合氣體之反應性濺鍍法堆積氧化鈣膜。氧化鈣膜之膜厚亦因閾值電壓(V_{th})而異，較佳為1~10 nm左右。反應性濺鍍法係PVD法之一種。於形成第2閘極絕緣膜GIb時，除了PVD法以外，亦可使用ALD法或CVD法。

其次，進行熱處理。例如，於氮(N₂)氛圍中，實施750℃、1分鐘左右之熱處理。藉由該熱處理，能夠減低第2閘極絕緣膜GIb(此處為氧化鈣膜)中之陷阱(陷阱能階、缺陷)。再者，於上述步驟中，個別地進行第1閘極絕緣膜GIa(氧化鋁膜)之形成後之熱處理、第2閘極絕緣膜GIb(氧化鈣膜)之形成後之熱處理，但亦可省略第1閘極絕緣膜GIa之形成後之熱處理，於第1閘極絕緣膜GIa(氧化鋁膜)與第2閘極絕緣膜GIb(氧化鈣膜)之積層膜之形成後一次性進行熱處理。

如此般，形成包含第1閘極絕緣膜GIa(氧化鋁膜)與第2閘極絕緣膜GIb(氧化鈣膜)之積層膜之閘極絕緣膜GI。

其次，如圖20及圖21所示般，於閘極絕緣膜GI上形成閘極電極GE。例如，形成氮化鈦膜(TiN膜)作為第1閘極電極GEa，進而於其上形成鎢膜(W膜)作為第2閘極電極GEb。該等之積層膜可使用多靶濺鍍裝置連續地形成。例如，藉由使用Ti金屬靶、及氬(Ar)與氮(N₂)之混合氣體之反應性濺鍍法，於第2閘極絕緣膜GIb上堆積20 nm左右之氮化鈦膜。此時，使所形成之TiN膜之N與Ti之比N/Ti大於1。TiN膜中之N之比例可藉由調整氬(Ar)與氮(N₂)之混合氣體中之氮量而控制。

繼而，如圖21所示般，藉由使用W金屬靶、氬(Ar)氣體之濺鍍法

於第1閘極電極GEa上堆積100 nm左右之膜厚之鎢膜。

其次，進行熱處理。該熱處理係用以減低由閘極電極GE之成膜時之電漿或荷電粒子所引起的閘極絕緣膜(Al_2O_3 與 HfO_2)中之陷阱(陷阱能階、缺陷)之熱處理。作為熱處理條件，只要根據第1閘極電極GEa與第2閘極電極GEb之PVD條件(例如功率或時間)而選擇最合適之溫度、時間等即可。根據本發明者之研究，較佳為於溫度為 400°C ～ 600°C 、時間為10分鐘～60分鐘之範圍進行。又，作為熱處理氛圍，例如較佳為使用氮(N_2)等惰性氣體之氛圍。

其次，如圖22所示般，使用光微影技術及蝕刻技術，對氮化鈦膜與鎢膜之積層膜進行圖案化，藉此形成閘極電極GE。於閘極電極GE之蝕刻時，亦對下層之閘極絕緣膜GI進行蝕刻。再者，上述熱處理亦可於該圖案化步驟之後進行。

如此般，形成包含第1閘極電極GEa與第2閘極電極GEb之積層膜之閘極電極GE。又，作為第1閘極電極GEa之材料，亦可使用容易閘極蝕刻之例如TaN、WN等，作為第2閘極電極GEb，亦可使用例如Ru或Ir等。

其次，如圖23所示般，使用CVD法等，於閘極電極GE及絕緣膜IF上形成例如氧化矽膜作為絕緣層IL1。其次，如圖24所示般，藉由使用光微影技術及蝕刻技術，將源極電極SE之形成區域及汲極電極DE之形成區域上之絕緣層IL1及絕緣膜IF利用蝕刻除去，形成接觸孔。其次，於閘極電極GE之兩側之障壁層BA上形成源極電極SE及汲極電極DE。例如，於包含接觸孔內之絕緣層IL1上形成導電性膜。例如，使用濺鍍法等形成包含氮化鈦(TiN)膜與其上部之鋁(Al)膜之積層膜(Al/TiN)作為導電性膜。其次，藉由使用光微影技術及蝕刻技術，對上述積層膜(Al/TiN)進行圖案化，並例如於 550°C 下進行30分鐘左右之熱處理。藉由該熱處理，源極電極SE及汲極電極DE與障壁層

BA(氮化物半導體膜)之界面之接觸成為歐姆接觸。又，能夠消除成膜導電性膜時對閘極絕緣膜GI之充電損傷。

其後，於包括源極電極SE及汲極電極DE上之絕緣層IL1上形成絕緣層(亦稱為覆蓋膜、表面保護膜)IL2。作為絕緣層IL2，例如使用CVD法等堆積氮氧化矽(SiON)膜(圖25)。

藉由以上步驟，能夠形成本實施形態之半導體裝置。

如上所述，根據本實施形態，與實施形態1之情形同樣地將第1金屬之氧化膜與陰電性低於第1金屬之第2金屬之氧化膜積層而用作閘極絕緣膜，藉此能夠使閾值電壓(V_{th})向正方向偏移。並且，藉由調整偏移量，能夠實現使閾值電壓(V_{th})為正($V_{th} > 0$)之常斷開化。

又，作為閘極電極GE，積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬，因此能夠防止氧向閘極絕緣膜GI擴散，維持氧之極化(閘極絕緣膜之積層效果)，維持平帶電壓 V_{fb} 之偏移效果。藉此，能夠使閾值電壓(V_{th})為正($V_{th} > 0$)。又，能夠矯正閾值電壓(V_{th})之不均一。特別是即使於形成閘極絕緣膜GI之後實施退火處理之情形時，亦能夠減低由退火處理引起之氧之擴散，維持閘極絕緣膜之積層效果。

上述閘極電極GE、源極電極SE及汲極電極DE之佈局並無限制，該等電極例如如圖26般配置。圖26係表示本實施形態之半導體裝置之構成之俯視圖之一例。例如，圖13與圖26之A-A剖面部對應。源極電極SE與汲極電極DE例如為於Y方向上延伸之線狀。換而言之，為於Y方向上具有長邊之矩形狀(四邊形狀)。源極電極SE與汲極電極DE係交替排列於X方向而配置。並且，於源極電極SE與汲極電極DE之間配置閘極電極GE。例如，於Y方向上延伸之線狀之複數個閘極電極(GE)之其中一個端部(圖中上側)與在X方向上延伸之線(亦稱為閘極線)連接。又，於Y方向上延伸之線狀之複數個閘極電極(GE)之另一個端

部(圖中下側)與在X方向上延伸之線(亦稱為閘極線)連接。再者，於2根在X方向上延伸之線(亦稱為閘極線)中，亦可省略任一者，將閘極電極GE設為梳齒狀。又，複數個源極電極SE經由插塞(連接部)PG而與在X方向上延伸之源極線SL連接。又，複數個汲極電極DE經由插塞(連接部)PG而與在X方向上延伸之汲極線DL連接。再者，亦可於同層配置源極電極SE與源極線SL。例如，亦可設為將在X方向上延伸之線(與源極線部對應)、與在Y方向上延伸之線狀源極電極連接的形狀(梳齒狀)。同樣，亦可於同層配置汲極電極DE與汲極線DL。例如，亦可設為將在X方向上延伸之線(與汲極線部對應)、與在Y方向上延伸之線狀汲極電極連接的形狀(梳齒狀)。如上所述，閘極電極GE、源極電極SE、汲極電極DE及其他配線之佈局可適當變更，配線層數亦無限制。

又，閘極電極GE例如可引出至活性區域之外側之元件分離區域ISO上(於圖26中為右側之B-B部)。並且，該引出部例如可經由插塞PG而與其他配線層之配線連接。再者，圖27係表示本實施形態之半導體裝置之構成之剖視圖。圖27例如與圖26之B-B剖面部對應。插塞PG例如包含Al/TiN膜。

(實施形態3)

於實施形態1(圖1)中，將閘極絕緣膜GI之下層之氧化膜(GIa)設為第1金屬之氧化膜，但亦可將該下層之氧化膜設為氧化矽膜。亦即，作為構成下層之氧化膜之元素，使用Si(半導體)。

[構造說明]

圖28係表示本實施形態之半導體裝置之構成之剖視圖。本實施形態之半導體裝置除了第1閘極絕緣膜GIa為氧化矽膜以外，其他與實施形態1之情形相同。

如圖28所示，於本實施形態之半導體裝置中，與實施形態1之情

形同樣地包含介隔閘極絕緣膜GI配置於包含氮化物半導體之通道層CH上之閘極電極GE(GEa、GEb)。

此處，閘極絕緣膜GI包含形成於通道層CH上之作為第1閘極絕緣膜GIa之氧化矽膜(SiO₂)、形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb。又，閘極電極GE包含形成於第2閘極絕緣膜GIb上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEb。

如上所述，設置氧化矽膜(SiO₂)作為第1閘極絕緣膜GIa。又，設置第2金屬(M2)之氧化膜作為第2閘極絕緣膜GIb。第2金屬係選自Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素。於此情形時，第2金屬之氧化物例如成為氧化鋁(Al₂O₃)、氧化鈪(HfO₂)、氧化鋯(ZrO₂)、氧化鉭(Ta₂O₅)、氧化鈦(TiO₂)、氧化鈮(Nb₂O₅)、氧化鏷(La₂O₃)、氧化釷(Y₂O₃)、氧化鎂(MgO)。

於此情形時，分別構成2層閘極絕緣膜(GIa、GIb)之元素(Si、M2)之陰電性係Si > M2。於此情形時，亦產生實施形態1中所說明之氧之極化效果，平帶電壓V_{fb}向正方向偏移。

又，與實施形態1之情形同樣地將閘極電極GE設為積層構造，亦即，積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬之構成，能夠防止氧向閘極絕緣膜GI擴散，維持氧之極化(閘極絕緣膜之積層效果)，維持平帶電壓V_{fb}之偏移效果。特別是即使於形成閘極絕緣膜GI之後實施退火處理之情形時，亦能夠減低由退火處理引起之氧之擴散，維持閘極絕緣膜之積層效果。

[製法說明]

其次，對本實施形態之半導體裝置之製造方法加以說明。於本實施形態之半導體裝置之製造方法中，除了閘極絕緣膜GI之形成步驟以外，其他與實施形態1之情形相同。

亦即，以與實施形態1同樣之方式對通道層(i-GaN層、GaN基

板)CH之表面進行清洗後，使用堆積法於通道層CH上堆積氧化矽膜(SiO_2 膜)作為第1閘極絕緣膜GIa。

例如，將三-二甲基胺基矽烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ 、TDMAS)及臭氧(O_3 、氧化劑)作為原料氣體，於 480°C 之氛圍中，使用ALD法堆積3 nm左右之膜厚之氧化矽膜(SiO_2 膜)。氧化矽膜之膜厚例如可於3 nm~20 nm之範圍內調整。除了ALD法以外，亦可使用CVD法(熱CVD或電漿CVD法等)堆積氧化矽膜。再者，根據本發明者之研究，即使是3~5 nm左右之膜厚，亦能夠藉由上述氧之極化而獲得充分之平帶電壓 V_{fb} 之偏移效果。

其次，進行熱處理。例如，於氮(N_2)氛圍中實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第1閘極絕緣膜GIa(此處為氧化矽膜)中之陷阱(陷阱能階、缺陷)。

其次，於第1閘極絕緣膜GIa上形成第2閘極絕緣膜(第2金屬之氧化膜)GIb。例如，以與實施形態1同樣之方式堆積50 nm~100 nm左右之膜厚之氧化鋁膜(Al_2O_3 膜)作為第2閘極絕緣膜GIb。

其次，進行熱處理。例如，於氮(N_2)氛圍中實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第2閘極絕緣膜GIb(此處為氧化鋁膜)中之陷阱(陷阱能階、缺陷)。再者，於上述步驟中，於形成各閘極絕緣膜(GIa、GIb)之後個別地進行熱處理，但亦可於形成第2閘極絕緣膜GIb之後一次性進行熱處理。

如此般，能夠形成自下方起依序積層有第1閘極絕緣膜GIa(氧化矽膜)及第2閘極絕緣膜GIb(氧化鋁膜)之閘極絕緣膜GI。

其次，以與實施形態1同樣之方式於閘極絕緣膜GI上形成閘極電極GE(GEa、GEb)。

再者，亦可將本實施形態之閘極絕緣膜GI用作實施形態2之閘極絕緣膜GI。

圖29係表示閘極絕緣膜之積層效果之曲線圖。橫軸表示閘極電壓(Gate Voltage[V])，縱軸表示電流($J_g[A/cm^2]$)。例如，使用圖28中所示之半導體裝置，調查其I-V特性。其中，閘極電極為單層。作為Ref、No.1、No.2、No.3，分別使用 Al_2O_3/SiO_2 之積層膜，將 SiO_2 之膜厚設為0 nm、3 nm、5 nm、10 nm。No.1、No.2、No.3，亦即將 SiO_2 之膜厚設為3 nm~10 nm之情形時，電流之上升電壓變高。認為其係由於平帶電壓 V_{fb} 之偏移效果及耐電壓提高效果所達成。

並且，若於上述閘極絕緣膜之積層構造上加上閘極電極之積層構造，則能夠維持平帶電壓 V_{fb} 之偏移效果，因此能夠維持上述電流之上升電壓。

(實施形態4)

於實施形態1(圖1)中，將閘極絕緣膜GI設為2層(GIa、GIb)，但亦可將閘極絕緣膜GI設為3層，於第1閘極絕緣膜GIa與第2閘極絕緣膜GIb之積層膜之下層(基板或通道層側)設置第3閘極絕緣膜(最下層閘極絕緣膜)GIu。並且，作為構成該第3閘極絕緣膜(最下層閘極絕緣膜)GIu之元素，可使用Si(半導體)。

[構造說明]

圖30係表示本實施形態之半導體裝置之構成之剖視圖。本實施形態之半導體裝置除了以3層構成閘極絕緣膜GI以外，其他與實施形態1之情形相同。

如圖30所示，於本實施形態之半導體裝置中，與實施形態1之情形同樣地包含介隔閘極絕緣膜GI配置於包含氮化物半導體之通道層CH上之閘極電極GE(GEa、GEb)。

此處，閘極絕緣膜GI包含形成於通道層CH上之作為第3閘極絕緣膜GIu之氧化矽膜(SiO_2)、形成於第3閘極絕緣膜GIu上之第1閘極絕緣膜GIa、形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb。第1閘極絕

緣膜GIa包含第1金屬之氧化物。第2閘極絕緣膜GIb包含第2金屬之氧化物。並且，第2金屬之陰電性低於第1金屬之陰電性。又，第1金屬之陰電性低於Si之陰電性。

又，閘極電極GE包含形成於通道層CH上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEb，包含與實施形態1中所說明之閘極電極(第1閘極電極GEa、第2閘極電極GEb)同樣之材料。亦即，第1閘極電極GEa包含第3金屬之氮化物(含有第3金屬之氮化物、第3金屬之氮化膜)。第2閘極電極GEb包含第4金屬。並且，較佳為第3金屬之氮化物之氮(N)與第3金屬(M3)之組成比N/M3大於1。又，第4金屬之膜厚較佳為50 nm以上。

如上所述，設置氧化矽膜(SiO₂)作為第3閘極絕緣膜(最下層閘極絕緣膜)GIu。於此情形時，可使分別構成3層閘極絕緣膜(GIu、GIa、GIb)之元素(Si、M1、M2)之陰電性自下層側起依序變小。藉此，能夠使實施形態1中所說明之氧之極化效果變大，平帶電壓V_{fb}之偏移量變大。

又，與實施形態1之情形同樣地將閘極電極GE設為積層構造、亦即積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬之構成，藉此能夠防止氧向閘極絕緣膜GI擴散，維持氧之極化(閘極絕緣膜之積層效果)，維持平帶電壓V_{fb}之偏移效果。特別是即使於形成閘極絕緣膜GI之後實施退火處理之情形時，亦能夠減低由退火處理引起之氧之擴散，維持閘極絕緣膜之積層效果。

[製法說明]

其次，對本實施形態之半導體裝置之製造方法加以說明。於本實施形態之半導體裝置之製造方法中，除了閘極絕緣膜GI之形成步驟以外，其他與實施形態1之情形相同。

亦即，以與實施形態1同樣之方式對通道層(i-GaN層、GaN基

板)CH之表面進行清洗後，使用堆積法於通道層CH上堆積氧化矽膜(SiO_2 膜)作為第3閘極絕緣膜(最下層閘極絕緣膜)GIu。

例如，將三-二甲基胺基矽烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ 、TDMAS)及臭氧(O_3 、氧化劑)作為原料氣體，於 480°C 之氛圍中，使用ALD法堆積3 nm左右之膜厚之氧化矽膜(SiO_2 膜)。氧化矽膜之膜厚例如可於3 nm~20 nm之範圍內調整。除了ALD法以外，亦可使用CVD法(熱CVD或電漿CVD法等)堆積氧化矽膜。再者，根據本發明者之研究，即使是3~5 nm左右之膜厚，亦能夠藉由上述氧之極化而獲得充分之平帶電壓 V_{fb} 之偏移效果。

其次，進行熱處理。例如，於氮(N_2)氛圍中，實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第3閘極絕緣膜GIu(此處為氧化矽膜)中之陷阱(陷阱能階、缺陷)。

其次，於第3閘極絕緣膜GIu上形成第1閘極絕緣膜(第1金屬之氧化膜)GIa。例如，以與實施形態1同樣之方式，以50 nm~100 nm左右之膜厚堆積氧化鋁膜(Al_2O_3 膜)作為第1閘極絕緣膜GIa。

其次，進行熱處理。例如，於氮(N_2)氛圍中，實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第1閘極絕緣膜GIa(此處為氧化鋁膜)中之陷阱(陷阱能階、缺陷)。

其次，於第1閘極絕緣膜GIa上形成第2閘極絕緣膜(第2金屬之氧化膜)GIb。例如，以與實施形態1同樣之方式，以2 nm左右之膜厚堆積氧化鈺膜(HfO_2 膜)作為第2閘極絕緣膜GIb。

其次，進行熱處理。例如，於氮(N_2)氛圍中，實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第2閘極絕緣膜GIb(此處為氧化鈺膜)中之陷阱(陷阱能階、缺陷)。再者，於上述步驟中，於形成各閘極絕緣膜(GIu、GIa、GIb)之後個別地進行熱處理，但亦可於形成第2閘極絕緣膜GIb之後一次性進行熱處理。

如此般，能夠形成自下方起依序積層有第3閘極絕緣膜GIu(氧化矽膜)、第1閘極絕緣膜GIa(氧化鋁膜)及第2閘極絕緣膜GIb(氧化鉛膜)之閘極絕緣膜GI。

其次，以與實施形態1同樣之方式於閘極絕緣膜GI上形成閘極電極GE(GEa、GEb)。

再者，亦可將本實施形態之3層之閘極絕緣膜GI用作實施形態2之閘極絕緣膜GI。

(實施形態5)

於實施形態4(圖30)中，使用氧化矽膜作為第3閘極絕緣膜(最下層閘極絕緣膜)GIu，但亦可設置氮化矽膜。

[構造說明]

圖31係表示本實施形態之半導體裝置之構成之剖視圖。本實施形態之半導體裝置除了閘極絕緣膜GI之第3閘極絕緣膜(最下層閘極絕緣膜)GIu以外，其他與實施形態4之情形相同。

如圖31所示般，於本實施形態之半導體裝置中，與實施形態1之情形同樣地包含介隔閘極絕緣膜GI配置於包含氮化物半導體之通道層CH上之閘極電極GE(GEa、GEb)。

此處，閘極絕緣膜GI包含形成於通道層CH上之作為第3閘極絕緣膜GIu之氮化矽膜(SiN_x)、形成於第3閘極絕緣膜GIu上之第1閘極絕緣膜GIa、形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb。又，閘極電極GE包含形成於第2閘極絕緣膜GIb上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEb。

如上所述，設置氮化矽膜(SiN_x)作為第3閘極絕緣膜(最下層閘極絕緣膜)GIu。於此情形時，氮化矽膜(GIu)不含氧，因此於與第1閘極絕緣膜GIa之界面並不產生氧之極化，藉由第1閘極絕緣膜GIa與第2閘極絕緣膜GIb之界面所產生之極化而使平帶電壓 V_{fb} 向正方向偏移。

又，藉由使用氮化矽膜(SiN_x)作為第3閘極絕緣膜(最下層閘極絕緣膜)GIu，能夠抑制通道層CH(此處為i-GaN層)之氧化。特別是若GaN層等氮化物半導體被氧化，則於與閘極絕緣膜GI之界面產生大量界面能階。於此情形時，MISFET之遷移率降低。由此，造成MISFET之性能降低。

又，為了使閘極絕緣膜GI之膜質提高，有效的是成膜後之氧化退火。然而，若GaN層等氮化物半導體與氧化膜相接，則存在如下之虞：由於氧化退火，氮化物半導體之氧化進一步進行。

對此，如本實施形態所示般設置氮化膜作為最下層閘極絕緣膜(第3閘極絕緣膜)GIu之情形時，上述氧化得到抑制。藉此，使處理風險(process risk)之裕度變大。換而言之，能夠抑制由與閘極絕緣膜GI之接觸引起之氮化物半導體之氧化。又，於實施氧化退火之情形時，亦能夠抑制氮化物半導體之氧化。

又，與實施形態1之情形同樣地將閘極電極GE設為積層構造、亦即積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬之構成，藉此能夠防止氧向閘極絕緣膜GI擴散，維持氧之極化(閘極絕緣膜之積層效果)，維持平帶電壓 V_{fb} 之偏移效果。特別是即使於形成閘極絕緣膜GI之後實施退火處理之情形時，亦能夠減低由退火處理引起之氧之擴散，維持閘極絕緣膜之積層效果。

[製法說明]

其次，對本實施形態之半導體裝置之製造方法加以說明。於本實施形態之半導體裝置之製造方法中，除了第3閘極絕緣膜(最下層閘極絕緣膜)GIu之形成步驟以外，其他與實施形態4之情形相同。

亦即，以與實施形態1或4同樣之方式對通道層(i-GaN層、GaN基板)CH之表面進行清洗後，使用堆積法於通道層CH上堆積氮化矽膜(SiN_x 膜)作為第3閘極絕緣膜(最下層閘極絕緣膜)GIu。

例如，將三-二甲基胺基矽烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ 、TDMAS)及氨(NH_3)作為原料氣體，於 480°C 之氛圍中，使用ALD法堆積4 nm左右之膜厚之氮化矽膜(SiN_x 膜)。氮化矽膜之膜厚例如可於1 nm~15 nm之範圍內調整。除了ALD法以外，亦可使用CVD法(熱CVD或電漿CVD法等)堆積氮化矽膜。

其次，進行熱處理。例如，於氮(N_2)氛圍中實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第3閘極絕緣膜GIu(此處為氮化矽膜)中之陷阱(陷阱能階、缺陷)。

其次，於第3閘極絕緣膜GIu上形成第1閘極絕緣膜(第1金屬之氧化膜)GIa。例如，以與實施形態1同樣之方式，以50 nm~100 nm左右之膜厚堆積氧化鋁膜(Al_2O_3 膜)作為第1閘極絕緣膜GIa。

其次，進行熱處理。例如，於氮(N_2)氛圍中實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第1閘極絕緣膜GIa(此處為氧化鋁膜)中之陷阱(陷阱能階、缺陷)。

其次，於第1閘極絕緣膜GIa上形成第2閘極絕緣膜(第2金屬之氧化膜)GIb。例如，以與實施形態1同樣之方式，以2 nm左右之膜厚堆積氧化鈣膜(HfO_2 膜)作為第2閘極絕緣膜GIb。

其次，進行熱處理。例如，於氮(N_2)氛圍中實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第2閘極絕緣膜GIb(此處為氧化鈣膜)中之陷阱(陷阱能階、缺陷)。再者，於上述步驟中，於形成各閘極絕緣膜(GIu、GIa、GIb)之後個別地進行熱處理，但亦可於形成第2閘極絕緣膜GIb之後一次性進行熱處理。

如此般，能夠形成自下方起依序積層有第3閘極絕緣膜GIu(氮化矽膜)、第1閘極絕緣膜GIa(氧化鋁膜)及第2閘極絕緣膜GIb(氧化鈣膜)之閘極絕緣膜GI。

其次，以與實施形態1同樣之方式於閘極絕緣膜GI上形成閘極電

極GE(GEa、GEb)。

再者，亦可將本實施形態之3層之閘極絕緣膜GI用作實施形態2之閘極絕緣膜GI。

(實施形態6)

於上述實施形態1~5中，使用氮化物半導體(GaN層)作為通道層CH，但亦可使用其他半導體層。於本實施形態中，使用SiC層(SiC基板)。

[構造說明]

圖32係表示本實施形態之半導體裝置之構成之剖視圖。

如圖32所示般，於本實施形態之半導體裝置中，包含介隔閘極絕緣膜GI配置於包含SiC之通道層CH上之閘極電極GE。

並且，閘極絕緣膜GI包含形成於通道層CH上之第1閘極絕緣膜GIa、形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb。又，閘極電極GE包含形成於第2閘極絕緣膜GIb上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEb。可於Si等基板上設置SiC層作為通道層CH，又，亦可使用SiC基板作為基板，將該基板用作通道層CH。再者，於閘極電極GE之兩側之通道層CH中，配置有作為n型或p型之雜質注入區域之源極區域SR及汲極區域DR。並且，進而於源極區域SR及汲極區域DR上配置有源極電極SE及汲極電極DE。

此處，閘極絕緣膜GI包含形成於通道層CH上之第1閘極絕緣膜GIa、形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb。第1閘極絕緣膜GIa包含氧化矽膜(SiO₂)。又，第2閘極絕緣膜GIb包含第2金屬之氧化物。並且，第2金屬之陰電性低於Si之陰電性。換而言之，該閘極絕緣膜GI係將實施形態1之閘極絕緣膜GI之第1金屬之氧化物設為氧化矽膜(SiO₂)者。

又，第1閘極絕緣膜(SiO₂)GIa可為通道層(SiC層)CH之熱氧化

膜，又，亦可為堆積膜。作為熱氧化法，可使用乾式氧化或濕式氧化。又，亦可使用臭氧進行氧化。作為堆積法，可使用ALD法、CVD法或PVD法。氧化矽膜之膜厚可於1 nm~10 nm之範圍內調整。

第2金屬係陰電性低於Si之金屬，例如為鋁(Al)。於此情形時，第1金屬之氧化物成為氧化鋁(Al_2O_3)。該第1金屬之氧化物之膜厚例如為60 nm左右。

作為第2金屬，除了Al以外，可使用Hf、Zr、Ta、Ti、Nb、La、Y、Mg等。此情形時之氧化膜例如成為氧化鈦(HfO_2)、氧化鋯(ZrO_2)、氧化鉭(Ta_2O_5)、氧化鈦(TiO_2)、氧化鈮(Nb_2O_5)、氧化釧(La_2O_3)、氧化釷(Y_2O_3)、氧化鎂(MgO)。第2金屬與氧之組成比並不限定於上述者。又，作為第2金屬，亦可含有2種以上元素。於此情形時，成為2種金屬與氧之化合物。其中，於此情形時，2種以上元素之陰電性均必須低於Si。其中，含有雜質程度之金屬(例如0.01%濃度以下之金屬)於製造上不可避免，因此有無關陰電性之大小而含有雜質程度之金屬之情況。又，第1閘極絕緣膜GIa與第2閘極絕緣膜GIb之各自之膜厚可根據作為閘極絕緣膜GI而要求之特性或由堆積方法所引起之膜質(介電常數或漏電特性等電氣特性)而選擇適宜之組合。

又，閘極電極GE包含形成於第2閘極絕緣膜GIb上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEb。

第1閘極電極GEa係含有第3金屬之氮化膜。作為第3金屬，可使用Ti、Ta、W等。於此情形時，含有第3金屬之氮化膜成為TiN、TaN、WN。作為第3金屬，較佳為具有導電性、加工性高、氧之吸收性或供給性低之金屬。於此方面而言，作為第3金屬，適宜使用Ti。

第2閘極電極GEb包含第4金屬。作為第4金屬，可使用W、Ru、Ir。作為第4金屬，較佳為即使於氧化後亦具有導電性、加工性高、能夠阻擋氧向下層之第1閘極電極GEa滲入者。於此方面而言，作為

第4金屬，適宜使用W。

如上所述，於本實施形態中，作為閘極絕緣膜GI，積層使用Si及第2金屬之各自之氧化物，且於上層配置陰電性低於Si之第2金屬之氧化膜，因此能夠使閘值電壓(V_{th})為正($V_{th} > 0$)(閘極絕緣膜之積層效果)。

又，作為閘極電極GE，積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬，因此能夠防止氧向閘極絕緣膜GI擴散，減低閘值電壓(V_{th})之不均一。特別是即使經過後述之退火處理，亦能夠減低氧之擴散，維持閘極絕緣膜之積層效果。

[製法說明]

其次，對本實施形態之半導體裝置之製造方法加以說明，且使該半導體裝置之構成更明確。

首先，準備形成有通道層CH之基板(未圖示)。通道層CH係SiC層。SiC層例如可使用CVD法等形式。亦可使用SiC基板作為基板，將該基板用作通道層CH。

其次，使用硫酸過氧化氫混合物或氨水過氧化氫混合物系溶液等對通道層(SiC層)CH之表面進行清洗。其次，於通道層CH上形成包含第1閘極絕緣膜GIa與第2閘極絕緣膜GIb之閘極絕緣膜GI。

首先，於通道層CH上形成第1閘極絕緣膜GIa。例如，藉由乾式氧化形成氧化矽膜(SiO_2 膜)作為第1閘極絕緣膜GIa。例如，於 O_2 與 N_2 之混合氣體中，進行氧化溫度為 1300°C 之乾式氧化，例如形成10 nm左右之膜厚之氧化矽膜。再者，氧化法並不限定於乾式氧化，亦可為利用其他氧化劑之熱氧化。又，亦可使用CVD法、ALD法、PVD法等堆積法形成氧化矽膜。

其次，對第1閘極絕緣膜GIa與通道層CH之界面(SiO_2/SiC 界面)進行氮化。作為氮化處理，例如於含有一氧化氮(NO)之氛圍下，進行

1000°C、1小時之熱處理。藉由該氮化處理，能夠使上述界面所產生之界面能階(懸鍵等)減低。作為該氮化處理中所使用之氣體，除了上述一氧化氮(NO)以外，亦可使用 N_2O 、 NH_3 等。又，亦可使用該等氣體之混合氣體。又，亦可根據時間切換使用複數種氣體。又，藉由該氮化處理，不僅僅產生氮化反應，亦產生氧化反應(氮氧化處理)。如上所述，較佳為根據氧化矽膜之成膜方法、膜質、界面之界面狀態而進行適宜之膜質改善處理。此處，作為膜質改善處理，例示了對界面能階進行氮化處理之方法，除此以外，亦可進行氮化處理或氮以外之V族化處理(例如磷化)等。於該等處理中，亦能夠實現界面能階之減低。

其次，於第1閘極絕緣膜(氧化矽膜)GIa上形成第2閘極絕緣膜(第2金屬之氧化膜)GIb。例如，作為第2閘極絕緣膜GIb，使用堆積法堆積氧化鋁膜(Al_2O_3 膜)。例如，將三甲基鋁($Al(CH_3)_3$ 、TMA)及 H_2O (氧化劑)作為原料氣體，於400°C之氛圍中，使用ALD法堆積60 nm左右之膜厚之氧化鋁膜(Al_2O_3 膜)。藉由ALD法，能夠控制性、被覆性良好地形成膜質良好之膜。再者，作為氧化劑，除了 H_2O 以外，亦可使用臭氧(O_3)。再者，除了ALD法以外，亦可使用氧電漿CVD法形成氧化鋁膜(Al_2O_3 膜)。其次，進行熱處理。例如，於氮(N_2)氛圍中實施600°C、30分鐘左右之熱處理。再者，此處，作為第2閘極絕緣膜GIb用金屬，使用Al，但第2金屬亦可使用例如選自Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素之氧化物。

如上所述，形成包含第1閘極絕緣膜GIa(氧化矽膜)與第2閘極絕緣膜GIb(氧化鋁膜)之積層膜之閘極絕緣膜GI。

其次，以與實施形態1之情形同樣之方式，於閘極絕緣膜GI上形成閘極電極GE。例如，形成氮化鈦膜(TiN膜)作為第1閘極電極GEa，進而於其上形成鎢膜(W膜)作為第2閘極電極GEb。該等之積層膜可使

用多靶濺鍍裝置連續地形成。例如，於第2閘極絕緣膜GIb上，藉由使用Ti金屬靶、及氬(Ar)與氮(N₂)之混合氣體之反應性濺鍍法堆積20 nm左右之氮化鈦膜。此時，所形成之TiN膜之N與Ti比N/Ti大於1。TiN中之N之比例可藉由調整氬(Ar)與氮(N₂)之混合氣體中之氮量而控制。

繼而，於第1閘極電極GEa上，藉由使用W金屬靶、氬(Ar)氣體之濺鍍法堆積100 nm左右之鎢膜作為第2閘極電極GEb。如實施形態1中所說明般，確認若第2閘極電極(W膜)GEb之膜厚為50 nm左右，則氧濃度下降1位，因此關於第2閘極電極(W膜)GEb之膜厚，較佳為50 nm以上。又，於成膜第2閘極電極(W膜)GEb之後，將其暴露於大氣中，於以後之步驟中進行熱處理(恢復退火)之情形時，較佳為形成100 nm以上之膜厚之W膜。又，第2閘極電極(W膜)GEb之膜厚之上限例如為500 nm左右。

其次，進行熱處理。該熱處理係用以減低由閘極電極GE之成膜時之電漿或荷電粒子所引起的閘極絕緣膜(Al₂O₃與HfO₂)中之陷阱(陷阱能階、缺陷)之熱處理。作為熱處理條件，只要根據第1閘極電極GEa與第2閘極電極GEb之PVD條件(例如功率或時間)而選擇最合適之溫度、時間等即可。根據本發明者之研究，較佳為於溫度為400℃～600℃、時間為10分鐘～60分鐘之範圍內進行。又，作為熱處理氛圍，例如較佳為使用氮(N₂)等惰性氣體之氛圍。

其次，使用光微影技術及蝕刻技術，對第1閘極電極GEa與第2閘極電極GEb進行圖案化(加工)，藉此形成所期望之形狀之閘極電極GE。第2閘極電極GEb覆蓋第1閘極電極GEa之整個上表面。再者，於該閘極電極GE之蝕刻時，亦可對下層之閘極絕緣膜GI進行蝕刻。又，上述熱處理亦可於該圖案化步驟之後進行。作為第1閘極電極GEa之材料，亦可使用容易閘極蝕刻之例如TaN、WN等，作為第2閘極電極GEb，亦可使用例如Ru或Ir等。

其後，於閘極電極GE之兩側之通道層CH中注入n型或p型之雜質，藉此形成源極區域SR及汲極區域DR。其次，於閘極電極GE、源極區域SR及汲極區域DR上，例如使用CVD法等形成氧化矽膜作為絕緣層IL1。其次，藉由使用光微影技術及蝕刻技術，將源極區域SR上及汲極區域DR上之絕緣層IL1利用蝕刻除去，形成接觸孔。其次，於閘極電極GE之兩側之源極區域SR及汲極區域DR上分別形成源極電極SE及汲極電極DE。例如，於包括接觸孔內之絕緣層IL1上形成導電性膜。其次，藉由使用光微影技術及蝕刻技術，對上述導電性膜進行圖案化。再者，亦可使用所謂金屬鑲嵌法形成源極電極SE及汲極電極DE。又，其後亦可於絕緣層IL1上形成複數個配線。

藉由以上之步驟，能夠形成本實施形態之半導體裝置。

如上所述，於本實施形態中，將Si之氧化物與其上所配置之陰電性低於Si之第2金屬之氧化物的積層膜用作閘極絕緣膜GI，因此能夠與實施形態1之情形同樣地使平帶電壓(V_{fb})向正方向偏移。藉此，能夠使閾值電壓(V_{th})向正方向偏移。並且，藉由調整偏移量，能夠使閾值電壓(V_{th})為正($V_{th} > 0$)，能夠使常斷開特性提高。

又，作為閘極電極GE，積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬，因此能夠與實施形態1之情形同樣地防止氧向閘極絕緣膜GI擴散，減低閾值電壓(V_{th})之不均一。特別是即使經過後述之退火處理，亦能夠減低氧之擴散，維持閘極絕緣膜之積層效果。

進而，藉由使第3金屬之氮化物的氮(N)與第3金屬(M3)之組成比N/M3大於1，能夠起到與實施形態1同樣之效果。

進而，藉由將SiC層作為通道層CH，使平帶電壓 V_{fb} 向正方向偏移，使閾值電壓(V_{th})向正方向偏移，能夠使通道層CH之 V_{th} 控制用雜質濃度降低。雜質使在通道層CH內移行之載子(電子或電洞)之遷移率

降低(雜質散射)。因此，藉由使通道層之雜質濃度降低，能夠使載子之遷移率提高，其結果使MISFET之接通電流增加。遷移率依存於形成MISFET之結晶面，SiC層之遷移率小於Si層之遷移率，因此遷移率之提高效果有用。

再者，於本實施形態中，作為閘極絕緣膜GI，使用氧化矽膜與氧化鋁膜之積層膜(例如與實施形態3對應)，亦可應用其他實施形態1、4、5中所說明之閘極絕緣膜GI。

以上，基於實施形態對由本發明者完成之發明加以具體之說明，但本發明並不限定於上述實施形態，可於不脫離其主旨之範圍進行各種變更。

[附註1]

一種半導體裝置，其包含：

SiC層、

設於上述SiC層上之第1閘極絕緣膜、

設於上述第1閘極絕緣膜上之第2閘極絕緣膜、

設於上述第2閘極絕緣膜上之第1閘極電極、

設於上述第1閘極電極上之第2閘極電極；且

上述第1閘極絕緣膜係含有第1金屬之氧化膜或含有矽之氧化膜，

上述第2閘極絕緣膜係含有第2金屬之氧化膜，

上述第2金屬之陰電性小於上述第1金屬或矽之陰電性，

上述第1閘極電極係含有第3金屬之氮化膜，

上述第2閘極電極包含第4金屬。

[附註2]

如附註1之半導體裝置，其中

上述第1金屬係Al。

[附註3]

如附註2之半導體裝置，其中

上述第2金屬係選自Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素。

[附註4]

如附註3之半導體裝置，其中

上述第3金屬係Ti。

[附註5]

如附註4之半導體裝置，其中

上述含有第3金屬之氮化膜係氮化鈦，鈦(Ti)與氮(N)之比(N/Ti)大於1。

[附註6]

如附註4之半導體裝置，其中

上述第4金屬係W。

[附註7]

如附註6之半導體裝置，其中

上述第2閘極電極之膜厚為50 nm以上。

[附註8]

如附註6之半導體裝置，其中

上述第1閘極電極覆蓋上述第2閘極電極之整個上表面。

[附註9]

一種半導體裝置之製造方法，其包含：

(a)準備氮化物半導體層之步驟，

(b)於上述氮化物半導體層上形成包含含有第1金屬之氧化膜或含有矽之氧化膜的第1閘極絕緣膜之步驟，

(c)於上述第1閘極絕緣膜上形成包含第2金屬之氧化膜的第2閘極

絕緣膜之步驟，

(d)於上述第2閘極絕緣膜上形成包含含有第3金屬之氮化膜的第1閘極電極之步驟，

(e)於上述第1閘極電極上形成包含第4金屬之第2閘極電極之步驟；且

上述第2金屬之陰電性小於上述第1金屬或矽之陰電性。

[附註10]

如附註8之半導體裝置之製造方法，其中

於上述(d)步驟至上述(e)步驟中，

於形成上述第1閘極電極之後，並不暴露於空氣中而形成上述第2閘極電極。

[附註11]

如附註9之半導體裝置之製造方法，其中

上述第1閘極絕緣膜包含含有矽之氧化膜，

上述第2金屬係選自Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素，

上述第3金屬係Ti，

上述第4金屬係W。

[附註12]

如附註1之半導體裝置，其中

上述第1閘極絕緣膜包含含有矽之氧化膜，

上述第2金屬係選自Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素，

上述第3金屬係Ti，

上述第4金屬係W。

【符號說明】

2DEG	二維電子氣
BA	障壁層
BU	緩衝層
CH	通道層
DE	汲極電極
DL	汲極線
DR	汲極區域
GE	閘極電極
GEa	第1閘極電極
GEb	第2閘極電極
GI	閘極絕緣膜
GIa	第1閘極絕緣膜
GIb	第2閘極絕緣膜
GIu	第3閘極絕緣膜
IF	絕緣膜
IL1	絕緣層
IL2	絕緣層
NUC	核生成層
PG	插塞
S	基板
SE	源極電極
SL	源極線
SR	源極區域
STR	應變緩和層
T	溝

申請專利範圍

1. 一種半導體裝置，其包含：
氮化物半導體層、
設於上述氮化物半導體層上之第1閘極絕緣膜、
設於上述第1閘極絕緣膜上之第2閘極絕緣膜、
設於上述第2閘極絕緣膜上之第1閘極電極、
設於上述第1閘極電極上之第2閘極電極；且
上述第1閘極絕緣膜係含有第1金屬之氧化膜或含有矽之氧化膜，
上述第2閘極絕緣膜係含有第2金屬之氧化膜，
上述第2金屬之陰電性小於上述第1金屬或矽之陰電性，
上述第1閘極電極係含有第3金屬之氮化膜，
上述第2閘極電極包含第4金屬。
2. 如請求項1之半導體裝置，其中
上述第1金屬係Al。
3. 如請求項2之半導體裝置，其中
上述第2金屬係選自Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素。
4. 如請求項3之半導體裝置，其中
上述第3金屬係Ti。
5. 如請求項4之半導體裝置，其中
上述含有第3金屬之氮化膜係氮化鈦，
鈦(Ti)與氮(N)之比(N/Ti)大於1。
6. 如請求項4之半導體裝置，其中
上述第4金屬係W。

7. 如請求項6之半導體裝置，其中
上述第2閘極電極之膜厚為50 nm以上。
8. 如請求項6之半導體裝置，其中
上述第1閘極電極覆蓋上述第2閘極電極之整個上表面。
9. 如請求項6之半導體裝置，其中
上述氮化物半導體層係GaN。
10. 如請求項6之半導體裝置，其中
於上述氮化物半導體層與上述第1閘極絕緣膜之間包含第3閘極絕緣膜，
上述第3閘極絕緣膜係氧化矽膜或氮化矽膜。
11. 一種半導體裝置，其包含：
形成於基板上方之第1氮化物半導體層、
形成於上述第1氮化物半導體層上之第2氮化物半導體層、
貫通上述第2氮化物半導體層，到達至上述第1氮化物半導體層之溝、
介隔閘極絕緣膜而配置於上述溝內之閘極電極；且
上述閘極絕緣膜包含設於上述第1氮化物半導體層上之第1閘極絕緣膜、與設於上述第1閘極絕緣膜上之第2閘極絕緣膜，
上述閘極電極包含設於上述第2閘極絕緣膜上之第1閘極電極、與設於上述第1閘極電極上之第2閘極電極，
上述第1閘極絕緣膜係含有第1金屬之氧化膜或含有矽之氧化膜，
上述第2閘極絕緣膜係含有第2金屬之氧化膜，
上述第2金屬之陰電性小於上述第1金屬或矽之陰電性，
上述第1閘極電極係含有第3金屬之氮化膜，
上述第2閘極電極包含第4金屬。

12. 一種半導體裝置之製造方法，其包含：
 - (a)準備氮化物半導體層之步驟、
 - (b)於上述氮化物半導體層上形成包含含有第1金屬之氧化膜或含有矽之氧化膜的第1閘極絕緣膜之步驟、
 - (c)於上述第1閘極絕緣膜上形成包含第2金屬之氧化膜的第2閘極絕緣膜之步驟、
 - (d)於上述第2閘極絕緣膜上形成包含含有第3金屬之氮化膜的第1閘極電極之步驟、
 - (e)於上述第1閘極電極上形成包含第4金屬之第2閘極電極之步驟；且
上述第2金屬之陰電性小於上述第1金屬或矽之陰電性。
13. 如請求項12之半導體裝置之製造方法，其中
於上述(d)步驟至上述(e)步驟中，
於上述第1閘極電極之形成後，並不暴露於空氣中而形成上述第2閘極電極。
14. 如請求項13之半導體裝置之製造方法，其中
於上述(e)步驟後，包含：
 - (f)於惰性氣體氛圍下進行熱處理之步驟。
15. 如請求項13之半導體裝置之製造方法，其中
於上述(e)步驟後，包含：
 - (g)將上述第1閘極電極及上述第2閘極電極之積層膜加工為第1形狀之步驟。
16. 如請求項12之半導體裝置之製造方法，其中
上述第1金屬係Al。
17. 如請求項16之半導體裝置之製造方法，其中
上述第2金屬係選自Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之

一種以上元素。

18. 如請求項17之半導體裝置之製造方法，其中
上述第3金屬係Ti。
19. 如請求項18之半導體裝置之製造方法，其中
上述第4金屬係W。
20. 如請求項19之半導體裝置之製造方法，其中
上述氮化物半導體層係GaN。
21. 如請求項12之半導體裝置之製造方法，其中
上述第1閘極絕緣膜包含含有矽之氧化膜，
上述第2金屬係選自Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mg之
群之一種以上元素，
上述第3金屬係Ti，
上述第4金屬係W。

圖式

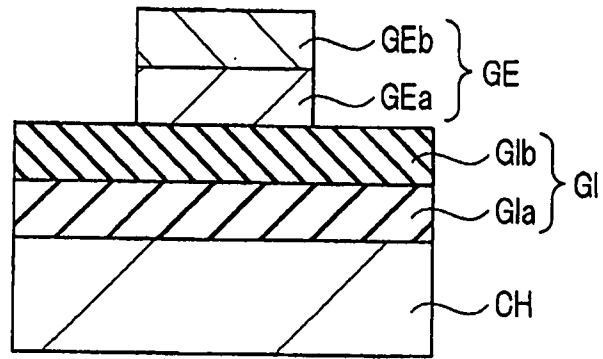


圖1

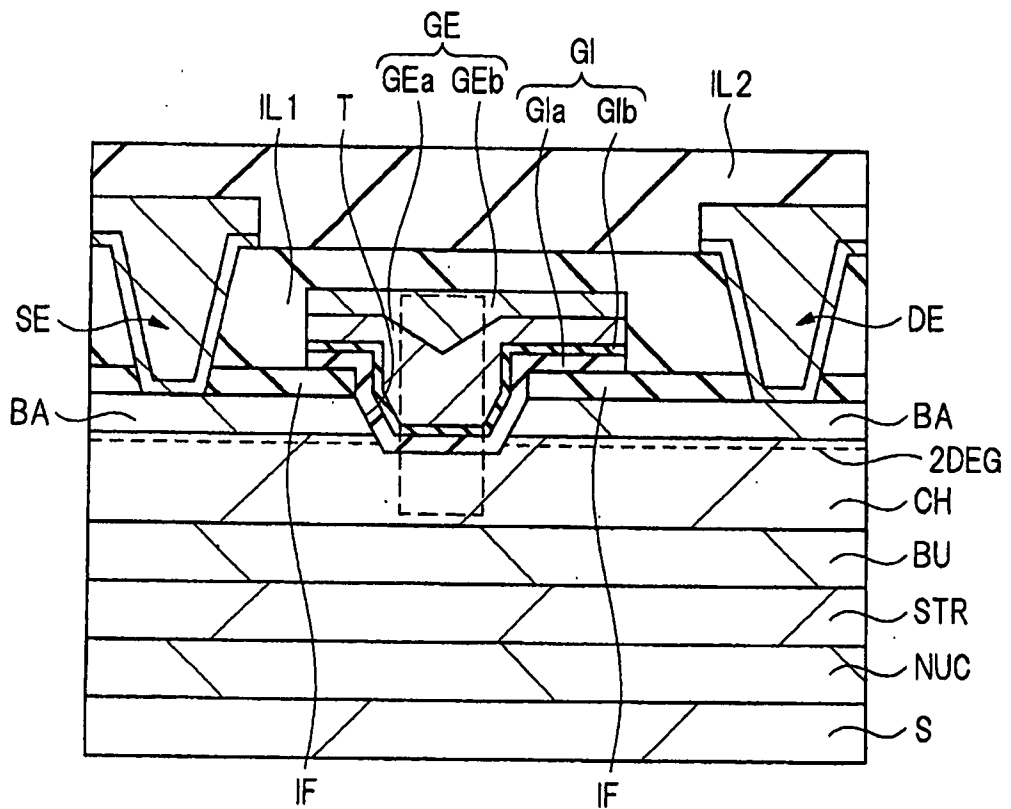


圖2

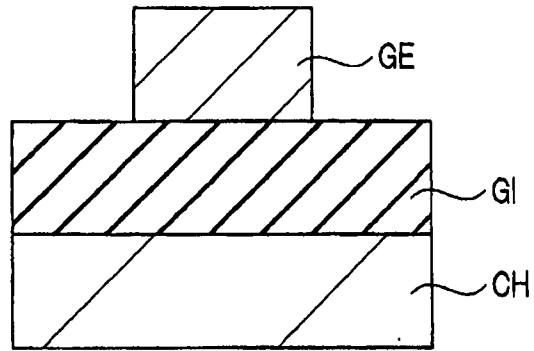


圖3

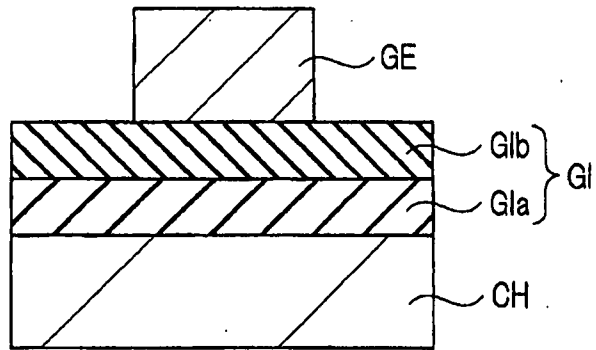


圖4

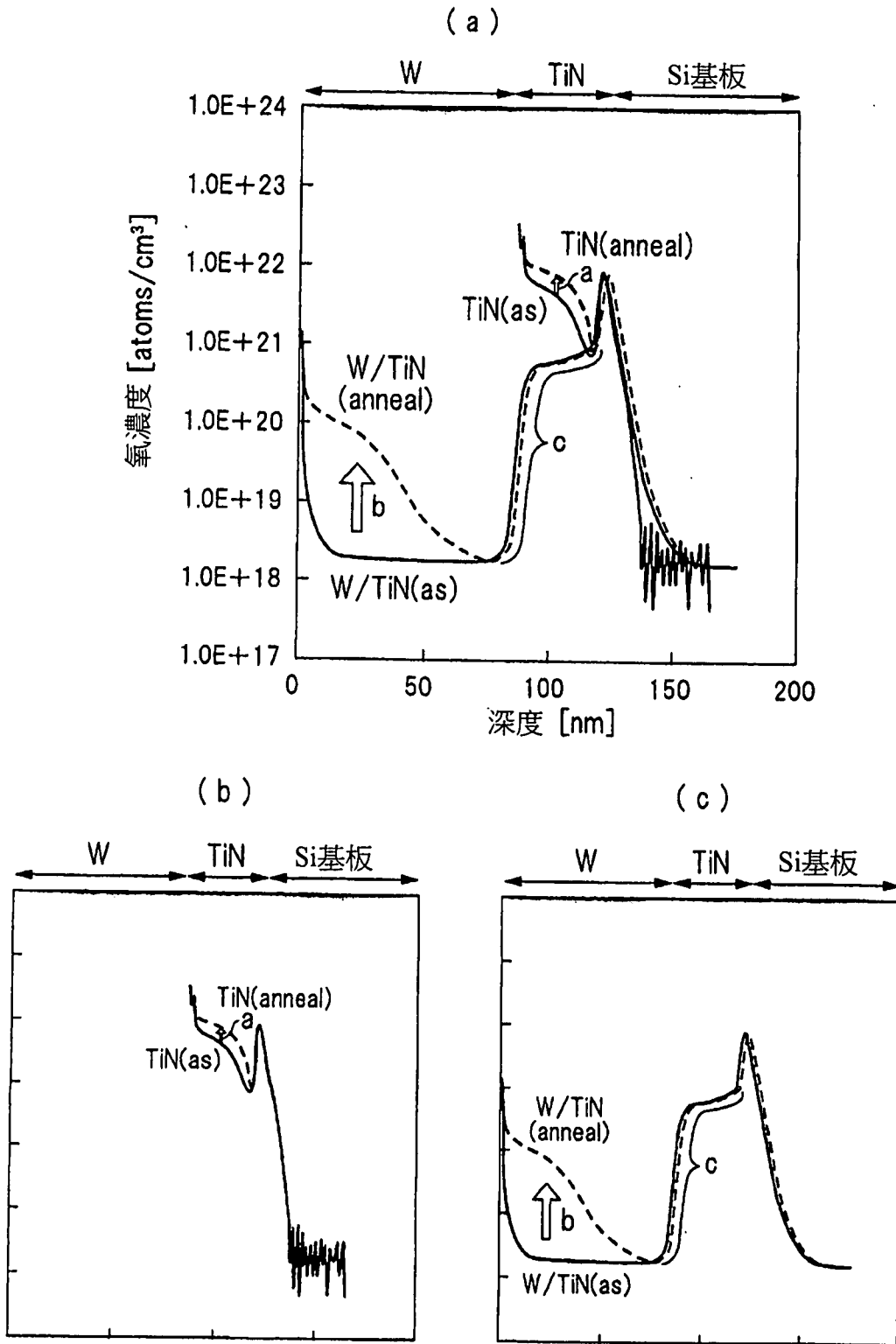


圖5



圖6

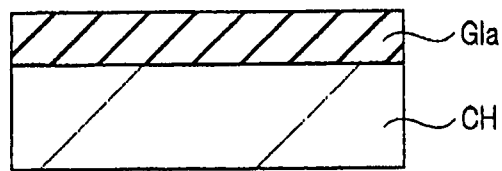


圖7

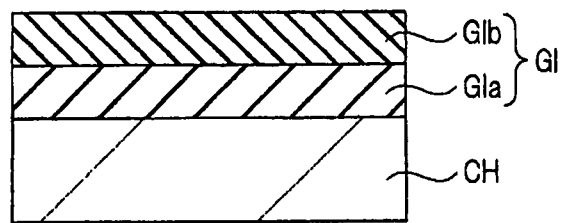


圖8

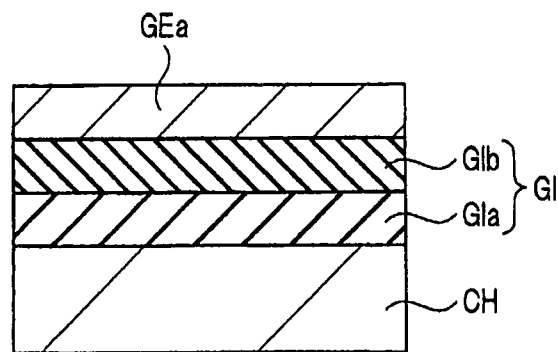


圖9

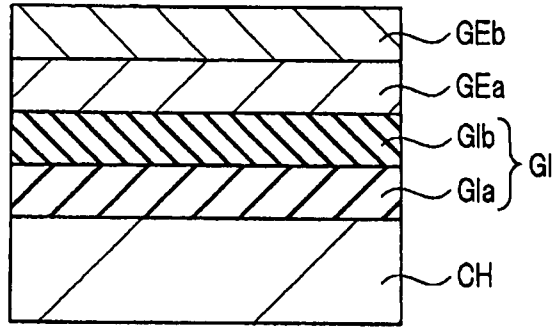


圖10

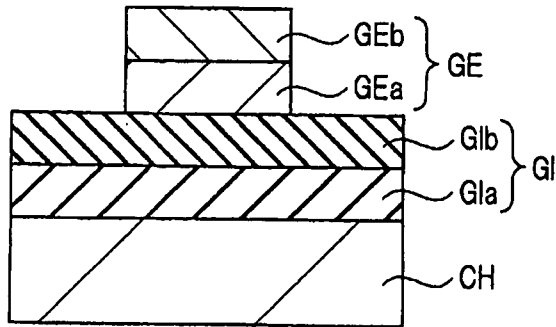


圖11

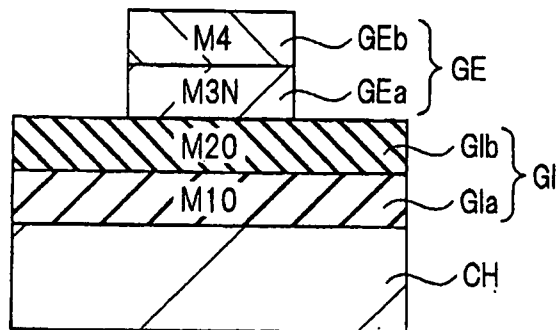


圖12

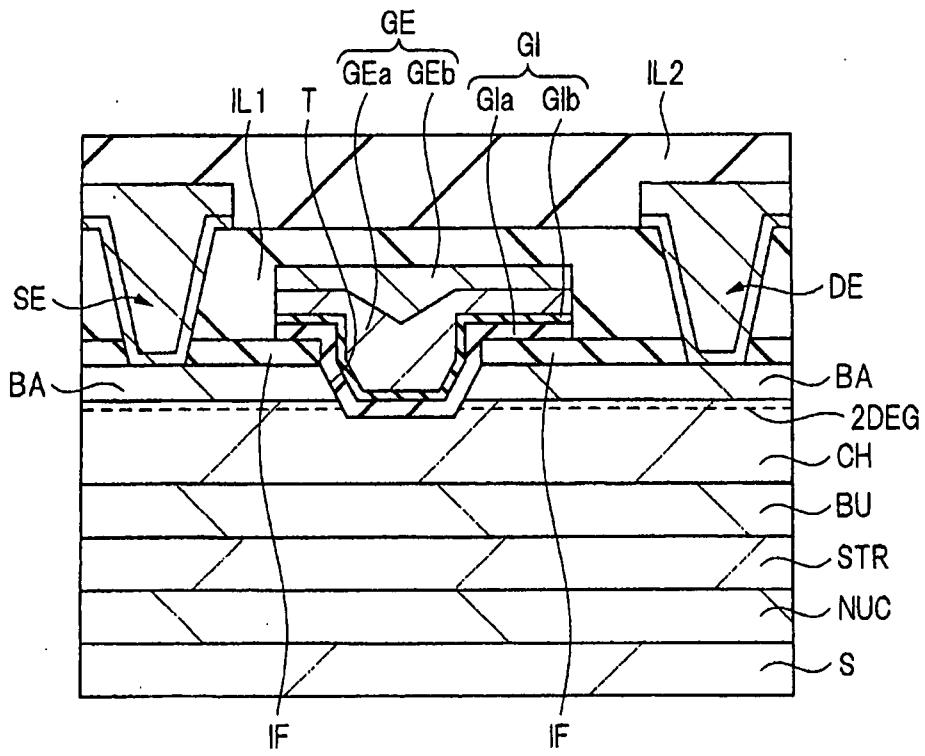


圖13

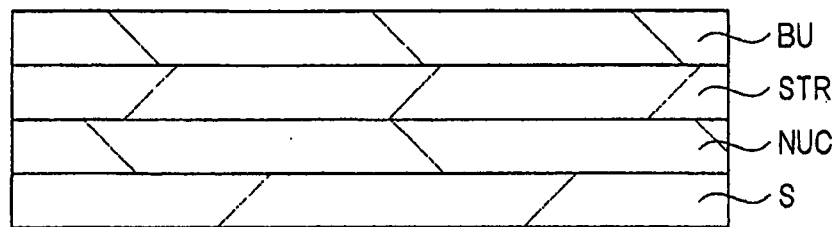


圖14

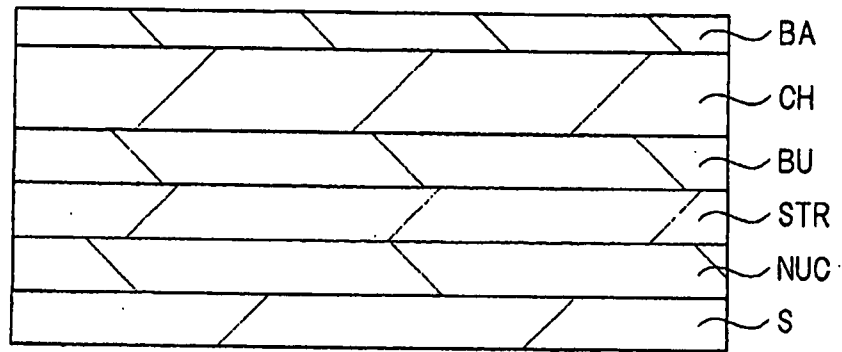


圖15

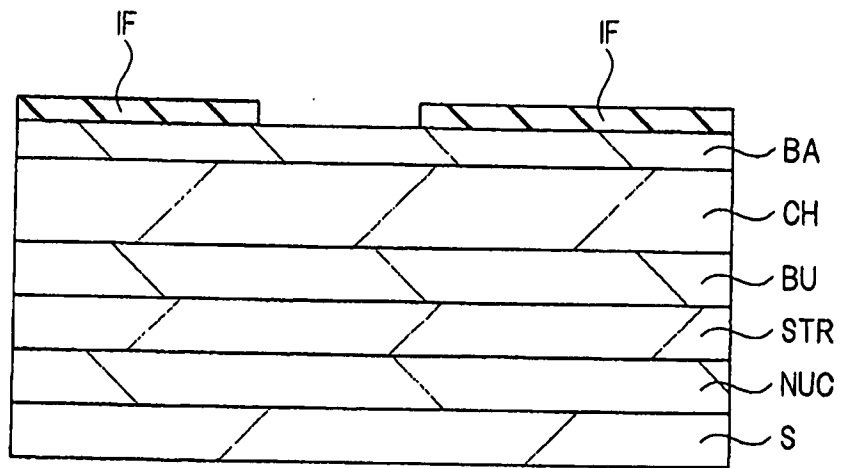


圖16

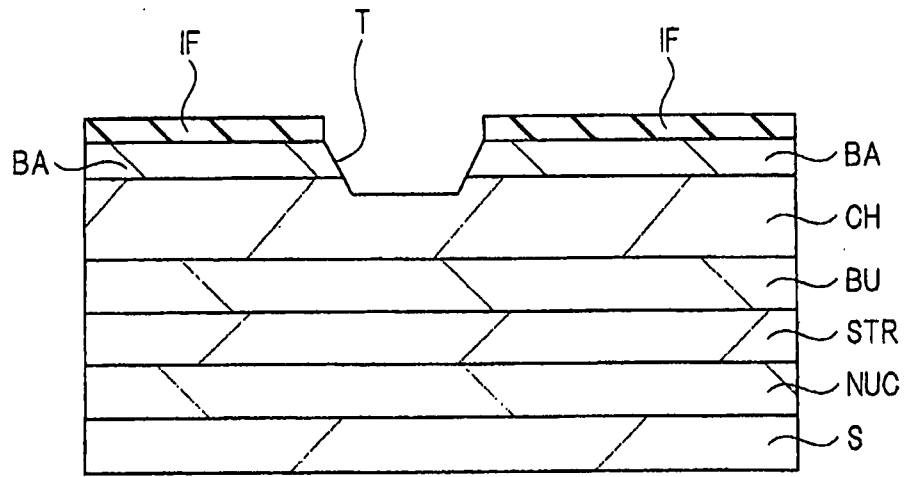


圖17

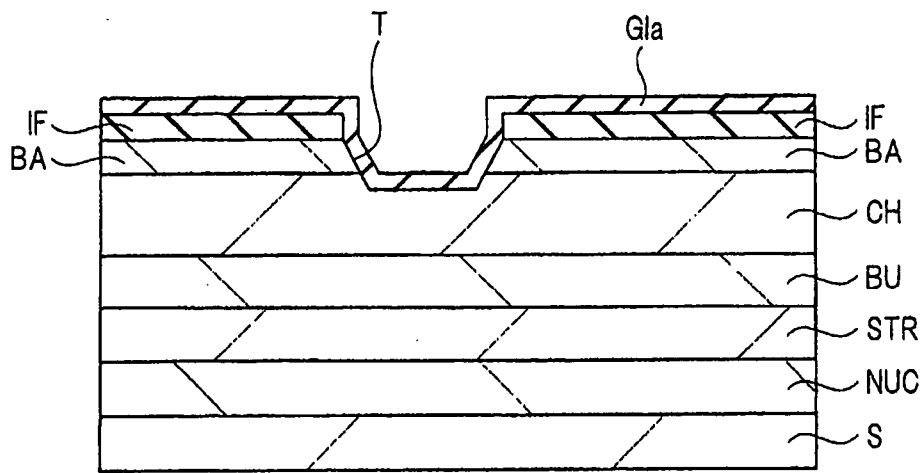


圖18

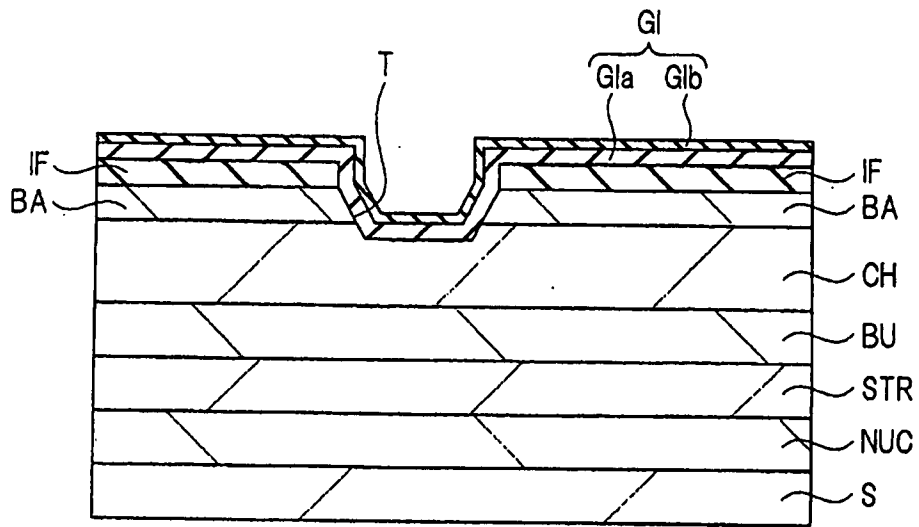


圖19

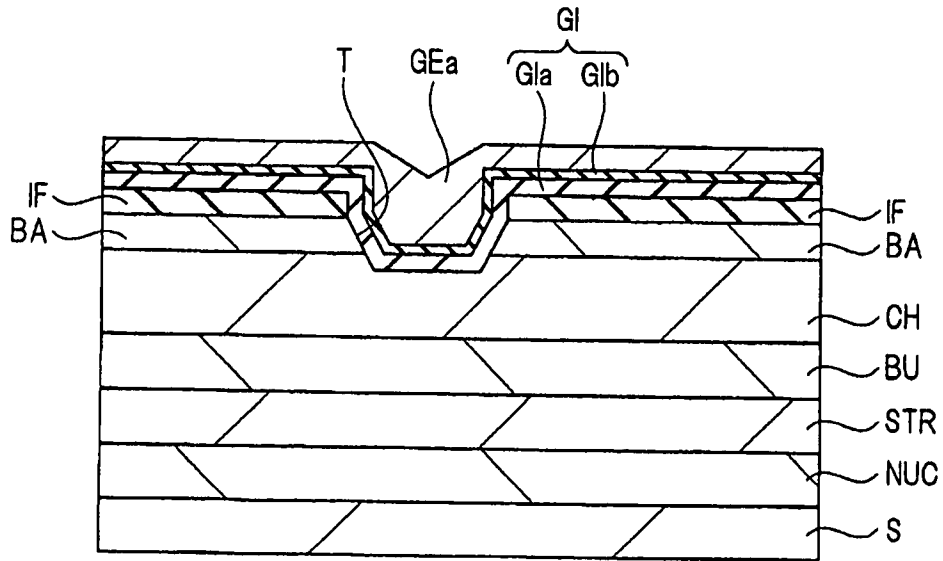


圖20

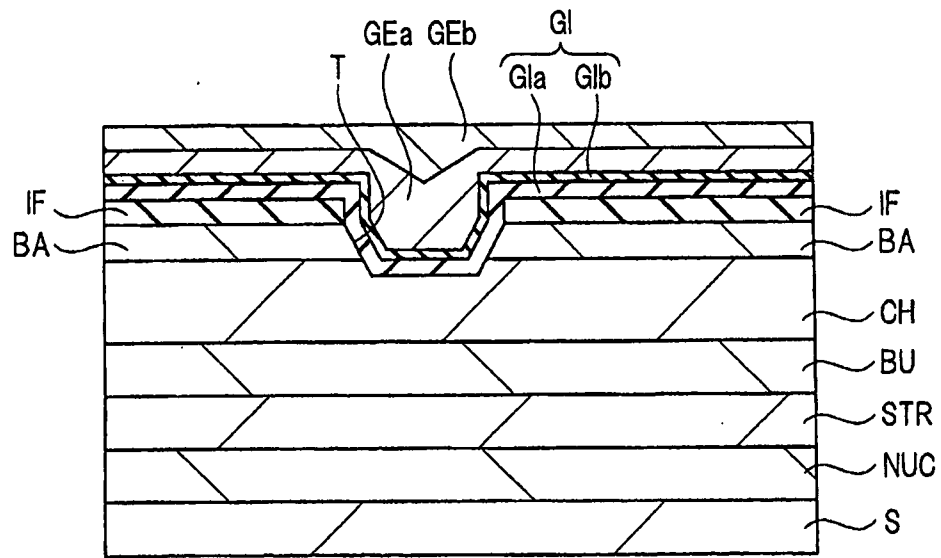


圖21

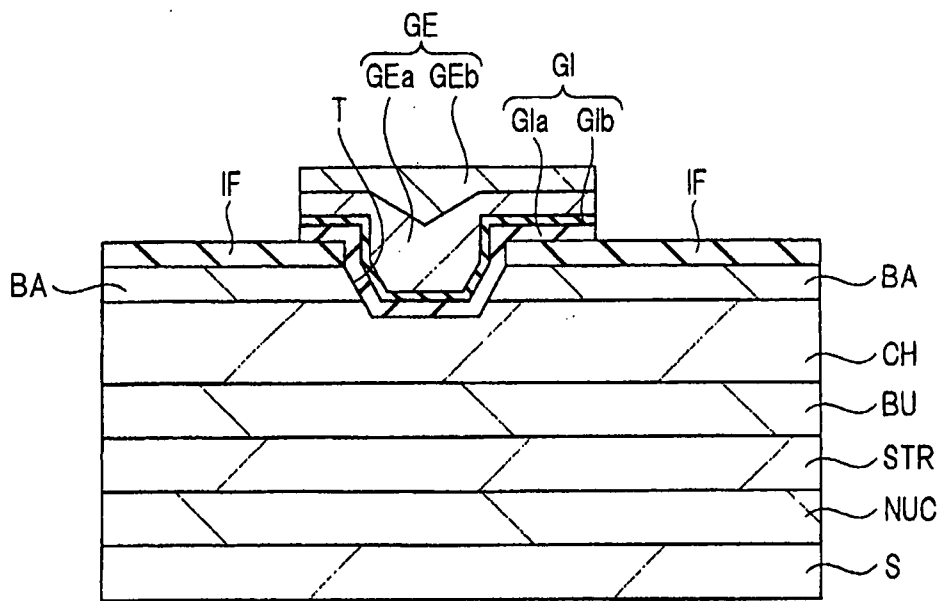


圖22

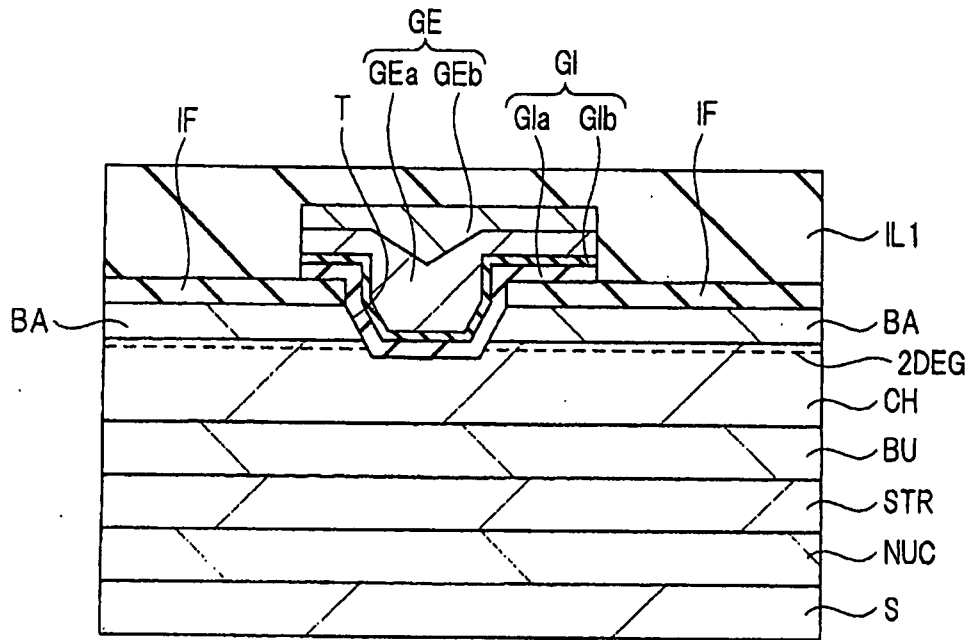


圖23

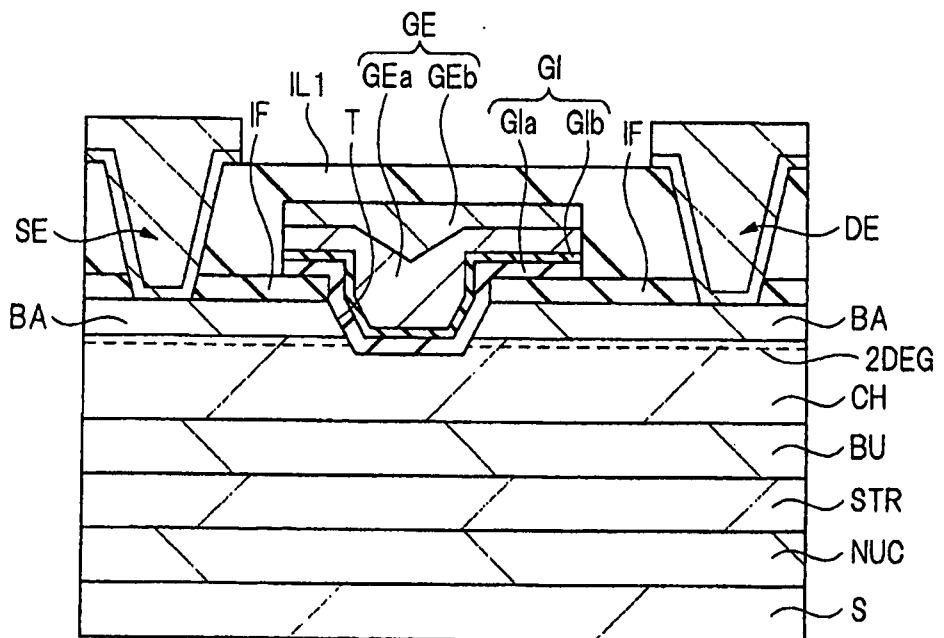


圖24

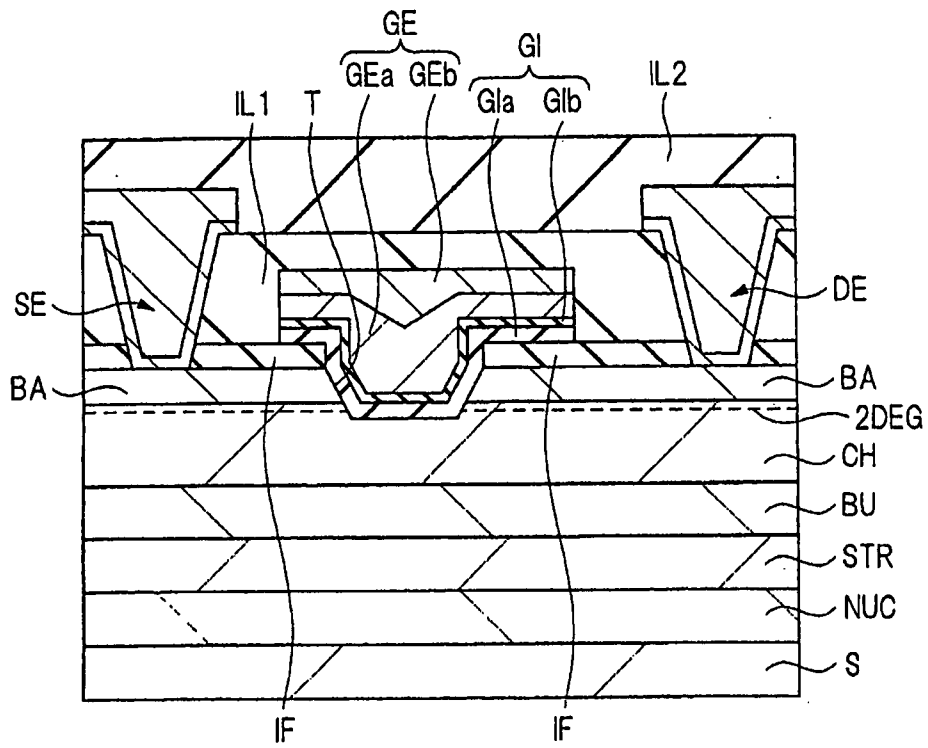


圖25

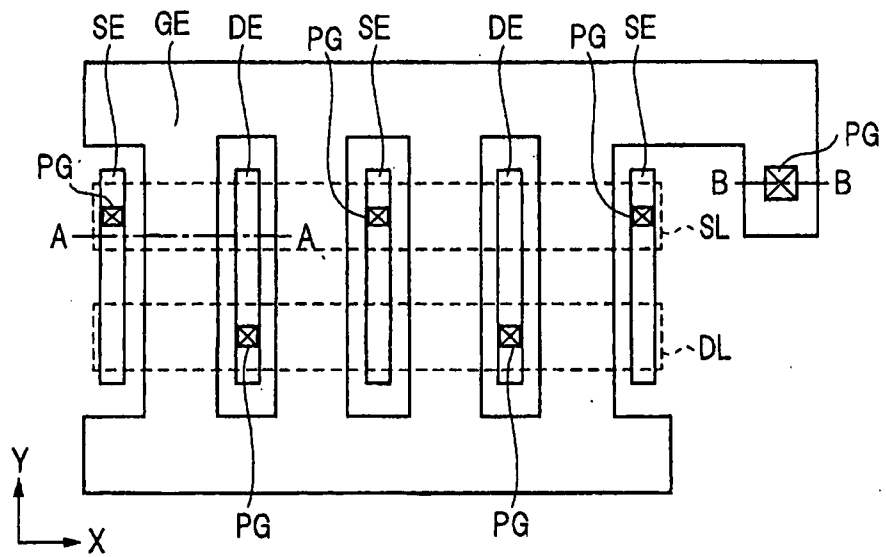


圖26

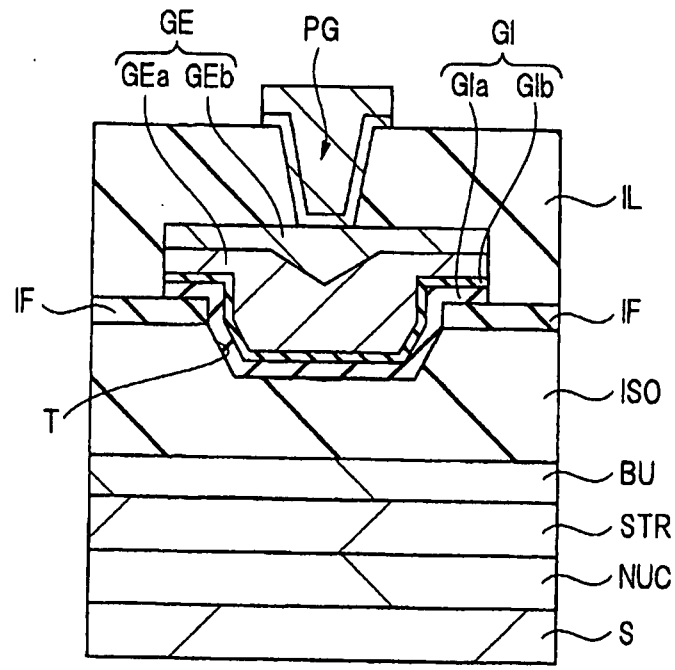


圖27

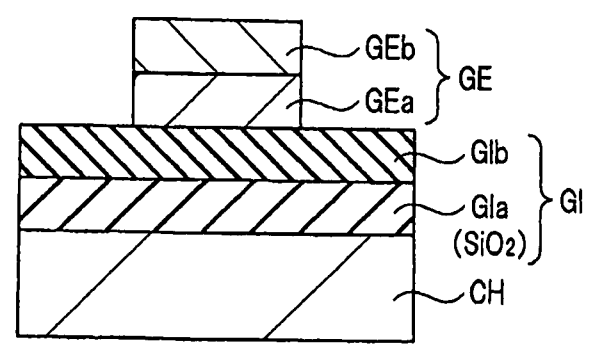


圖28

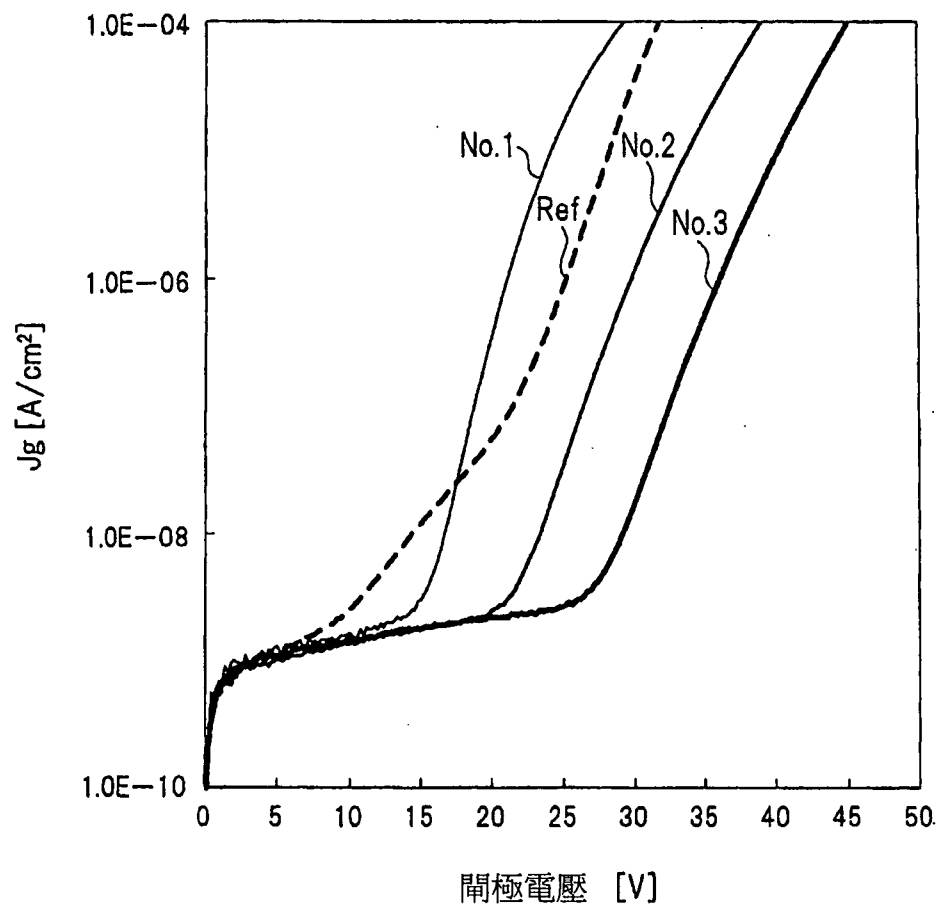


圖29

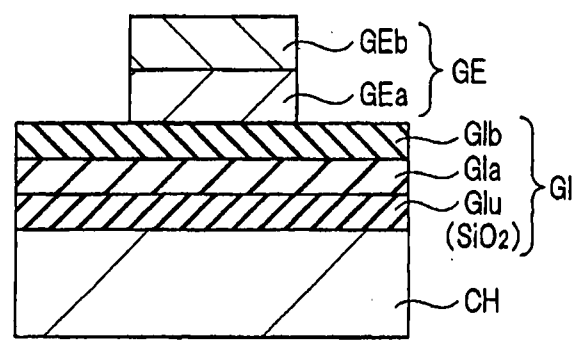


圖30

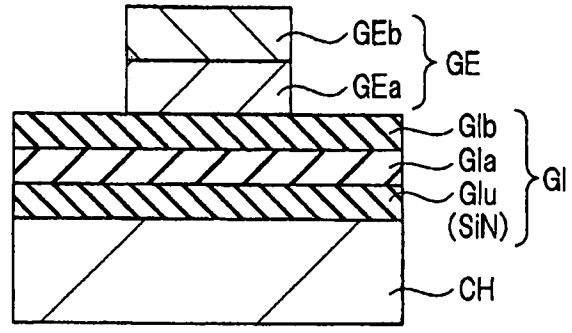


圖31

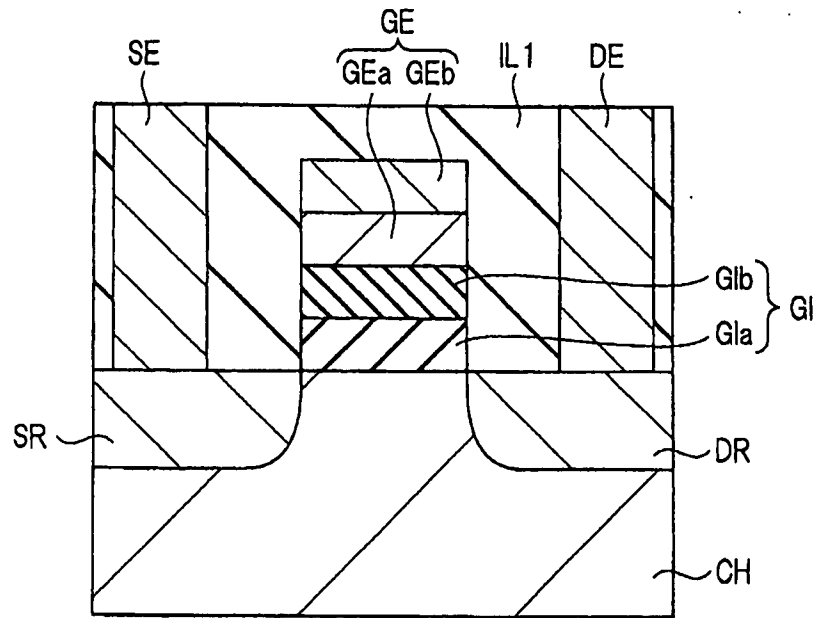


圖32

用以驗證該氧擴散之抑制效果之實驗之一，進行如下所述之實驗。

作為樣品1(TiN(as))，藉由濺鍍法於Si基板上形成TiN膜。又，作為樣品2(TiN(anneal))，藉由濺鍍法於Si基板上形成TiN膜，於與上述恢復退火相當之條件下對該TiN膜進行退火。

又，作為樣品3(W/TiN(as))，藉由濺鍍法於Si基板上形成TiN膜，連續地於TiN膜上形成W膜。又，作為樣品4(TiN(anneal))，藉由濺鍍法於Si基板上形成TiN膜，連續地於TiN膜上形成W膜，於與上述恢復退火相當之條件下對該TiN膜與W膜之積層膜進行退火。

測定該等樣品(樣品1～樣品4)中之氧濃度分佈。於測定中使用SIMS(Secondary Ion Mass Spectrometry，次級離子質譜分析)法。

於圖5中表示各樣品中之氧濃度分佈。圖5(a)係一併記載4個樣品(樣品1～4)之氧濃度之曲線圖者，圖5(b)係僅僅記載樣品1、2之曲線圖者，圖5(c)係僅僅記載樣品3、4之曲線圖者。圖5之橫軸為深度(Depth、[nm])，縱軸為氧濃度(Oxygen concentration、[atoms/cm³])。例如 $1.0E+17$ 表示 1.0×10^{17} 。再者，於圖5之TiN膜(樣品1、2)中，錯開W膜之膜厚部分(90 nm左右)而表記深度之起點。又，於深度為120 nm之位置、亦即與TiN膜與Si基板之邊界對應之位置所確認之峰值係由Si基板上之自然氧化膜引起。

如圖5(a)、(b)所示，與樣品1(TiN(as))相比而言，於樣品2(TiN(anneal))中，TiN膜中之氧濃度變高(參照箭頭a部)。相對於此，如圖5(a)、(c)所示，於樣品3(W/TiN(as))及樣品4(W/TiN(anneal))中，雖然W膜中之氧濃度變高(參照箭頭b部)，但於W膜之下方之深度75 nm以後(參照c部)，樣品3、4之曲線圖重疊，無法確認氧濃度上升。又，於樣品3、4中，與樣品1、2之情形相比而言，TiN膜表面之氧濃度被抑製得較低。

根據上述結果可判明：於採用本實施形態之積層閘極電極構造

之樣品3、4中，第2閘極電極GEb表面所吸附之氧或水分子即使於退火後亦不擴散至作為第1閘極電極GEa之TiN膜。藉此，能夠維持由閘極絕緣膜GI內所形成之極化所帶來的平帶電壓 V_{fb} 之偏移效果。

此處，關於用以防止氧向作為第1閘極電極GEa之TiN膜擴散的第2閘極電極GEb之膜厚進行研究。例如，於圖5中確認W膜之膜厚為50 nm左右，氧濃度下降1位。認為若表面之氧濃度下降1位，則相當程度地抑制氧向TiN膜之擴散，因此關於第2閘極電極GEb之膜厚，認為若為50 nm左右則充分有效。

又，如上所述，藉由使TiN膜富氮，亦即，使TiN膜之Ti與N之比N/Ti大於1，能夠藉由氮(N)使可於晶界產生之懸鍵鈍化。藉此，能夠抑制暴露於大氣時之氧或水分子之吸附。另一方面，於TiN膜為富Ti之情形時，作為第2閘極絕緣膜GIb之 HfO_2 等之氧向第1閘極電極GEa移動，於第2閘極絕緣膜GIb中產生氧缺陷(氧空位)。該氧空位具有正電荷，使平帶電壓 V_{fb} 向負側偏移。因此，於使TiN膜為富氮之情形時，能夠抑制此種平帶電壓 V_{fb} 向負側之偏移。

[製法說明]

其次，參照圖6～圖11對本實施形態之半導體裝置之製造方法加以說明，且使該半導體裝置之構成更明確。圖6～圖11係表示本實施形態之半導體裝置之製造步驟之剖視圖。

如圖6所示，準備形成有通道層CH之基板。通道層CH係氮化物半導體層，例如使用氮化鎵層(GaN層)。作為基板，使用GaN基板，亦可將該基板作為通道層CH而使用。又，亦可於Si基板等支持基板上形成GaN層。例如，使用有機金屬化學氣相沈積(MOCVD：Metal Organic Chemical Vapor Deposition)法等，於Si基板上異質磊晶生長i-GaN層。此時，並不刻意地進行雜質摻雜而使其生長。

首先，使用稀釋HCl溶液等對通道層(i-GaN層、GaN基板)CH之

[表2]

金屬或金屬化合物	
M3	Ti、Ta、W
M3N	TiN、TaN、WN
M4	W、Ru、Ir

又，如上所述，較佳為N與M3之組成比N/M3大於1。又，M4之膜厚較佳為50 nm以上。

(實施形態2)

以下，一面參照圖式，一面對本實施形態之半導體裝置加以詳細說明。

[構造說明]

圖13係表示本實施形態之半導體裝置之構成之剖視圖。圖13中所示之半導體裝置係使用氮化物半導體之MISFET。該半導體裝置亦稱為高電子遷移率電晶體(HEMT: High Electron Mobility Transistor)或功率電晶體。本實施形態之半導體裝置係所謂之凹槽閘極型半導體裝置。

於本實施形態之半導體裝置中，包含形成於基板S上之複數個氮化物半導體層。具體而言，於基板S上依序形成有核生成層NUC、應變緩和層STR、緩衝層BU、通道層(亦稱為電子移行層)CH及障壁層BA。閘極電極GE係貫通絕緣膜IF及障壁層BA，介隔閘極絕緣膜GI而形成於挖掘至通道層CH之中途之溝(亦稱為溝槽、凹槽)T之內部。

此處，閘極絕緣膜GI包含形成於通道層CH上之第1閘極絕緣膜GIa、形成於第1閘極絕緣膜GIa上之第2閘極絕緣膜GIb，包含與實施形態1中所說明之閘極絕緣膜(第1閘極絕緣膜GIa、第2閘極絕緣膜GIb)同樣之材料。亦即，第1閘極絕緣膜GIa包含第1金屬之氧化物。第2閘極絕緣膜GIb包含第2金屬之氧化物。並且，第2金屬之陰電性低於第1金屬之陰電性。第1閘極絕緣膜GIa並非對通道層(氮化物半導

體)CH進行熱氧化而形成之膜，而是藉由所謂堆積法(沈積法)而形成之膜。亦即，下層之第1金屬之氧化膜並非構成氮化物半導體層之元素之氧化物。如上所述，第1金屬之氧化膜並非藉由通道層(氮化物半導體)之直接氧化而形成者，因此第1金屬與構成通道層(氮化物半導體)之元素不同。

又，閘極電極GE包含介隔閘極絕緣膜(GIa、GIb)形成於通道層CH上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEb，包含與實施形態1中所說明之閘極電極(第1閘極電極GEa、第2閘極電極GEb)同樣之材料。亦即，第1閘極電極GEa包含第3金屬之氮化物(含有第3金屬之氮化物、第3金屬之氮化膜)。第2閘極電極GEb包含第4金屬。並且，較佳為第3金屬之氮化物之氮(N)與第3金屬(M3)之組成比N/M3大於1。又，第4金屬之膜厚較佳為50 nm以上。

又，源極電極SE及汲極電極DE形成於閘極電極GE之兩側之障壁層BA上。

如圖13所示，於基板S上形成有核生成層NUC，於核生成層NUC上形成有應變緩和層STR。核生成層NUC係為了生成於應變緩和層STR等之上部所形成之層生長時之晶核而形成。又，核生成層NUC係為了防止如下現象而形成：形成於上部之層之構成元素(例如Ga等)自上部所形成之層擴散至基板S，從而造成基板S變質。又，應變緩和層STR係為了緩和對基板S之應力，抑制於基板S產生翹曲或裂痕而形成。

於該應變緩和層STR上形成有緩衝層BU，於緩衝層BU上形成有包含氮化物半導體之通道層(亦稱為電子移行層)CH，於通道層CH上形成有包含氮化物半導體之障壁層BA。於閘極電極GE之兩側之障壁層BA上形成有源極電極SE及汲極電極DE。該源極電極SE及汲極電極DE與障壁層BA分別進行歐姆連接。又，於閘極電極GE上形成有絕緣

緣膜GIa包含第1金屬之氧化物。第2閘極絕緣膜GIb包含第2金屬之氧化物。並且，第2金屬之陰電性低於第1金屬之陰電性。又，第1金屬之陰電性低於Si之陰電性。

又，閘極電極GE包含介隔閘極絕緣膜(GIa、GIb)形成於通道層CH上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEb，包含與實施形態1中所說明之閘極電極(第1閘極電極GEa、第2閘極電極GEb)同樣之材料。亦即，第1閘極電極GEa包含第3金屬之氮化物(含有第3金屬之氮化物、第3金屬之氮化膜)。第2閘極電極GEb包含第4金屬。並且，較佳為第3金屬之氮化物之氮(N)與第3金屬(M3)之組成比N/M3大於1。又，第4金屬之膜厚較佳為50 nm以上。

如上所述，設置氧化矽膜(SiO₂)作為第3閘極絕緣膜(最下層閘極絕緣膜)GIu。於此情形時，可使分別構成3層閘極絕緣膜(GIu、GIa、GIb)之元素(Si、M1、M2)之陰電性自下層側起依序變小。藉此，能夠使實施形態1中所說明之氧之極化效果變大，平帶電壓V_{fb}之偏移量變大。

又，與實施形態1之情形同樣地將閘極電極GE設為積層構造、亦即積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬之構成，藉此能夠防止氧向閘極絕緣膜GI擴散，維持氧之極化(閘極絕緣膜之積層效果)，維持平帶電壓V_{fb}之偏移效果。特別是即使於形成閘極絕緣膜GI之後實施退火處理之情形時，亦能夠減低由退火處理引起之氧之擴散，維持閘極絕緣膜之積層效果。

[製法說明]

其次，對本實施形態之半導體裝置之製造方法加以說明。於本實施形態之半導體裝置之製造方法中，除了閘極絕緣膜GI之形成步驟以外，其他與實施形態1之情形相同。

亦即，以與實施形態1同樣之方式對通道層(i-GaN層、GaN基

板)CH之表面進行清洗後，使用堆積法於通道層CH上堆積氧化矽膜(SiO_2 膜)作為第3閘極絕緣膜(最下層閘極絕緣膜)GIu。

例如，將三-二甲基胺基矽烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ 、TDMAS)及臭氧(O_3 、氧化劑)作為原料氣體，於 480°C 之氛圍中，使用ALD法堆積3 nm左右之膜厚之氧化矽膜(SiO_2 膜)。氧化矽膜之膜厚例如可於3 nm~20 nm之範圍內調整。除了ALD法以外，亦可使用CVD法(熱CVD或電漿CVD法等)堆積氧化矽膜。再者，根據本發明者之研究，即使是3~5 nm左右之膜厚，亦能夠藉由上述氧之極化而獲得充分之平帶電壓 V_{fb} 之偏移效果。

其次，進行熱處理。例如，於氮(N_2)氛圍中，實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第3閘極絕緣膜GIu(此處為氧化矽膜)中之陷阱(陷阱能階、缺陷)。

其次，於第3閘極絕緣膜GIu上形成第1閘極絕緣膜(第1金屬之氧化膜)GIa。例如，以與實施形態1同樣之方式，以50 nm~100 nm左右之膜厚堆積氧化鋁膜(Al_2O_3 膜)作為第1閘極絕緣膜GIa。

其次，進行熱處理。例如，於氮(N_2)氛圍中，實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第1閘極絕緣膜GIa(此處為氧化鋁膜)中之陷阱(陷阱能階、缺陷)。

其次，於第1閘極絕緣膜GIa上形成第2閘極絕緣膜(第2金屬之氧化膜)GIb。例如，以與實施形態1同樣之方式，以2 nm左右之膜厚堆積氧化鈦膜(HfO_2 膜)作為第2閘極絕緣膜GIb。

其次，進行熱處理。例如，於氮(N_2)氛圍中，實施 750°C 、1分鐘左右之熱處理。藉由該熱處理，能夠減低第2閘極絕緣膜GIb(此處為氧化鈦膜)中之陷阱(陷阱能階、缺陷)。再者，於上述步驟中，於形成各閘極絕緣膜(GIu、GIa、GIb)之後個別地進行熱處理，但亦可於形成第2閘極絕緣膜GIb之後一次性進行熱處理。

膜，又，亦可為堆積膜。作為熱氧化法，可使用乾式氧化或濕式氧化。又，亦可使用臭氧進行氧化。作為堆積法，可使用ALD法、CVD法或PVD法。氧化矽膜之膜厚可於1 nm~10 nm之範圍內調整。

第2金屬係陰電性低於Si之金屬，例如為鋁(Al)。於此情形時，第2金屬之氧化物成為氧化鋁(Al_2O_3)。該第2金屬之氧化物之膜厚例如為60 nm左右。

作為第2金屬，除了Al以外，可使用Hf、Zr、Ta、Ti、Nb、La、Y、Mg等。此情形時之氧化膜例如成為氧化鈣(HfO_2)、氧化鋯(ZrO_2)、氧化鉭(Ta_2O_5)、氧化鈦(TiO_2)、氧化鈮(Nb_2O_5)、氧化釷(La_2O_3)、氧化釷(Y_2O_3)、氧化鎂(MgO)。第2金屬與氧之組成比並不限定於上述者。又，作為第2金屬，亦可含有2種以上元素。於此情形時，成為2種金屬與氧之化合物。其中，於此情形時，2種以上元素之陰電性均必須低於Si。其中，含有雜質程度之金屬(例如0.01%濃度以下之金屬)於製造上不可避免，因此有無關陰電性之大小而含有雜質程度之金屬之情況。又，第1閘極絕緣膜GIa與第2閘極絕緣膜GIb之各自之膜厚可根據作為閘極絕緣膜GI而要求之特性或由堆積方法所引起之膜質(介電常數或漏電特性等電氣特性)而選擇適宜之組合。

又，閘極電極GE包含形成於第2閘極絕緣膜GIb上之第1閘極電極GEa、形成於第1閘極電極GEa上之第2閘極電極GEB。

第1閘極電極GEa係含有第3金屬之氮化膜。作為第3金屬，可使用Ti、Ta、W等。於此情形時，含有第3金屬之氮化膜成為TiN、TaN、WN。作為第3金屬，較佳為具有導電性、加工性高、氧之吸收性或供給性低之金屬。於此方面而言，作為第3金屬，適宜使用Ti。

第2閘極電極GEB包含第4金屬。作為第4金屬，可使用W、Ru、Ir。作為第4金屬，較佳為即使於氧化後亦具有導電性、加工性高、能夠阻擋氧向下層之第1閘極電極GEa滲入者。於此方面而言，作為

第4金屬，適宜使用W。

如上所述，於本實施形態中，作為閘極絕緣膜GI，積層使用Si及第2金屬之各自之氧化物，且於上層配置陰電性低於Si之第2金屬之氧化膜，因此能夠使閾值電壓(V_{th})為正($V_{th} > 0$)(閘極絕緣膜之積層效果)。

又，作為閘極電極GE，積層使用含有第3金屬之氮化物及第4金屬，且於上層配置第4金屬，因此能夠防止氧向閘極絕緣膜GI擴散，減低閾值電壓(V_{th})之不均一。特別是即使經過後述之退火處理，亦能夠減低氧之擴散，維持閘極絕緣膜之積層效果。

[製法說明]

其次，對本實施形態之半導體裝置之製造方法加以說明，且使該半導體裝置之構成更明確。

首先，準備形成有通道層CH之基板(未圖示)。通道層CH係SiC層。SiC層例如可使用CVD法等形成。亦可使用SiC基板作為基板，將該基板用作通道層CH。

其次，使用硫酸過氧化氫混合物或氨水過氧化氫混合物系溶液等對通道層(SiC層)CH之表面進行清洗。其次，於通道層CH上形成包含第1閘極絕緣膜GIa與第2閘極絕緣膜GIb之閘極絕緣膜GI。

首先，於通道層CH上形成第1閘極絕緣膜GIa。例如，藉由乾式氧化形成氧化矽膜(SiO_2 膜)作為第1閘極絕緣膜GIa。例如，於 O_2 與 N_2 之混合氣體中，進行氧化溫度為 1300°C 之乾式氧化，例如形成10 nm左右之膜厚之氧化矽膜。再者，氧化法並不限定於乾式氧化，亦可為利用其他氧化劑之熱氧化。又，亦可使用CVD法、ALD法、PVD法等堆積法形成氧化矽膜。

其次，對第1閘極絕緣膜GIa與通道層CH之界面(SiO_2/SiC 界面)進行氮化。作為氮化處理，例如於含有一氧化氮(NO)之氛圍下，進行

[附註3]

如附註2之半導體裝置，其中

上述第2金屬係選自Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素。

[附註4]

如附註3之半導體裝置，其中

上述第3金屬係Ti。

[附註5]

如附註4之半導體裝置，其中

上述含有第3金屬之氮化膜係氮化鈦，鈦(Ti)與氮(N)之比(N/Ti)大於1。

[附註6]

如附註4之半導體裝置，其中

上述第4金屬係W。

[附註7]

如附註6之半導體裝置，其中

上述第2閘極電極之膜厚為50 nm以上。

[附註8]

如附註6之半導體裝置，其中

上述第2閘極電極覆蓋上述第1閘極電極之整個上表面。

[附註9]

一種半導體裝置之製造方法，其包含：

(a)準備氮化物半導體層之步驟，

(b)於上述氮化物半導體層上形成包含含有第1金屬之氧化膜或含有矽之氧化膜的第1閘極絕緣膜之步驟，

(c)於上述第1閘極絕緣膜上形成包含第2金屬之氧化膜的第2閘極

絕緣膜之步驟，

(d)於上述第2閘極絕緣膜上形成包含含有第3金屬之氮化膜的第1閘極電極之步驟，

(e)於上述第1閘極電極上形成包含第4金屬之第2閘極電極之步驟；且

上述第2金屬之陰電性小於上述第1金屬或矽之陰電性。

[附註10]

如附註8之半導體裝置之製造方法，其中

於上述(d)步驟至上述(e)步驟中，

於形成上述第1閘極電極之後，並不暴露於空氣中而形成上述第2閘極電極。

[附註11]

如附註9之半導體裝置之製造方法，其中

上述第1閘極絕緣膜包含含有矽之氧化膜，

上述第2金屬係選自Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素，

上述第3金屬係Ti，

上述第4金屬係W。

[附註12]

如附註1之半導體裝置，其中

上述第1閘極絕緣膜包含含有矽之氧化膜，

上述第2金屬係選自Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素，

上述第3金屬係Ti，

上述第4金屬係W。

【符號說明】

申請專利範圍

1. 一種半導體裝置，其包含：
 - 氮化物半導體層、
 - 設於上述氮化物半導體層上之第1閘極絕緣膜、
 - 設於上述第1閘極絕緣膜上之第2閘極絕緣膜、
 - 設於上述第2閘極絕緣膜上之第1閘極電極、
 - 設於上述第1閘極電極上之第2閘極電極；且
 - 上述第1閘極絕緣膜係含有第1金屬之氧化膜或含有矽之氧化膜，
 - 上述第2閘極絕緣膜係含有第2金屬之氧化膜，
 - 上述第2金屬之陰電性小於上述第1金屬或矽之陰電性，
 - 上述第1閘極電極係含有第3金屬之氮化膜，
 - 上述第2閘極電極包含第4金屬。
2. 如請求項1之半導體裝置，其中
 - 上述第1金屬係Al。
3. 如請求項2之半導體裝置，其中
 - 上述第2金屬係選自Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之一種以上元素。
4. 如請求項3之半導體裝置，其中
 - 上述第3金屬係Ti。
5. 如請求項4之半導體裝置，其中
 - 上述含有第3金屬之氮化膜係氮化鈦，
 - 鈦(Ti)與氮(N)之比(N/Ti)大於1。
6. 如請求項4之半導體裝置，其中
 - 上述第4金屬係W。

7. 如請求項6之半導體裝置，其中
上述第2閘極電極之膜厚為50 nm以上。
8. 如請求項6之半導體裝置，其中
上述第2閘極電極覆蓋上述第1閘極電極之整個上表面。
9. 如請求項6之半導體裝置，其中
上述氮化物半導體層係GaN。
10. 如請求項6之半導體裝置，其中
於上述氮化物半導體層與上述第1閘極絕緣膜之間包含第3閘極絕緣膜，
上述第3閘極絕緣膜係氧化矽膜或氮化矽膜。
11. 一種半導體裝置，其包含：
形成於基板上方之第1氮化物半導體層、
形成於上述第1氮化物半導體層上之第2氮化物半導體層、
貫通上述第2氮化物半導體層，到達至上述第1氮化物半導體層之溝、
介隔閘極絕緣膜而配置於上述溝內之閘極電極；且
上述閘極絕緣膜包含設於上述第1氮化物半導體層上之第1閘極絕緣膜、與設於上述第1閘極絕緣膜上之第2閘極絕緣膜，
上述閘極電極包含設於上述第2閘極絕緣膜上之第1閘極電極、與設於上述第1閘極電極上之第2閘極電極，
上述第1閘極絕緣膜係含有第1金屬之氧化膜或含有矽之氧化膜，
上述第2閘極絕緣膜係含有第2金屬之氧化膜，
上述第2金屬之陰電性小於上述第1金屬或矽之陰電性，
上述第1閘極電極係含有第3金屬之氮化膜，
上述第2閘極電極包含第4金屬。

12. 一種半導體裝置之製造方法，其包含：
 - (a) 準備氮化物半導體層之步驟、
 - (b) 於上述氮化物半導體層上形成包含含有第1金屬之氧化膜或含有矽之氧化膜的第1閘極絕緣膜之步驟、
 - (c) 於上述第1閘極絕緣膜上形成包含第2金屬之氧化膜的第2閘極絕緣膜之步驟、
 - (d) 於上述第2閘極絕緣膜上形成包含含有第3金屬之氮化膜的第1閘極電極之步驟、
 - (e) 於上述第1閘極電極上形成包含第4金屬之第2閘極電極之步驟；且
上述第2金屬之陰電性小於上述第1金屬或矽之陰電性。
13. 如請求項12之半導體裝置之製造方法，其中
於上述(d)步驟至上述(e)步驟中，
於上述第1閘極電極之形成後，並不暴露於空氣中而形成上述第2閘極電極。
14. 如請求項13之半導體裝置之製造方法，其中
於上述(e)步驟後，包含：
 - (f) 於惰性氣體氛圍下進行熱處理之步驟。
15. 如請求項13之半導體裝置之製造方法，其中
於上述(e)步驟後，包含：
 - (g) 將上述第1閘極電極及上述第2閘極電極之積層膜加工為第1形狀之步驟。
16. 如請求項12之半導體裝置之製造方法，其中
上述第1金屬係Al。
17. 如請求項16之半導體裝置之製造方法，其中
上述第2金屬係選自Hf、Zr、Ta、Ti、Nb、La、Y、Mg之群之

一種以上元素。

18. 如請求項17之半導體裝置之製造方法，其中
上述第3金屬係Ti。
19. 如請求項18之半導體裝置之製造方法，其中
上述第4金屬係W。
20. 如請求項19之半導體裝置之製造方法，其中
上述氮化物半導體層係GaN。
21. 如請求項12之半導體裝置之製造方法，其中
上述第1閘極絕緣膜包含含有矽之氧化膜，
上述第2金屬係選自Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mg之
群之一種以上元素，
上述第3金屬係Ti，
上述第4金屬係W。