

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 21/336

(45) 공고일자 2005년12월01일
(11) 등록번호 10-0532564
(24) 등록일자 2005년11월24일

(21) 출원번호 10-2004-0037571
(22) 출원일자 2004년05월25일

(65) 공개번호
(43) 공개일자

(73) 특허권자 한국전자통신연구원
대전 유성구 가정동 161번지

(72) 발명자 조영균
대전광역시유성구가정동236-1번지1-107

권성구
대전광역시유성구신성동두레아파트106-807

노태문
대전광역시유성구신성동한울아파트107-202

이대우
대전광역시유성구어은동99, 한빛아파트110-1506

김종대
대전광역시서구관저동990대자연마을아파트108-2105

(74) 대리인 신영무

심사관 : 정회환

(54) 다중 게이트 모스 트랜지스터 및 그 제조 방법

요약

본 발명은 다중 게이트 모스 트랜지스터 및 그의 제조 방법에 관한 것으로, 단결정 실리콘 패턴의 형태와 실리콘의 결정 방향에 따른 열산화 속도 차이를 이용하여 유선(N) 형태의 채널, 점차 증가하는 형태의 확장 영역 및 상승된 구조의 소스 및 드레인을 구현한다. 채널이 유선(N) 형태로 형성됨으로써 전계의 집중으로 인한 소자의 신뢰성 저하가 방지되며, 채널의 상부와 양 측벽이 게이트 전극으로 둘러싸여지기 때문에 게이트 전압에 의한 전류 구동 능력이 우수해진다. 또한, 크기가 증가된 확장 영역으로 인해 전류 밀집 현상이 방지되며, 상승된 소스 드레인 구조에 의해 소스 및 드레인 직렬 저항이 감소되어 전류 구동 능력이 증대된다.

대표도

도 2a

색인어

다중 게이트, 열산화, 유선 형태, 확장 영역, 상승된 소스 드레인

명세서

도면의 간단한 설명

도 1은 종래의 이중 게이트 FinFET를 설명하기 위한 사시도.

도 2a는 본 발명의 실시예에 따른 다중 게이트 모스 트랜지스터를 설명하기 위한 사시도.

도 2b는 도 2a에 도시된 단결정 실리콘 패턴의 사시도.

도 3a 내지 도 11a는 본 발명의 실시예에 따른 다중 게이트 모스 트랜지스터의 제조 방법을 설명하기 위한 사시도.

도 3b 내지 도 11b는 도 3a 내지 도 11a의 B1-B2 부분을 절취한 단면도.

도 3c 내지 도 11c는 도 3a 내지 도 11a의 C1-C2 부분을 절취한 단면도.

도 12a 및 도 12b는 본 발명의 채널 영역 형성 과정을 나타내는 2차원 시뮬레이션 결과도.

<도면의 주요 부분에 대한 부호의 설명>

10, 30: 실리콘층 11, 31: 산화층

12, 32: 단결정 실리콘 패턴 12a, 32a: 소스 및 드레인 영역

12b, 32b: 채널 영역 12c, 32c: 확장 영역

13: 마스크 패턴 14: 게이트 산화막

15, 38: 게이트 전극 33: 실리콘 산화막

34: 질화막 35: 열산화막

36: 절연막 스페이서 37: 게이트 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다중 게이트 모스 트랜지스터(MOSFET) 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는 유선(∩) 형태의 채널과 직렬 저항이 감소된 소스 및 드레인을 갖는 다중 게이트 모스 트랜지스터 및 그의 제조 방법에 관한 것이다.

반도체 소자의 제조 기술이 발달됨에 따라 소자의 크기는 감소되는 반면, 동작속도 등을 증가시켜 성능 향상을 이루려는 노력들이 진행되고 있다. 이에 따라 오늘날 전자분야에 사용되는 소자의 주축을 이루고 있는 전계효과 트랜지스터(MOSFET)의 경우에도 계속적인 크기 감소(scale down)가 이루어지고 있다. 그러나 일반적인 MOSFET의 경우 채널 길이가 100nm 이하로 감소되면 소위 짧은채널효과(Short Channel Effect)로 인해 게이트 전압에 따른 소자의 온/오프(on/off) 제어 능력이 저하된다.

이와 같은 문제점을 해결하기 위해 전류가 흐르는 채널의 양쪽에 게이트 전극을 형성하는 이중 게이트 구조가 제안되었다. 이중 게이트 구조는 채널의 양쪽에 게이트 전극이 형성되기 때문에 게이트 전압에 의한 채널에서의 전류 제어 능력이 크게 향상되어 짧은채널효과가 억제되며, 소자의 크기를 더욱 감소시키는 데 유리하다. 또한, 이중 게이트 구조의 개념을 확장한 "wrap-around" 게이트 구조나, "surround" 게이트 구조도 제안되었으며, 이들 구조에서도 게이트 전압에 따른 제어 능력의 향상을 이룰 수 있었다.

이상적인 이중 게이트 구조의 전계효과 트랜지스터에서는 전면 및 후면 게이트가 자기 정렬되며, 소스 및 드레인도 자기 정렬되기 때문에 기생 저항이 작다. 최근에는 기존의 반도체 공정을 그대로 적용하면서 자기 정렬된 게이트를 가지는 이중 게이트 구조의 FinFET가 개발되었다. 이는 기존의 평면 구조 반도체 기술과 높은 호환성을 가지는 장점이 있다.

도 1은 종래의 이중 게이트 FinFET를 설명하기 위한 사시도이다.

실리콘층(10), 산화층(11) 및 단결정 실리콘층(12)이 적층된 구조의 SOI(Silicon On Insulator) 기판이 사용된다. 상기 단결정 실리콘층(12)이 패터닝되어 만들어지는 핀(Fin) 구조의 단결정 실리콘 패턴(12)에 의해 소스 및 드레인 영역(12a), 채널 영역(12b) 및 확장 영역(12c)이 정의된다. 상기 소스 및 드레인 영역(12a) 사이의 채널 영역(12b) 및 확장 영역(12c)은 상기 소스 및 드레인 영역(12a)보다 좁게 형성된다.

상기 채널 영역(12b)의 단결정 실리콘 패턴(12) 상에는 전계의 집중과 채널 형성을 방지하기 위한 마스크 패턴(13)이 형성되며, 상기 단결정 실리콘 패턴(12)의 표면에는 게이트 산화막(14)이 형성되고, 상기 채널 영역(12b)의 게이트 산화막(14) 및 산화층(11) 상에 게이트 전극(15)이 형성된다.

그러나 상기와 같이 이루어지는 이중 게이트 FinFET는 다음과 같은 단점을 가진다.

첫째, 60nm 정도의 게이트 폭을 가지면서 동작 특성이 안정된 FinFET를 제작하기 위해서는 채널 영역을 대략 40nm 이하의 폭으로 형성해야 한다. 그러나 미세한 크기의 채널을 형성하기 위해서는 나노 패터닝 기술이 필요하며, 이에 따라 섬세한 리소그래피 기술이 요구된다. 일반적인 전자 빔 리소그래피 기술을 이용할 경우 채널 영역의 폭의 변화가 상대적으로 커져 소자의 특성 편차가 상대적으로 증가하게 된다.

둘째, 상기와 같이 단결정 실리콘 패턴으로 이루어지는 핀(Fin)을 형성함에 있어 패턴을 얇고 높게 형성하기 어려울 뿐만 아니라, 채널 영역의 핀(Fin)이 직사각형 구조로 형성되기 때문에 상단 모서리부에서의 전계의 국부적인 집중으로 인해 전자가 축적되는 코너 효과가 발생되고, 이에 의해 소자의 신뢰성이 저하된다.

마지막으로, 소스 및 드레인 확장 영역이 채널 영역과 동일한 두께 및 폭으로 형성되기 때문에 기생 저항이 높고, 이에 따라 소자의 전류 구동 능력이 현저하게 낮아진다. 이를 해결하기 위해 소스 및 드레인 영역에 단결정 실리콘이나 실리콘 게르마늄(SiGe)을 에피택셜 성장시킨 상승된 소스 드레인(Elevated Source Drain) 구조가 시도되고 있으나, 공정이 복잡해지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기한 종래의 문제점을 해결하기 위하여 단결정 실리콘 패턴의 형태와 실리콘의 결정 방향에 따른 열산화 속도 차이를 이용하여 채널의 구조를 유선(Γ) 형태로 형성함으로써 전계의 집중으로 인한 신뢰성 저하를 방지하는 데 그 목적이 있다.

또한, 본 발명의 다른 목적은 소스 및 드레인 확장 영역의 구조를 변경하여 기생 저항을 감소시키므로써 소자의 전류 구동 능력을 향상시키는 데 있다.

본 발명의 또 다른 목적은 비교적 간단한 방법으로 상승된 소스 드레인 구조를 형성함으로써 공정을 단순화시키며 소자의 특성을 향상시키는 데 있다.

상기한 목적을 달성하기 위한 본 발명에 따른 다중 게이트 모스 트랜지스터는 절연층이 형성된 기판, 상기 절연층 상에 형성되며, 소스 및 드레인 영역, 상기 소스 및 드레인 영역 사이에 형성된 채널 영역 및 상기 소스 및 드레인 영역과 상기 채널 영역을 각각 연결하는 확장 영역을 제공하는 단결정 실리콘 패턴, 상기 채널 영역의 단결정 실리콘 패턴 상에 형성된 게

이트 절연막, 상기 채널 영역의 상기 게이트 절연막 상에 형성된 게이트 전극을 포함하며, 상기 채널 영역의 단결정 실리콘 패턴의 상부가 유선 형태이고, 상기 확장 영역의 단결정 실리콘 패턴의 크기가 상기 소스 및 드레인 영역으로 갈수록 점차 증가하는 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위한 본 발명에 따른 다중 게이트 모스 트랜지스터의 제조 방법은 절연층 상에 소스 및 드레인 영역, 상기 소스 및 드레인 영역 사이에 형성된 채널 영역 및 상기 소스 및 드레인 영역과 상기 채널 영역을 각각 연결하는 확장 영역을 제공하는 단결정 실리콘 패턴을 형성하는 단계, 상기 단결정 실리콘 패턴의 표면에 실리콘 산화막 및 질화막을 형성하는 단계, 상기 채널 영역 및 확장 영역 일부의 상기 실리콘 산화막이 노출되도록 상기 질화막을 패터닝하는 단계, 상기 채널 영역과 확장 영역에 버즈빅을 갖는 필드 산화막 형태의 산화막을 형성하는 단계, 상기 채널 영역 및 확장 영역 일부의 노출된 상기 산화막을 제거하는 단계, 상기 채널 영역의 노출된 단결정 실리콘 패턴 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계, 상기 소스 및 드레인 영역의 상기 단결정 실리콘 패턴에 이온을 주입하는 단계를 포함하는 것을 특징으로 한다.

상기 소스 및 드레인 영역의 단결정 실리콘 패턴이 상기 채널 영역 및 확장 영역의 단결정 실리콘 패턴보다 두꺼운 것을 특징으로 한다.

상기 게이트 전극이 상기 확장 영역과 일부 중첩되도록 형성되며, 상기 절연층 상부까지 연장되도록 형성된 것을 특징으로 한다.

상기 실리콘 산화막이 상기 단결정 실리콘 패턴의 상부 및 측면에 서로 다른 두께로 형성되는 것을 특징으로 한다.

상기 필드산화막 형태의 산화막은 열산화 공정으로 형성되며, 상기 열산화 공정은 습식 또는 건식과 습식으로 실시되는 것을 특징으로 한다.

상기 산화막의 형성에 의해 상기 채널 영역의 단결정 실리콘 패턴의 상부가 유선 형태가 되고, 상기 확장 영역의 단결정 실리콘 패턴의 크기가 상기 소스 및 드레인 영역으로 갈수록 점차 증가하는 형태로 되는 것을 특징으로 한다.

상기 유선 형태는 상기 단결정 실리콘의 결정 방향에 따른 열산화 속도의 차이에 의해 만들어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

도 2a는 본 발명의 일 실시예에 따른 다중 게이트 모스 트랜지스터(MOSFET)를 설명하기 위한 사시도이고, 도 2b는 도 2a의 단결정 실리콘 패턴을 독립적으로 도시한 사시도이다.

실리콘층(30), 산화층(31) 및 단결정 실리콘층(32)이 적층된 구조의 SOI(Silicon On Insulator) 기판이 사용된다. 상기 단결정 실리콘층(32)이 패터닝되어 핀(Fin) 구조의 단결정 실리콘 패턴(32)이 만들어지며, 상기 단결정 실리콘 패턴(32)에 의해 소스 및 드레인 영역(32a), 상기 소스 및 드레인 영역(32a) 사이에 형성된 채널 영역(32b) 및 상기 소스 및 드레인 영역(32a)과 상기 채널 영역(32b)을 각각 연결하는 확장 영역(32c)이 제공된다(도 2a 참조).

상기 채널 영역(32b)의 단결정 실리콘 패턴(32)은 상부가 유선(∩) 형태를 가지도록 형성되고, 상기 확장 영역(32c)의 단결정 실리콘 패턴(32)은 상기 소스 및 드레인 영역(32a)으로 갈수록 점차 면적이 증가하는 형태로 형성되며, 상기 소스 및 드레인 영역(32a)의 단결정 실리콘 패턴(32)은 상기 채널 영역(32b) 및 확장 영역(32c)의 단결정 실리콘 패턴(32)보다 두껍고 넓게 형성된다(도 2b 참조).

상기 채널 영역(32b)의 단결정 실리콘 패턴(32) 상에는 게이트 절연막(37)이 형성되고, 상기 채널 영역(32b)의 상기 게이트 절연막(33) 상에는 게이트 전극(38)이 형성된다. 이 때 상기 게이트 전극(38)이 상기 확장 영역(32c)과 일부 중첩되도록 형성될 수 있으며, 상기 절연층(31) 상부까지 연장되어 형성될 수 있다(도 2a 참조).

상기와 같이 구성되는 본 발명의 다중 게이트 모스 트랜지스터는 다음과 같은 공정을 통해 제조될 수 있다.

도 3a 내지 도 11a는 전체 사시도이고, 도 3b 내지 도 11b는 도 3a 내지 도 11a의 B1-B2 부분을 절취한 단면도이며, 도 3c 내지 도 11c는 도 3a 내지 도 11a의 C1-C2 부분을 절취한 단면도이다.

도 3a 내지 도 3c를 참조하면, 실리콘층(30), 산화층(31) 및 단결정 실리콘층(32)이 적층된 구조의 SOI 기판이 제공된다.

도 4a 내지 도 4c를 참조하면, (100) 면 방향을 갖는 상기 SOI 기판의 단결정 실리콘층(32)을 사진 및 식각 공정으로 패터닝하여 소자 형성 영역(활성 영역)에 핀(Fin) 구조의 단결정 실리콘 패턴(32)이 잔류되도록 한다.

일반적인 핀(Fin) 구조에서는 소자 형성 영역을 수십 나노미터(nm) 크기로 형성하지만, 본 발명에 따르면 소자 형성 영역을 수백 나노미터(nm) 크기로 형성할 수 있다. 상기 단결정 실리콘 패턴(32)을 더욱 크게 형성하면 소스 및 드레인 확장 영역(source/drain extension region)의 크기를 더 증가시킬 수 있어 소스 및 드레인 직렬 저항(source/drain series resistance)을 줄이는 데 도움이 된다. 그러나 소스 및 드레인 확장 영역을 너무 넓게 만들면 열산화 과정을 통해 얇고 균일한 채널 구조를 만드는 데 어려움이 있다.

본 실시예에서는 상기 단결정 실리콘 패턴(32)을 형성함에 있어 단결정 실리콘층(32)의 폭과 높이를 조절하여 형성될 채널의 모양을 효과적으로 조절한다.

도 5a 내지 도 5c를 참조하면, 상기 단결정 실리콘 패턴(32)의 표면에 실리콘 산화막(SiO_2)(33)을 형성한다. 이 때 상기 산화층(31)의 표면에도 실리콘 산화막이 성장되지만, 그 두께는 무시할 수 있을 만큼 얇기 때문에 도면에는 도시하지 않았다. 상기 실리콘 산화막(33)은 화학 기상 증착법(Chemical Vapor Deposition)이나 원자층 증착법(Atomic Layer Deposition)으로 형성할 수 있다.

여기서, 상기 실리콘 산화막(33)을 형성할 때 다양한 구조의 채널을 얻기 위해 단결정 실리콘 패턴(32)의 상부와 양 측면에 서로 다른 두께의 실리콘 산화막(33)이 형성되도록 할 수 있으며, 또한, 단결정 실리콘 패턴(32)의 양 측면 하부에 질화막(도시안됨)을 형성하여 측면 하부의 열 산화를 억제할 수 있다.

도 6a 내지 도 6c를 참조하면, 상기 실리콘 산화막(33) 상에 소정 두께의 질화막(Si_3N_4)(34)을 형성한다. 상기 질화막(34)은 화학 기상 증착법(CVD)이나 원자층 증착법(ALD)으로 형성할 수 있다.

한편, 다른 실시예로서, 상기 실리콘 산화막(33)을 형성하지 않고 상기 단결정 실리콘 패턴(32)의 표면에 바로 질화막(34)을 형성할 수도 있다.

도 7a 내지 도 7c를 참조하면, 소정의 마스크를 이용한 사진 및 식각 공정으로 채널 영역과 확장 영역 일부의 상기 실리콘 산화막(33)이 노출되도록 상기 질화막(34)을 패터닝한다. 이 때 형성될 게이트의 길이는 [제거되는 질화막의 길이 - ($2 \times$ 저유전율 스페이서의 두께)]가 되므로, 이를 고려하여 상기 질화막(34)을 패터닝한다.

도 8a 내지 도 8c를 참조하면, 노출된 부분의 상기 실리콘 산화막(33)을 열산화시켜 열산화막(35)을 형성한다. 상기 열산화막(35)은 900°C 이상의 고온에서 습식 열산화 공정으로 성장시킨다. 그러나 상기 실리콘 단결정 패턴(32)과 열산화막(35) 계면의 특성을 향상시키기 위해 건식 열산화 공정 및 습식 열산화 공정을 순차적으로 진행할 수도 있다.

산화막과 달리 질화막은 산소나 수증기를 통과시키지 않는다. 그러므로 질화막(34)이 없는 부분 즉, 채널 영역과 확장 영역의 일부에만 열산화막(35)이 성장된다. 이 때 열산화막(35)과 실리콘 단결정(32) 사이의 밀도차에 의해 열산화막(35)의 45% 정도는 도 8b와 같이 질화막(34)의 하부쪽으로 성장된다. 따라서 버즈빅(Bird's beak)을 갖는 필드 산화막(field oxide) 형태의 열산화막(35)이 형성됨에 따라 상기 단결정 실리콘 패턴(32)이 뼈다귀 형태로 변화된다. 또한, 상기 열산화 과정에서 상기 산화층(31)의 계면을 통한 침투에 의해 상기 열산화막(35) 계면의 산화층(31)도 도 8b 및 도 8c에 도시된 바와 같이 C1-C2 방향으로 성장된다. 참고로, 도 12a는 도 7c의 상태를 2차원 시뮬레이션을 통해 보여주며, 도 12b는 도 7c의 상태에서 2차원 시뮬레이션으로 열산화 공정을 진행한 후 도 8c와 같이 채널 영역이 형성된 상태를 보여준다.

한편, 상기 실리콘 산화막(33)의 두께가 매우 얇고 상기 질화막(34)의 두께가 매우 두꺼울 경우 질화막(34)과 실리콘 산화막(33)의 높은 식각 선택비에도 불구하고 실리콘 산화막(33)이 제거될 수 있다. 이 경우 화학 기상 증착법이나 원자층 증착법을 이용하여 실리콘 산화막을 재성장시킨 후 습식 열산화 공정을 진행하면 문제를 해결할 수 있다.

도 9a 내지 도 9c를 참조하면, 상기 질화막(34)을 마스크로 이용한 식각 공정으로 노출된 부분의 상기 열산화막(35)을 제거한다.

상기 열산화막(35)을 제거할 때 건식 식각법(dry etching)을 이용하면 채널 영역의 단결정 실리콘 패턴(32) 하부에 성장된 열산화막(35)은 제거되지 않고 채널 영역의 단결정 실리콘 패턴(32) 상부와 양 측면의 열산화막(35)만 제거되도록 할 수 있다. 이를 통해 채널의 상부와 양 측면을 이용하는 다중 게이트 MOSFET의 제작이 가능해진다.

한편, 습식 식각법(wet etching)을 이용하면 채널 영역의 단결정 실리콘 패턴(32)의 둘레(상,하,좌,우)에 아무것도 남아 있지 않는 구조로 식각이 이루어지게 되는데, 이러한 형태는 "surround-gate transistor"와 같은 구조의 소자에 응용될 수 있다.

채널 영역과 확장 영역 일부의 열산화막(35)이 제거됨에 따라 도 2b에 도시된 바와 같은 단결정 실리콘 패턴(32)이 잔류된다. 즉, 채널 영역(32b)의 상부는 폭이 좁고 유선(\cap) 형태를 가지며, 확장 영역(32c)은 소스 및 드레인 영역(32a)으로 갈수록 점차 폭과 높이(면적)가 증가하며, 소스 및 드레인 영역(32a)은 채널 영역(32b) 및 확장 영역(32c)보다 두꺼운 즉, 상승된 소스 드레인 구조를 가진다.

상기 열산화 과정에서 노출된 상기 실리콘 산화막(33)의 표면에만 열산화막(35)이 성장되고 상기 질화막(34) 하부에는 열산화막이 성장되지 않기 때문에 채널 영역(32b)의 단결정 실리콘 패턴(32)의 폭과 높이가 소스 및 드레인 영역(32a)으로 갈수록 점차 확장되는 구조를 가진다. 이로 인해 채널 영역보다 두께가 두배 이상 두꺼운 상승된 소스 드레인(elevated source drain) 구조가 되어 소스 및 드레인 기생 저항이 효과적으로 감소될 수 있고, 점진적으로 넓이가 증가되는 영역을 통하여 드레인 영역에서의 전류 밀집 현상(current crowding effect)이 방지될 수 있다. 본 발명에 따르면 열산화를 통해 유선(\cap) 형태의 얇고 높은 채널 영역(32b)을 형성할 수 있을 뿐 아니라, 자가 상승된 소스 드레인 구조를 구현할 수 있다.

상기 채널 영역(32b)은 상기 열산화 공정의 공정 조건(온도, 시간 등)을 조절함으로써 유선(\cap) 형태뿐만 아니라 상부의 폭이 하부보다 좁은 사다리꼴 형태나 다른 형태로도 구현이 가능하다.

예를 들어, 채널의 두께를 미세하게 조절하기 위해 단결정 실리콘의 결정 방향에 따른 실리콘 산화막의 성장 속도 차이를 이용할 수 있다. (100) 방향의 SOI 기판을 이용할 경우, 단결정 실리콘 패턴의 상부는 (100) 면 방향을 가지므로 (110) 면 방향을 가지는 측면의 실리콘보다 상대적으로 낮은 속도로 열산화된다. 따라서 (110) 면 방향의 채널 양측에 상대적으로 더 두꺼운 실리콘 산화막이 성장되기 때문에 더욱 얇은 핀(Fin) 구조를 형성할 수 있다.

또한, 열산화 과정에서 채널 영역의 단결정 실리콘 패턴의 상부와 측면에서 열산화막이 성장되기 때문에 상부는 열산화막의 증착에 의해 유선(\cap) 형태로 만들어질 수 있다. 상부가 유선(\cap) 형태로 만들어지면 모서리 부분이 생기지 않으므로 전계의 집중이 방지되어 전자의 축적으로 인한 코너 효과를 피할 수 있어 소자의 신뢰성 및 내구성이 향상된다. 이와 같은 본 발명의 공정은 물리적으로 안정되어 채널 영역의 단결정 실리콘 패턴이 붕괴되지 않도록 한다.

도 10a 내지 도 10c를 참조하면, 전체면에 절연막(36)을 형성한 후 상기 절연막(36)을 식각하여 상기 질화막(34)과 열산화막(35)의 측벽에 절연막 스페이서(spacer)(36)가 형성되도록 한다. 상기 절연막(36)은 식각 선택비가 우수한 저유전율(low-k)의 절연물을 화학기상 증착법이나 원자층 증착법으로 증착하여 형성하며, 게이트를 정의하기 위한 상기 절연막 스페이서(36)는 건식 식각 공정으로 진행한다. 이 때 상기 절연막 스페이서(36)의 두께는 상기 질화막(34)의 두께에 의해 조절될 수 있다. 예를 들어, 상기 절연막 스페이서(36)를 두껍게 형성하면 짧은 게이트를 자기 정렬 방법으로 형성할 수 있으나, 소스 및 드레인 확장 영역의 길이가 길어져 소스 및 드레인 직렬 저항이 증가한다. 따라서 게이트 및 확장 영역의 길이를 적절하게 하기 위해서는 상기 질화막(34)의 두께 선택이 중요하다.

도 11a 내지 도 11c를 참조하면, 채널 영역(32b)의 상기 단결정 실리콘 패턴(32) 표면에 게이트 절연막(37)을 형성한다. 이 때 상기 산화층(31)의 표면에도 게이트 절연막이 성장되지만, 그 두께는 무시할 수 있을 만큼 얇기 때문에 도면에는 도시하지 않았다. 상기 게이트 절연막(37)을 형성하기 전에 상기 채널 영역(32b)의 단결정 실리콘 패턴(32) 측벽을 세정하고 이전 공정에 의한 손상을 제거하기 위해 희생 산화막(sacrificial oxide)을 형성한 후 제거하고 질소나 아르곤 분위기에서 어닐링(annealing)을 수행함이 바람직하다. 상기 게이트 절연막(37)으로는 실리콘 산화막이나 질화막, 고유전율의 절연막 등을 사용할 수 있다.

이 후 전체면에 P형 또는 N형 폴리실리콘이나 P형 또는 N형 SiGe 또는 금속 등으로 도전층을 형성하면 상기 절연막 스페이서(36)에 의해 자기 정렬된 게이트의 형상이 만들어진다. 이 후 사진 전사(photolithography)를 이용한 나노 패터닝 공정으로 상기 도전층을 패터닝하여 게이트 전극(38)을 형성하고, 잔류된 절연막 스페이서(36), 질화막(34) 및 실리콘 산화막(33)을 제거한다.

마지막으로, 상기 소스 및 드레인 영역(32a)의 단결정 실리콘 패턴(32)에 고농도의 불순물 이온을 주입하여 소스 및 드레인을 형성하면 다중 게이트 전계 효과 트랜지스터가 완성된다.

상기 불순물 이온을 주입하기 전에 상기 게이트 전극(38)의 측벽(gate sidewall)에 스페이서를 형성하여 게이트와 소스 및 드레인 간의 중첩이 최소화되도록 할 수 있으며, 상기 불순물 이온 주입 후 도펀트를 활성화시키기 위한 어닐링을 수행하는 것이 바람직하다.

발명의 효과

상술한 바와 같이 본 발명은 단결정 실리콘 패턴의 형태와 실리콘의 결정 방향에 따른 열산화 속도 차이를 이용하여 채널의 폭과 높이를 조절함으로써 상부가 유선(\cap) 형태로 이루어지는 채널을 용이하게 형성할 수 있다. 채널이 유선(\cap) 형태로 형성됨으로써 전계의 집중으로 인한 소자의 신뢰성 저하가 방지되며, 채널의 상부와 양 측벽이 게이트 전극으로 둘러싸여지기 때문에 게이트 전압에 의한 전류 구동 능력이 우수해진다.

또한, 본 발명의 다중 게이트 모스 트랜지스터는 소스 및 드레인 확장 영역이 점차 증가하는 구조로 형성되므로 전류 밀집 현상이 방지되며, 소스 및 드레인 영역이 열산화 공정에 의해 상승된 소스 드레인 구조로 만들어지기 때문에 소스 및 드레인 직렬 저항이 감소되어 전류 구동 능력이 증대된다.

종래에는 상승된 소스 드레인 구조를 만들기 위해 별도의 에피층 형성 공정을 실시하였으나, 본 발명은 별도의 공정을 추가하지 않고도 상승된 소스 드레인 구조를 용이하게 구현할 수 있으며, 게이트 전극을 자기 정렬 방법으로 형성하기 때문에 게이트 패터닝을 위한 고난이도의 리소그래피 기술을 사용하지 않아도 된다.

(57) 청구의 범위

청구항 1.

절연층이 형성된 기판,

상기 절연층 상에 형성되며, 소스 및 드레인 영역, 상기 소스 및 드레인 영역 사이에 형성된 채널 영역 및 상기 소스 및 드레인 영역과 상기 채널 영역을 각각 연결하는 확장 영역을 제공하는 단결정 실리콘 패턴,

상기 채널 영역의 단결정 실리콘 패턴 상에 형성된 게이트 절연막,

상기 채널 영역의 상기 게이트 절연막 상에 형성된 게이트 전극을 포함하며,

상기 채널 영역의 단결정 실리콘 패턴의 상부가 유선 형태이고,

상기 확장 영역의 단결정 실리콘 패턴의 크기가 상기 소스 및 드레인 영역으로 갈수록 점차 증가하는 것을 특징으로 하는 다중 게이트 모스 트랜지스터.

청구항 2.

제 1 항에 있어서, 상기 소스 및 드레인 영역의 단결정 실리콘 패턴이 상기 채널 영역 및 확장 영역의 단결정 실리콘 패턴 보다 두꺼운 것을 특징으로 하는 다중 게이트 모스 트랜지스터.

청구항 3.

제 1 항에 있어서, 상기 게이트 전극이 상기 확장 영역과 일부 중첩되도록 형성된 것을 특징으로 하는 다중 게이트 모스 트랜지스터.

청구항 4.

제 1 항에 있어서, 상기 게이트 전극이 상기 절연층 상부까지 연장되도록 형성된 것을 특징으로 하는 다중 게이트 모스 트랜지스터.

청구항 5.

절연층 상에 소스 및 드레인 영역, 상기 소스 및 드레인 영역 사이에 형성된 채널 영역 및 상기 소스 및 드레인 영역과 상기 채널 영역을 각각 연결하는 확장 영역을 제공하는 단결정 실리콘 패턴을 형성하는 단계,

상기 단결정 실리콘 패턴의 표면에 실리콘 산화막 및 질화막을 형성하는 단계,

상기 채널 영역 및 확장 영역 일부의 상기 실리콘 산화막이 노출되도록 상기 질화막을 패터닝하는 단계,

상기 채널 영역과 확장 영역에 버즈빅을 갖는 필드 산화막 형태의 산화막을 형성하는 단계,

상기 채널 영역 및 확장 영역 일부의 노출된 상기 산화막을 제거하는 단계,

상기 채널 영역의 노출된 단결정 실리콘 패턴 상에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계,

상기 소스 및 드레인 영역의 상기 단결정 실리콘 패턴에 이온을 주입하는 단계를 포함하는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

청구항 6.

제 5 항에 있어서, 상기 실리콘 산화막이 상기 단결정 실리콘 패턴의 상부 및 측면에 서로 다른 두께로 형성되는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

청구항 7.

제 5 항에 있어서, 상기 필드산화막 형태의 산화막은 열산화 공정으로 형성되는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

청구항 8.

제 7 항에 있어서, 상기 열산화 공정은 습식 또는 건식과 습식으로 실시되는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

청구항 9.

제 5 항에 있어서, 상기 산화막의 형성에 의해 상기 채널 영역의 단결정 실리콘 패턴의 상부가 유선 형태가 되고, 상기 확장 영역의 단결정 실리콘 패턴의 크기가 상기 소스 및 드레인 영역으로 갈수록 점차 증가하는 형태로 되는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

청구항 10.

제 9 항에 있어서, 상기 유선 형태는 상기 단결정 실리콘의 결정 방향에 따른 열산화 속도의 차이에 의해 만들어지는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

청구항 11.

제 5 항에 있어서, 상기 산화막이 건식 식각으로 제거되는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

청구항 12.

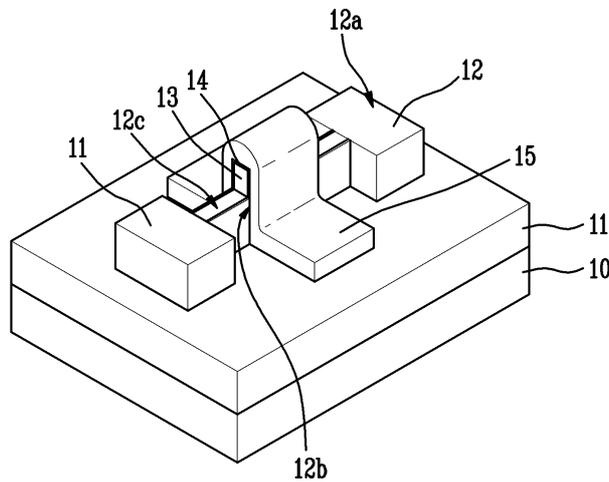
제 5 항에 있어서, 상기 게이트 절연막을 형성하기 전에 상기 질화막 및 산화막의 측벽에 절연막 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

청구항 13.

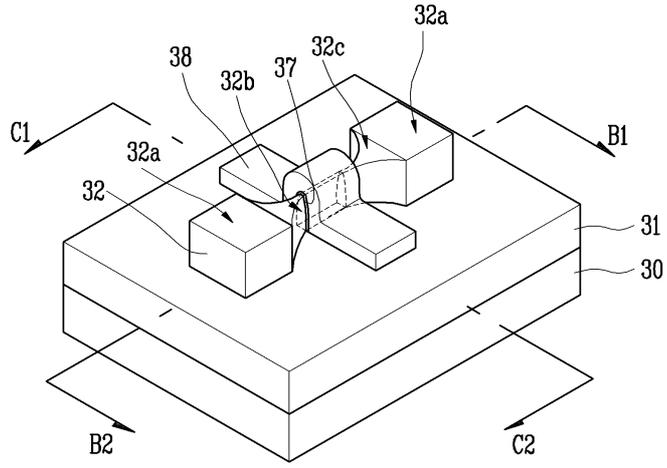
제 5 항에 있어서, 상기 산화막이 습식 식각으로 제거되어 상기 채널 영역의 단결정 실리콘 패턴 둘레에 아무것도 남아 있지 않는 것을 특징으로 하는 다중 게이트 모스 트랜지스터의 제조 방법.

도면

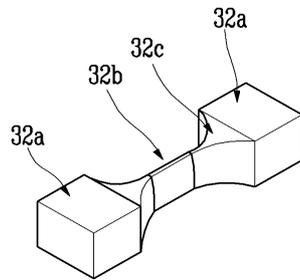
도면1



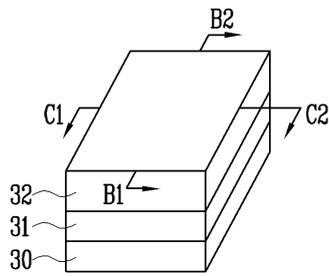
도면2a



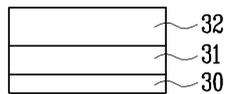
도면2b



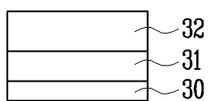
도면3a



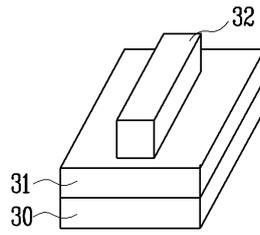
도면3b



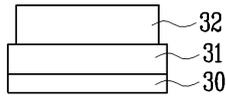
도면3c



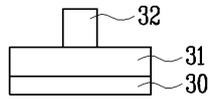
도면4a



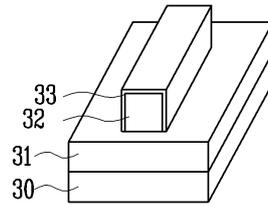
도면4b



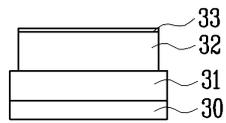
도면4c



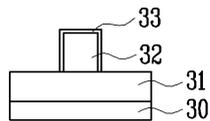
도면5a



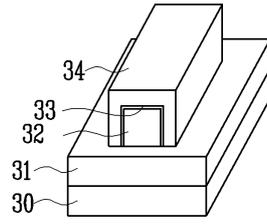
도면5b



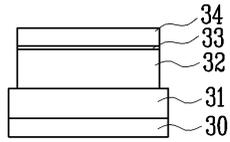
도면5c



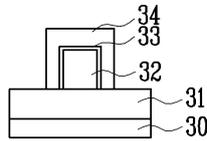
도면6a



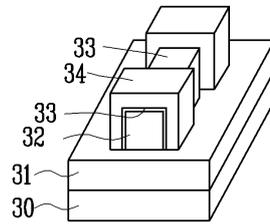
도면6b



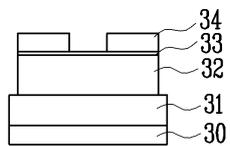
도면6c



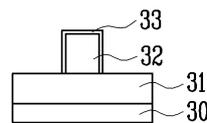
도면7a



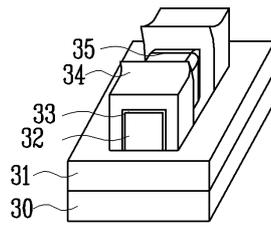
도면7b



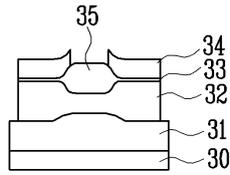
도면7c



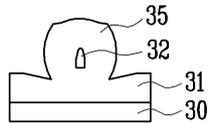
도면8a



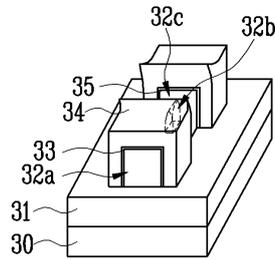
도면8b



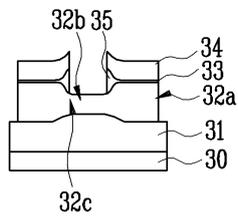
도면8c



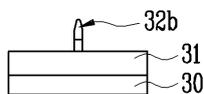
도면9a



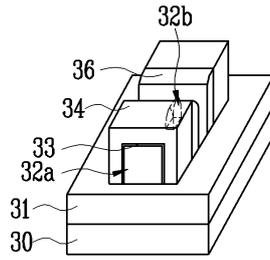
도면9b



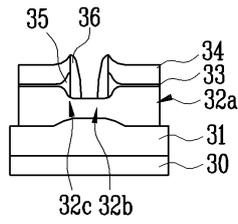
도면9c



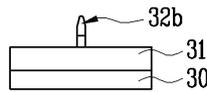
도면10a



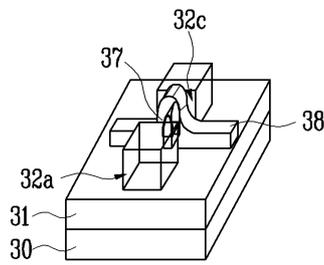
도면10b



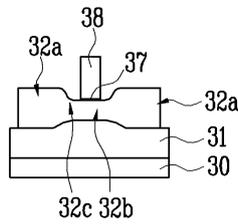
도면10c



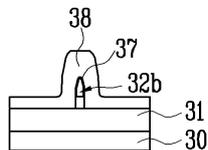
도면11a



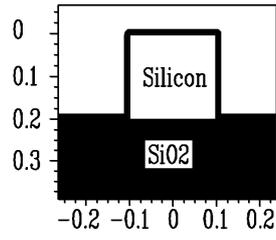
도면11b



도면11c



도면12a



도면12b

