

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 11/40

(45) 공고일자 2005년05월03일
(11) 등록번호 10-0486256
(24) 등록일자 2005년04월21일

(21) 출원번호 10-2002-0053327
(22) 출원일자 2002년09월04일

(65) 공개번호 10-2004-0021478
(43) 공개일자 2004년03월10일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 정희주
경기도용인시기흥읍상갈리454주공5단지506-1502

김규현
경기도수원시팔달구영통동한산아파트811-606

(74) 대리인 이영필

심사관 : 안병일

(54) 듀티사이클 보정회로를 구비하는 반도체 메모리 장치 및상기 반도체 메모리 장치에서 클럭신호를 보간하는 회로

요약

듀티사이클 보정회로를 구비하는 반도체 메모리 장치 및 상기 반도체 메모리 장치에서 클럭신호를 보간하는 회로가 개시된다. 본 발명에 따른 반도체 메모리 장치는 외부클럭을 수신하여 상기 외부클럭의 듀티 사이클을 보정하여 출력하는 듀티 사이클 보정회로를 구비하며, 상기 듀티 사이클 보정회로는 상기 외부클럭을 수신하여 상기 외부클럭을 상기 외부클럭을 반전시킨 반전된 외부클럭에 동기시켜 출력하는 제 1지연동기루프; 상기 반전된 외부클럭을 수신하여 상기 반전된 외부클럭을 상기 외부클럭에 동기시켜 출력하는 제 2지연동기루프; 상기 제 1지연동기루프의 출력신호를 반전하여 출력하는 반전회로; 상기 반전회로의 출력신호와 상기 제 2지연동기루프의 출력신호를 보간하여 출력하는 보간회로; 및, 상기 외부클럭의 클럭주파수 정보에 응답하여 상기 보간회로를 제어하는 제어회로를 구비하며, 상기 보간회로는 상기 제어회로의 출력신호에 응답하여 제어되는 것을 특징으로 한다. 본 발명에 따른 반도체 메모리 장치에 따르면, 외부클럭의 클럭주파수 또는 반도체 메모리 장치의 카스 레이턴시에 따라서 반도체 메모리 장치의 듀티사이클을 정확하게 보정할 수 있다.

대표도

도 5

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 외부클럭의 듀티사이클을 보정하는 듀티사이클 보정회로를 도시한 도면이다.

도 2는 도 1에 도시된 보간회로를 나타낸 도면이다.

도 3은 외부클럭의 주파수에 따른 반전회로의 입력신호와 출력신호와의 관계를 나타낸 도면이다.

도 4는 본 발명에 따른 듀티사이클 보정회로를 구비하는 반도체 메모리 장치를 개략적으로 도시한 블록도이다.

도 5는 듀티사이클 보정회로를 구비하는 반도체 메모리 장치를 상세하게 도시한 도면이다.

도 6은 도 5에 도시된 듀티사이클 보정회로의 각 지점에서의 파형을 나타낸 타이밍도이다.

도 7은 도 5에 도시된 주파수 검출부의 구조를 도시한 도면이다.

도 8은 반도체 메모리 장치의 카스 레이턴시(CAS Latency; CL)와 클럭주파수와와의 관계를 나타낸 표이다.

도 9는 본 발명에 따른 카스 레이턴시에 의하여 제어되는 듀티사이클 보정회로를 구비하는 반도체 메모리 장치를 나타낸 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 동기식 반도체 메모리 장치에 관한 것으로, 특히 외부클럭신호의 듀티사이클을 보정하는 듀티사이클 보정회로를 구비하는 반도체 메모리 장치 및 상기 반도체 메모리 장치에서 클럭신호를 보간하는 회로에 관한 것이다.

클럭신호의 듀티사이클(duty cycle)이란 클럭신호의 펄스 주기에 대한 펄스의 폭의 비율을 나타내는 수치를 의미한다. 디지털 클럭의 응용분야에 있어서, 클럭신호의 듀티사이클이 정확하게 제어되는 것은 매우 중요하다. 클럭에 동기되어 데이터를 출력하는 동기식 반도체 메모리 장치에서는 듀티사이클이 정확하게 제어되지 않으면 데이터가 왜곡될 수 있기 때문에 더욱 중요하다.

일반적으로 반도체 집적회로 등의 디지털 클럭의 응용분야에서는 듀티사이클이 50%인 클럭신호가 주로 사용된다. 듀티사이클이 50%라는 것은 클럭신호의 하이레벨 부분과 로우레벨 부분이 동일하다는 것을 의미한다. 듀티사이클 보정회로는 듀티사이클이 50%가 아닌 클럭신호가 입력될 때 이를 듀티사이클이 50%인 클럭신호로 변환하여 준다.

도 1은 외부클럭의 듀티사이클을 보정하는 듀티사이클 보정회로(1000)를 도시한 도면이다. 도 1에 도시된 듀티사이클 보정회로는 지연동기루프(110), 보간회로(120) 및 반전회로(130)를 구비한다.

지연동기루프(110)는 외부클럭(CLK_IN)과 반전회로(130)의 출력신호를 수신하여 외부클럭(CLK_IN)을 소정시간 지연시킨 클럭신호를 출력한다. 반전회로(130)는 지연동기루프(110)의 출력신호를 반전하여 출력하며, 보간회로(120)는 외부클럭(CLK_IN)과 반전회로(130)의 출력신호를 수신하고 보간(interpolating)하여 출력한다.

도 2는 도 1에 도시된 보간회로(120)를 나타낸 도면이다. 도 2에 도시된 보간회로(120)는 다수의 반전회로(210, 220, 230)를 구비한다. 제 1반전회로(210) 및 제 2반전회로(220)의 출력단(N1)이 서로 접속되어 있고, 출력단(N1)은 제 3반전회로(230)의 입력단이 된다. 제 1반전회로(210) 및 제 2반전회로(220)는 도 2에 도시된 바와 같이 각각 한 쌍의 PMOS 트랜지스터와 NMOS 트랜지스터(MP21, MN22; MP23, MN24)로 구성될 수 있다.

도 2에 도시된 보간회로(120)는 외부클럭(CLK_IN) 및 도 1의 반전회로(130)의 출력신호(CLK_B)를 수신하여 외부클럭(CLK_IN)과 출력신호(CLK_B)를 보간하여 출력신호(CLK_OUT)를 출력한다. 제 3반전회로(230)는 출력단(N1) 신호를 수신하여 출력단(N1) 신호를 일정 지점에서 반전시킨다.

이러한 과정에서 외부클럭(CLK_IN)의 클럭주파수가 변하게 되면 제 3반전회로(230)의 반전시점이 달라지게 된다. 도 3은 외부클럭의 주파수에 따른 반전회로의 입력신호와 출력신호와의 관계를 나타낸 도면이다. 도 3의 a)는 외부클럭(CLK_IN)이 저주파수인 경우를 나타낸 것이고, 도 3의 b)는 외부클럭(CLK_IN)이 고주파수인 경우를 나타낸다. 도 3의 a)에 도시된 바와 같이, 외부클럭(CLK_IN)이 저주파수인 경우에는 출력단(N1) 신호의 기울기가 커서 반전시점이 a, b, c로 변화하면 그에 따른 출력신호(CLK_OUT)가 크게 변화하기 때문에 문제가 된다.

또한 도 3의 b)에 도시된 바와 같이, 외부클럭(CLK_IN)이 고주파수인 경우에는 출력단(N1) 신호의 기울기가 작아서 반전시점이 a, b, c로 변화함에 따라 출력신호(CLK_OUT)가 크게 변화하지 않는다. 그러나 고주파수인 경우에는 클럭신호의 강하속도가 느리기 때문에 클럭신호가 로우 전압에서 하이 전압으로 완전하게 스윙(swing)하지 않는다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는, 입력되는 외부클럭의 클럭주파수 정보에 따라서 클럭신호를 보간하는 보간회로를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는, 상기 보간회로를 구비하는 듀티사이클 보정회로 및 반도체 메모리 장치를 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일면은 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 외부클럭에 동기되어 데이터를 출력하는 반도체 메모리 장치는 상기 외부클럭을 수신하고 상기 외부클럭의 클럭주파수 정보를 감지하여 출력하는 주파수 검출부; 및, 상기 클럭주파수 정보에 응답하여 상기 외부클럭의 듀티사이클(duty-cycle)을 보정하는 듀티사이클 보정(duty-cycle correction)회로를 구비한다.

바람직하게는, 상기 듀티사이클 보정회로는 상기 외부클럭을 수신하여 상기 외부클럭을 상기 외부클럭을 반전시킨 반전된 외부클럭에 동기시켜 출력하는 제 1지연동기루프; 상기 반전된 외부클럭을 수신하여 상기 반전된 외부클럭을 상기 외부클럭에 동기시켜 출력하는 제 2지연동기루프; 및, 상기 제 1지연동기루프의 출력신호를 반전시킨 신호와 상기 제 2지연동기루프의 출력신호를 보간하여 출력하는 보간회로를 구비하는 것을 특징으로 한다. 상기 보간회로는 상기 제 1지연동기루프의 출력신호를 반전시킨 신호를 수신하여 상기 신호를 반전하여 출력하는 제 1반전회로; 상기 제 2지연동기루프의 출력신호를 반전하여 출력하는 제 2반전회로; 상기 제 1반전회로 및 상기 제 2반전회로의 출력단이 서로 접속되어 있고, 상기 제 1반전회로 및 상기 제 2반전회로의 출력을 입력받아 반전시켜 출력하는 제 3반전회로; 및, 상기 제 1반전회로 내지 상기 제 3반전회로의 입력단과 접지전원 사이에 접속되어 있는 소정의 커패시턴스를 가지는 다수의 커패시터들을 구비하며, 상기 다수의 커패시터들의 커패시턴스는 상기 외부클럭의 클럭주파수에 의하여 제어되는 것이 바람직하다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 외부클럭에 동기되어 데이터를 출력하는 반도체 메모리 장치는 상기 외부클럭을 수신하여 상기 외부클럭의 듀티사이클을 보정하여 출력하는 듀티사이클 보정회로를 구비하며, 상기 듀티 사이클 보정회로는 상기 외부클럭을 수신하여 상기 외부클럭을 상기 외부클럭을 반전시킨 반전된 외부클럭에 동기시켜 출력하는 제 1지연동기루프; 상기 반전된 외부클럭을 수신하여 상기 반전된 외부클럭을 상기 외부클럭에 동기시켜 출력하는 제 2지연동기루프; 상기 제 1지연동기루프의 출력신호를 반전시켜 출력하는 반전회로; 상기 반전회로의 출력신호와 상기 제 2지연동기루프의 출력신호를 보간하여 출력하는 보간회로; 및, 상기 외부클럭의 클럭주파수 정보에 응답하여 상기 보간회로를 제어하는 제어회로를 구비하며, 상기 보간회로는 상기 제어회로의 출력신호에 응답하여 제어되는 것을 특징으로 한다.

상기 기술적 과제를 해결하기 위한 본 발명의 또다른 일면은 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 외부클럭에 동기되어 데이터를 출력하는 반도체 메모리 장치는 상기 외부클럭을 수신하고 상기 외부클럭을 상기 외부클럭을 반전시킨 반전된 외부클럭에 동기시켜 출력하는 제 1지연동기루프; 상기 반전된 외부클럭을 수신하여 상기 반전된 외부클럭을 상기 외부클럭에 동기시켜 출력하는 제 2지연동기루프; 및, 상기 제 1지연동기루프의 출력신호를 반전시킨 신호와 상기 제 2지연동기루프의 출력신호를 보간하여 출력하는 보간회로를 구비하며, 상기 보간회로는 카스 레이턴시(CAS latency)에 의하여 제어되는 것을 특징으로 한다.

바람직하게는, 상기 보간회로는 상기 제 1지연동기루프의 출력신호를 반전시킨 신호를 수신하여 상기 신호를 반전하여 출력하는 제 1반전회로; 상기 제 2지연동기루프의 출력신호를 반전하여 출력하는 제 2반전회로; 상기 제 1반전회로 및 상기 제 2반전회로의 출력단이 서로 접속되어 있고, 상기 제 1반전회로 및 상기 제 2반전회로의 출력을 입력받아 반전시켜 출력하는 제 3반전회로; 및, 상기 제 1반전회로 내지 상기 제 3반전회로의 입력단과 접지전원 사이에 접속되어 있는 소정의 커패시턴스를 가지는 다수의 커패시터들을 구비하며, 상기 다수의 커패시터들의 커패시턴스는 상기 카스 레이턴시에 의하여 제어되는 것을 특징으로 한다.

상기 기술적 과제를 해결하기 위한 본 발명의 또다른 일면은 보간회로에 관한 것이다. 본 발명에 따른 반도체 메모리 장치에서 클럭주파수가 동일하고 위상이 다른 두 클럭신호를 보간하는 보간회로는 소정의 클럭주파수를 가지는 제 1클럭신호를 수신하여 상기 제 1클럭신호를 반전하여 출력하는 제 1반전회로; 상기 클럭주파수를 가지는 제 2클럭신호를 수신하여 상기 제 2클럭신호를 반전하여 출력하는 제 2반전회로; 및 상기 제 1반전회로 및 상기 제 2반전회로의 출력단이 서로 접속되어 있고, 상기 제 1반전회로 및 상기 제 2반전회로의 출력을 입력받아 상기 입력받은 신호를 반전하여 출력하는 제 3반전회로; 및, 상기 제 1반전회로 내지 상기 제 3반전회로의 입력단과 접지전원 사이에 접속되어 있는 소정의 커패시턴스를 가지는 제 1커패시터 내지 제 3커패시터를 구비하고, 상기 제 1커패시터 내지 상기 제 3커패시터의 커패시턴스는 상기 클럭주파수에 대응하여 제어되는 것을 특징으로 한다.

바람직하게는, 상기 외부클럭의 클럭주파수가 높은 주파수인 경우에는 상기 다수의 커패시터들의 커패시턴스는 작게 제어되고, 상기 외부클럭의 클럭주파수가 낮은 주파수인 경우에는 상기 다수의 커패시터들의 커패시턴스는 크게 제어되는 것을 특징으로 한다.

또한 바람직하게는, 상기 제 1커패시터 내지 상기 제 3커패시터의 커패시턴스는 상기 반도체 메모리 장치의 카스 레이턴시에 의하여 제어되는 것을 특징으로 한다. 또한, 상기 카스 레이턴시가 큰 경우에는 상기 제 1커패시터 내지 상기 제 3커패시터들의 커패시턴스는 작게 제어되고, 상기 카스 레이턴시가 작은 경우에는 상기 제 1커패시터 내지 상기 제 3커패시터들의 커패시턴스는 크게 제어되는 것이 바람직하다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 4는 본 발명에 따른 듀티사이클 보정회로를 구비하는 반도체 메모리 장치(400)를 개략적으로 도시한 블록도이다. 도 4에 도시된 반도체 메모리 장치(400)는 주파수 검출부(410) 및 듀티사이클 보정회로(420)를 구비한다.

주파수 검출부(410)는 외부클럭(CLK_IN)을 수신하고 외부클럭(CLK_IN)의 클럭주파수 정보를 감지하고 출력한다. 듀티 사이클 보정회로(duty cycle correction circuit)는 상기 클럭주파수 정보에 응답하여 외부클럭(CLK_IN)의 듀티사이클을 보정하여 보정된 클럭신호(CLK_OUT)를 출력한다.

외부클럭(CLK_IN)의 듀티사이클을 보정하는 경우, 외부클럭(CLK_IN)의 클럭주파수 정보를 검출하여, 상기 클럭주파수가 고주파수인 경우 또는 저주파수인 경우에 각각 이에 대응하여 듀티사이클을 보정하도록 함으로써 정확하게 듀티사이클을 보정하도록 하는 반도체 메모리 장치를 제공할 수 있다.

도 5는 듀티사이클 보정회로를 구비하는 반도체 메모리 장치(5000)를 상세하게 도시한 도면이고, 도 6은 도 5에 도시된 듀티사이클 보정회로의 각 지점에서서 파형을 나타낸 타이밍도이다. 도 5에 도시된 반도체 메모리 장치(5000)는 듀티사이클 보정회로(5100) 및 주파수 검출부(5200)를 구비한다.

듀티사이클 보정회로(5100)는 제1지연동기루프(500), 제2지연동기루프(510), 보간회로(520)를 구비하며, 제 1지연동기루프(500)의 출력신호를 반전시키기 위하여 반전회로(530)를 구비할 수 있다. 또한, 제 1지연동기루프(500)의 출력신호를 소정시간 지연하는 지연회로(540)를 구비할 수 있다.

제 1지연동기루프(500)는 제 1가변지연라인(501), 제 1위상검출기(502) 및 입력버퍼(503)를 구비하며, 제 2지연동기루프(510)는 제 2가변지연라인(511), 제 2위상검출기(512) 및 외부클럭(CLK_IN)을 반전시키는 반전회로(513)를 구비한다.

입력버퍼(503)는 외부클럭(CLK_IN)을 수신하고 버퍼링하여 버퍼링된 클럭을 제1가변지연라인(501) 및 제 2위상검출기(512)에 출력한다. 제 1가변지연라인(501)은 제 1위상검출기(502)의 출력신호에 응답하여 입력버퍼(503)의 출력신호를 소정시간 지연시켜 출력한다. 반전회로(513)는 외부클럭(CLK_IN)을 수신하여 외부클럭(CLK_IN)을 반전하여 반전된 외부클럭(CLK_INB)을 출력한다.

제 1위상검출기(502)는 반전된 외부클럭(CLK_INB)과 제 1가변지연라인(501)의 출력신호에 응답하여 제 1가변지연라인(501)을 제어하는 신호를 출력한다. 제 2가변지연라인(511)은 제 2위상검출기(512)의 출력신호에 응답하여 반전된 외부클럭(CLK_INB)을 소정시간 지연시켜 출력한다. 제 2위상검출기(512)는 입력버퍼(503)의 출력신호 및 제 2가변지연라인(511)의 출력신호에 응답하여 제 2가변지연라인(511)을 제어하는 신호를 출력한다.

반전회로(530)는 제 1가변지연라인(501)의 출력신호(A)를 수신하고 반전시켜 반전된 신호(AB)를 출력한다. 보간회로(520)는 다수의 반전회로(521, 522, 523)를 구비한다. 제 1반전회로(521) 및 제 2반전회로(522)의 출력단은 서로 접속되어 있고, 상기 출력단이 제 3반전회로(523)의 입력단이 된다. 또한, 제 1반전회로(521) 내지 제 3반전회로(523)의 입력단과 접지전원 사이에는 소정의 커패시턴스를 가지는 각각의 커패시터(524, 525, 526)가 접속되어 있다. 각각의 커패시터(524, 525, 526)의 커패시턴스는 주파수 검출부(5200)의 출력신호에 의하여 제어된다.

보간회로(520)는 반전된 신호(AB)와 제 2가변지연라인(511)의 출력신호(B)를 수신하여 보간하고(interpolating), 보간된 신호(C)를 출력한다. 여기에서, 반전회로(530)의 출력단은 제 1반전회로(521)의 입력단에 접속되고, 제 2가변지연라인(511)의 출력단은 제 2반전회로(522)의 입력단에 접속된다.

지연회로(540)는 제 1가변지연라인(501)의 출력신호(A)를 수신하고, 소정시간 지연시키고 상기 지연된 신호(d(A))를 출력한다. 지연회로(540)는 듀티사이클 보정회로의 두 출력신호(d(A) 및 C)의 동기를 맞추기 위하여, 제 1지연동기루프(500)의 출력신호에 보간회로(520) 및 반전회로(530)의 지연량과 같은 양을 지연시킨다. 지연회로(540)는 보간회로(520)의 지연량이 큰 경우에 이러한 지연량을 보상하기 위하여 부가할 수 있다.

도 5 및 도 6을 참조로 하여 본 발명에 따른 반도체 메모리 장치(5000) 및 보간회로(520)의 동작을 설명하면 다음과 같다. 듀티사이클이 50%가 아닌 외부클럭(CLK_IN)을 수신하면, 제 1지연동기루프(500)는 외부클럭(CLK_IN)을 수신하여 소정의 클럭신호(A)를 출력하며, 제 2지연동기루프(510)는 반전된 외부클럭(CLK_INB)을 수신하여 소정의 클럭신호(B)를 출력한다.

다만, 제 1지연동기루프(500)는 외부클럭(CLK_IN)을 반전된 외부클럭(CLK_INB)에 동기시켜 결과의 출력신호(A)를 출력하며, 제 2지연동기루프(510)는 반전된 외부클럭(CLK_INB)을 외부클럭(CLK_IN)에 동기시켜 결과의 출력신호(B)를 출력한다.

반전회로(530)는 제 1지연동기루프(500)의 출력신호(A)를 반전시키고, 보간회로(520)는 반전된 출력신호(AB)와 제 2지연동기루프(510)의 출력신호(B)를 보간하여 출력신호(C)를 출력한다. 보간회로(520) 및 반전회로(530)의 지연량이 없다고 가정하게 되면, 듀티사이클이 보정된 클럭은 도 6에 도시된 바와 같이 신호 A와 신호 C를 합한 클럭이 된다. 즉, 신호 A의 상승 엣지와 신호 C의 상승엣지의 듀티사이클이 일정하다.

이러한 과정에서, 주파수 검출부(5200)는 외부클럭(CLK_IN)을 수신하여 외부클럭(CLK_IN)의 주파수정보를 감지하여 출력하며, 주파수 검출부(5200)의 출력신호는 보간회로(520)의 제 1커패시터 내지 제 3커패시터(524, 525, 526)의 커패시턴스를 조절한다.

외부클럭(CLK_IN)의 주파수가 높은 주파수인 경우에는 보간회로에 지연량을 적게 주기 위하여 커패시턴스를 작게 하고, 외부클럭(CLK_IN)의 주파수가 낮은 주파수인 경우에는 보간회로의 지연량을 많이 주기 위하여 커패시턴스를 크게 한다.

이처럼, 클럭주파수의 정보에 응답하여 보간회로(520)의 커패시턴스 또는 지연량을 조절하도록 함으로써, 정확한 듀티사이클 보정이 가능한 반도체 메모리 장치를 제공할 수 있다.

도 7은 도 5에 도시된 주파수 검출부(5200)의 구조를 도시한 도면이다. 도 7에 도시된 주파수 검출부(5200)는 주파수 검출회로(710), 아날로그-디지털 변환회로(ADC; 720) 및 레지스터(730)를 구비한다.

주파수 검출회로(710)는 외부클럭(CLK_IN)을 수신하여 외부클럭(CLK_IN)의 주파수를 검출한다. 아날로그-디지털 변환회로(720)는 주파수 검출회로(710)의 출력신호를 수신하여 상기 출력신호를 디지털신호로 변환하여 출력한다. 레지스터(720)는 아날로그-디지털 변환회로(720)의 출력신호를 수신하여 아날로그-디지털 변환회로의 출력신호를 저장한다.

레지스터(730)에 저장된 디지털신호는 도 5에 도시된 보간회로(520)의 다수의 커패시터들(524, 525, 526)의 커패시턴스를 제어하여, 보간회로(520)가 정확하게 동작하도록 한다.

도 8은 반도체 메모리 장치의 카스(CAS; Column Address Strobe) 레이턴시(Latency)(CL)와 클럭주파수와의 관계를 나타낸 표이다. 도 8에 도시된 바와 같이, 카스 레이턴시(CL)가 증가하면 외부클럭(CLK)의 동작주파수가 높아지게 되며, 카스 레이턴시(CL)는 외부클럭(CLK)의 동작주파수의 정보를 간접적으로 나타낸다. 따라서, 주파수 검출부를 사용하지 않고 카스 레이턴시에 의하여 제어되는 듀티사이클 보정회로 및 보간회로를 구현할 수 있다.

도 9는 본 발명에 따른 카스 레이턴시에 의하여 제어되는 듀티사이클 보정회로를 구비하는 반도체 메모리 장치(9000)를 나타낸 도면이다. 도 9에 도시된 반도체 메모리 장치(9000)는 제 1지연동기루프(900), 제 2지연동기루프(910), 보간회로(920)를 구비한다. 바람직하게는 제 1지연동기루프(900)의 출력신호(A)를 반전시키는 반전회로(930) 및 제 1지연동기루프(900)의 출력신호를 소정시간 지연시키는 지연회로(940)를 더 구비한다.

제 1지연동기루프(900)는 제 1가변지연라인(901), 제 1위상검출기(902) 및 입력버퍼(903)를 구비하며, 제 2지연동기루프(910)는 제 2가변지연라인(911), 제 2위상검출기(912) 및 외부클럭(CLK_IN)을 반전시키는 반전회로(913)를 구비한다. 제 1지연동기루프(900)는 외부클럭(CLK_IN)을 수신하고 외부클럭(CLK_IN)을 반전된 외부클럭(CLK_INB)에 동기시켜 출력한다. 제 2지연동기루프(910)는 반전된 외부클럭(CLK_INB)을 수신하여 반전된 외부클럭(CLK_INB)을 외부클럭(CLK_IN)에 동기시켜 출력한다.

입력버퍼(903)는 외부클럭(CLK_IN)을 수신하고 버퍼링하여 버퍼링된 클럭을 제 1가변지연라인(901) 및 제 2위상검출기(912)에 출력한다. 제 1가변지연라인(901)은 제 1위상검출기(902)의 출력신호에 응답하여 입력버퍼(903)의 출력신호를 소정시간 지연시켜 출력한다. 반전회로(913)는 외부클럭(CLK_IN)을 수신하여 외부클럭(CLK_IN)을 반전하여 반전된 외부클럭(CLK_INB)을 출력한다.

제 1위상검출기(902)는 반전된 외부클럭(CLK_INB)과 제 1가변지연라인(901)의 출력신호에 응답하여 제 1가변지연라인(901)을 제어하는 신호를 출력한다. 제 2가변지연라인(911)은 제 2위상검출기(912)의 출력신호에 응답하여 반전된 외부클럭(CLK_INB)을 소정시간 지연시켜 출력한다. 제 2위상검출기(912)는 입력버퍼(903)의 출력신호 및 제 2가변지연라인(911)의 출력신호에 응답하여 제 2가변지연라인(911)을 제어하는 신호를 출력한다.

반전회로(930)는 제 1가변지연라인(901)의 출력신호(A)를 수신하고 반전시켜 반전된 신호(AB)를 출력한다. 보간회로(920)는 다수의 반전회로(921, 922, 923)를 구비한다. 제 1반전회로(921) 및 제 2반전회로(922)의 출력단은 서로 접속되어 있고, 상기 출력단이 제 3반전회로(923)의 입력단이 된다. 또한, 제 1반전회로(921) 내지 제 3반전회로(923)의 입력단과 접지전원 사이에는 소정의 커패시턴스를 가지는 각각의 커패시터(924, 925, 926)가 접속되어 있다. 각각의 커패시터(924, 925, 926)의 커패시턴스는 반도체 메모리 장치(9000)의 카스 레이턴시(CL)에 의하여 제어된다.

지연회로(940)는 제 1가변지연라인(901)의 출력신호(A)를 수신하고, 소정시간 지연시키고 상기 지연된 신호(d(A))를 출력한다. 지연회로(940)는 듀티사이클 보정회로의 두 출력신호(d(A) 및 C)의 동기를 맞추기 위하여, 제 1지연동기루프(900)의 출력신호에 보간회로(920) 및 반전회로(930)의 지연량과 같은 양을 지연시킨다. 지연회로(940)는 보간회로(920)의 지연량이 큰 경우에 이러한 지연량을 보상하기 위하여 부가할 수 있다.

도 9에 도시된 반도체 메모리 장치(9000) 및 보간회로(920)는 외부클럭(CLK_IN)의 클럭주파수에 대응되는 카스 레이턴시(CL)의 값에 응답하여 보간회로(920)의 커패시터들(924, 925, 926)의 커패시턴스를 조절된다. 카스 레이턴시(CL)가 큰 경우에는 보간회로에 지연량을 적게 주기 위하여 커패시턴스를 작게 하고, 카스 레이턴시(CL)가 작은 경우에는 보간회로의 지연량을 많이 주기 위하여 커패시턴스를 크게 한다.

이처럼, 도 9에 도시된 반도체 메모리 장치(9000)는 카스 레이턴시(CL)에 응답하여 보간회로(920)의 커패시턴스 또는 지연량을 조절하도록 함으로써, 클럭을 정확하게 보간할 수 있을 뿐만 아니라 정확한 듀티사이클 보정을 할 수 있다.

이상에서와 같이 도면과 명세서에 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따르는 반도체 메모리 장치는 외부클럭(CLK_IN)의 클럭주파수 정보 또는 반도체 메모리 장치의 카스 레이턴시(CL)에 응답하여 보간회로의 커패시턴스 또는 지연량을 조절하도록 함으로써, 외부클럭의 클럭주파수 또는 반도체 메모리 장치의 카스 레이턴시(CL)에 따라서 반도체 메모리 장치의 듀티사이클을 정확하게 보정할 수 있다.

아울러, 본 발명에 따른 보간회로는 외부클럭(CLK_IN)의 클럭주파수 정보 또는 반도체 메모리 장치의 카스 레이턴시에 응답하여 보간회로의 커패시턴스 또는 지연량을 조절하도록 함으로써, 외부클럭의 클럭주파수 또는 반도체 메모리 장치의 카스 레이턴시에 따라서 클럭신호를 정확하게 보간할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

외부클럭에 동기되어 데이터를 출력하는 반도체 메모리 장치에 있어서,

상기 외부클럭을 수신하고 상기 외부클럭의 클럭주파수 정보를 감지하여 출력하는 주파수 검출부; 및,

상기 클럭주파수 정보에 응답하여 상기 외부클럭의 듀티사이클(duty-cycle)을 보정하는 듀티사이클 보정(duty-cycle correction)회로를 구비하고,

상기 듀티사이클 보정회로는

상기 외부클럭을 수신하여 상기 외부클럭을 상기 외부클럭을 반전시킨 반전된 외부클럭에 동기시켜 출력하는 제 1지연동기루프;

상기 반전된 외부클럭을 수신하여 상기 반전된 외부클럭을 상기 외부클럭에 동기시켜 출력하는 제 2지연동기루프; 및,

상기 제 1지연동기루프의 출력신호를 반전시킨 신호와 상기 제 2지연동기루프의 출력신호를 보간하여 출력하는 보간회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2.

삭제

청구항 3.

제1항에 있어서, 상기 보간회로는

상기 제 1지연동기루프의 출력신호를 반전시킨 신호를 수신하여 상기 신호를 반전하여 출력하는 제 1반전회로;

상기 제 2지연동기루프의 출력신호를 반전하여 출력하는 제 2반전회로;

상기 제 1반전회로 및 상기 제 2반전회로의 출력단이 서로 접속되어 있고, 상기 제 1반전회로 및 상기 제 2반전회로의 출력을 입력받아 반전시켜 출력하는 제 3반전회로; 및,

상기 제 1반전회로 내지 상기 제 3반전회로의 입력단과 접지전원 사이에 접속되어 있는 소정의 커패시턴스를 가지는 다수의 커패시터들을 구비하며,

상기 다수의 커패시터들의 커패시턴스는 상기 외부클럭의 클럭주파수에 의하여 제어되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4.

제 3항에 있어서,

상기 외부클럭의 클럭주파수가 높은 주파수인 경우에는 상기 다수의 커패시터들의 커패시턴스는 작게 제어되고, 상기 외부클럭의 클럭주파수가 낮은 주파수인 경우에는 상기 다수의 커패시터들의 커패시턴스는 크게 제어되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5.

제 1항에 있어서, 상기 주파수 검출부는

상기 외부클럭을 수신하여 상기 외부클럭의 주파수를 검출하는 주파수 검출회로;

상기 주파수 검출회로의 출력신호를 수신하여 디지털신호로 변환하여 출력하는 아날로그-디지털 변환회로;

상기 아날로그-디지털 변환회로의 출력신호를 수신하여 상기 아날로그-디지털 변환회로의 출력신호를 저장하는 레지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6.

외부클럭에 동기되어 데이터를 출력하는 반도체 메모리 장치에 있어서,

상기 반도체 메모리 장치는 상기 외부클럭을 수신하여 상기 외부클럭의 듀티 사이클을 보정하여 출력하는 듀티사이클 보정회로를 구비하며,

상기 듀티사이클 보정회로는

상기 외부클럭을 수신하여 상기 외부클럭을 상기 외부클럭을 반전시킨 반전된 외부클럭에 동기시켜 출력하는 제 1지연동기루프;

상기 반전된 외부클럭을 수신하여 상기 반전된 외부클럭을 상기 외부클럭에 동기시켜 출력하는 제 2지연동기루프;

상기 제 1지연동기루프의 출력신호를 반전하여 출력하는 반전회로;

상기 반전회로의 출력신호와 상기 제 2지연동기루프의 출력신호를 보간하여 출력하는 보간회로; 및,

상기 외부클럭의 클럭주파수 정보에 응답하여 상기 보간회로를 제어하는 제어회로를 구비하며,

상기 보간회로는 상기 제어회로의 출력신호에 응답하여 제어되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7.

외부클럭에 동기되어 데이터를 출력하는 반도체 메모리 장치에 있어서,

상기 외부클럭을 수신하고 상기 외부클럭을 상기 외부클럭을 반전시킨 반전된 외부클럭에 동기시켜 출력하는 제 1지연동기루프;

상기 반전된 외부클럭을 수신하여 상기 반전된 외부클럭을 상기 외부클럭에 동기시켜 출력하는 제 2지연동기루프; 및,

상기 제 1지연동기루프의 출력신호를 반전시킨 신호와 상기 제 2지연동기루프의 출력신호를 보간하여 출력하는 보간회로를 구비하며,

상기 보간회로는 카스 레이턴시(CAS latency; Column Address Strobe Latency)에 의하여 제어되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8.

제 7항에 있어서, 상기 보간회로는

상기 제 1지연동기루프의 출력신호를 반전시킨 신호를 수신하여 상기 신호를 반전하여 출력하는 제 1반전회로;

상기 제 2지연동기루프의 출력신호를 반전하여 출력하는 제 2반전회로;

상기 제 1반전회로 및 상기 제 2반전회로의 출력단이 서로 접속되어 있고, 상기 제 1반전회로 및 상기 제 2반전회로의 출력을 입력받아 반전시켜 출력하는 제 3반전회로; 및,

상기 제 1반전회로 내지 상기 제 3반전회로의 입력단과 접지전원 사이에 접속되어 있는 소정의 커패시턴스를 가지는 다수의 커패시터들을 구비하며,

상기 다수의 커패시터들의 커패시턴스는 상기 카스 레이턴시에 의하여 제어되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.

제 8항에 있어서,

상기 카스 레이턴시가 큰 경우에는 상기 다수의 커패시터들의 커패시턴스는 작게 제어되고, 상기 카스 레이턴시가 작은 경우에는 상기 다수의 커패시터들의 커패시턴스는 크게 제어되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.

반도체 메모리 장치에서 클럭주파수가 동일하고 위상이 다른 두 클럭신호를 보간하는 보간회로에 있어서,

소정의 클럭주파수를 가지는 제 1클럭신호를 수신하여 상기 제 1클럭신호를 반전하여 출력하는 제 1반전회로;

상기 클럭주파수를 가지는 제 2클럭신호를 수신하여 상기 제 2클럭신호를 반전하여 출력하는 제 2반전회로;

상기 제 1반전회로 및 상기 제 2반전회로의 출력단이 서로 접속되어 있고, 상기 제 1반전회로 및 상기 제 2반전회로의 출력을 입력받아 상기 입력받은 신호를 반전하여 출력하는 제 3반전회로; 및,

상기 제 1반전회로 내지 상기 제 3반전회로의 입력단과 접지전원 사이에 접속되어 있는 소정의 커패시턴스를 가지는 제 1 커패시터 내지 제 3커패시터를 구비하고,

상기 제 1커패시터 내지 상기 제 3커패시터의 커패시턴스는 상기 클럭주파수에 대응하여 제어되는 것을 특징으로 하는 보간회로.

청구항 11.

제 10항에 있어서,

상기 외부클럭의 클럭주파수가 높은 주파수인 경우에는 상기 다수의 커패시터들의 커패시턴스는 작게 제어되고, 상기 외부클럭의 클럭주파수가 낮은 주파수인 경우에는 상기 다수의 커패시터들의 커패시턴스는 크게 제어되는 것을 특징으로 하는 보간회로.

청구항 12.

제 10항에 있어서,

상기 제 1커패시터 내지 상기 제 3커패시터의 커패시턴스는 상기 반도체 메모리 장치의 카스 레이턴시에 의하여 제어되는 것을 특징으로 하는 보간회로.

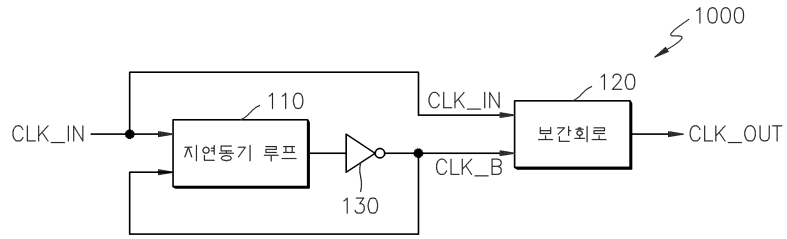
청구항 13.

제 12항에 있어서,

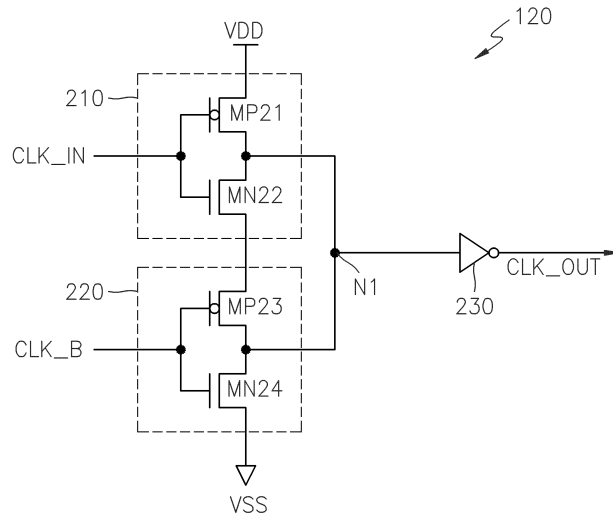
상기 카스 레이턴시가 큰 경우에는 상기 제 1커패시터 내지 상기 제 3커패시터들의 커패시턴스는 작게 제어되고, 상기 카스 레이턴시가 작은 경우에는 상기 제 1커패시터 내지 상기 제 3커패시터들의 커패시턴스는 크게 제어되는 것을 특징으로 하는 보간회로.

도면

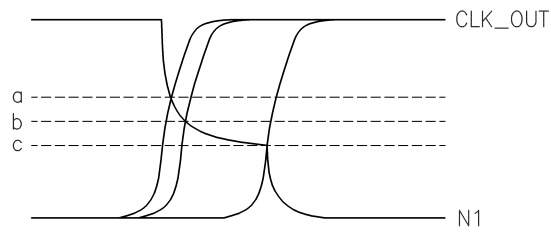
도면1



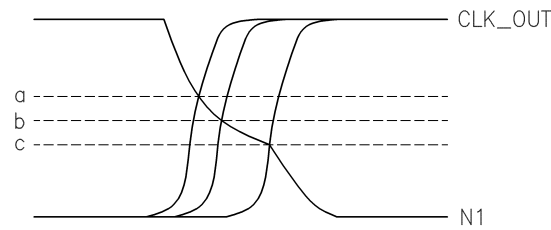
도면2



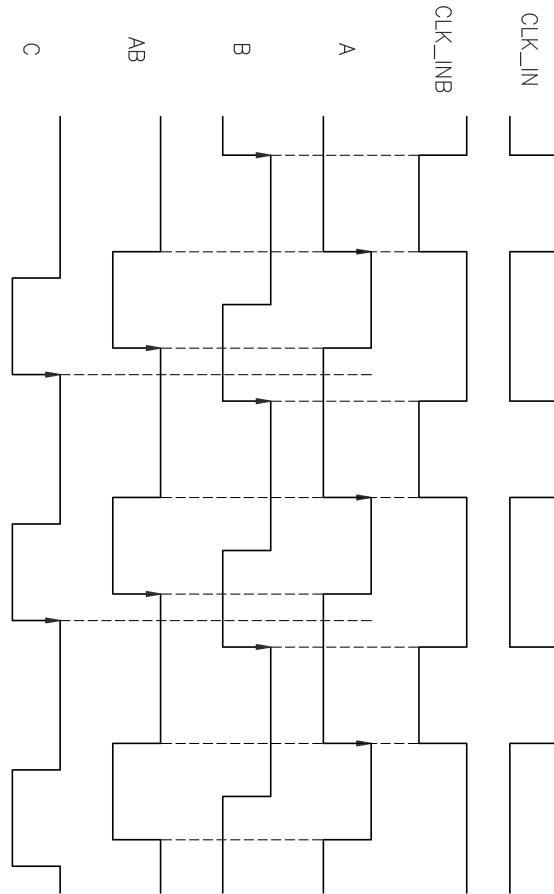
도면3a



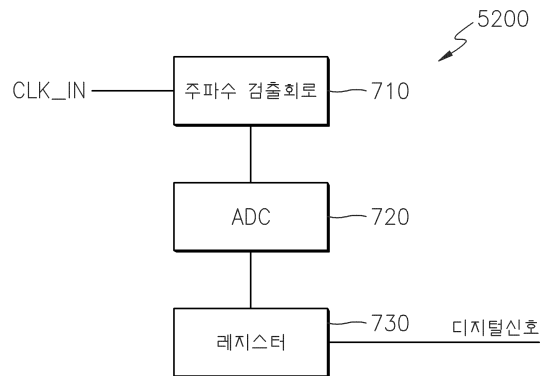
도면3b



도면6



도면7



도면8

클럭주파수 (MHz)	200	166	133
tck(nsec)	5	6	7.5
CL=3인 경우 (nsec)	15	18	22.5
CL=2.5인 경우 (nsec)	12.5	15	18.75
CL=2인 경우 (nsec)	10	12	15

도면9

