

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6932580号  
(P6932580)

(45) 発行日 令和3年9月8日(2021.9.8)

(24) 登録日 令和3年8月20日(2021.8.20)

(51) Int.Cl.		F I		
HO 1 L 27/146	(2006.01)	HO 1 L 27/146		F
HO 4 N 5/369	(2011.01)	HO 4 N 5/369		
HO 1 L 31/10	(2006.01)	HO 1 L 31/10		A

請求項の数 19 (全 44 頁)

(21) 出願番号	特願2017-151980 (P2017-151980)	(73) 特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(22) 出願日	平成29年8月4日(2017.8.4)	(74) 代理人	100121131 弁理士 西川 孝
(65) 公開番号	特開2019-33136 (P2019-33136A)	(74) 代理人	100082131 弁理士 稲本 義雄
(43) 公開日	平成31年2月28日(2019.2.28)	(72) 発明者	小林 賢司 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
審査請求日	令和2年7月13日(2020.7.13)		

最終頁に続く

(54) 【発明の名称】 固体撮像素子

(57) 【特許請求の範囲】

【請求項1】

第1のチップと、

前記第1のチップと接合される第2のチップとを備え、

前記第1のチップは、アノード電位を受ける第1の配線を備え、

前記第2のチップは、

それぞれがカソードおよびアノードを有する第1の画素及び第2の画素と、

前記第1の画素の前記カソードに接続される第1のカソード電極と、

前記第2の画素の前記カソードに接続される第2のカソード電極と、

前記第1のカソード電極と、前記第2のカソード電極との間に配置され、前記第1の配線に接続されたシールド電極と

を備える固体撮像素子。

【請求項2】

前記第1のカソード電極は、第1の距離で前記第2のカソード電極と隣接するとともに、前記第1の距離より長い第2の距離で第3のカソード電極と隣接し、前記シールド電極は、前記第1の距離で隣接する前記第1のカソード電極と前記第2のカソード電極の間に配置される

請求項1に記載の固体撮像素子。

【請求項3】

前記第1の画素と前記第2の画素は、画素分離部により絶縁分離される

10

20

請求項 1 に記載の固体撮像素子。

【請求項 4】

前記シールド電極は、前記アノードに接続されたアノード電極である

請求項 1 に記載の固体撮像素子。

【請求項 5】

前記第 2 のチップは、

画素ごとに配置されるピンング層と、

前記シールド電極としてのピンング電極と、

前記ピンング層と前記ピンング電極に接続されているシールド配線としてのピンング

配線と

をさらに備えるか、

または

前記シールド電極としての遮蔽電極と、

前記遮蔽電極に接続される前記シールド配線としての遮蔽配線と

をさらに備えるとともに、

前記アノード電極に接続される、前記シールド配線としてのアノード配線をさらに備える

10

請求項 4 に記載の固体撮像素子。

【請求項 6】

前記第 1 のカソード電極の面積は、前記シールド電極の面積以下であるか、または前記

カソードにカソード配線が接続されている場合には、前記第 1 のカソード電極と前記カソ

ード配線の面積の和は、前記シールド電極と前記シールド配線の面積の和以下である

請求項 5 に記載の固体撮像素子。

【請求項 7】

前記第 1 の画素が、前記第 1 のカソード電極と前記アノード電極の配置に関して、隣接する画素と同じレイアウトになる

請求項 4 に記載の固体撮像素子。

【請求項 8】

前記第 1 の画素が、前記第 1 のカソード電極と前記アノード電極に関して、上下左右対称になる

請求項 7 に記載の固体撮像素子。

【請求項 9】

前記ピンング電極または前記遮蔽電極は、前記アノード電位とは異なる固定電位に接続される

請求項 5 に記載の固体撮像素子。

【請求項 10】

前記カソードと前記ピンング層は、共通の電位とされる

請求項 5 に記載の固体撮像素子。

【請求項 11】

前記遮蔽電極は、四角形または複数の画素に連続して跨るように構成される

請求項 5 に記載の固体撮像素子。

【請求項 12】

前記第 1 のカソード電極、前記シールド電極、または前記シールド配線の 2 つ以上が、平面視において、少なくともその一部が重なるように配置される

請求項 5 に記載の固体撮像素子。

【請求項 13】

前記第 1 のカソード電極が前記アノード配線と重なるように配置される

請求項 12 に記載の固体撮像素子。

【請求項 14】

前記第 1 のチップは、前記第 2 のチップと電氣的に接続するための第 1 の配線層を備え

50

20

30

40

前記第2のチップは、前記第1のチップの前記第1の配線層と電氣的に接続するための第2の配線層を備え、

前記第1の配線層は、前記第1のカソード電極に対応する対応カソード電極、前記シールド電極に対応する対応シールド電極、または前記シールド配線に対応する対応シールド配線を備え、

前記第1の配線層の、前記対応カソード電極、前記対応シールド電極、または前記対応シールド配線の少なくとも1つと、前記第2の配線層の、前記第1のカソード電極、前記シールド電極、または前記シールド配線の少なくとも1つは、平面視において、少なくともその一部が重なるように配置されている

10

請求項6に記載の固体撮像素子。

【請求項15】

前記対応シールド配線としての前記第1の配線層の対応遮蔽配線が、前記第2の配線層の前記遮蔽配線と前記カソード配線に重なるように配置される

請求項14に記載の固体撮像素子。

【請求項16】

前記第1のカソード電極と前記シールド電極が形成されている配線層に、低誘電率部材が配置される

請求項1に記載の固体撮像素子。

【請求項17】

20

前記第1のカソード電極は、第1の距離で前記第2のカソード電極と隣接するとともに、前記第1の距離より長い第2の距離で第3のカソード電極と隣接し、前記低誘電率部材は、前記第1の距離で隣接する前記第1のカソード電極と前記第2のカソード電極の間に配置される

請求項16に記載の固体撮像素子。

【請求項18】

前記配線層の前記低誘電率部材を有しない部分に、前記低誘電率部材より屈折率が大きい誘電率材料からなる部材が配置される

請求項17に記載の固体撮像素子。

【請求項19】

30

前記固体撮像素子は、移動体に装着されている

請求項1に記載の固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、固体撮像素子に関し、特にノイズの発生を抑制できるようにした固体撮像素子に関する。

【背景技術】

【0002】

カメラ等において画像を撮像するのに固体撮像素子が用いられる。光入射面が半導体基板の表面に配置される表面入射型の固体撮像素子においては、クエンチ回路が半導体基板の表面側（光入射面側）に配置される。その結果、そのスペース分だけ開口率が低くなる。

40

【0003】

一方、裏面入射型の固体撮像素子においては、クエンチ回路が半導体基板の光入射面に対向する面（裏面）側に配置される。裏面入射型の固体撮像素子においても、画素数の増加などの要因により各画素のサイズが小さくなることがある。このような場合、プロセス設計での制約上、各画素のアクティブ領域外にクエンチ回路を配置しなければならないことがあり、その場合においても開口率が低下する。そこで、クエンチ回路を半導体基板ではなく、搭載基板に配置することが提案されている（例えば特許文献1）。

50

## 【 0 0 0 4 】

また、半導体領域の表面を含む基準平面から読み出し配線までの距離を、基準平面から表面電極までの距離より長くし、読み出し配線の幅の設計の自由度を増加させることで、開口率の減少を抑制することが提案されている（例えば特許文献2）。

## 【 0 0 0 5 】

さらに第1の半導体チップと信号を授受する第2の半導体チップとを、接続領域を介して接続し、その接続領域に、信号を授受するバンプと、バンプを囲繞するようにシールド部材とを設けることで、ノイズを低減することが提案されている（例えば特許文献3）。

## 【 先行技術文献 】

## 【 特許文献 】

10

## 【 0 0 0 6 】

【 特許文献1 】 特開 2 0 1 3 - 8 9 9 1 9 号 公 報

【 特許文献2 】 特開 2 0 1 6 - 1 9 2 5 5 1 号 公 報

【 特許文献3 】 特開 2 0 1 5 - 6 0 9 0 9 号 公 報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 7 】

しかし特許文献1の技術においては、アバランシェフォトダイオードとクエンチ回路を積層で構成するので、隣接するアバランシェフォトダイオードに接続するカソード配線と電極間の距離が短くなり、寄生容量が大きくなる。また、開口率が高くなることで画素部全体の増倍層の密度が高くなり、ブレイクダウン時の発生電流量も大きくなり、アバランシェ降伏発生時のアノードの電圧変動量が多くなり、ノイズの抑制が困難になる。

20

## 【 0 0 0 8 】

また、特許文献2の技術においては、読み出し配線間の寄生容量の影響を低減することが困難であり、微細化された場合には、読み出し配線間の干渉で発生するノイズを抑制することが困難になる。

## 【 0 0 0 9 】

さらに特許文献3の技術においては、シールド部材が長くなり、その分、抵抗値が大きくなり、アバランシェ降伏発生時のアノードの電圧変動量が多くなり、ノイズの抑制が困難になる。

30

## 【 0 0 1 0 】

本開示はこのような状況に鑑みてなされたものであり、ノイズを抑制できるようにするものである。

## 【 課題を解決するための手段 】

## 【 0 0 1 1 】

本開示の一側面は、第1のチップと、前記第1のチップと接合される第2のチップとを備え、前記第1のチップは、アノード電位を受ける第1の配線を備え、前記第2のチップは、それぞれがカソードおよびアノードを有する第1の画素及び第2の画素と、前記第1の画素の前記カソードに接続される第1のカソード電極と、前記第2の画素の前記カソードに接続される第2のカソード電極と、前記第1のカソード電極と、前記第2のカソード電極との間に配置され、前記第1の配線に接続されたシールド電極とを備える固体撮像素子である。

40

## 【 0 0 1 3 】

前記第1のカソード電極は、第1の距離で前記第2のカソード電極と隣接するとともに、前記第1の距離より長い第2の距離で第3のカソード電極と隣接し、前記シールド電極は、前記第1の距離で隣接する前記第1のカソード電極と前記第2のカソード電極の間に配置されることができる。

## 【 0 0 1 4 】

前記第1の画素と前記第2の画素は、画素分離部により絶縁分離されることができる。

## 【 0 0 1 5 】

50

前記シールド電極は、前記アノードに接続されたアノード電極であることができる。

【0016】

前記第2のチップは、前記画素ごとに配置されるピニング層と、前記シールド電極としてのピニング電極と、前記ピニング層と前記ピニング電極に接続されているシールド配線としてのピニング配線とをさらに備えるか、または前記シールド電極としての遮蔽電極と、前記遮蔽電極に接続される前記シールド配線としての遮蔽配線とをさらに備えるとともに、前記アノード電極に接続される、前記シールド配線としてのアノード配線をさらに備えることができる。

【0017】

前記第1のカソード電極の面積は、前記シールド電極の面積以下であるか、または前記カソードにカソード配線が接続されている場合には、前記第1のカソード電極と前記カソード配線の面積の和は、前記シールド電極と前記シールド配線の面積の和以下であることができる。

10

【0018】

前記第1の画素が、前記第1のカソード電極と前記アノード電極の配置に関して、隣接する画素と同じレイアウトになることができる。

【0019】

前記第1の画素が、前記第1のカソード電極と前記アノード電極に関して、上下左右対称になることができる。

【0020】

20

前記ピニング電極または前記遮蔽電極は、前記アノード電位とは異なる固定電位に接続される。

【0021】

前記カソードと前記ピニング層は、共通の電位とされることができる。

【0022】

前記遮蔽電極は、四角形または複数の前記画素に連続して跨るように構成されることができる。

【0023】

前記第1のカソード電極、前記シールド電極、または前記シールド配線の2つ以上が、平面視において、少なくともその一部が重なるように配置されることができる。

30

【0024】

前記第1のカソード電極が前記アノード配線と重なるように配置されることができる。

【0025】

前記第1のチップは、前記第2のチップと電気的に接続するための第1の配線層を備え、前記第2のチップは、前記第1のチップの前記第1の配線層と電気的に接続するための第2の配線層を備え、前記第1の配線層は、前記第1のカソード電極に対応する対応カソード電極、前記シールド電極に対応する対応シールド電極、または前記シールド配線に対応する対応シールド配線を備え、前記第1の配線層の、前記対応カソード電極、前記対応シールド電極、または前記対応シールド配線の少なくとも1つと、前記第2の配線層の、前記第1のカソード電極、前記シールド電極、または前記シールド配線の少なくとも1つは、平面視において、少なくともその一部が重なるように配置されていることができる。

40

【0026】

前記対応シールド配線としての前記第1の配線層の対応遮蔽配線が、前記第2の配線層の前記遮蔽配線と前記カソード配線に重なるように配置されることができる。

【0027】

前記第1のカソード電極と前記シールド電極が形成されている配線層に、低誘電率部材が配置されることができる。

【0028】

前記第1のカソード電極は、第1の距離で前記第2のカソード電極と隣接するとともに、前記第1の距離より長い第2の距離で第3のカソード電極と隣接し、前記低誘電率部材

50

は、前記第1の距離で隣接する前記第1のカソード電極と前記第2のカソード電極の間に配置されることができる。

【0029】

前記配線層の前記低誘電率部材を有しない部分に、前記低誘電率部材より屈折率が大きい誘電率材料からなる部材が配置されることができる。

【0030】

前記固体撮像素子は、移動体に装着されていることができる。

【0031】

本開示の一側面においては、固体撮像素子が、第1のチップと、第1のチップと接合される第2のチップとを備え、第1のチップは、アノード電位を受ける第1の配線を備え、第2のチップは、それぞれがカソードおよびアノードを有する第1の画素及び第2の画素と、第1の画素のカソードに接続される第1のカソード電極と、第2の画素のカソードに接続される第2のカソード電極と、第1のカソード電極と、第2のカソード電極との間に配置され、第1の配線に接続されたシールド電極とを備える。

10

【発明の効果】

【0032】

以上のように、本開示の一側面によれば、ノイズを抑制することができる。

なお、ここに記載された効果は必ずしも限定されるものではなく、本明細書中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

20

【0033】

【図1】SPAD画素チップの構成を示す斜視図である。

【図2】フォトダイオードチップの構成を示す断面図である。

【図3】フォトダイオードチップの構成を示す平面図である。

【図4】フォトダイオードチップの構成を示す平面図である。

【図5】フォトダイオードチップの構成を示す平面図である。

【図6】SPAD画素チップの構成を示す断面図である。

【図7】SPAD画素チップの構成を示す平面図である。

【図8】フォトダイオードの接続を説明する図である。

【図9】遮蔽の効果を説明する図である。

30

【図10】遮蔽の効果を説明する図である。

【図11】フォトダイオードチップの構成を示す断面図である。

【図12】フォトダイオードチップの構成を示す平面図である。

【図13】フォトダイオードチップの構成を示す断面図である。

【図14】フォトダイオードチップの構成を示す平面図である。

【図15】フォトダイオードチップの構成を示す平面図である。

【図16】フォトダイオードチップの構成を示す平面図である。

【図17】フォトダイオードチップの構成を示す断面図である。

【図18】フォトダイオードチップの構成を示す平面図である。

【図19】フォトダイオードチップの構成を示す平面図である。

40

【図20】フォトダイオードチップの構成を示す断面図である。

【図21】フォトダイオードチップの構成を示す断面図である。

【図22】フォトダイオードチップの構成を示す断面図である。

【図23】フォトダイオードチップの構成を示す平面図である。

【図24】フォトダイオードチップの構成を示す平面図である。

【図25】フォトダイオードチップの構成を示す断面図である。

【図26】フォトダイオードチップの構成を示す断面図である。

【図27】フォトダイオードチップの構成を示す平面図である。

【図28】フォトダイオードチップの構成を示す平面図である。

【図29】フォトダイオードチップの構成を示す断面図である。

50

- 【図30】フォトダイオードチップの構成を示す断面図である。
- 【図31】フォトダイオードチップの構成を示す平面図である。
- 【図32】フォトダイオードチップの構成を示す平面図である。
- 【図33】フォトダイオードチップの構成を示す断面図である。
- 【図34】フォトダイオードチップの構成を示す断面図である。
- 【図35】フォトダイオードチップの構成を示す平面図である。
- 【図36】フォトダイオードチップの構成を示す平面図である。
- 【図37】フォトダイオードチップの構成を示す断面図である。
- 【図38】フォトダイオードチップの構成を示す断面図である。
- 【図39】フォトダイオードチップの構成を示す平面図である。 10
- 【図40】フォトダイオードチップの構成を示す平面図である。
- 【図41】フォトダイオードチップの構成を示す断面図である。
- 【図42】フォトダイオードチップの構成を示す断面図である。
- 【図43】フォトダイオードチップの構成を示す平面図である。
- 【図44】フォトダイオードチップの構成を示す平面図である。
- 【図45】SPAD画素チップの構成を示す断面図である。
- 【図46】SPAD画素チップの構成を示す断面図である。
- 【図47】回路チップの構成を示す平面図である。
- 【図48】回路チップの構成を示す平面図である。
- 【図49】フォトダイオードチップの構成を示す断面図である。 20
- 【図50】フォトダイオードチップの構成を示す断面図である。
- 【図51】フォトダイオードチップの構成を示す平面図である。
- 【図52】フォトダイオードチップの構成を示す断面図である。
- 【図53】フォトダイオードチップの構成を示す断面図である。
- 【図54】フォトダイオードチップの構成を示す平面図である。
- 【図55】フォトダイオードチップの構成を示す断面図である。
- 【図56】フォトダイオードチップの構成を示す断面図である。
- 【図57】フォトダイオードチップの構成を示す平面図である。
- 【図58】車両制御システムの概略的な構成の一例を示すブロック図である。
- 【図59】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。 30
- 【発明を実施するための形態】
- 【0034】
- 以下、本開示を実施するための実施の形態について説明する。なお、説明は以下の順序で行う。
- 1．第1の実施の形態：SPAD画素チップ（図1乃至図10）
  - 2．第2の実施の形態：SPAD画素チップ（図11、図12）
  - 3．第3の実施の形態：SPAD画素チップ（図13乃至図16）
  - 4．第4の実施の形態：SPAD画素チップ（図17乃至図19）
  - 5．第5の実施の形態：SPAD画素チップ（図20乃至図24）
  - 6．第6の実施の形態：SPAD画素チップ（図25乃至図28） 40
  - 7．第7の実施の形態：SPAD画素チップ（図29乃至図32）
  - 8．第8の実施の形態：SPAD画素チップ（図33乃至図36）
  - 9．第9の実施の形態：SPAD画素チップ（図37乃至図40）
  - 10．第10の実施の形態：SPAD画素チップ（図41乃至図44）
  - 11．第11の実施の形態：SPAD画素チップ（図45乃至図48）
  - 12．第12の実施の形態：SPAD画素チップ（図49乃至図51）
  - 13．第13の実施の形態：SPAD画素チップ（図52乃至図54）
  - 14．第14の実施の形態：SPAD画素チップ（図55乃至図57）
  - 15．移動体への応用例（図58、図59）
  - 16．その他 50

## 【 0 0 3 5 】

< 第 1 の実施の形態 >

( SPAD画素チップ ( 図 1 乃至図 1 0 ) )

最初に、図 1 乃至図 1 0 を参照して、第 1 の実施の形態について説明する。

## 【 0 0 3 6 】

図 1 は、SPAD画素チップの構成を示す斜視図であり、図 2 は、フォトダイオードチップの構成を示す断面図であり、図 3 乃至図 5 は、フォトダイオードチップの構成を示す平面図である。図 2 は、図 3 または図 4 におけるA1-A1' 線またはB1-B1' 線におけるフォトダイオードチップ 1 2 の断面の構成を表している。なお、レンズ等の図示は省略されている。

10

## 【 0 0 3 7 】

図 1 に示されるように、固体撮像素子としてのSPAD ( Single Photon Avalanche Diode ) 画素チップ 1 は、クエンチ回路等を有する回路チップ 1 1 と、図示せぬ被写体からの光を光電変換するフォトダイオードを有するフォトダイオードチップ 1 2 とを接合して構成される。図示せぬ被写体からの光 L は、図 1 において下側からフォトダイオードチップ 1 2 に入射される。フォトダイオードチップ 1 2 により光電変換された信号が回路チップ 1 1 内のクエンチ回路に供給され、処理される。すなわちこのSPAD画素チップ 1 は、裏面入射積層型の固体撮像素子であり、アバランシェ現象を利用して微弱な光を検知することが可能である。

## 【 0 0 3 8 】

フォトダイオードチップ 1 2 においては  $n \times m$  (  $n, m$  は任意の整数 ) 個のSPAD画素 2 1 ( 以下、単に画素 2 1 と記載する ) がマトリックス状に配置されているが、図には、その一部の画素 2 1 だけが示されている。このことは以下に説明する他の実施の形態においても同様である。図 3 と図 4 の例においては  $3 \times 3$  個の画素 2 1 が示されている。各画素 2 1 は画素分離部 3 9 により相互に独立するように分離されている。画素 2 1 は、Si層 2 2 と配線層 2 3 とにより構成されている。

20

## 【 0 0 3 9 】

Si層 2 2 の各画素 2 1 には、アノード 3 1 とカソード 3 2 が形成され、カソード 3 2 の光入射側 ( 図 2 の下側 ) には、アノード増倍層 3 3 が形成されている。すなわち、SPADが形成されている。また各画素 2 1 を囲うようにホール ( Hole ) 蓄積層 3 4 が形成されている。なお、画素分離部 3 9 とホール蓄積層 3 4 は、省略することもできる。

30

## 【 0 0 4 0 】

Si層 2 2 内のそれぞれの構成部において、例えばカソード 3 2 はN型半導体、アノード 3 1 はP型半導体、画素分離部 3 9 は酸化物、アノード増倍層 3 3 はPN接合、ホール蓄積層 3 4 はアノード 3 1 に対して濃度の薄いP型半導体から構成される。P型半導体とN型半導体はそれぞれ入れ換えることも可能である。

## 【 0 0 4 1 】

配線層 2 3 においては、カソードビア 3 6 がカソード 3 2 に接続されている。カソード 3 2 のカソードビア 3 6 が接続される部分は、金属であるカソードビア 3 6 を接続し易くするために、他の部分に比べて不純物濃度が濃い部分 3 2 a とされている。カソードビア 3 6 のカソード 3 2 が接続されている部分と反対側には、金属よりなるカソード電極 3 5 が接続されている。図 2 と図 3 の例においては、1つのカソード電極 3 5 に対し、1つのカソードビア 3 6 が接続されているが、1つのカソード電極 3 5 に対し、複数のカソードビア 3 6 を接続することもできる。カソード 3 2 は、カソードビア 3 6、カソード電極 3 5 を介して回路チップ 1 1 内のクエンチ回路に接続される。

40

## 【 0 0 4 2 】

アノード 3 1 には、アノードビア 3 8 が接続され、アノードビア 3 8 のアノード 3 1 が接続されている部分と反対側には、アノード電極 3 7 が接続されている。アノードビア 3 8 とアノード電極 3 7 も金属により構成される。カソード電極 3 5 と同様に、1つのアノード電極 3 7 に対して1つのアノードビア 3 8 を接続してもよいが、図 3 に示されるよう

50



に、複数（図3の例においては2個）のアノードビア38を接続するようにしてもよい。

【0043】

なお、本実施の形態だけでなく、後述するすべての実施の形態において、各電極、配線、ビアは、金属により構成されている。

【0044】

図5は、フォトダイオードチップの構成を示す平面図である。図5の例においては、1つのアノード電極37に対して36個のアノードビア38が接続されている。SPADにおいては比較的大きな電流が流れるので、アノードビア38やカソードビア36の数は多くするのが好ましい。

【0045】

なお、カソード電極35とカソードビア36、並びにアノード電極37とアノードビア38は、それぞれ一体化してもよい。

【0046】

アノード31は、アノードビア38、アノード電極37を介して回路チップ11内のアノード電源（後述する図8のアノード電源40）に接続される。

【0047】

カソード電極35とアノード電極37は、この例では、四角形、特に正方形とされている。

【0048】

なお図示は省略されているが、配線層23のカソードビア36、カソード電極35、アノードビア38、アノード電極37等の間は、絶縁体（例えばSiO<sub>2</sub>）で埋められている。

【0049】

図6は、SPAD画素チップの構成を示す断面図であり、図7は、SPAD画素チップの構成を示す平面図である。図6は、図7のA1-A1'線またはB1-B1'線の断面図である。

【0050】

図6は、図2に示したフォトダイオードチップ12の配線層23に接続される回路チップ11の配線層91の構成を表している。図6に示されるように、フォトダイオードチップ12の配線層23に電気的に接続されるように、回路チップ11側に配線層91が形成されている。

【0051】

配線層91は、配線層23に近い方から順番に、電極層91P、VE層91VE、Mn層91Mn、およびVn層91Vnにより構成されている。

【0052】

配線層91においては、カソード電極35Cとアノード電極37Cが設けられており、それぞれフォトダイオードチップ12のカソード電極35とアノード電極37に接続されている。カソード電極35Cは、カソードビア36VECを介してカソード配線52Mnに接続されている。カソード配線52Mnは、カソードビア36Vnを介して、図には部分93として示されている他の層にさらに接続されているが、その詳細な構成の図示は省略する。

【0053】

アノード電極37Cは、アノードビア38VECを介してアノード配線51Mnに接続されている。アノード配線51Mnは、さらに図示せぬアノードビアを介して部分93に接続され、そこからアノード電源40（後述する図8参照）に接続されている。

【0054】

図8は、フォトダイオードの接続を説明する図である。図8に示されるように、画素分離部39によりそれぞれが独立するように分離されている画素21には、カソード32とアノード31により構成されるSPADであるフォトダイオード41がそれぞれ設けられている。各画素21のカソード32は、それぞれ独立に、回路チップ11の図示せぬクエンチ回路に接続されている。また、各画素21のアノード31は、それぞれ独立に、回路チップ11の固定電位としてのアノード電源40に接続されている。

【0055】

10

20

30

40

50

フォトダイオードチップ12側にアノード電源を形成することも考えられる。つまり各フォトダイオード41のアノード31をそのアノード電源に共通に接続し、そのアノード電源を1つのアノードビアを介して回路チップ11側のアノード電源40に接続する構成も考えられる。しかしそのような構成は、本実施の形態においては採用されない。そのような構成にすると、回路チップ11側からフォトダイオードチップ12側のアノード電源に電源を供給する1つのアノードビアから、各画素21のアノード31までの距離が遠い程、その間の抵抗が大きくなる。抵抗が大きい程、その分だけ電圧降下が大きくなり、各画素21においてバラツキが発生する。

【0056】

それに対して本実施の形態においては、各画素21ごとにそのアノード31が独立して、フォトダイオードチップ12側のアノード電源40に接続される。その結果、各画素21のアノード31からフォトダイオードチップ12側のアノード電源40までの距離が最短となり、抵抗が最小、従って電圧降下も最小となる。また、各画素21ごとの抵抗、従って電圧降下が等しくなり、バラツキが抑制される。その結果、ノイズも抑制される。

10

【0057】

図3に示されるように、第1の実施の形態においては、カソードビア36は平面から見て画素21の中央に配置されている。しかし、カソード電極35については、奇数行目の画素21内のカソード電極35とその下の偶数行目の画素21内のカソード電極35の距離はaとされている。そして、偶数行目の画素21内のカソード電極35とその下の奇数行目の画素21内のカソード電極35の距離はbとされている。そして距離aは距離bより短く( $a < b$ )設定されている。

20

【0058】

例えば第1行目の画素21のカソード電極35と第2行目のカソード電極35の距離aは、第2行目の画素21のカソード電極35と第3行目のカソード電極35の距離bより短く設定されている。

【0059】

同様に、奇数列目の画素21内のカソード電極35とその右の偶数列目の画素21内のカソード電極35の距離はaとされている。そして、偶数列目の画素21内のカソード電極35とその右の奇数列目の画素21内のカソード電極35の距離はbとされている。そして距離aは距離bより短く( $a < b$ )設定されている。

30

【0060】

例えば第1列目の画素21と第2列目のカソード電極35の距離aは、第2列目の画素21と第3列目のカソード電極35の距離bより短く設定されている。

【0061】

すなわち、カソード電極35は、隣接する他のカソード電極35との距離が、平均値( $(a + b) / 2$ )より短い距離aになるように設定されるか、または長い距離bになるように設定される。

【0062】

具体的には、カソードビア36は平面から見て画素21の中央に配置されているが、カソード電極35については、奇数行目かつ奇数列目の画素21内のカソード電極35は、カソードビア36がカソード電極35の左上に位置するように配置される。奇数行目かつ偶数列目の画素21内のカソード電極35は、カソードビア36がカソード電極35の右上に位置するように配置される。

40

【0063】

さらに、偶数行目かつ奇数列目の画素21内のカソード電極35は、カソードビア36がカソード電極35の左下に位置するように配置される。偶数行目かつ偶数列目の画素21内のカソード電極35は、カソードビア36がカソード電極35の右下に位置するように配置される。

【0064】

アノード電極37(アノードビア38)は、隣接するカソード電極35(カソードビア

50

36)のうち、距離の近いもの間(図においての距離aにあるカソード電極35の間)に配置される。すなわち、図3に示されるように、シールド電極としてのアノード電極37(アノードビア38)は、第1行目と第2行目の画素21内のカソード電極35の間、第3行目と第4行目(図示せず)の画素21内のカソード電極35の間等に配置される。同様に、アノード電極37(アノードビア38)は、第1列目と第2列目の画素21内のカソード電極35の間、第3列目と第4列目(図示せず)の画素21内のカソード電極35の間等に配置される。

【0065】

この規則に基づく基本的構成は、図3に示されるように、 $2 \times 2$ 個(合計4個)の画素21のうち、距離aのカソード電極35の間にアノード電極37が1個ずつ、合計4個配置される構成である。このような構成により、カソード電極35と最も距離の近い別のカソード電極35の間を、アノード電極37で遮蔽することができ、カソード電極35間の寄生容量に起因するカソード信号の干渉を抑制することができる。

10

【0066】

これに対して、図4の例では、 $2 \times 2$ 個(合計4個)の画素21の中心の位置に1個のアノード電極37がさらに配置され、合計5個のアノード電極37が配置される構成となっており、より遮蔽効果が期待される。

【0067】

また、カソード電極35とアノード電極37は、裏面(図2において下側)から入射し、Si層22を透過した光を、Si層22側に反射する。またこれらは、回路チップ11の駆動により回路チップ11内に発生し、フォトダイオードチップ12側(Si層22側)に向かう光を回路チップ11側に反射する。これにより、フォトダイオードチップ12と回路チップ11を光学的に分離することができる。

20

【0068】

画素21の1個当たりのアノード電極37の数は、図3の例では1個、図4の例では1.25個である。これにより、画素21とアノード電源40を低抵抗で接続することができ、アバランシェ時のアノード電源に電流が流れたときの電圧の変動を小さく抑えることが可能となる。そしてアノード電源40の電圧変動に起因するノイズの発生(例えば、アノード電極37(アノードビア38)を介したカソード電極35(カソードビア36)へのノイズの重畳)を抑制することが可能となる。

30

【0069】

次に、遮蔽の効果について説明する。図9と図10は、遮蔽の効果の説明する図である。アノード電極37で遮蔽されていない場合、図9に示されるようになる。すなわち、いま図9のAに示されるように、フォトダイオード111とフォトダイオード112が隣接しており、両者のカソード32の間に寄生容量113が存在するものとする。この状態で、フォトダイオード111にアバランシェが発生したとすると、そのカソード32の出力電圧は、図9のBに線L1で示されるように、その発生区間だけ一時的に急激に大きく低下する。

【0070】

一方、図9のBに線L2で示されるように、アバランシェが発生していないフォトダイオード112のカソード32の出力電圧も、フォトダイオード111にアバランシェが発生したタイミングで、一時的に急激に大きく低下する。その出力の値は、フォトダイオード111の出力の $C_p / C_{total}$ 倍となる。 $C_p$ は、フォトダイオード111のカソード32とフォトダイオード112のカソード32の間の寄生容量113の値であり、 $C_{total}$ は、フォトダイオード111のカソード32の容量の値である。

40

【0071】

これに対して、フォトダイオード111とフォトダイオード112のカソード32の間がアノード電極37により遮蔽されている場合、図10に示されるようになる。すなわちこの場合、図10のAに示されるように、フォトダイオード111のカソード32と、フォトダイオード112のカソード32の間の寄生容量121は、シールド電極としてのア

50

ノード電極 35 (アノードビア 38) により、容量値が容量 113 よりも小さい。  
この場合においても、フォトダイオード 111 にアバランシェが発生したとすると、そのカソード 32 の出力電圧は、図 10 の B の線 L1 で示されるように、その発生区間だけ一時的に急激に大きく低下する。

【0072】

しかしながら、アバランシェが発生していないフォトダイオード 112 のカソード 32 の出力電圧は、図 10 の B に線 L2 で示されるように、ほとんど変化しない。すなわち、隣接するフォトダイオード 111 の影響が軽減される。

【0073】

なお、カソード電極 35 の面積は、シールド電極としてのアノード電極 37 の面積以下に設定されている。このことは、他の全ての実施の形態においても同様である。これにより、カソード 32 の容量は小さくし、固定電位の容量は大きくすることができ、ノイズの抑制に有利となる。

【0074】

また、画素分離部 39 により画素 21 を絶縁分離することで、アバランシェ発生時に Si 層 22 内で相互に干渉することを抑制することができる。

【0075】

なお、以下に他の実施の形態について説明するが、主にそれぞれが他の実施の形態と異なる点についてだけ説明し、同じ点については説明を省略する。

【0076】

< 第 2 の実施の形態 >

(SPAD 画素チップ (図 11、図 12))

次に、図 11 と図 12 を参照して、第 2 の実施の形態について説明する。

【0077】

図 11 は、フォトダイオードチップの構成を示す断面図であり、図 12 は、フォトダイオードチップの構成を示す平面図である。図 11 は、図 12 の A2-A2' 線または B2-B2' 線のフォトダイオードチップ 12 の断面の構成を表している。なお、回路チップ 11 の配線層 91 の図示は省略する。

【0078】

この第 2 の実施の形態においては、カソードビア 36 は、平面から見て画素 21 の中央に配置されている。そしてすべての画素 21 においてカソード電極 35 は、カソードビア 36 がカソード電極 35 の左下に位置するように配置される。その結果、各カソード電極 35 の間隔はすべて同一となる。

【0079】

アノード電極 37 は、各画素 21 において、カソード電極 35 の左下、左中央、下中央に配置されている。結果的に、各画素 21 のカソード電極 35 の周囲を囲むように、その左上、左中央、左下、下中央、右下、右中央、右上、上中央に、アノード電極 37 が配置される。アノードビア 38 は、左下のアノード電極 37 においては、その右上、左中央のアノード電極 37 においては、その右下、下中央のアノード電極 37 においては、その左上に、位置するように配置される。すなわちこの画素 21 は並進対称性を有する構成とされている。

【0080】

上下左右に隣接するすべてのカソード電極 35 (カソードビア 36) 間にアノード電極 37 (アノードビア 38) を配置するので、カソード電極 35 (カソードビア 36) 間の寄生容量に起因するノイズの低減効果もより向上させることが可能となる。

【0081】

さらに、第 2 の実施の形態においては、画素 21 が、カソード電極 35、カソードビア 36、アノード電極 37、アノードビア 38 の配置に関して、隣接する画素 21 と同じレイアウトになる。従って、画素 21 ごとの電気特性 (例えば隣接する画素 21 内のカソード電極 35、カソードビア 36、アノード電極 37、アノードビア 38 等に起因する寄生

10

20

30

40

50

容量のつき方)をそろえることが可能となる。また、光学特性(例えば、カソード電極 3 5、カソードビア 3 6、アノード電極 3 7、アノードビア 3 8 等の配置が影響する斜入射特性)をそろえることが可能となる。

【 0 0 8 2 】

< 第 3 の実施の形態 >

( SPAD画素チップ ( 図 1 3 乃至図 1 6 ) )

次に、図 1 3 乃至図 1 6 を参照して、第 3 の実施の形態について説明する。

【 0 0 8 3 】

図 1 3 は、フォトダイオードチップの構成を示す断面図である。図 1 4 乃至図 1 6 は、フォトダイオードチップの構成を示す平面図である。図 1 3 は、図 1 4 乃至図 1 6 の A3-A 3 ' 線または B3-B3 ' 線のフォトダイオードチップ 1 2 の断面の構成を表している。図 1 6 は、図 1 5 のアノード電極 3 7 とアノードビア 3 8 を除去した構成を表している。なお、回路チップ 1 1 の配線層 9 1 の図示は省略する。

【 0 0 8 4 】

図 1 4 の例においては、画素 2 1 の中心に配置されているカソードビア 3 6 が、カソード電極 3 5 の中心に位置するように、従ってカソード電極 3 5 が画素 2 1 の中心に位置するように配置されている。アノード電極 3 7 は、図 1 2 における場合と同様に、各画素 2 1 において、カソード電極 3 5 の左下、左中央、下中央に配置される。従って、アノード電極 3 7 は、画素 2 1 の周囲を囲むように、その左上、左中央、左下、下中央、右下、右中央、右上、上中央に配置される。

【 0 0 8 5 】

アノードビア 3 8 は、アノード電極 3 7 が左中央に位置する場合はアノード電極 3 7 の右中央に、アノード電極 3 7 が左下に位置する場合はアノード電極 3 7 の右上に、それぞれ位置するように配置される。また、アノードビア 3 8 は、アノード電極 3 7 が下中央に位置する場合はアノード電極 3 7 の上中央に位置するように配置される。

【 0 0 8 6 】

その結果、図 1 4 の例においては、各画素 2 1 が、カソード電極 3 5、カソードビア 3 6、アノード電極 3 7、アノードビア 3 8 の配置に関して、上下左右対称になる。すなわち、図 1 2 における場合と同様に、画素 2 1 の配置が隣接する画素 2 1 と同じレイアウトになるだけでなく、さらに、画素 2 1 内でレイアウトが上下左右対称になる。その結果、画素 2 1 ごとの電気特性(例えば隣接する画素 2 1 内のカソード電極 3 5、カソードビア 3 6、アノード電極 3 7、アノードビア 3 8 等に起因する寄生容量のつき方)を画素ごとに上下左右対称にすることが可能となる。また、光学特性(例えば、カソード電極 3 5、カソードビア 3 6、アノード電極 3 7、アノードビア 3 8 等の配置が影響する斜入射特性)を画素 2 1 ごとに上下左右対称にすることが可能となる。

【 0 0 8 7 】

図 1 5 の例においては、アノード電極 3 7 が、画素 2 1 の周囲を連続的に囲むように形成されている。その他の構成は、図 1 4 の例における場合と同様である。

【 0 0 8 8 】

< 第 4 の実施の形態 >

( SPAD画素チップ ( 図 1 7 乃至図 1 9 ) )

次に、図 1 7 乃至図 1 9 を参照して、第 4 の実施の形態について説明する。

【 0 0 8 9 】

図 1 7 は、フォトダイオードチップの構成を示す断面図である。図 1 8 と図 1 9 は、フォトダイオードチップの構成を示す平面図である。図 1 7 は、図 1 8 と図 1 9 の A4-A4 ' 線または B4-B4 ' 線のフォトダイオードチップ 1 2 の断面の構成を表している。なお、回路チップ 1 1 の配線層 9 1 の図示は省略する。

【 0 0 9 0 】

第 4 の実施の形態においては、配線層 2 3 が、図 1 7 において下から順番に示される、V1層 2 3 V1、M1層 2 3 M1、VE層 2 3 VE、および電極層 2 3 Pにより構成されている。図 1

8は、V1層23V1とM1層23M1の平面の構成を表し、図19は、VE層23VEと電極層23Pの平面の構成を表している。

【0091】

図19に示されるように、カソード電極35は、図14の場合と同様に、画素21の中央に配置されている。カソード32は、V1層23V1のカソードビア36V1、M1層23M1のカソード配線52M1、VE層23VEのカソードビア36VEを介して、電極層23Pのカソード電極35に接続されている。上述したように、カソード電極35は、回路チップ11内のクエンチ回路に接続されている。

【0092】

アノード電極37は、Si層22内の画素21の周辺であって、画素21の左中央、左下、下中央に配置されている。アノード31は、V1層23V1のアノードビア38V1、M1層23M1のアノード配線51M1、VE層23VEのアノードビア38VE、電極層23Pのアノード電極37を介して、回路チップ11内のアノード電源40に接続されている。

【0093】

第4の実施の形態においては、平面視において、カソード電極35とアノード配線51M1に重なる領域R1がある。すなわち、カソード電極35は、アノード配線51M1とその隣のアノード配線51M1の間の隙間を覆うように配置されている。つまり、カソード電極35はアノード配線51M1の少なくとも一部と重なるように配置される。

【0094】

これにより、配線層23において画素21が完全に覆われる構成となる。このような構成をとることにより、Si層22を透過し、配線層23に向かう光は、ほぼすべて配線層23で反射され、Si層22に戻される。その結果、フォトダイオードチップ12と回路チップ11が光学的に分離され、感度を向上することができる。また、回路チップ11で発生した光がSi層22に入射することを抑制することができる。さらに、図18に示されるように、カソード配線52M1の周囲をアノード配線51M1で囲む構造になっているので、隣接するカソード32間の遮蔽効果をさらに向上することができる。

【0095】

なお、カソード電極35とアノード配線51M1以外を組み合わせてもよく、カソード電極35、シールド電極、シールド配線の2つ以上の少なくとも一部が重なるように配置することができる。

【0096】

また、カソード電極35とカソード配線52M1の面積の和は、シールド電極としてのアノード電極37とシールド配線としてのアノード配線51M1の面積の和以下に設定されている。これにより、カソード32の容量は小さくし、固定電位の容量は大きくすることができ、ノイズの抑制に有利となる。

【0097】

<第5の実施の形態>

(SPAD画素チップ(図20乃至図24))

次に、図20乃至図24を参照して、第5の実施の形態について説明する。

【0098】

図20、図21および図22は、フォトダイオードチップの構成を示す断面図である。図23と図24は、フォトダイオードチップの構成を示す平面図である。図20は、図23と図24のA5-A5'線のフォトダイオードチップ12の断面の構成を表している。図21は、図23と図24のB5-B5'線のフォトダイオードチップ12の断面の構成を表している。図22は、図23と図24のC5-C5'線のフォトダイオードチップ12の断面の構成を表している。図23は、V1層23V1とM1層23M1の平面の構成を表し、図24は、VE層23VEと電極層23Pの平面の構成を表している。なお、回路チップ11の配線層91の図示は省略する。

【0099】

第5の実施の形態においては、第1乃至第4の実施の形態と同様に、Si層22に、カソ

10

20

30

40

50

ード32、アノード増倍層33、画素分離部39、ホール蓄積層34が形成されている。さらに第5の実施の形態においては、画素21の中央に、ピニング層64が形成されている。

【0100】

ピニング層64はカソード32に対して濃度の濃いP型半導体から構成される。ピニング層64のピニングビア62V1と接続される部分64aは、その他の部分より不純物濃度がさらに高くなっている。ただし、第1の実施の形態で説明した場合と同様に、全体のP型半導体とN型半導体はそれぞれ入れ替えることも可能である。

【0101】

配線層23は、第4の実施の形態と同様に、カソードビア36V1、カソード配線52M1、カソードビア36VE、カソード電極35、アノードビア38V1、アノード配線51M1、アノードビア38VE、アノード電極37により構成されている。そして第5の実施の形態においては、配線層23は、さらに、ピニングビア62V1、ピニング配線63M1、ピニングビア62VE、ピニング電極61で構成される。

10

【0102】

ピニング層64は、ピニングビア62V1、ピニング配線63M1、ピニングビア62VE、ピニング電極61を介して、回路チップ11内の固定電位であるグラウンドに、画素21単位で接続される。

【0103】

第5の実施の形態においては、図23に示されるように、M1層23M1で、カソード配線52M1が、シールド配線としてのピニング配線63M1により囲まれている。また、図24に示されるように、電極層23Pでは、カソード電極35は、画素21の上辺中央に配置され、アノード電極37は、画素21の左上および右上に配置される。シールド電極としてのピニング電極61は、画素21の中央、左中央、および右中央に配置される。カソード電極35は、その上下がピニング電極61により挟まれ、その左右がアノード電極37により挟まれる構成になる。

20

【0104】

ピニング配線63M1とピニング電極61は、回路チップ11のグラウンドに接続される。その結果、それらが、アノード電源40に接続される場合に比べて、kTCノイズ等のノイズの少ない一定の電位となり、カソード32から出力される信号を、より低ノイズで回路チップ11内のクエンチ回路に伝送することが可能となる。

30

【0105】

なお、カソード電極35とカソード配線52M1の面積の和は、シールド電極としてのアノード電極37とピニング電極61、並びにシールド配線としてのアノード配線51M1とピニング配線63M1の面積の和以下に設定されている。これにより、カソード32の容量は小さくし、固定電位の容量は大きくすることができ、ノイズの抑制に有利となる。

【0106】

第1の実施の形態乃至第4の実施の形態においては、シールド配線は、1つの固定電位（アノード電源40）に接続される。しかしながら、第5の実施の形態においては、アノード31がアノード配線51M1、アノード電極37を介して固定電位としてのアノード電源40に接続される。そして、ピニング層64がピニング電極61、ピニング配線63M1を介して他の固定電位としてのグラウンドに接続される。つまりシールド配線が、複数（この実施の形態では2つ）の固定電位に接続される。

40

【0107】

< 第6の実施の形態 >

（SPAD画素チップ（図25乃至図28））

次に、図25乃至図28を参照して、第6の実施の形態について説明する。

【0108】

図25と図26は、フォトダイオードチップの構成を示す断面図である。図27と図28は、フォトダイオードチップの構成を示す平面図である。図25は、図27と図28の

50

A6-A6'線またはB6-B6'線の断面の構成を表す図である。図26は、図27と図28のC6-C6'線の断面の構成を表す図である。図27は、V1層23V1とM1層23M1の平面の構成を表し、図28は、VE層23VEと電極層23Pの平面の構成を表している。なお、回路チップ11の配線層91の図示は省略する。

【0109】

Si層22は、カソード32、アノード増倍層33、画素分離部39、ホール蓄積層34に加え、カソード32を囲むピニング層64から構成される。さらに、ピニング層64とアノード31の間に、N型の不純物領域44が設けられている。これは、アノード増倍層33以外でのアバランシェ現象の発生を抑制するために設けたものであるが必須ではない。

10

【0110】

第6の実施の形態においては、図27に示されるように、平面視において、カソード配線52M1の上下左右がピニング配線63M1で囲まれた構成になっている。また、図28に示されるように、平面視において、カソード電極35の上下左右がピニング電極61で囲まれた構成になっている。ピニング配線63M1とピニング電極61は、上述したように、グラウンドに接続されているので、カソード32かの信号は、グラウンドで囲まれた状態で出力されることになる。

【0111】

一方、上述したように、第5の実施の形態においては、図23に示されるように、カソード配線52M1はピニング配線63M1で囲まれた構成になっている。しかし、図24に示されるように、カソード電極35の上下はピニング電極61で挟まれた構成になっているものの、その左右は、アノード電極37で挟まれた構成になっている。

20

【0112】

このように、第6の実施の形態は、カソード電極35が上下だけでなく、左右もピニング電極61で挟まれているので、第5の実施の形態に比べて、ノイズが重畳し難い構成となっている。

【0113】

この実施の形態においても、シールド電極、シールド配線は、複数の固定電位に接続される。

【0114】

<第7の実施の形態>

(SPAD画素チップ(図29乃至図32))

次に、図29乃至図32を参照して、第7の実施の形態について説明する。

30

【0115】

図29と図30は、フォトダイオードチップの構成を示す断面図である。図31と図32は、フォトダイオードチップの構成を示す平面図である。図29は、図31と図32のA7-A7'線またはB7-B7'線の断面の構成を表す図である。図30は、図31と図32のC7-C7'線の断面の構成を表す図である。図31は、V1層23V1とM1層23M1の平面の構成を表し、図32は、VE層23VEと電極層23Pの平面の構成を表している。なお、回路チップ11の配線層91の図示は省略する。

40

【0116】

図31に示されるように、ピニング配線63M1は、M1層23M1上で、隣接する画素21のピニング配線63M1と接続され、M1層23M1の全体を覆うように配置されている。このように構成することで、カソード配線52M1とカソード電極35の周囲をピニング配線63M1で囲むことができ、隣接する画素21のカソード信号、アノード電源40の揺らぎに起因するノイズを抑制することが可能となる。

【0117】

また、ピニング配線63M1を、M1層23M1の全体をほぼ覆うように配置することで、図29と図30において下側から入射し、Si層22を透過し、配線層23に向かう光を、ほぼすべて配線層23で反射し、Si層22に戻すことが可能になる。回路チップ11で発生

50



した光がSi層22に入射することを抑制することができる。その結果、感度を向上することができる。

【0118】

この実施の形態においても、シールド電極、シールド配線は、複数の固定電位に接続される。

【0119】

<第8の実施の形態>

(SPAD画素チップ(図33乃至図36))

次に、図33乃至図36を参照して、第8の実施の形態について説明する。

【0120】

図33と図34は、フォトダイオードチップの構成を示す断面図である。図35と図36は、フォトダイオードチップの構成を示す平面図である。図33は、図35と図36のA8-A8'線の断面の構成を表す図である。図34は、図35と図36のB8-B8'線の断面の構成を表す図である。図35は、V1層23V1とM1層23M1の平面の構成を表し、図36は、VE層23VEと電極層23Pの平面の構成を表している。なお、回路チップ11の配線層91の図示は省略する。

【0121】

この実施の形態においては、カソード配線52M1は、カソードビア36V1に接続されるとともに、ピニングビア62V1に接続され、カソード32とピニング層64が、電気的に接続される構成になっている。画素21の中央に配置されたピニングビア62V1と、それが中心に位置するように正方形のカソード配線52M1が接続されている。その結果、カソード配線52M1は、図35に示されるように、画素21の中央に対して上下左右対称な構成となっている。

【0122】

第8の実施の形態においては、カソード電極35(カソード配線52M1)と隣接するカソード電極35(カソード配線52M1)の間に、図36の横方向に、シールド電極としてのアノード電極37(シールド配線としてのアノード配線51M1)が設けられている。また、両者の間に、縦方向に、シールド電極としての遮蔽電極81(シールド配線としての遮蔽配線83M1)が設けられている。

【0123】

遮蔽電極81は、上述したカソード電極35、アノード電極37、ピニング電極61と同様に、四角形、特に正方形とされている。遮蔽電極81は、遮蔽ビア82VEを介して遮蔽配線83M1に接続されている。なお、遮蔽配線83M1、遮蔽電極81、および遮蔽ビア82VEは、カソード32の遮蔽のために設けられた構成であり、Si層22に接続がないため、V1層23V1には遮蔽配線83M1に接続されるビアは存在しない(遮蔽ビア82V1は存在しない)。

【0124】

カソード32とピニング層64を接続し、電位を共通にする場合、ピニング層64のグラウンドへの接続はオフされる。このようにすることで、他の実施の形態において発生していたカソード32とピニング層64の間の容量がゼロになり、カソード出力の時間分解能を向上することが可能になる。

【0125】

なお、遮蔽電極81を介して回路チップ11から遮蔽配線83M1に遮蔽のための固定電位が供給される。この固定電位は、アノード電源40、または第5乃至第7の実施の形態における場合と同じピニング層64の電位とすることもできるが、それ以外の電位とすることもできる。例えばデジタル用のグラウンドと、それとは異なるアナログ用のグラウンドが存在する場合、そのうちの使用されていない方で、カソード32を遮蔽してもよい。また、図36に示されるように、遮蔽ビア82VEに接続されない遮蔽電極81bを形成してもよい。

【0126】

10

20

30

40

50

第 8 の実施の形態の場合、アノード電源 4 0 遮蔽配線 8 3 M1 の電源の 2 つの固定電位が使用される。

【 0 1 2 7 】

なお、カソード電極 3 5 とカソード配線 5 2 M1 の面積の和は、シールド電極としてのアノード電極 3 7 および遮蔽電極 8 1、並びにシールド配線としてのアノード配線 5 1 M1 および遮蔽配線 8 3 M1 の面積の和以下に設定されている。これにより、カソード 3 2 の容量は小さくし、固定電位の容量は大きくすることができ、ノイズの抑制に有利となる。

【 0 1 2 8 】

< 第 9 の実施の形態 >

( SPAD 画素チップ ( 図 3 7 乃至図 4 0 ) )

次に、図 3 7 乃至図 4 0 を参照して、第 9 の実施の形態について説明する。

【 0 1 2 9 】

図 3 7 と図 3 8 は、フォトダイオードチップの構成を示す断面図である。図 3 9 と図 4 0 は、フォトダイオードチップの構成を示す平面図である。図 3 7 は、図 3 9 と図 4 0 の A9-A9' 線または B9-B9' 線の断面の構成を表す図である。図 3 8 は、図 3 9 と図 4 0 の C9-C9' 線の断面の構成を表す図である。図 3 9 は、V1 層 2 3 V1 と M1 層 2 3 M1 の平面の構成を表し、図 4 0 は、VE 層 2 3 VE と電極層 2 3 P の平面の構成を表している。なお、回路チップ 1 1 の配線層 9 1 の図示は省略する。

【 0 1 3 0 】

第 9 の実施の形態においては、各ビア ( カソードビア 3 6 V1、カソードビア 3 6 VE、アノードビア 3 8 V1、アノードビア 3 8 VE、遮蔽ビア 8 2 VE ) は、上下左右対称に配置されている。また、各配線 ( カソード配線 5 2 M1、アノード配線 5 1 M1、遮蔽配線 8 3 M1 ) は、上下左右対称に配置されている。さらに、各電極 ( カソード電極 3 5、アノード電極 3 7、遮蔽電極 8 1 ) も、上下左右対称に配置されている。

【 0 1 3 1 】

第 9 の実施の形態においては、各カソードビア ( カソードビア 3 6 V1、カソードビア 3 6 VE ) からの距離が最も近いビアが、遮蔽ビア 8 2 VE になっている。カソード配線 5 2 M1 からの距離が最も近い配線が、遮蔽配線 8 3 M1 になっている。カソード電極 3 5 からの距離が最も近い電極 ( 上下左右に隣接する電極 ) が、遮蔽電極 8 1 になっている。このように構成をとることで、カソード信号に重畳される、回路チップ 1 1 においてフォトダイオード駆動時に発生する電源の揺れに起因するノイズを抑制することが可能となる。

【 0 1 3 2 】

この実施の形態においても、シールド配線は、複数の固定電位に接続される。また、カソード 3 2 とピニング層 6 4 の電位が共通にされる。さらにカソード配線 5 2 M1 は画素 2 1 の中央に配置される。

【 0 1 3 3 】

< 第 1 0 の実施の形態 >

( SPAD 画素チップ ( 図 4 1 乃至図 4 4 ) )

次に、図 4 1 乃至図 4 4 を参照して、第 1 0 の実施の形態について説明する。

【 0 1 3 4 】

図 4 1 と図 4 2 は、フォトダイオードチップの構成を示す断面図である。図 4 3 と図 4 4 は、フォトダイオードチップの構成を示す平面図である。図 4 1 は、図 4 3 と図 4 4 の A10-A10' 線または B10-B10' 線の断面の構成を表す図である。図 4 2 は、図 4 3 と図 4 4 の C10-C10' 線の断面の構成を表す図である。図 4 3 は、V1 層 2 3 V1 と M1 層 2 3 M1 の平面の構成を表し、図 4 4 は、VE 層 2 3 VE と電極層 2 3 P の平面の構成を表している。なお、回路チップ 1 1 の配線層 9 1 の図示は省略する。

【 0 1 3 5 】

第 8 の実施の形態 ( 図 3 6 ) と第 9 の実施の形態 ( 図 4 0 ) においては、遮蔽電極 8 1 は 1 つの四角形で構成されている。しかし、第 1 0 の実施の形態においては、図 4 4 に示されるように、遮蔽電極 8 1 は 1 つの四角形ではなく、複数の画素 2 1 に連続して跨るよ

10

20

30

40

50

うに構成される。具体的には、遮蔽電極 8 1 は、画素 2 1 の中心に配置されている四角形のカソード電極 3 5 の周囲を環状の四角形で囲むように構成されている。また、遮蔽電極 8 1 は、各画素 2 1 の左上に配置されている四角形のアノード電極 3 7 の周囲を環状の四角形で囲むように構成されている。そして、環状の四角形の角が隣接する画素 2 1 の環状の四角形の角と連続するように構成されている。

【 0 1 3 6 】

このような構成により、カソード電極 3 5 とアノード電極 3 7 をそれぞれ個別に囲むことができ、他の実施の形態で行われている、隣接するカソード電極 3 5 間の遮蔽だけでなく、カソード 3 2 とアノード 3 1 の間の遮蔽も行うことができる。

【 0 1 3 7 】

また、カソード電極 3 5 とアノード電極 3 7 のサイズも異なる。カソード電極 3 5 の面積はアノード電極 3 7 の面積より小さい。カソード信号を送信する際には時間分解能を向上するために、カソード電極 3 5 にできるだけ寄生容量が付加されないことが求められる。遮蔽電極 8 1 は、ノイズの重畳を防ぐために必要ではあるが、カソード電極 3 5 の寄生容量は小さくすることが望ましい。そのため、カソード電極 3 5 を小さくすることで、寄生容量が低減される。

【 0 1 3 8 】

逆にアノード電極 3 7 は、電位の揺れない安定した電位を供給するために、寄生容量は多く付加されることが好ましい。そこで、アノード電極 3 7 の面積を大きくし、また、アノード電極 3 7 と遮蔽電極 8 1 との距離を小さくすることで、寄生容量がバイパスコンデンサとして機能し、アノード電位を安定にすることが可能となる。

【 0 1 3 9 】

この実施の形態においても、シールド配線は、複数の固定電位に接続される。また、カソード 3 2 とピニング層 6 4 の電位が共通にされる。さらにカソード配線 5 2 M1 は画素 2 1 の中央に配置される。

【 0 1 4 0 】

< 第 1 1 の実施の形態 >

( SPAD 画素チップ ( 図 4 5 乃至図 4 8 ) )

次に、図 4 5 乃至図 4 8 を参照して、第 1 1 の実施の形態について説明する。

【 0 1 4 1 】

図 4 5 と図 4 6 は、SPAD 画素チップの構成を示す断面図である。図 4 7 と図 4 8 は、回路チップの構成を示す平面図である。図 4 5 は、図 4 7 と図 4 8 の A11-A11' 線または B11-B11' 線の断面の構成を表す図である。図 4 6 は、図 4 7 と図 4 8 の C11-C11' 線の断面の構成を表す図である。図 4 7 は、VE 層 9 1 VE と電極層 9 1 P の平面の構成を表し、図 4 8 は、Vn 層 9 1 Vn と Mn 層 9 1 Mn の平面の構成を表している。

【 0 1 4 2 】

第 1 1 の実施の形態は、第 1 0 の実施の形態の構成に、回路チップ 1 1 側の構成を付加したものである。回路チップ 1 1 の配線層 9 1 は、配線層 2 3 に近い方から順番に示されている、電極層 9 1 P、VE 層 9 1 VE、Mn 層 9 1 Mn、および Vn 層 9 1 Vn により構成されている。なお、ここでは、回路チップ 1 1 の配線層 9 1 より低層の部分 9 3 ( 図 4 5 と図 4 6 において上側の部分 ) の説明は省略する。

【 0 1 4 3 】

回路チップ 1 1 内の配線層 9 1 は、カソード電極 3 5 C、カソードビア 3 6 VEC、カソード配線 5 2 Mn、カソードビア 3 6 Vn、アノード電極 3 7 C、アノードビア 3 8 VEC、アノード配線 5 1 Mn、アノードビア 3 8 Vn から構成される。図示は省略されているが、配線層 9 1 のこれらの間が絶縁体 ( 例えば SiO<sub>2</sub> 等 ) で埋められているのは、フォトダイオードチップ 1 2 の配線層 2 3 における場合と同様である。

【 0 1 4 4 】

フォトダイオードチップ 1 2 と回路チップ 1 1 は、それぞれの配線層 2 3 と配線層 9 1 を介して相互に電氣的に接続されている。フォトダイオードチップ 1 2 内において、カソ

10

20

30

40

50

ード32は、カソードビア36V1、カソード配線52M1、カソードビア36VE、カソード電極35に順次接続されている。そしてカソード電極35が、回路チップ11内のカソード電極35C、カソードビア36VEC、カソード配線52Mn、カソードビア36Vnを介して、回路チップ11内のクエンチ回路に接続される。

【0145】

配線層91のカソード電極35C、カソードビア36VEC、カソード配線52Mn、カソードビア36Vn、アノード電極37C、アノードビア38VEC、アノード配線51Mn、アノードビア38Vnは、それぞれ対応する名称の配線層23の構成要素に対応する。すなわち、カソード電極35Cはカソード電極35、カソードビア36VECはカソードビア36VE、カソード配線52Mnはカソード配線52M1、カソードビア36Vnはカソードビア36V1に、それぞれ対応する。また、アノード電極37Cはアノード電極37、アノードビア38VECはアノードビア38VE、アノード配線51Mnはアノード配線51M1、アノードビア38Vnはアノードビア38V1に、それぞれ対応する。

10

【0146】

なお、この実施の形態においては、1つのカソード電極35に対して1つのカソードビア36VEが、また、1つのカソード電極35Cに対して1つのカソードビア36VECが、それぞれ設けられている。しかし、1つのカソード電極35またはカソード電極35Cに対して、複数のカソードビア36VEまたはカソードビア36VECが接続されるようにすることもできる。

【0147】

20

同様に、フォトダイオードチップ12内のアノード31は、アノードビア38V1、アノード配線51M1、アノードビア38VE、アノード電極37に順次接続される。そしてアノード電極37は、回路チップ11のアノード電極37C、アノードビア38VEC、アノード配線51Mn、アノードビア38Vnを介してアノード電源40に接続される。

【0148】

さらに、フォトダイオードチップ12内において、遮蔽配線83M1、遮蔽ビア82VE、遮蔽電極81が順次接続される。そして、遮蔽電極81が、回路チップ11内の遮蔽電極81C、遮蔽ビア82VEC、遮蔽配線83Mn、遮蔽ビア82Vnを順次介して、遮蔽するための固定電位に接続される。

【0149】

30

図45に示されるように、平面視において、回路チップ11の遮蔽配線83Mnは、フォトダイオードチップ12の遮蔽配線83M1とカソード配線52M1との隙間を覆うように配置されている。つまり、遮蔽配線83Mnは、遮蔽配線83M1とカソード配線52M1の少なくとも一部に重なるように配置される。すなわち、平面視において、遮蔽配線83Mn、遮蔽配線83M1、およびカソード配線52M1により画素21の全体が覆われる。このように配置することで、回路チップ11とフォトダイオードチップ12を光学的に分離することが可能となる。

【0150】

なお、配線層91の対応遮蔽配線である遮蔽配線83Mnと、配線層23の遮蔽配線83M1およびカソード配線52M1以外を組み合わせてもよい。すなわち、配線層91の、対応カソード電極35C、対応シールド電極、または対応シールド配線と、配線層23の、カソード電極35、シールド電極、またはシールド配線を、平面視において、少なくともその一部が重なるように配置することができる。

40

【0151】

また、回路チップ11内において、遮蔽配線83Mnは、メッシュ状に配置されたアノード電極37Cと隣接するように配置されている。さらに、フォトダイオードチップ12内において、遮蔽配線83M1は、メッシュ状に配置されたアノード電極37と隣接するように配置されている。このような配置により、遮蔽配線83Mnとアノード電極37Cの寄生容量が増加し、また遮蔽配線83M1とアノード電極37の寄生容量が増加し、寄生容量がバイパスコンデンサとして機能し、アノード電位を安定化することが可能となる。

50

## 【 0 1 5 2 】

第 1 0 の実施の形態における場合と同様に、第 1 1 の実施の形態においても、図 4 7 に示されるように、遮蔽電極 8 1 C は 1 つの四角形ではなく、複数の画素 2 1 に連続して跨るように構成される。具体的には、遮蔽電極 8 1 C は、画素 2 1 の中心に配置されている四角形のカソード電極 3 5 C の周囲を環状の四角形で囲むように構成されている。また、遮蔽電極 8 1 C は、画素 2 1 の左上に配置されている四角形のアノード電極 3 7 C の周囲を環状の四角形で囲むように構成されている。そして、環状の四角形の角が隣接する画素 2 1 の環状の四角形の角と連続するように構成されている。

## 【 0 1 5 3 】

このような構成により、カソード電極 3 5 C とアノード電極 3 7 C をそれぞれ個別に囲むことができ、隣接するカソード電極 3 5 C 間の遮蔽だけでなく、カソード 3 2 とアノード 3 1 の間の遮蔽も行うことができる。

10

## 【 0 1 5 4 】

また、カソード電極 3 5 C とアノード電極 3 7 C のサイズも異なる。カソード電極 3 5 C の面積はアノード電極 3 7 C の面積より小さい。カソード信号を送信する際には時間分解能を向上するために、できるだけ寄生容量が付加されないことが求められる。遮蔽電極 8 1 C は、ノイズの重畳を防ぐために必要ではあるが、カソード電極 3 5 C の寄生容量は小さくすることが望ましい。そのため、カソード電極 3 5 C を小さくすることで、カソード電極 3 5 C の寄生容量が低減される。

## 【 0 1 5 5 】

20

逆にアノード電極 3 7 C は、電位の揺れない安定した電位を供給するために、寄生容量は多く付加されることが好ましい。そこで、アノード電極 3 7 C の面積を大きくし、また、アノード電極 3 7 C と遮蔽電極 8 1 C との距離を小さくすることで、寄生容量がバイパスコンデンサとして機能し、アノード電位を安定にすることが可能となる。

## 【 0 1 5 6 】

この実施の形態においても、シールド配線は、複数の固定電位に接続される。また、カソード 3 2 とピニング層 6 4 の電位が共通にされる。さらにカソード配線 5 2 M1 は画素 2 1 の中央に配置される。

## 【 0 1 5 7 】

< 第 1 2 の実施の形態 >

30

( SPAD 画素チップ ( 図 4 9 乃至図 5 1 ) )

次に、図 4 9 乃至図 5 1 を参照して、第 1 2 の実施の形態について説明する。

## 【 0 1 5 8 】

図 4 9 と図 5 0 は、フォトダイオードチップの構成を示す断面図である。図 5 1 は、フォトダイオードチップの構成を示す平面図である。図 4 9 は、図 5 1 の A12-A12' 線または B12-B12' 線の断面の構成を表す図である。図 5 0 は、図 5 1 の C12-C12' 線の断面の構成を表す図である。なお、回路チップ 1 1 の配線層 9 1 の図示は省略する。

## 【 0 1 5 9 】

配線層 2 3 は、カソードビア 3 6、カソード電極 3 5、アノードビア 3 8、アノード電極 3 7 に加え、例えば SiOF、SiCO、SiCOH 等の低誘電率材料からなる低誘電率部材 1 0 1 から構成される。

40

## 【 0 1 6 0 】

第 1 2 の実施の形態においては、図 5 1 に示されるように、アノード電極 3 7 は、 $2 \times 2$  個の画素 2 1 を単位としたとき、その左上、左下、右下、および右上の角に配置される。

## 【 0 1 6 1 】

さらに、図 4 9 と図 5 1 に示されるように、第 1 の実施の形態と同様に、カソードビア 3 6 は平面から見て画素 2 1 の中央に配置されている。しかし、カソード電極 3 5 については、奇数行目の画素 2 1 内のカソード電極 3 5 とその下の偶数行目の画素 2 1 内のカソード電極 3 5 の距離は  $a$  とされている。そして、偶数行目の画素 2 1 内のカソード電極 3

50

5とその下の奇数行目の画素21内のカソード電極35の距離はbとされている。そして距離aは距離bより短く( $a < b$ )設定されている。

【0162】

低誘電率部材101は、距離aで隣接するカソード電極35とカソード電極35の間に配置される。すなわち、第1の実施の形態においてアノード電極37が配置されている位置であって配線層23の一部に、低誘電率部材101が配置される。

【0163】

このように配置することで、カソード電極35と最も距離の近い別のカソード電極35(カソードビア36と最も距離の近い別のカソードビア36)の寄生容量を低誘電率部材101によって低減し、寄生容量に起因するカソード信号の干渉を抑制することができる。

10

【0164】

さらに、図4の第1の実施の形態においては、1個の画素21に対してカソード電極35が1個、アノード電極37が1.25個の割合で配置されている。また図3の第1の実施の形態においては、1個の画素21に対してカソード電極35が1個、アノード電極37が1個の割合で配置されている。これに対して、第12の実施の形態においては、図51に示されるように、1個の画素21に対して、カソード電極35が1個、アノード電極37が0.25個の割合で配置されている。その結果、電極数を減らすことができ、微細化に有利となる。

【0165】

<第13の実施の形態>

20

(SPAD画素チップ(図52乃至図54))

次に、図52乃至図54を参照して、第13の実施の形態について説明する。

【0166】

図52と図53は、フォトダイオードチップの構成を示す断面図である。図54は、フォトダイオードチップの構成を示す平面図である。図52は、図54のA13-A13'線またはB13-B13'線の断面の構成を表す図である。図53は、図54のC13-C13'線の断面の構成を表す図である。なお、回路チップ11の配線層91の図示は省略する。

【0167】

第13の実施の形態においては、配線層23は、カソード電極35、カソードビア36、アノード電極37、アノードビア38に加え、低誘電率部材101から構成される。

30

【0168】

低誘電率部材101は、配線層23のすべての電極(カソード電極35、アノード電極37)、ビア(カソードビア36、アノードビア38)の間を充填するように配置される。配線(カソード配線52M1、アノード配線51M1)が設けられる場合には、それらの間にも低誘電率部材101が配置される。

【0169】

このように配線層23を低誘電率部材101で満たすことで、各カソード電極35、カソードビア36の寄生容量に起因するカソード信号の干渉を抑制することができる。また、カソード電極35(カソードビア36)とアノード電極37(アノードビア38)の間の寄生容量も低減することで、アノード電源の揺らぎのカソード信号への重畳も抑制することができる。

40

【0170】

さらに、第3の実施の形態(図14)や第4の実施の形態(図19)においては、1個の画素21に対して、カソード電極35が1個、アノード電極37が3個の割合で配置されている。これに対して第13の実施の形態においては、1個の画素21に対して、カソード電極35が1個、アノード電極37が1個の割合で配置されている。その結果、電極数を減らすことができ、微細化に有利となる。

【0171】

<第14の実施の形態>

(SPAD画素チップ(図55乃至図57))

50

次に、図 5 5 乃至図 5 7 を参照して、第 1 4 の実施の形態について説明する。

【 0 1 7 2 】

図 5 5 と図 5 6 は、フォトダイオードチップの構成を示す断面図である。図 5 7 は、フォトダイオードチップの構成を示す平面図である。図 5 5 は、図 5 7 の A14-A14' 線または B14-B14' 線の断面の構成を表す図である。図 5 6 は、図 5 7 の C14-C14' 線の断面の構成を表す図である。なお、回路チップ 1 1 の配線層 9 1 の図示は省略する。

【 0 1 7 3 】

配線層 2 3 は、カソード電極 3 5、カソードビア 3 6、アノード電極 3 7、アノードビア 3 8、および低誘電率部材 1 0 1 から構成される。低誘電率部材 1 0 1 は画素 2 1 の中央に配置されたカソードビア 3 6、カソード電極 3 5 から一定の距離を置いて、それらを

10

【 0 1 7 4 】

低誘電率部材 1 0 1 が存在しない部分には、通常の SiO<sub>2</sub> 等からなる誘電率材料からなる部材が配置される。これにより、屈折率が小さい低誘電率部材 1 0 1 が光ケーブルのクラッドのように機能し、それより屈折率が大きい、誘電率材料の部材がコアのように機能する。その結果、平面視上のアノード増倍層 3 3 と重なる領域で透過した光を領域外に外れないよう導き、アノード増倍層 3 3 の外を透過した光を増倍層 3 3 に引き込むように導くことが可能となる。

【 0 1 7 5 】

< 移動体への応用例 >

( 図 5 8、図 5 9 )

本開示は、様々な製品へ応用することができる。例えば、本開示は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

20

【 0 1 7 6 】

図 5 8 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【 0 1 7 7 】

車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 5 8 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I/F ( i n t e r f a c e ) 1 2 0 5 3 が図示されている。

30

【 0 1 7 8 】

駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

40

【 0 1 7 9 】

ボディ系制御ユニット 1 2 0 2 0 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 1 2 0 2 0 は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 1 2 0 2 0 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 1 2

50

020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0180】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0181】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0182】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0183】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

【0184】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0185】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0186】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図58の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0187】

図59は、撮像部12031の設置位置の例を示す図である。

10

20

30

40

50



## 【0188】

図59では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

## 【0189】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

10

## 【0190】

なお、図59には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上

20

## 【0191】

撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

## 【0192】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化(車両12100に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

30

## 【0193】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

40

## 【0194】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ない

50

し12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

【0195】

10

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。図1のSPAD画素チップ1は、撮像部12031に適用することができる。これにより、ノイズの少ない、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

【0196】

本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

【0197】

<その他>

本開示は、以下のような構成もとることができる。

20

(1)

第1のチップと、

前記第1のチップと接合される第2のチップとを備え、

前記第1のチップは、アノード電位を備え、

前記第2のチップは、

マトリックス状に配置された画素と、

前記画素ごとに配置されたカソードと、

前記カソードとともにフォトダイオードを構成し、前記画素ごとに独立して前記第1のチップの前記アノード電位に接続されるアノードと

を備える固体撮像素子。

30

(2)

第1の前記画素の前記カソードに接続されるカソード電極と、

第1の前記画素の前記カソード電極と、第1の前記画素に隣接する第2の前記画素の前記カソードに接続される前記カソード電極との間に配置される、前記第1のチップの固定電位に接続されるシールド電極と

をさらに備える

前記(1)に記載の固体撮像素子。

(3)

前記カソード電極は、第1の距離で他の前記カソード電極と隣接するとともに、前記第1の距離より長い第2の距離で他の前記カソード電極と隣接し、前記シールド電極は、前記第1の距離で隣接する前記カソード電極と他の前記カソード電極の間に配置される

前記(1)または(2)に記載の固体撮像素子。

40

(4)

前記画素は、画素分離部により絶縁分離される

前記(1)乃至(3)のいずれかに記載の固体撮像素子。

(5)

前記シールド電極は、前記アノードに接続されたアノード電極である

前記(1)乃至(4)のいずれかに記載の固体撮像素子。

(6)

前記第2のチップは、

50

- 前記画素ごとに配置されるピニング層と、  
 前記シールド電極としてのピニング電極と、  
 前記ピニング層と前記ピニング電極に接続されているシールド配線としてのピニング配線と  
 をさらに備えるか、  
 または  
 前記シールド電極としての遮蔽電極と、  
 前記遮蔽電極に接続される前記シールド配線としての遮蔽配線と  
 をさらに備えるとともに、  
 前記アノード電極に接続される、前記シールド配線としてのアノード配線をさらに備える 10
- 前記(1)乃至(5)のいずれかに記載の固体撮像素子。
- (7)  
 前記カソード電極の面積は、前記シールド電極の面積以下であるか、または前記カソードにカソード配線が接続されている場合には、前記カソード電極と前記カソード配線の面積の和は、前記シールド電極と前記シールド配線の面積の和以下である  
 前記(1)乃至(6)のいずれかに記載の固体撮像素子。
- (8)  
 前記画素が、前記カソード電極と前記アノード電極の配置に関して、隣接する画素と同じレイアウトになる 20  
 前記(1)乃至(7)のいずれかに記載の固体撮像素子。
- (9)  
 前記画素が、前記カソード電極と前記アノード電極に関して、上下左右対称になる  
 前記(1)乃至(8)のいずれかに記載の固体撮像素子。
- (10)  
 前記ピニング電極または前記遮蔽電極は、前記アノード電位とは異なる前記固定電位に接続される
- 前記(1)乃至(9)のいずれかに記載の固体撮像素子。
- (11)  
 前記カソードと前記ピニング層は、共通の電位とされる 30  
 前記(1)乃至(10)のいずれかに記載の固体撮像素子。
- (12)  
 前記遮蔽電極は、四角形または複数の前記画素に連続して跨るように構成される  
 前記(1)乃至(11)のいずれかに記載の固体撮像素子。
- (13)  
 前記カソード電極、前記シールド電極、または前記シールド配線の2つ以上が、平面視において、少なくともその一部が重なるように配置される  
 前記(1)乃至(12)のいずれかに記載の固体撮像素子。
- (14)  
 前記カソード電極が前記アノード配線と重なるように配置される 40  
 前記(1)乃至(13)のいずれかに記載の固体撮像素子。
- (15)  
 前記第1のチップは、前記2のチップと電氣的に接続するための第1の配線層を備え、  
 前記第2のチップは、前記1のチップの前記第1の配線層と電氣的に接続するための第2の配線層を備え、  
 前記第1の配線層は、前記カソード電極に対応する対応カソード電極、前記シールド電極に対応する対応シールド電極、または前記シールド配線に対応する対応シールド配線を備え、  
 前記第1の配線層の、前記対応カソード電極、前記対応シールド電極、または前記対応シールド配線の少なくとも1つと、前記第2の配線層の、前記カソード電極、前記シールド 50

ド電極、または前記シールド配線の少なくとも1つは、平面視において、少なくともその一部が重なるように配置されている

前記(1)乃至(14)のいずれかに記載の固体撮像素子。

(16)

前記対応シールド配線としての前記第1の配線層の対応遮蔽配線が、前記第2の配線層の前記遮蔽配線と前記カソード配線に重なるように配置される

前記(1)乃至(15)のいずれかに記載の固体撮像素子。

(17)

前記カソード電極と前記シールド電極が形成されている配線層に、低誘電率部材が配置される

10

前記(1)乃至(16)のいずれかに記載の固体撮像素子。

(18)

前記カソード電極は、第1の距離で他の前記カソード電極と隣接するとともに、前記第1の距離より長い第2の距離で他の前記カソード電極と隣接し、前記低誘電率部材は、前記第1の距離で隣接する前記カソード電極と他の前記カソード電極の間に配置される

前記(1)乃至(17)のいずれかに記載の固体撮像素子。

(19)

前記配線層の前記低誘電率部材を有しない部分に、前記低誘電率部材より屈折率の大きい誘電率材料からなる部材が配置される

前記(1)乃至(18)のいずれかに記載の固体撮像素子。

20

(20)

前記固体撮像素子は、移動体に装着されている

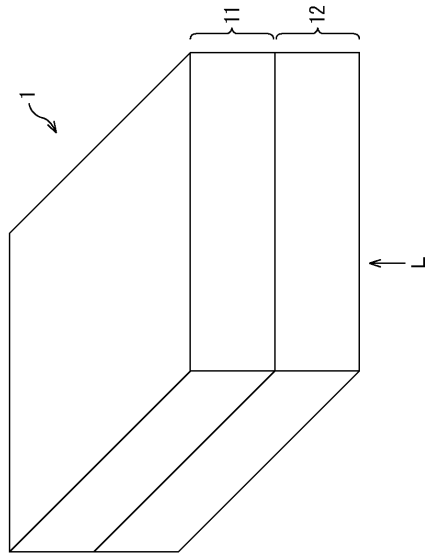
前記(1)乃至(19)のいずれかに記載の固体撮像素子。

【符号の説明】

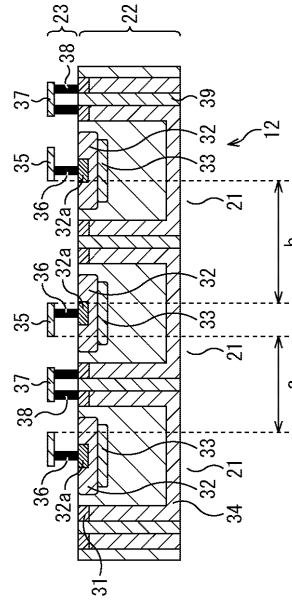
【0198】

1 SPAD画素チップ, 11 回路チップ, 12 フォトダイオードチップ, 21 画素, 22 Si層, 23 配線層, 31 アノード, 32 カソード, 33 アノード増倍層, 34 ホール蓄積層, 35 カソード電極, 36 カソードビア, 37 アノード電極, 38 アノードビア

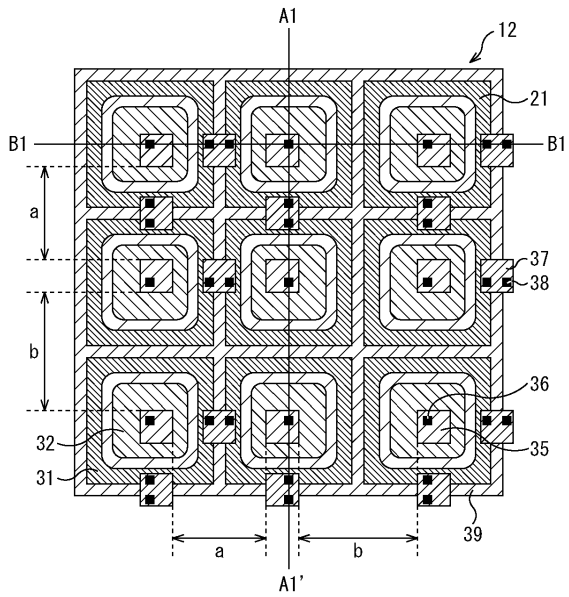
【 図 1 】  
FIG. 1



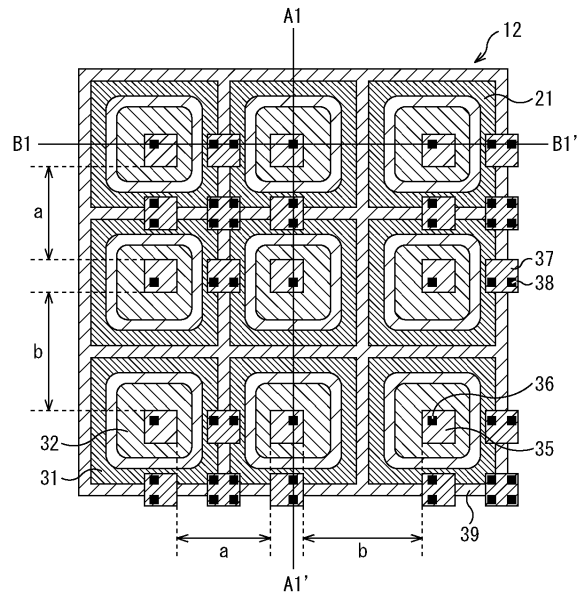
【 図 2 】  
FIG. 2



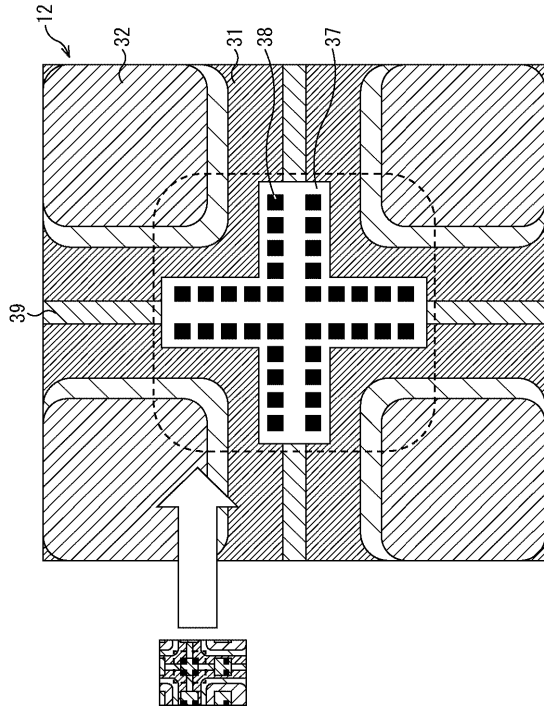
【 図 3 】  
FIG. 3



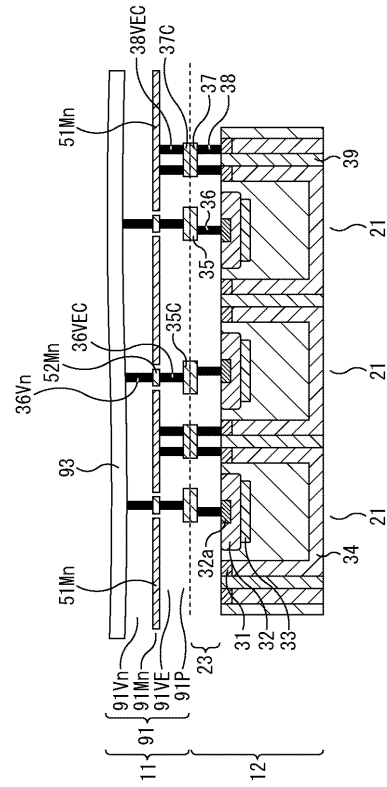
【 図 4 】  
FIG. 4



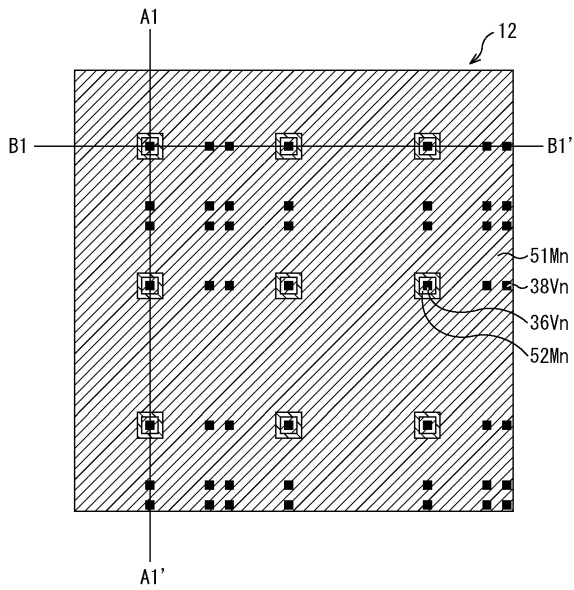
【 5 】  
FIG. 5



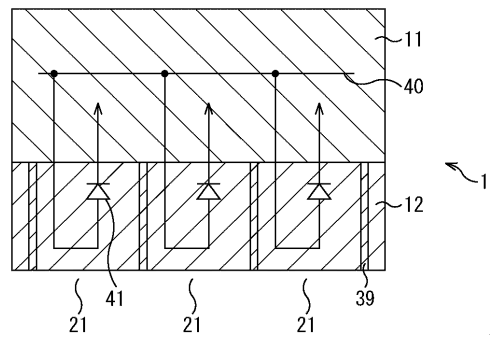
【 6 】  
FIG. 6



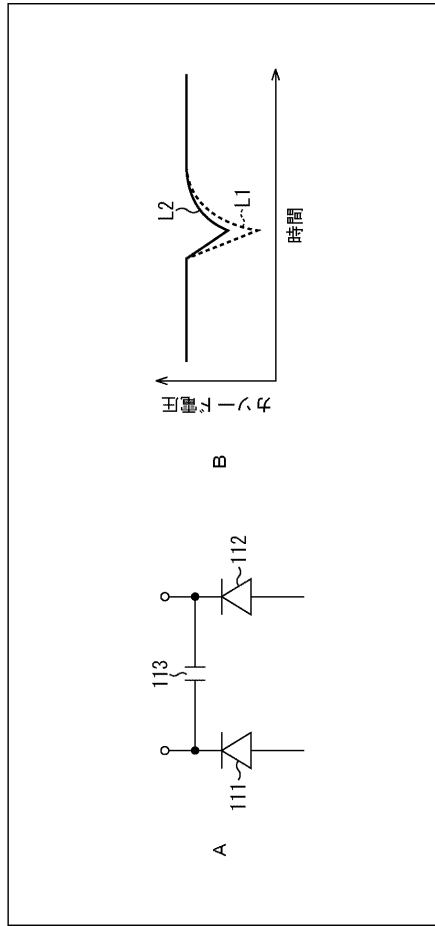
【 7 】  
FIG. 7



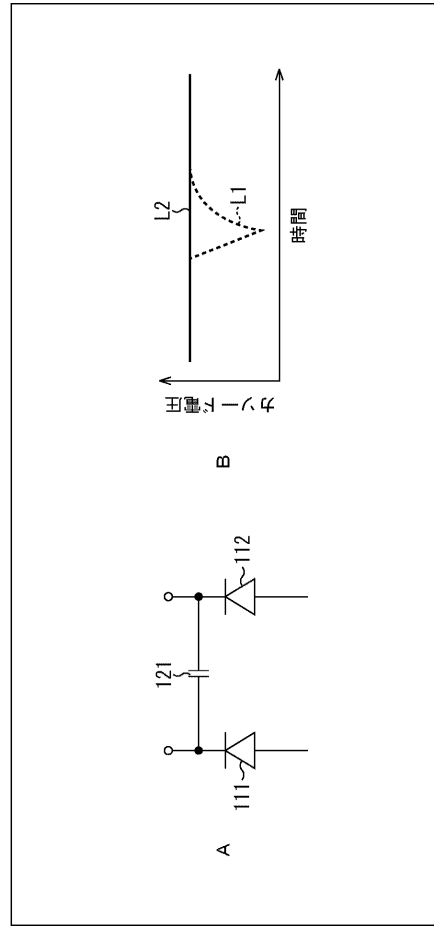
【 8 】  
FIG. 8



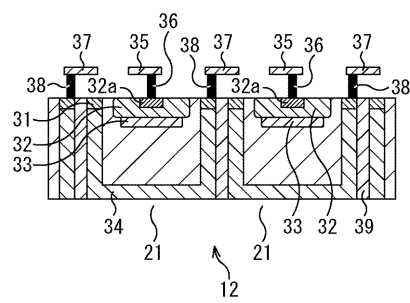
【図 9】  
FIG. 9



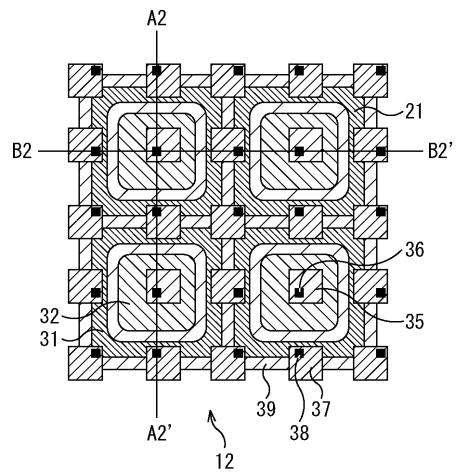
【図 10】  
FIG. 10



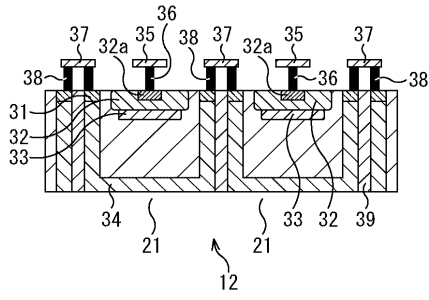
【図 11】  
FIG. 11



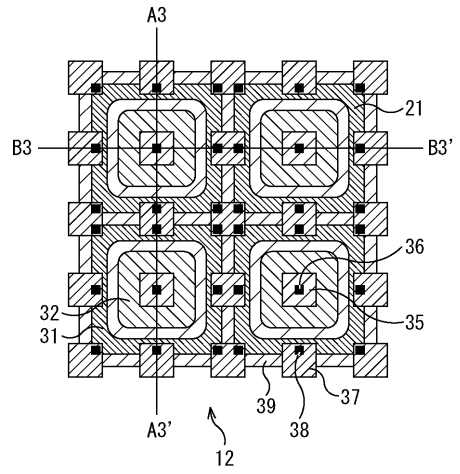
【図 12】  
FIG. 12



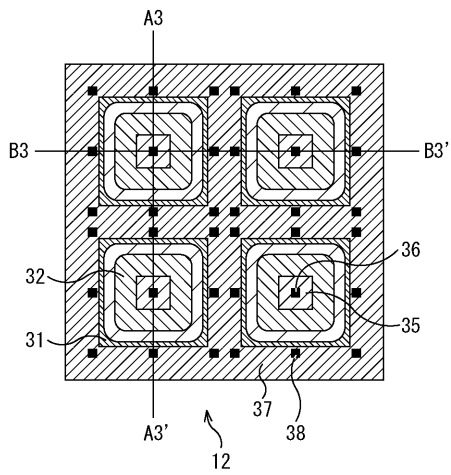
【 13 】  
FIG. 13



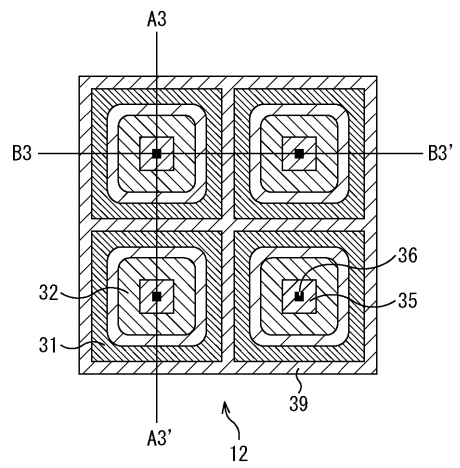
【 14 】  
FIG. 14



【 15 】  
FIG. 15

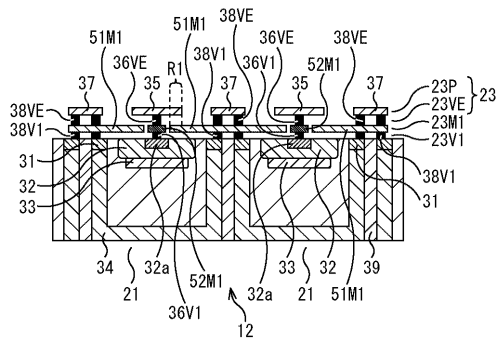


【 16 】  
FIG. 16

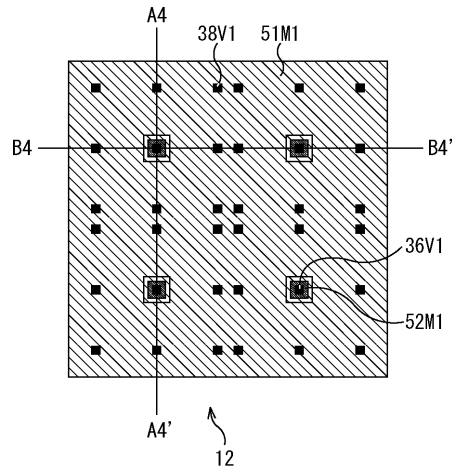




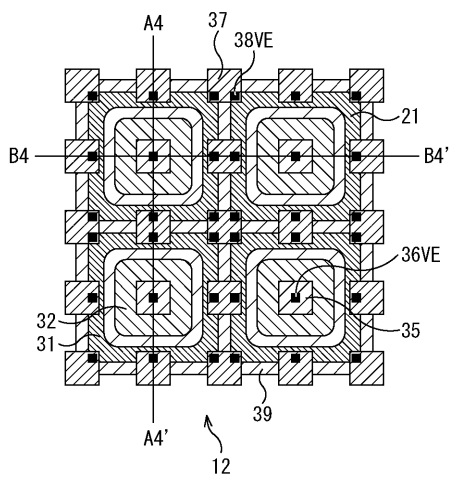
【 17 】  
FIG. 17



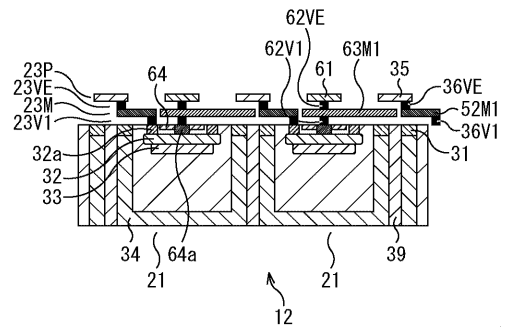
【 18 】  
FIG. 18



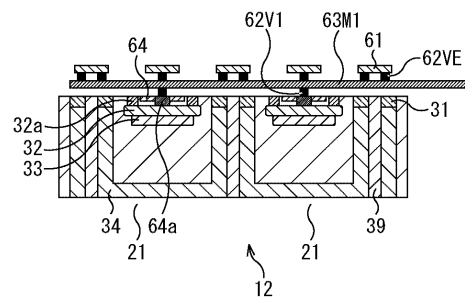
【 19 】  
FIG. 19



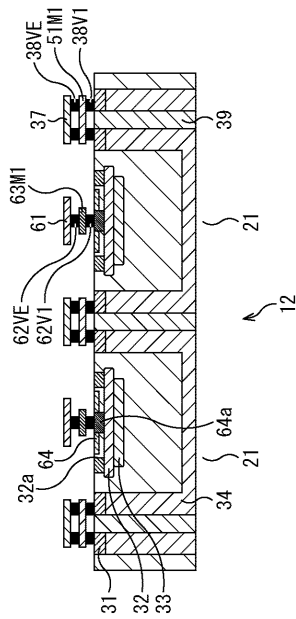
【 20 】  
FIG. 20



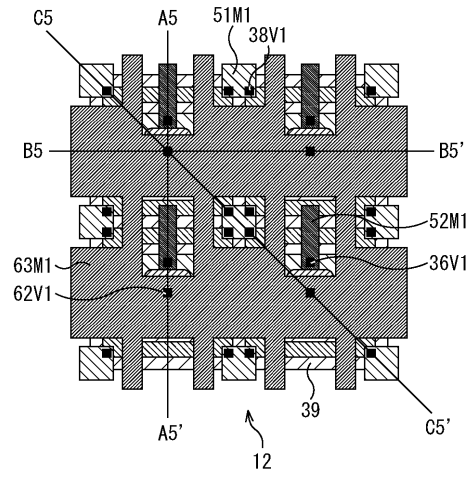
【 21 】  
FIG. 21



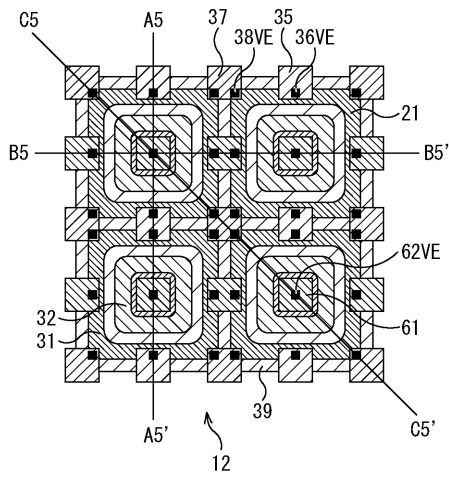
【 2 2 】  
FIG. 22



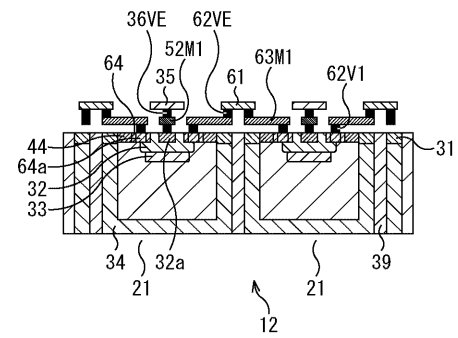
【 2 3 】  
FIG. 23



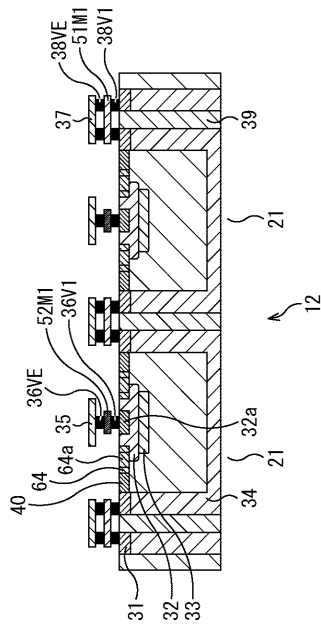
【 2 4 】  
FIG. 24



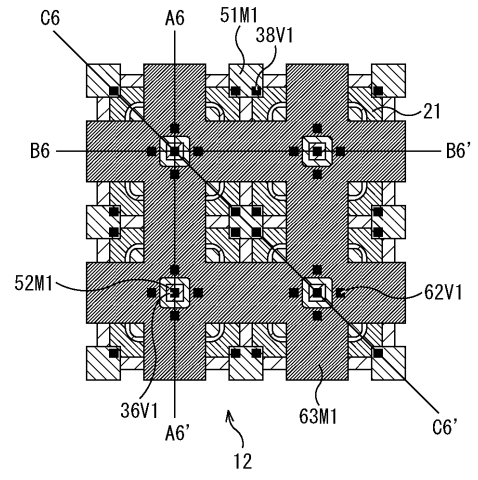
【 2 5 】  
FIG. 25



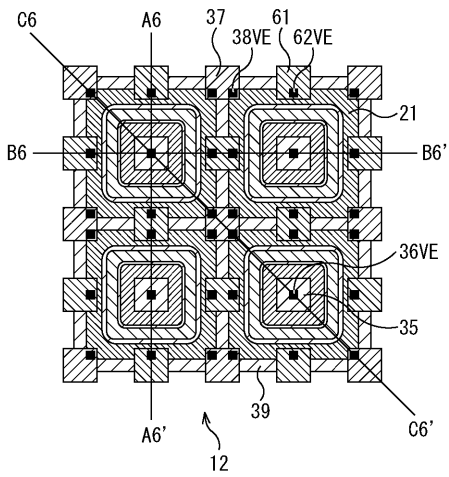
【 26 】  
FIG. 26



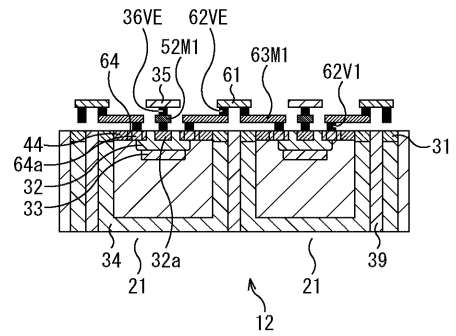
【 27 】  
FIG. 27



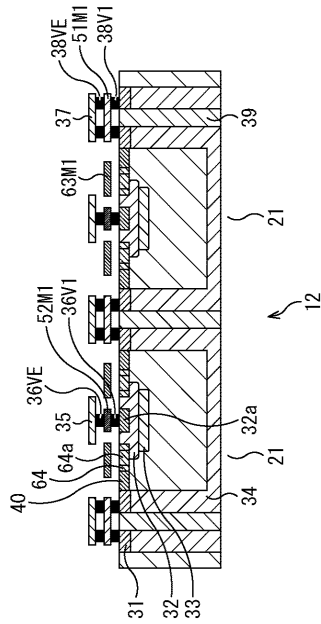
【 28 】  
FIG. 28



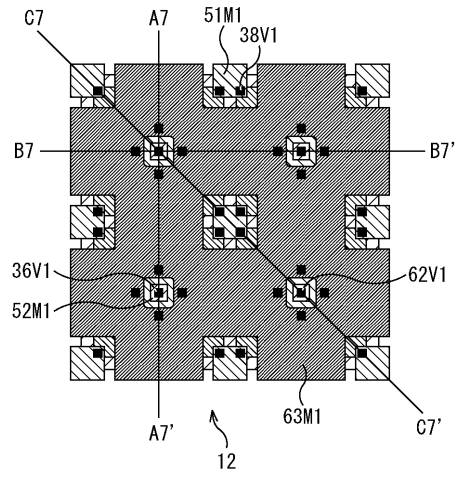
【 29 】  
FIG. 29



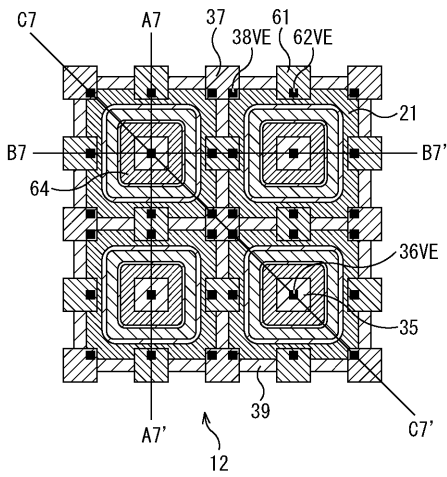
【 30 】  
FIG. 30



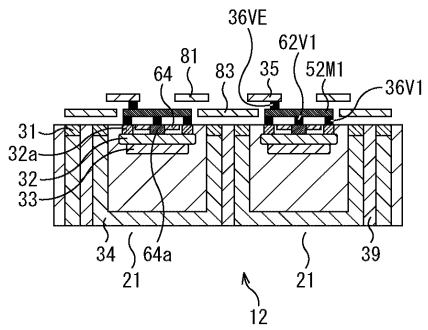
【 31 】  
FIG. 31



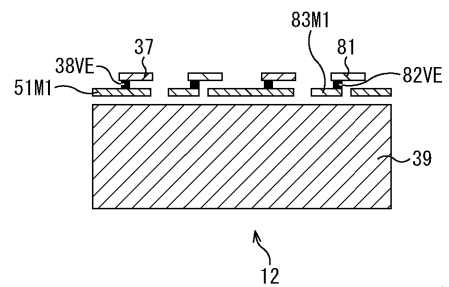
【 32 】  
FIG. 32



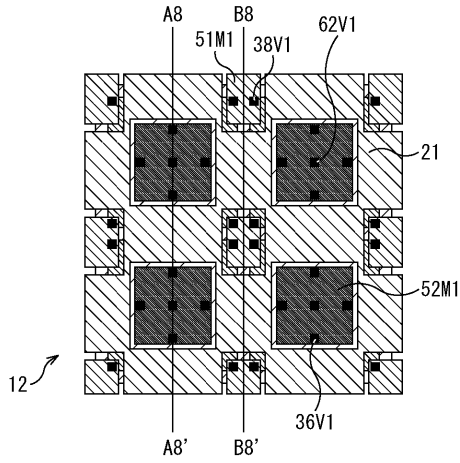
【 33 】  
FIG. 33



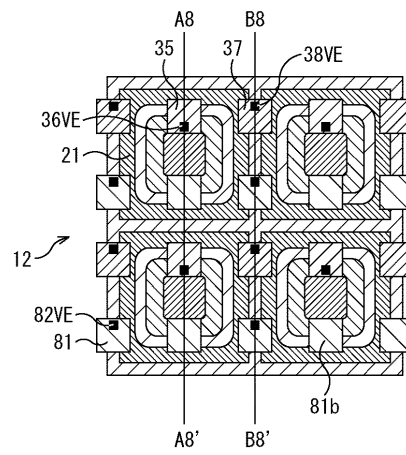
【 34 】  
FIG. 34



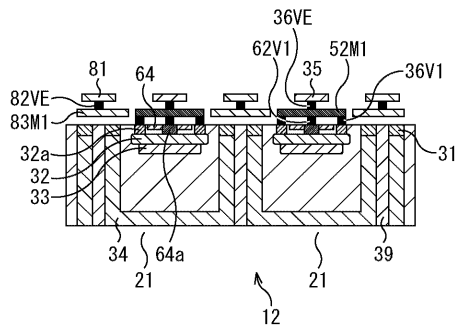
【 3 5 】  
FIG. 35



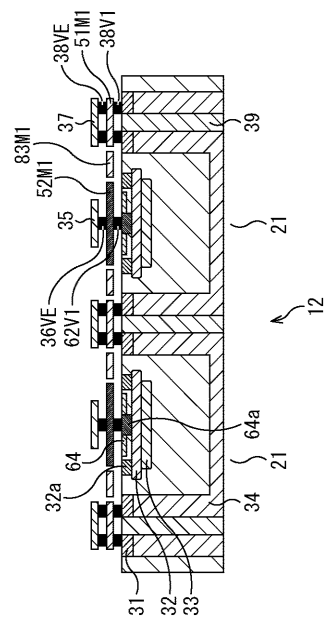
【 3 6 】  
FIG. 36



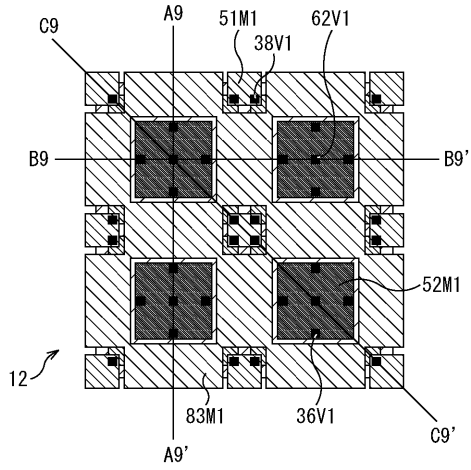
【 3 7 】  
FIG. 37



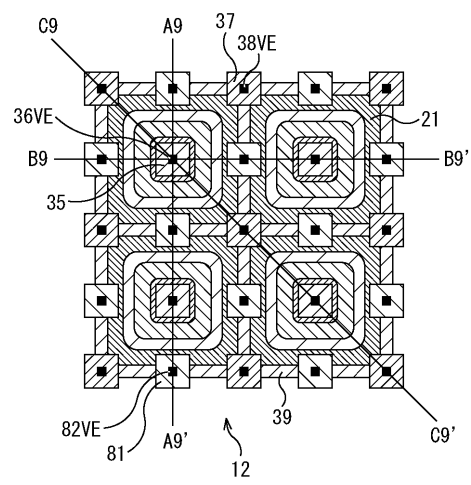
【 3 8 】  
FIG. 38



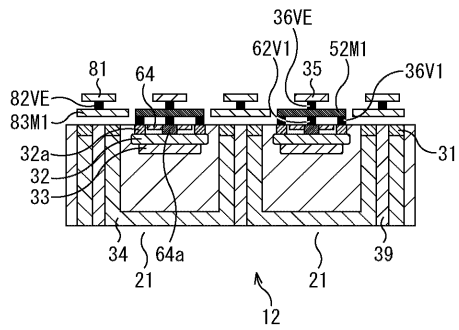
【 39 】  
FIG. 39



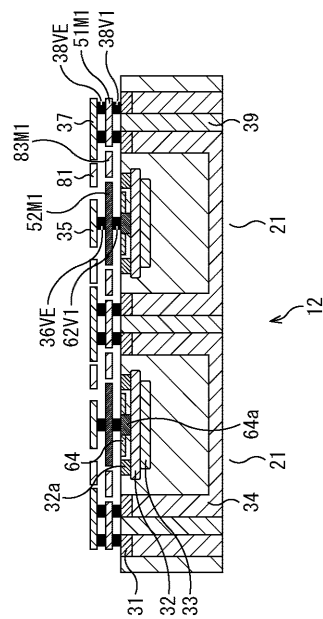
【 40 】  
FIG. 40



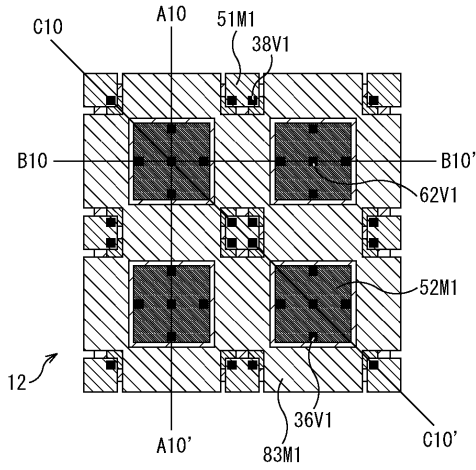
【 41 】  
FIG. 41



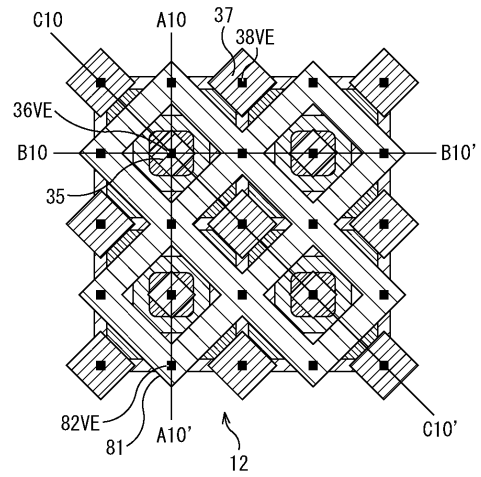
【 42 】  
FIG. 42



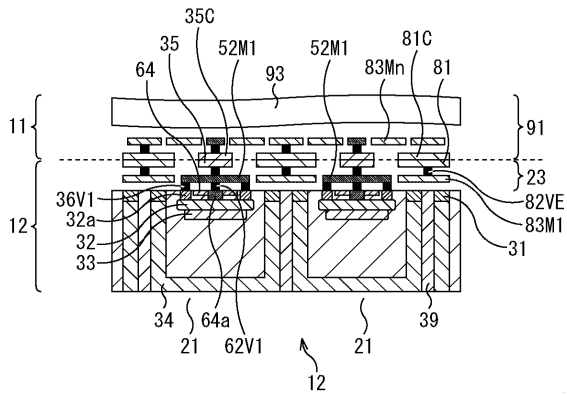
【 4 3 】  
FIG. 43



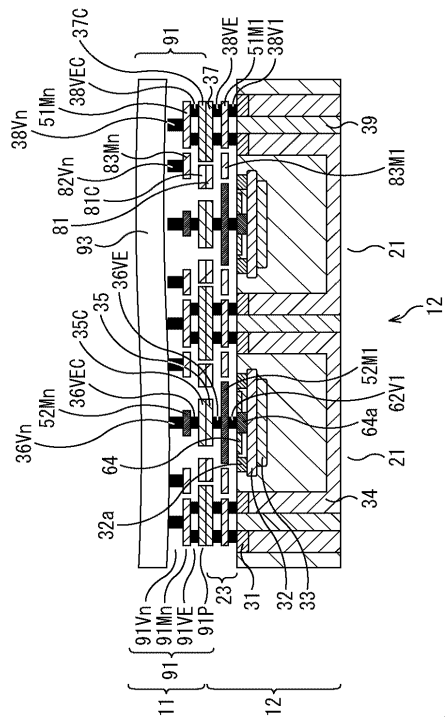
【 4 4 】  
FIG. 44



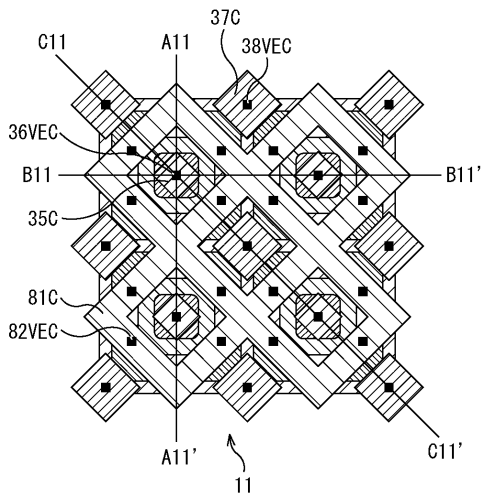
【 4 5 】  
FIG. 45



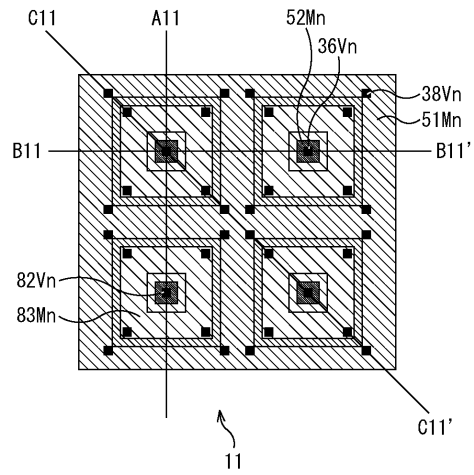
【 4 6 】  
FIG. 46



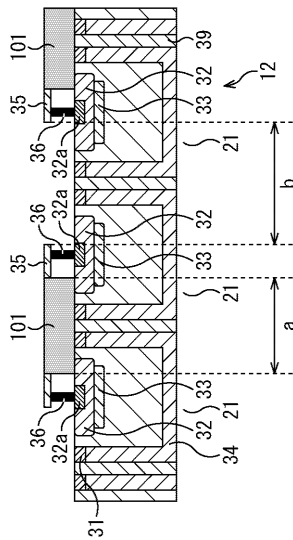
【 47 】  
FIG. 47



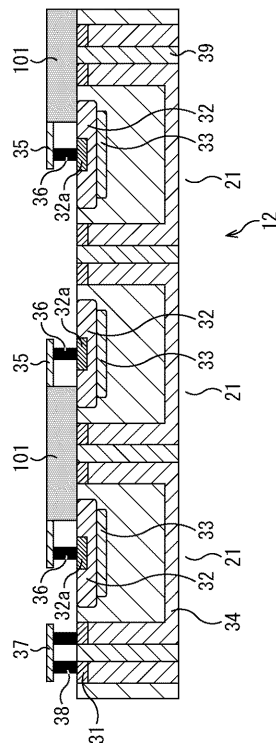
【 48 】  
FIG. 48




【 49 】  
FIG. 49

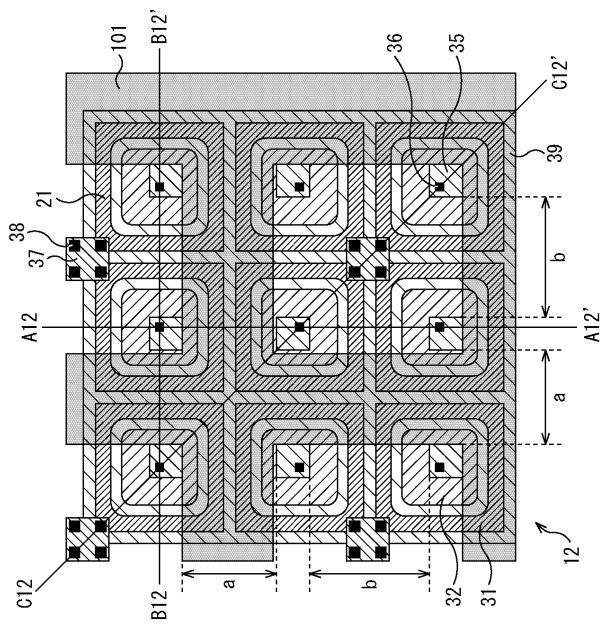



【 50 】  
FIG. 50

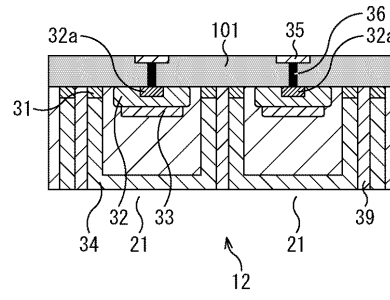





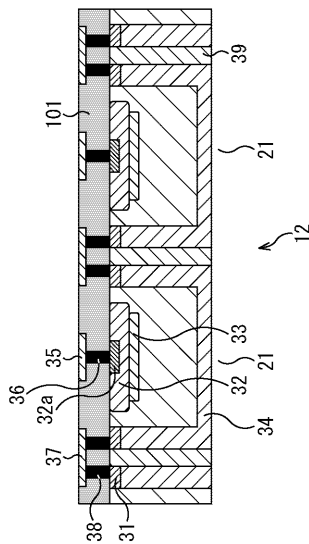
【 5 1】  
FIG. 51




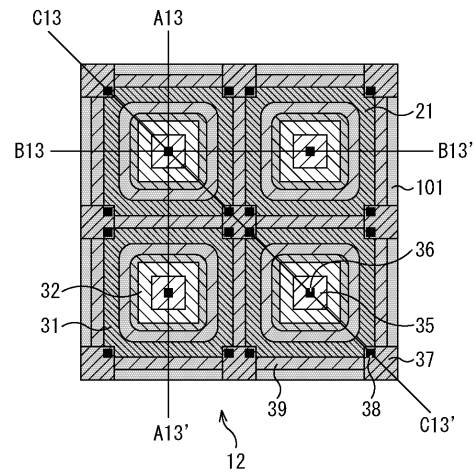
【 5 2】  
FIG. 52



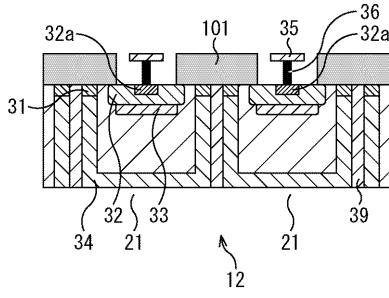
【 5 3】  
FIG. 53



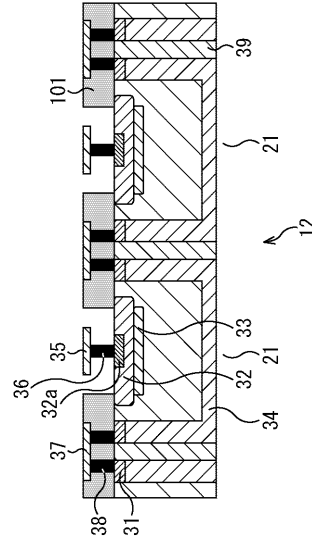
【 5 4】  
FIG. 54



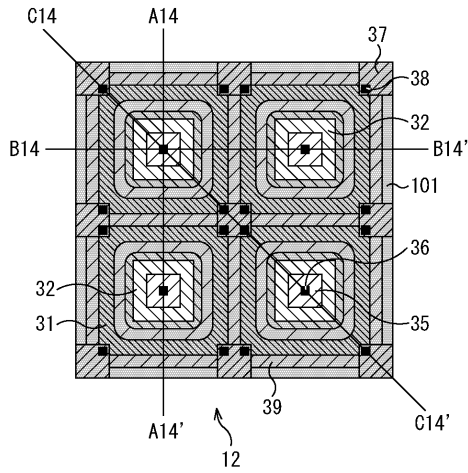
【図 55】  
FIG. 55



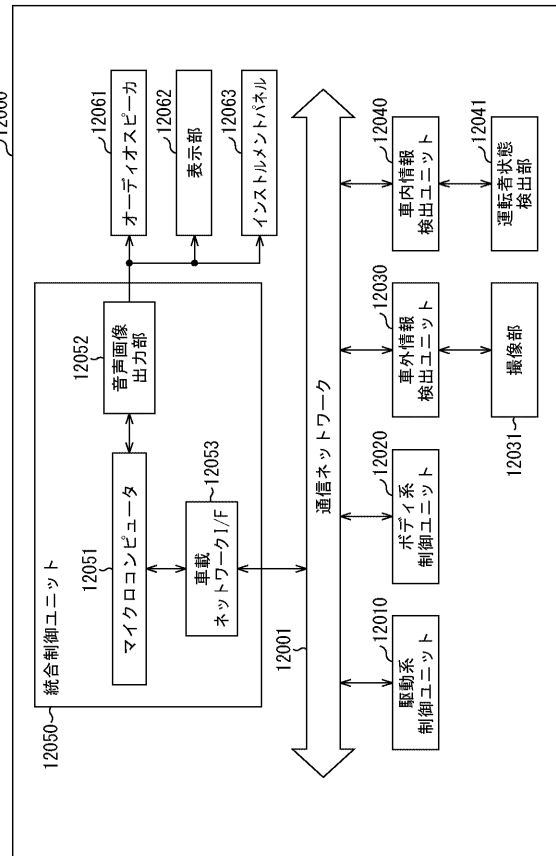
【図 56】  
FIG. 56



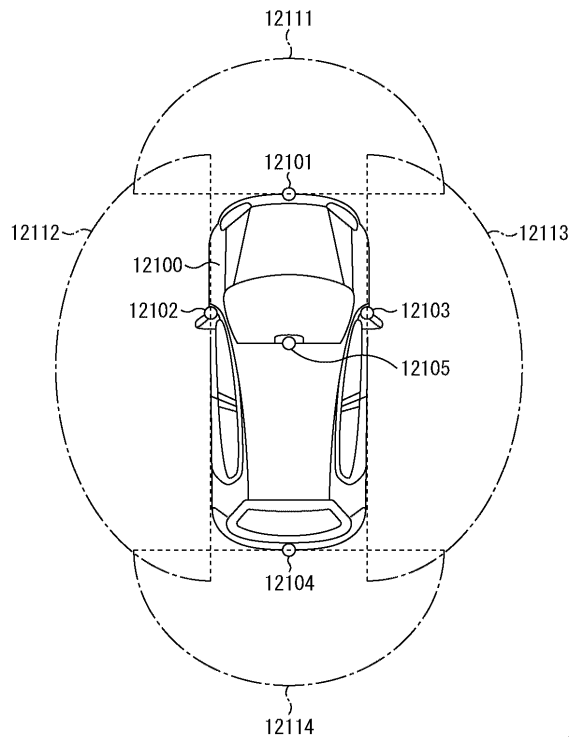
【図 57】  
FIG. 57



【図 58】  
FIG. 58



【 59 】  
FIG. 59



---

フロントページの続き

- (72)発明者 若野 壽史  
神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
- (72)発明者 大竹 悠介  
神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

審査官 西出 隆二

- (56)参考文献 特開2013-089919(JP,A)  
特開2017-033962(JP,A)  
特開2016-192551(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |      |        |
|------|--------|
| H01L | 27/146 |
| H04N | 5/369  |
| H01L | 31/10  |