

公告本

申請日期	89.3.16
案 號	89104819
類 別	H03M 1/66

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 478257 新 型

一、發明 名稱	中 文	改良的電流操控數位至類比轉換器
	英 文	"IMPROVED CURRENT-STEERING D/A CONVERSION"
二、發明 人	姓 名	歐拉 安德森
	國 籍	瑞典
	住、居所	瑞典林口平市派恩甲卡登路7號
三、申請人	姓 名 (名稱)	瑞典商LM艾瑞克生電話公司
	國 籍	瑞典
	住、居所 (事務所)	瑞典斯德哥爾摩市SE-12625
	代 表 人 姓 名	1.俄林·比洛米 2.湯瑪斯 蘭德

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 瑞典 2000年03月06日 0000731-0 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明範疇

本發明通常與改良電流操控數位至類比轉換有關，尤其，本發明與用以使用電流操控數位至類比轉換器的改良方法有關，以及與該數位至類比轉換器有關。該方法和轉換器特別包括對數位至類比轉換器中之線性分級電流源不匹配所導致之確定性錯誤的補償。

相關技藝的描述和發明背景

數位至類比轉換器通常用於CMOS技術製成的積體電路，但亦可應用於其他型式的技術。

數位至類比轉換器可用許多種方式執行，基於技術性和精確性的原因，很多轉換器使用並聯連接電流源，而其輸出是朝向一個轉換器的輸出或一個基準端子。該等電流源通常由多重電流鏡所形成，而彼等之輸出電晶體的型式最好全部相同。

在美國專利文獻編號5,870,044、5,162,800、5,870,044和5,105,193中均有詳細敘述此類數位至類比轉換器。

對於高速和高解析度應用的電流操控數位至類比轉換器而言，電流源之間的不匹配是一個很嚴重的問題。目前經常使用的對策是利用複雜的佈線方式，或隨機化，或者動態元件匹配(DEM)等技術來解決此等問題。

發明總結

因此，本發明的其中一個目標是提供一種電流操控式N-位元數位至類比轉換器的方法，以及揭示一種數位至類比轉換器，該數位至類比轉換器包括N個二進位加權式電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

流源 SI_k , $k=0, 1, \dots, N-1$, 連接至一個共同輸出, 而每個電流源 SI_k 都包括 2^k 個並聯之相同強度的單元電流源 SI_{unit} , 其中, 數位輸入位元 b_i ($i=0, 1, \dots, N-1$ 之最高位元 (MSB) 為 b_{N-1}) 決定各自的 SI_k ($k=0, 1, \dots, N-1$) 電流源中哪一個可連接至輸出, 作為解決或至少縮小電流源之間不匹配問題的對策。

本發明的一項特別目的之觀點在於, 提供一種簡單、快速、準確、精確、有效、可靠、容易安裝、且成本特別低的方法。

本發明進一步個目標是使用最小的組件來建置本發明提供的方法。

按照本發明的第一觀點, 藉由一種方法達成本發明的目的, 其中, 數位至類比轉換過程中, 形成由電流 \tilde{I}_{N-1} 替代源自於最大的電流源 SI_{N-1} 的電流 I_{N-1} , 其中:

$$\tilde{I}_{N-1} = \left[\sum_{k=0}^{N-2} I_k \right] + I_{unit}$$

在上面的公式中, 電流 I_k 係來自電流源 SI_k 的電流, 而電流 I_{unit} 是來自一個額外單位電流源的電流。

此方法表示簡單的最高位元 (MSB) 校準, 由於它只需對最大的電流源 SI_{N-1} 中的電流 I_{N-1} 作補償, 較理想的方法是在執行數位至類比轉換之前, 先對數位至類比轉換器進行校準。校準包括測量電流 I_{N-1} 與 \tilde{I}_{N-1} , 以及, 形成並儲存測量之電流之間的電流差 ΔI 。然後, 轉換期間進行的替代包括藉由從最大電流源之電流 I_{N-1} 減去電流差 ΔI , 來形成電流 \tilde{I}_{N-1} 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

按照本發明的第二項觀點，藉由一種方法達成本發明的目的，其中，數位至類比轉換過程中，該方法以電流 \tilde{I}_{N-1} , \tilde{I}_{N-2} , ..., \tilde{I}_{N-c} 來替代來自 c 個 (c 是大於 1 的正整數) 最大之電流源 SI_{N-1} , ..., SI_{N-2} , ..., SI_{N-c} 的電流 I_{N-1} , I_{N-2} , ..., I_{N-c} ，其中：

$$\tilde{I}_{N-1} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-2} \tilde{I}_j \right] + I_{\text{unit}}$$

$$\tilde{I}_{N-2} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-3} \tilde{I}_j \right] + I_{\text{unit}}$$

...

$$\tilde{I}_{N-c} = \left[\sum_{k=0}^{N-c-1} I_k \right] + I_{\text{unit}}$$

在上面的公式中，電流 I_k 係來自電流源 SI_k 的電流，而電流 I_{unit} 係來自一個額外單位電流源的電流。此方法表示是一般性的 MSB 校準，由於它只對 c 個最大的電流源 SI_{N-1} , SI_{N-2} , ..., SI_{N-c} 之電流 I_{N-1} , I_{N-2} , ..., I_{N-c} 給予補償。

可使用與本發明第一觀點相同的方法來執行此方法，但較理想的方法是在執行數位至類比轉換之前，先經過下面校準程序：

測量電流 I_{N-1} , I_{N-2} , ..., I_{N-c} 與 \tilde{I}_{N-1} ；

- 形成電流差 $\Delta I_{N-1} = I_{N-1} - \tilde{I}_{N-1}$ ；以及
- 電流差 $\Delta I_{N-2} = I_{N-2} - \tilde{I}_{N-2}$, ..., $\Delta I_{N-c} = I_{N-c} - \tilde{I}_{N-c}$ 以 ΔI_{N-1} 的分數提供。

於轉換中實行替代，包括從個別電流 I_{N-1} , I_{N-2} , ..., I_{N-c} 減去個別電流差 ΔI_{N-1} , ΔI_{N-2} , ..., ΔI_{N-c} ，形成個別電流 \tilde{I}_{N-1} , \tilde{I}_{N-2} , ..., \tilde{I}_{N-c} 。

五、發明說明 (4)

然後，較理想是將此數值代入提供事先前知道有關N個二進位加權電流源之間不匹配的分數。

本發明另一個目標是提供一種電流操控式N-位元數位至類比轉換器，該數位至類比轉換器包括N個數位輸入，各個數位輸入都接收一個數位輸入位元 b_i ($i=0, 1, \dots, N-1$, b_{N-1} 是最高位元(MSB))；一類比輸出；以及，N個二進位加權電流源 SI_k ($k=0, 1, \dots, N-1$)，該電流源 SI_k 可接到該類比輸出，各個電流源 SI_k 都包括 2^k 個並聯之相同強度的單位電流源 SI_{unit} ，其中，數位輸入位元是用來指示電流源 SI_k ($k=0, 1, \dots, N-1$)中哪一個電流源可連接至此類比輸出，依照本發明第一和第二觀點的方法予以執行。

因此，按照本發明第三項觀點，本發明提供的此類數位至類比轉換器進一步包括一個額外單位電流源；以及，裝置，用來以電流 \tilde{I}_{N-1} 替代最大電流源 SI_{N-1} 的電流 I_{N-1} ，其中：

$$\tilde{I}_{N-1} = \left[\sum_{k=0}^{N-2} I_k \right] + I_{unit}$$

在上面的公式，電流 I_k 係來自電流源 SI_k ，而電流 I_{unit} 係來自額外單位電流源。

按照本發明的第四項觀點，本發明提供的此類數位至類比轉換器進一步包括一個額外單位電流流 I_{N-1} , I_{N-2} , ..., I_{N-c} ；以及，裝置，用來以電流 \tilde{I}_{N-1} , \tilde{I}_{N-2} , ..., \tilde{I}_{N-c} 來替代來自 c 個 (c 是大於1的正整數) 最大之電流源 SI_{N-1} , SI_{N-2} , ..., SI_{N-c} 的電流 I_{N-1} , I_{N-2} , ..., I_{N-c} ，其中：

五、發明說明 (5)

$$\begin{aligned}\tilde{I}_{N-1} &= \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-2} \tilde{I}_j \right] + I_{\text{unit}} \\ \tilde{I}_{N-2} &= \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-3} \tilde{I}_j \right] + I_{\text{unit}} \\ &\dots \\ \tilde{I}_{N-c} &= \left[\sum_{k=0}^{N-c-1} I_k \right] + I_{\text{unit}}\end{aligned}$$

在上面的公式中，電流 I_k 係來自電流源 SI_k 的電流，而電流 I_{unit} 係來自一個額外單位電流源的電流。

本發明的數位至類比轉換器可包括一個電流鏡，用以形成上述的電流差，而該電流差可以儲存在網路上或從網路回復，該網路包括並聯連接的一個電容器和多個電晶體。電晶體最好包括 NMOS 和 PMOS 電晶體。另外且，電流源最好也是 MOS 電晶體。

本發明之其中一項主要優點在於，本發明可以用全部類比的方式實施，而不須要併入類比至數位轉換。

本發明的其他特徵和優點，在以下針對本發明具體實施例所作的詳細敘述中將得到解答。

圖式簡單說明

以下針對本發明的較佳具體實施例，配合附圖，作全面性介紹其各部細節，圖 1-7 僅作為圖解說明，不致對本發明構成限制。

圖 1a 線路圖顯示一個作為電流操控式數位至類比轉換器，而圖 1b 線路圖顯示一個單元電流的相對匹配錯誤。

圖 2a 線路圖顯示一個單元電流源陣列，具有定義的方位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

與位置，圖2b以圖例說明如何指定單元電流源給一個6位元數位至類比轉換器。

圖3a是有關於在圖2b提到之6位元數位至類比轉換器的一個斜坡反應圖，匹配常數 $k_x=0$ 和 $k_y=0.1$ ，此例沒有使用本發明的簡單MSB校準，而圖3b是以相同轉換器產生另一個斜坡反應圖，不同的是它使用本發明的簡單MSB校準。

圖4a線路圖顯示一個如何以純類比方法進行簡單MSB校準的例子，而圖4b線路圖顯示如何在數位至類比轉換中實行相對應的補償。

圖5a和b是圖2b所提及之6位元數位至類比轉換器的斜坡反應圖，如果使用本發明的通則化MSB校準，其匹配特性常數 $k_x=0$ 和 $k_y=0.1$ 。圖5a是c設定為整數1的例子，正好與簡單的MSB校準相吻合，而圖5b是c被設定為2的例子。

圖6a的線路圖顯示如何以純類比方法進位通則化MSB校準($c=2$)的例子，圖6b線路圖則顯示於數位至類比轉換中如何實行相對的補償。

圖7顯示一個14位元數位至類比轉換器的四個單音音頻，為不同數目位元($C=0, 1, 2, 3$)分別地校測，具有匹配特性常數 $k_x=0.0001$ 和 $k_y=0.0001$ 。

具體實施例之詳細說明

下面的說明僅供解說用，並不會對本發明構成限制，將提供特別技術和用途，以利全盤瞭解本發明的特定細節及應用範圍，然而，對於熟悉此技藝的人士而言，明顯地看出，除了本發明的實行方法外，還可運用其他與上述細節

五、發明說明 (7)

不同的具體實施例實行，在其他特徵，盡量省略大家所熟悉的方法和裝置，以免影響本發明的敘述，致使它的重點模糊化。

如圖1a線路圖顯示可作為電流操控式CMOS數位至類比轉換器，適合作為高速和高解析度用途，基本結構無須回饋迴路和運算放大器，因此其帶幅很大，其功率效應是幾乎100%，由於全部電流都被導向輸出，必須在終端加裝一個電阻負載(50歐姆)；N-位元數位至類比轉換器由N個二進位加權式電流源 SI_k ， $k=0, 1, \dots, N-1$ 所構成，其中電流源 SI_k 供給電流 I_k ，如圖1a顯示。

為了改善匹配性問題，各個電流 SI_k 利用 2^k 個並聯之相同強度的單元電流源 SI_{unit} ，各個產生單元電流 I_{unit} ，其數位輸入位元 b_i ($i=0, 1, \dots, N-1$)選擇其中相對應之電流源連接輸出， b_0 是最低位元(LSB)和 b_{N-1} 是最高位元(MSB)，因此，電流輸出可以用以下公式表示：

$$I_{out}(n) = (b_{N-1}(n) \cdot 2^{N-1} + \dots + b_1(n) \cdot 2 + b_0(n)) \cdot I_{unit} = X(n) \cdot I_{unit} \quad (1)$$

其中 $X(n)$ 是在抽樣調查之 n 時刻產生之二進位輸入碼 $X(n) = \{b_{N-1}(n), \dots, b_0(n)\}$ 。

負載電流 I_k 的不匹配錯誤關係可以用一個具有 Δ_k 振幅的並聯額外電流模式來表示，如圖1b。

另外，單元電流源以 x 方向被排列成 2^M 之電流源陣列，又以 Y -方向排列成 2^{N-M} 電流源陣列，如在圖2a所標示的。

現在要進一步敘述模擬不匹配錯誤模式，先前論及不匹配錯誤配合負載電流 I_k 可以用一個振幅 Δ_k 而且並聯的額外

五、發明說明 (8)

電流源作成模式，其中單元電流源的模式如同二進位加權式電流源，因此標稱電流源與錯誤源形成並聯，

$$i(a, b) = I_{unit} + \delta(a, b) \quad (2)$$

運用此記述法可以得出：

$$\left\{ \begin{array}{l} I_k = 2^k \cdot I_{unit} \\ \Delta_k = \sum_{(a, b): i(a, b) \in I_k} \delta(a, b) \end{array} \right\} \quad (3)$$

M.J.M. Pelgrom等人在電機電子工程雜誌(IEEE)所發表的文獻「MOS電晶體的匹配性質」，刊載於1989年IEEE固態電路第二十四冊第五節1433-9頁，認為積體MOS電晶體的不匹配是兩類參數改變所產生的效果，第一類參數變換是隨機的，與電晶體沒有相互關係，而第二類參數則是確定變化參數，基於氧化物厚度及離子注入等經常於晶圓上形成環形分佈的事實。

作為電流操控數位至類比轉換器的研究文獻（如H.J. Schouwenaars等人於電機電子工程雜誌發表的「低功率立體聲16位元CMOS DIA轉換器的數位聲頻」，刊載於IEEE固態電路第二十三冊第六節1290-7頁，1988年12月號），顯示此等錯誤與晶片區域大小呈現近似線性變化的關係，前提為此錯誤源必須符合以下公式：

$$\delta(a, b) = k_x \cdot \left\{ a - \frac{1}{2} \operatorname{sgn}(a) \right\} + k_y \cdot \left\{ b - \frac{1}{2} \operatorname{sgn}(b) \right\} \quad (4)$$

其中 k_x 和 k_y 是描述線性度分級單元電流源陣列的匹配性質常數，其中 $(1/2)\operatorname{sgn}(a)$ 和 $(1/2)\operatorname{sgn}(b)$ 條件用來補償因為無單元電流源具有標 $a=0$ 或者 $b=0$ 的事實，結合公式(3)和(4)

五、發明說明(9)

可以完成以 k_x 與 k_y 代入的 Δ_k 值，如此類表達式來組成某些二進位加權電流，當然會受限於單元電流源所作的選擇。

圖 2b 顯示如何指定單元電流源給 6 位元數位至類比轉換器的例子，一般來說，以此方式壓制確定的線性分級不匹配，通常被認為是不好的；然而如此安排，可以很容易地用 Δ_{N-1} MSB 錯誤表達不同的 $\Delta k'$ ，至少適用於 $N-M$ 個 MSB， N 和 M 是指標如圖 2a，並且可作為簡化錯誤估算的有用工具。

現在要將本發明的校準技術利用簡單 MSB 校準加以說明，如圖 3 和圖 4。

由於 MSB 中數目龐大的單元電流源，或許是產生最大錯誤的位元，使用簡單 MSB 校準的主意是以替代方式消除其中的錯誤：

$$I_{N-1} \longleftrightarrow \tilde{I}_{N-1} = \left[\sum_{k=0}^{N-2} I_k \right] + I_{\text{unit}} \quad (5)$$

I_{unit} 可經由虛擬單元電流源如圖 2b 取得，實際上或許有許多單元電流源可作為此晶片用途。

圖 3a 顯示的斜坡反應圖由圖 2b 之 6 位元數位至類比轉換器所產生，具有匹配特性常數 $k_x=0$ 和 $k_y=0.1$ ，並沒有使用本發明的簡單 MSB 校準，而圖 3b 也是相同轉換器，但它所產生的斜坡反應圖與先前的不同，在於過程中有使用本發明的簡單 MSB 校準。

可以看出，當其中於 $2^{N-1}=100\dots00_{\text{binary}}$ 二進位和 $2^{N-1}-1=011\dots11_{\text{binary}}$ 二進位之間的轉變大錯誤被移除，數位至類比

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

轉換器的線性度增加頗大，雖然MSB校準會導致一些增益錯誤，圖3a和3b所示(不同斜坡)，但這並不影響數位至類比轉換器的效能。

公式(5)的替代動作，無須測量任何電流，由於它能夠存取得 I_{N-1} 和 \tilde{I}_{N-1} 電流，其電流差 $\Delta I = I_{N-1} - \tilde{I}_{N-1}$ 可以利用電流鏡構成，如圖4a和4b所示，電流 ΔI 是被儲存在電流記憶體內，於操作過程中從 I_{N-1} 減去 ΔI ，使其變成MSB電流源的輸出，如圖4a和4b所示。

此方法有一個限制條件，電流記憶體可能必須是電容器，以保持適當的電晶體柵壓(如圖6a和6b顯示)，但由於該電容器會受漏電影響，造成每隔一段時間必要重校數位至類比轉換器，例如預定的時間及數量等必須重設。

在此將談論通則化發明的MSB校準技術，圖3a和3b可看出，數位至類比轉換器可運用簡單的MSB校準技術使線性度大幅增加，但第二最高位元MSB-1以及第三最高位元MSB-2等轉變時仍會出現錯誤，必須降低分級錯誤才能達成數位至類比轉換器的性能要求，假設其屬於c位元的校準(相對於C=1之簡單MSB校準)，公式(5)可以下面通則化表示：

$$\begin{aligned}
 I_{N-c} &\longleftrightarrow \tilde{I}_{N-c} = \left[\sum_{k=0}^{N-c-1} I_k \right] + I_{\text{unit}} \\
 I_{N-c+1} &\longleftrightarrow \tilde{I}_{N-c+1} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \tilde{I}_{N-c} + I_{\text{unit}} \\
 &\dots \\
 I_{N-3} &\longleftrightarrow \tilde{I}_{N-3} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-1} \tilde{I}_j \right] + I_{\text{unit}}
 \end{aligned}$$

五、發明說明 (11)

$$I_{N-2} \longleftrightarrow \tilde{I}_{N-2} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-3} \tilde{I}_j \right] + I_{\text{unit}}$$

$$I_{N-1} \longleftrightarrow \tilde{I}_{N-1} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-2} \tilde{I}_j \right] + I_{\text{unit}} \quad (6)$$

圖 5a 和 5b 顯示與之前相同的數位至類比轉換器產生的斜坡反應，此時校測以 $c=1$ 和 $c=2$ 常數進行（如同圖 3b 的相同例子），可看出校測 MSB-1 及 MSB 進一步改善數位至類比轉換器的線性度。

下面闡述兩個基本概念，針對如何執行通則化 MSB 校準，一種方式運用如同公式 (6) 之演算法進行 c 之 MSB 校測，使用相同的電路，如圖 4a 和 4b 建構的 \tilde{I}_j 電流差，它可以不必使用許多複雜的電路及大面積的晶片區域，因此適合使用上面敘述之不匹配模式的資訊，由於此線性分級不匹配可以用 MSB 錯誤作表示，至少可以接近某些 MSB 值，它只須如同簡單 MSB 校準一樣建構錯誤電流，建構全部其他補償電流就可以；作為一個示範例子，之前敘述的 6 位元數位至類比轉換器的二個 MSB 拿來作校測，以此方式選擇單元電流源，圖 3a 已知道於 MSB-1 轉變過程的錯誤，以 b 標示於圖 3a，可以用 MSB 轉變過程的錯誤代替，也是以 a 標示於圖 3a，形成如 $b=a/4$ 的關係，基於公式 (6) 可導出以下的新公式：

$$\tilde{I}_{N-2} = I_{N-2} - b = I_{N-2} - \frac{a}{4}$$

$$\tilde{I}_{N-1} = I_{N-1} - b - a = I_{N-1} - \frac{5a}{4} \quad (7)$$

於下圖 6a 和 6b 介紹一種執行公式 (7) 描述的校準電路，為

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (12)

了使最左四個NMOS電晶體保持電流，電容器於校準步驟充電，也就是說此類電晶體各個有漏電流 $a/4$ ，至操作步驟，電容器仍然保持同樣的電荷，這些電晶體各個有漏電 $a/4$ ，其中一個電晶體將電流 I_{N-2} 減去電流 $a/4$ ，而其他五個自電流 I_{N-1} 減去 $5a/4$ ，爲了使圖 6a 和 b 電路正常工作， a 須是一個正數值；假如它是負數，用相同電路進行校準時，必須以 PMOS 電晶體代替 NMOS 進行之；由於 a 的正或負是未知數，所以需要有二個校準網路備用，一個 NMOS 電晶體網路和一個 PMOS 電晶體網路，和一個比較器用來測定決定符號是正的或負的，以便選擇其中一種網路使用。

至此，利用 MSB 校準進行不同數值 c 模擬數位至類比轉換模式的結果頻率區域呈現於圖 7 以供參考，所使用的數位至類比轉換器結構是一個 14 位元數位至類比轉換器，如同圖 2 之 6 位元數位至類比轉換器以同樣方式建構，運用 $M=8$ 和斜度 $k_x=k_y=0.0001$ [LSB/單元電流源]，數位至類比轉換器的訊號範圍被顯示於圖 7，輸入爲全面正弦曲線，利用不同數值 C 所得的不同結果，重要的頻域性質如訊號與雜訊比 (signal-to-noise)，及扭曲比率 (SNDR) 和寄生性自由動態範圍 (SFDR) 也同時呈現於圖 7，作爲 14 位元數位至類比轉換器，SNDR 應被限制在 86 分貝以內，由於量化雜訊，以及 $c=2$ 校測數位至類比轉換器導致 SNDR=78 分貝，相當於有效數目位元 (ENOB) 之 12.5 位元，其實相較於無補償的數位至類比轉換器，它已改善 3 位元。

運用此套非常簡單的數位至類比轉換器校準技術，可以獲

五、發明說明 (13)

得很高的使用效率。

以此章節敘述的MSB校準方式可獲得高效率的數位至類比轉換器，無須複雜的佈線方式、隨機化、或DEM技術，不然就得使用該等技術。

校準作業可以完全類比化，由於不匹配錯誤是類比性質，較理想是先考慮是否可避免使用數模模擬轉換器實行數位校準，由於製造此類數位至類比轉換器達到高精密度，尚有相當困難，而且此晶片佔很大空間，又耗電。

如上敘述使用分等不匹配的線性度資訊，在多位元的錯誤可用一位元作估算(如MSB)，而且校準電路錯誤可進一步簡單化。

倡議的校準技術還有一個優點，就是用相當小的補償電流作儲存與回復動作，不需要運用相對較大的MSB電流，因為當電流記憶體發生漏電時，最壞情況會使它變成一個未校準電流操控的數位至類比轉換器；假如校測的MSB電流完全儲存於電流記憶體，漏電對數位至類比轉換器性能會造成更壞的結果。

在此敘述的校準技術，尤其具有以下的優點：

- 簡單和有效的技術；
- 不需要複雜化佈線方式、隨機化、或DEM技術；
- 無須錯誤測量或數位類比轉換；
- 在相對小的補償電流下數位至類比轉換器工作效果會更好，較之全面性校測MSB電流之所以會產生的較少錯誤，是由於不匹配或漏電造成校準失敗的緣故。

五、發明說明 (14)

再者，電流記憶體的漏電可能需要再校準，同時不匹配也會影響到校準電路。

在此可明顯看出，本發明可採用許多種方式執行，此類改變方式不致被視為脫離本發明的範圍，如熟悉此技藝人士所瞭解，全部此類修正將包括在所附的專利範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：改良的電流操控數位至類比轉換器)

本發明揭示一種用以使用電流操控式N-位元數位至類比轉換器的方法，以及揭示一種數位至類比轉換器，該數位至類比轉換器包括N個二進位加權式電流源 SI_k ($k=0, 1, \dots, N-1$)連接至一個共同輸出，而每個電流源 SI_k 都包括 2^k 個並聯之相同強度的單元電流源 SI_{unit} ，其中，數位輸入位元 b_i ($i=0, 1, \dots, N-1$ 之最高位元(MSB)為 b_{N-1})決定各自的 SI_k ($k=0, 1, \dots, N-1$)電流源中哪一個可連接至輸出，本發明特徵在於，數位至類比轉換過程中，形成由電流 \tilde{I}_{N-1} 替代源自於最大的電流源 SI_{N-1} 的電流 I_{N-1} ，其中：

$$\tilde{I}_{N-1} = \left[\sum_{k=0}^{N-2} I_k \right] + I_{unit}$$

英文發明摘要(發明之名稱：“IMPROVED CURRENT-STEERING D/A CONVERSION”)

The present invention refers to a method for using a current-steering N-bit D/A converter and to the D/A converter, said converter comprising N binary weighted current sources SI_k , $k = 0, 1, \dots, N-1$, connectable to a common output, each current source SI_k comprising 2^k unit current sources, SI_{unit} , of equal strength connected in parallel, wherein digital input bits b_i , $i = 0, 1, \dots, N-1$, b_{N-1} being the most significant bit (MSB), determine which respective current source, SI_k , $k = 0, 1, \dots, N-1$, to be connected to the output. The invention features that, during D/A conversion, the current I_{N-1} from the largest current source SI_{N-1} is substituted for a current \tilde{I}_{N-1} , where

四、中文發明摘要 (發明之名稱: _____)

在上面的公式中，電流 I_k 係來自電流源 SI_k 的電流，而電流 I_{unit} 係來自一個額外單位電流源的電流。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱: _____)

$$\bar{I}_{N-1} = \left(\sum_{k=0}^{N-2} I_k \right) + I_{unit}$$

in which expression, I_k being the current from the current source SI_k , and I_{unit} being the current from an additional unit current source.

(Fig. 4 suggested for publication)

訂

六、申請專利範圍

1. 一種使用電流操控式N-位元數位至類比轉換器的方法，該數位至類比轉換器包括N個二進位加權式電流源 SI_k ($k=0, 1, \dots, N-1$) 連接至一個共同輸出，而每個電流源 SI_k 都包括 2^k 個並聯之相同強度的單元電流源 SI_{unit} ，其中，數位輸入位元 b_i ($i=0, 1, \dots, N-1$ 之最高位元(MSB)為 b_{N-1}) 決定各自的 SI_k ($k=0, 1, \dots, N-1$)電流源中哪一個可連接至輸出，其特徵在於該方法包含下列步驟：

- 數位至類比轉換過程中，形成由電流 \tilde{I}_{N-1} 替代源自於最大的電流源 SI_{N-1} 的電流 I_{N-1}

$$\tilde{I}_{N-1} = \left[\sum_{k=0}^{N-2} I_k \right] + I_{unit}$$

在上面的公式中，電流 I_k 係來自電流源 SI_k 的電流，而電流 I_{unit} 係來自一個額外單位電流源的電流。

2. 如申請專利範圍第1項之方法，該方法包括在數位至類比轉換之前，先校準數位至類比轉換器，該校測步驟包括下列步驟：

- 測量電流 I_{N-1} 和 \tilde{I}_{N-1} ；
- 建構測得之間的電流差 ΔI ；其中
- 替代步驟包括從最大電流源的電流 I_{N-1} 減去電流差 ΔI 而形成電流 \tilde{I}_{N-1} 。

3. 如申請專利範圍第2項之方法，其中電流差 ΔI 是經由一電流鏡建構。

4. 如申請專利範圍第2項之方法，其中電流差 ΔI 儲存於電流記憶體。

六、申請專利範圍

5. 如申請專利範圍第4項之方法，其中電流差 ΔI 經由電容器之充電子以儲存。
6. 如申請專利範圍第2項之方法，其中經過一預定的時間重複進行校測。
7. 如申請專利範圍第1項之方法，其中電流源為積體化MOS電晶體。
8. 一種使用電流操控式N-位元數位至類比轉換器的方法，該數位至類比轉換器包括N個二進位加權式電流源 SI_k ($k=0, 1, \dots, N-1$)連接至一個共同輸出，而每個電流源 SI_k 都包括 2^k 個並聯之相等強度的單元電流源 SI_{unit} ，其中，數位輸入位元 b_i ($i=0, 1, \dots, N-1$ 之最高位元(MSB)為 b_{N-1})決定各自的 SI_k ($k=0, 1, \dots, N-1$)電流源中哪一個可連接至輸出，其特徵在於該方法包含下列步驟：

- 數位至類比轉換過程中，該方法以電流 $\tilde{I}_{N-1}, \tilde{I}_{N-2}, \dots, \tilde{I}_{N-c}$ 來替代來自c個(c是大於1的正整數)最大之電流源 $SI_{N-1}, SI_{N-2}, \dots, SI_{N-c}$ 的電流 $I_{N-1}, I_{N-2}, \dots, I_{N-c}$ ，其中：

$$\tilde{I}_{N-1} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-2} \tilde{I}_j \right] + I_{unit}$$

$$\tilde{I}_{N-2} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-3} \tilde{I}_j \right] + I_{unit}$$

...

$$\tilde{I}_{N-c} = \left[\sum_{k=0}^{N-c-1} I_k \right] + I_{unit}$$

在上面的公式中，電流 I_k 係來自電流源 SI_k 的電流，而電流 I_{unit} 係來自一個額外單位電流源的電流。

六、申請專利範圍

9. 如申請專利範圍第8項之方法，包括在數位至類比轉換之前，校測數位至類比轉換器，該校測包括下列步驟：

- 測量電流 $I_{N-1}, I_{N-2}, \dots, I_{N-c}$ 與 $\tilde{I}_{N-1}, \tilde{I}_{N-2}, \dots, \tilde{I}_{N-c}$ ；以及
- 建構電流差 $\Delta I_{N-1} = I_{N-1} - \tilde{I}_{N-1}, \Delta I_{N-2} = I_{N-2} - \tilde{I}_{N-2}, \dots, \Delta I_{N-c} = I_{N-c} - \tilde{I}_{N-c}$ ，其中：
- 替代步驟包括從個別電流 $I_{N-1}, I_{N-2}, \dots, I_{N-c}$ 減去電流差 $\Delta I_{N-1}, \Delta I_{N-2}, \dots, \Delta I_{N-c}$ ，以形成替代電流 $\tilde{I}_{N-1}, \tilde{I}_{N-2}, \dots, \tilde{I}_{N-c}$ 。

10. 如申請專利範圍第8項之方法，該方法包括在數位至類比轉換之前，校測數位至類比轉換器，該校測包括下列步驟：

- 測量電流 $I_{N-1}, I_{N-2}, \dots, I_{N-c}$ 與 \tilde{I}_{N-c} ；
- 建構電流差 $\Delta I_{N-1} = I_{N-1} - \tilde{I}_{N-1}$ ；以及
- 提供電流差 $\Delta I_{N-2} = I_{N-2} - \tilde{I}_{N-2}, \dots, \Delta I_{N-c} = I_{N-c} - \tilde{I}_{N-c}$ 作為 ΔI_{N-1} 之分數；其中
- 替代步驟包括從各自的電流 $I_{N-1}, I_{N-2}, \dots, I_{N-c}$ 減去各自的電流差 $\Delta I_{N-1}, \Delta I_{N-2}, \dots, \Delta I_{N-c}$ ，以形成各自的替代電流 $\tilde{I}_{N-1}, \tilde{I}_{N-2}, \dots, \tilde{I}_{N-c}$ 。

11. 如申請專利範圍第10項之方法，其中提供該等分數的方式是事前知道有關數位至類比轉換器之N個二進位加權電流源之間相對的不匹配資訊。

12. 如申請專利範圍第9項之方法，電流差 ΔI_{N-1} 係由電流鏡所建構。

六、申請專利範圍

13. 如申請專利範圍第9項之方法，電流差 ΔI_{N-1} , ΔI_{N-2} , ..., ΔI_{N-c} 須儲存於電流記憶體。
14. 如申請專利範圍第13項之方法，其中電流差 ΔI_{N-1} 的方式是利用對電容器充電而儲存。
15. 如申請專利範圍第14項之方法，其中電流差 ΔI_{N-1} , ΔI_{N-2} , ..., ΔI_{N-c} 的回復，是藉由電容器來控制並聯的電晶體，形成相對的電流 \tilde{I}_{N-1} , \tilde{I}_{N-2} , ..., \tilde{I}_{N-c} 。
16. 如申請專利範圍第15項之方法，其中此類電晶體須為NMOS電晶體，前提是電流差 ΔI_{N-1} , ΔI_{N-2} , ..., ΔI_{N-c} 必須是正數。
17. 如申請專利範圍第15項之方法，其中此類電晶體須為PMOS電晶體，前提是電流差 ΔI_{N-1} , ΔI_{N-2} , ..., ΔI_{N-c} 必須是負數。
18. 如申請專利範圍第10項之方法，其中每經過一段預定時間，得重複進行校測。
19. 如申請專利範圍第10項之方法，其電流源為積體化MOS電晶體。
20. 一種電流操控式N-位元數位至類比轉換器，包括：
 - N個數位輸入，各接受一個數位輸入位元 b_i , $i=0, 1, \dots, N-1$ ，而 b_{N-1} 是最高位元(MSB)；
 - 一類比輸出；
 - N個二進位加權電流源 SI_k ($k=0, 1, \dots, N-1$)，該電流源 SI_k 可接到該類比輸出，各個電流源 SI_k 都包括 2^k 個並

六、申請專利範圍

聯之相等強度的單位電流源 SI_{unit} ，其中

- 該等數位輸入位元是用來指示電流源 SI_k ($k=0, 1, \dots, N-1$) 中哪一個電流源可連接至此類比輸出，其特徵在於
- 一額外單位電流源；以及，替代裝置，用來以電流 \tilde{I}_{N-1} 來替代來自最大電流源 SI_{N-1} 的電流 I_{N-1} ，其中

$$\tilde{I}_{N-1} = \left[\sum_{k=0}^{N-2} I_k \right] + I_{unit}$$

在上面的公式中，電流 I_k 係來自電流源 SI_k ，而電流 I_{unit} 係來自額外單位電流源。

21. 如申請專利範圍第20項之數位至類比轉換器，該數位至類比轉換器進一步包括用以校測該數位至類比轉換器的裝置，該校準裝置包括：

- 裝置，用以測量電流 I_{N-1} 和 \tilde{I}_{N-1} ；以及
- 裝置，用以於測得電流之間建構電流差 ΔI ；其中
- 數位至類比轉換器還包括裝置，用以於數位至類比轉換過程中，從最大的電流源之電流 I_{N-1} 減去電流差 ΔI ，來形成電流 \tilde{I}_{N-1} 。

22. 如申請專利範圍第21項之數位至類比轉換器，其中用以建構的裝置包括一電流鏡。

23. 如申請專利範圍第21項之數位至類比轉換器，其中電流差 ΔI 被儲存於電流記憶體，該數位至類比轉換器特別包括一電容器。

24. 如申請專利範圍第20項之數位至類比轉換器，其中電流

六、申請專利範圍

源為積體化MOS電晶體。

25. 一種電流操控式N-位元數位至類比轉換器，該數位至類比轉換器包括：

- N個數位輸入，各接受一個數位輸入位元 b_i ， $i=0, 1, \dots, N-1$ ，而 b_{N-1} 是最高位元(MSB)；
- 一類比輸出；
- N個二進位加權電流源 SI_k ($k=0, 1, \dots, N-1$)，該電流源 SI_k 可接到該類比輸出，各個電流源 SI_k 都包括 2^k 個並聯之相同強度的單位電流源 SI_{unit} ，其中
- 該等數位輸入位元是用來指示電流源 SI_k ($k=0, 1, \dots, N-1$) 中哪一個電流源可連接至此類比輸出，其特徵在於
- 一額外單位電流源；以及，替代裝置，用來以電流 \tilde{I}_{N-1} ， \tilde{I}_{N-2} ， \dots ， \tilde{I}_{N-c} 來替代來自c個(c為大於1的正整數)最大電流源 SI_{N-1} ， SI_{N-2} ， \dots ， SI_{N-c} 的電流 I_{N-1} ， I_{N-2} ， \dots ， I_{N-c} ，其中：

$$\tilde{I}_{N-1} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-2} \tilde{I}_j \right] + I_{unit}$$

$$\tilde{I}_{N-2} = \left[\sum_{k=0}^{N-c-1} I_k \right] + \left[\sum_{j=N-c}^{N-3} \tilde{I}_j \right] + I_{unit}$$

...

$$\tilde{I}_{N-c} = \left[\sum_{k=0}^{N-c-1} I_k \right] + I_{unit}$$

在上面的公式中，電流 I_k 係來自電流源 SI_k ，而電流 I_{unit} 係來自額外單位電流源。

六、申請專利範圍

26. 如申請專利範圍第25項之數位至類比轉換器，該數位至類比轉換器包括用以校測該數位至類比轉換器的裝置，該校準裝置包括：

- 裝置，用以測量電流 I_{N-1} ， I_{N-2} ， \dots ， I_{N-c} 和 \tilde{I}_{N-1} ， \tilde{I}_{N-2} ， \dots ， \tilde{I}_{N-c} ；以及
- 裝置，用以建構電流差 $\Delta I_{N-2}=I_{N-2}-\tilde{I}_{N-2}$ ， \dots ， $\Delta I_{N-c}=I_{N-c}-\tilde{I}_{N-c}$ ；其中
- 用以替代的裝置包括裝置，用以從各自的電流 I_{N-1} ， I_{N-2} ， \dots ， I_{N-c} 減去各自的電流差 ΔI_{N-1} ， ΔI_{N-2} ， \dots ， ΔI_{N-c} ，以形成各自的替代電流 \tilde{I}_{N-1} ， \tilde{I}_{N-2} ， \dots ， \tilde{I}_{N-c} 。

27. 如申請專利範圍第25項之數位至類比轉換器，該數位至類比轉換器包括用以校測該數位至類比轉換器的裝置，該校準裝置包括：

- 裝置，用以測量電流 I_{N-1} ， I_{N-2} ， \dots ， I_{N-c} ，和 \tilde{I}_{N-1} ；
- 裝置，用以建構電流差 $\Delta I_{N-1}=I_{N-1}-\tilde{I}_{N-1}$ ；
- 裝置，用以使測得電流差 $\Delta I_{N-2}=-I_{N-2}-\tilde{I}_{N-2}$ ， \dots ， $\Delta I_{N-c}=I_{N-c}-\tilde{I}_{N-c}$ 轉成 ΔI_{N-1} 分數；其中
- 用以替代的裝置包括裝置，用以形成各自的替代電流 \tilde{I}_{N-1} ， \tilde{I}_{N-2} ， \dots ， \tilde{I}_{N-c} ，其方式是將各自的電流 I_{N-1} ， I_{N-2} ， \dots ， I_{N-c} 減去電流差 ΔI_{N-1} ， ΔI_{N-2} ， \dots ， ΔI_{N-c} 得出該等替代電流。

28. 如申請專利範圍第27項之數位至類比轉換器，其中提供該等分數的方式是事前知道有關數位至類比轉換器之 N 個二進位加權電流源之間相對的不匹配資訊。

六、申請專利範圍

29. 如申請專利範圍第26項之數位至類比轉換器，其中用以建構的裝置包括一電流鏡。
30. 如申請專利範圍第26項之數位至類比轉換器，其中用以形成替代電流的裝置包括並聯的一電容器和多個電晶體。
31. 如申請專利範圍第30項之數位至類比轉換器，其中該等電晶體包括NMOS電晶體。
32. 如申請專利範圍第30項之數位至類比轉換器，其中該等電晶體包括PMOS電晶體。
33. 如申請專利範圍第25項之數位至類比轉換器，其中電流源是積體化MOS電晶體。

89104817

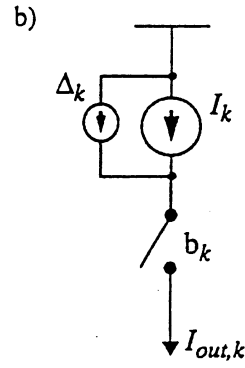
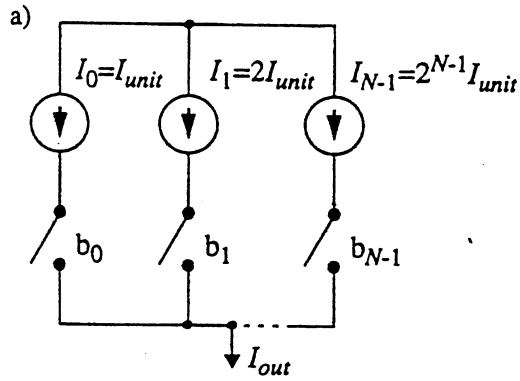


圖 1a

圖 1b

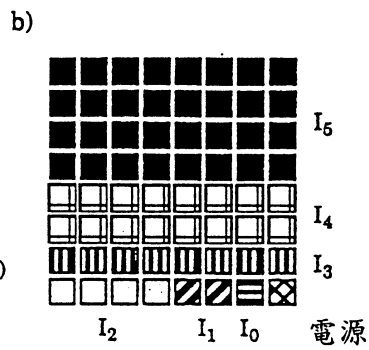
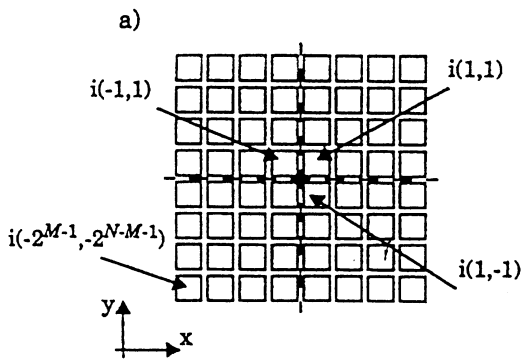


圖 2a

圖 2b

6 位元數位至類比轉換器的斜坡輸出

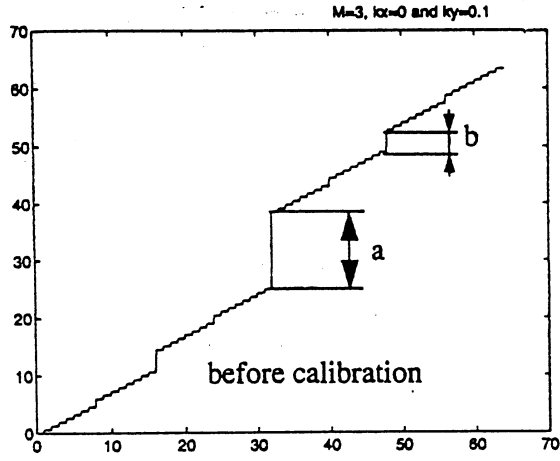


圖 3 a

6 位元數位至類比轉換器的斜坡輸出

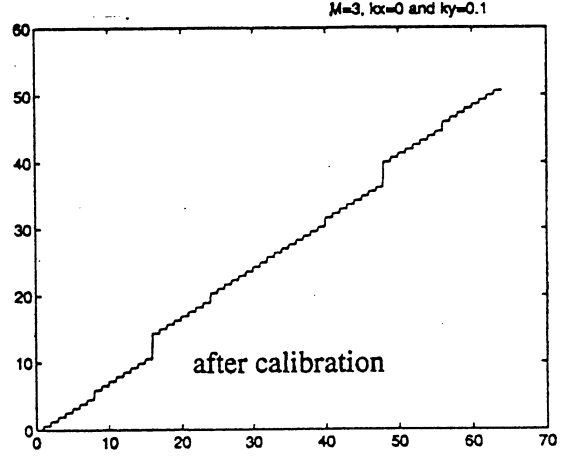


圖 3 b

校準

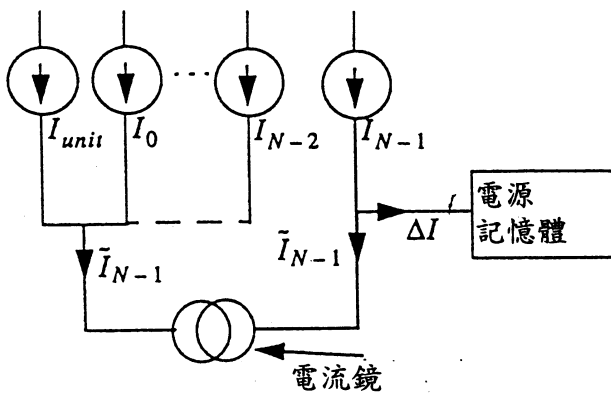


圖 4 a

操作

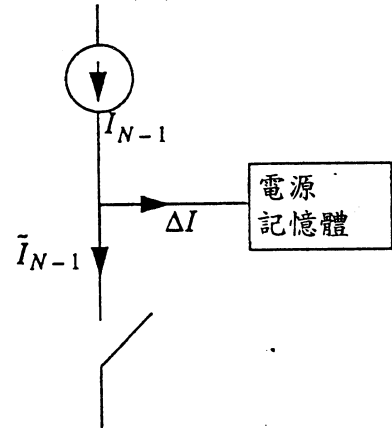


圖 4 b

6 位元數位至類比轉換器的斜坡輸出

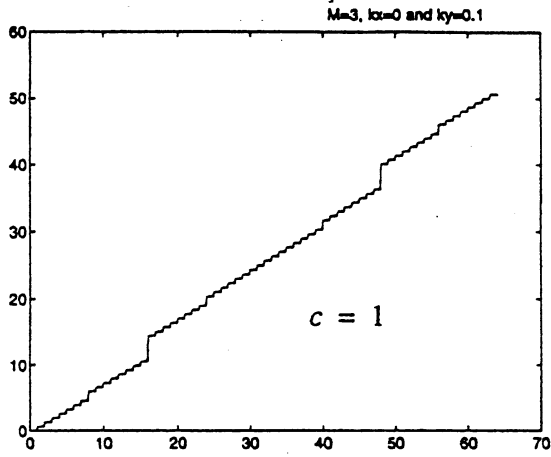


圖 5a

6 位元數位至類比轉換器的斜坡輸出

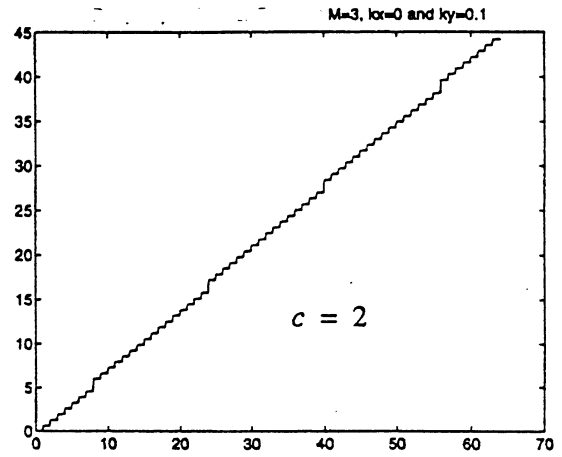


圖 5b

14 位元數位至類比轉換器的單音音頻, M=8, $k_x=0.0001$, $k_y=0.0001$ for different values of c

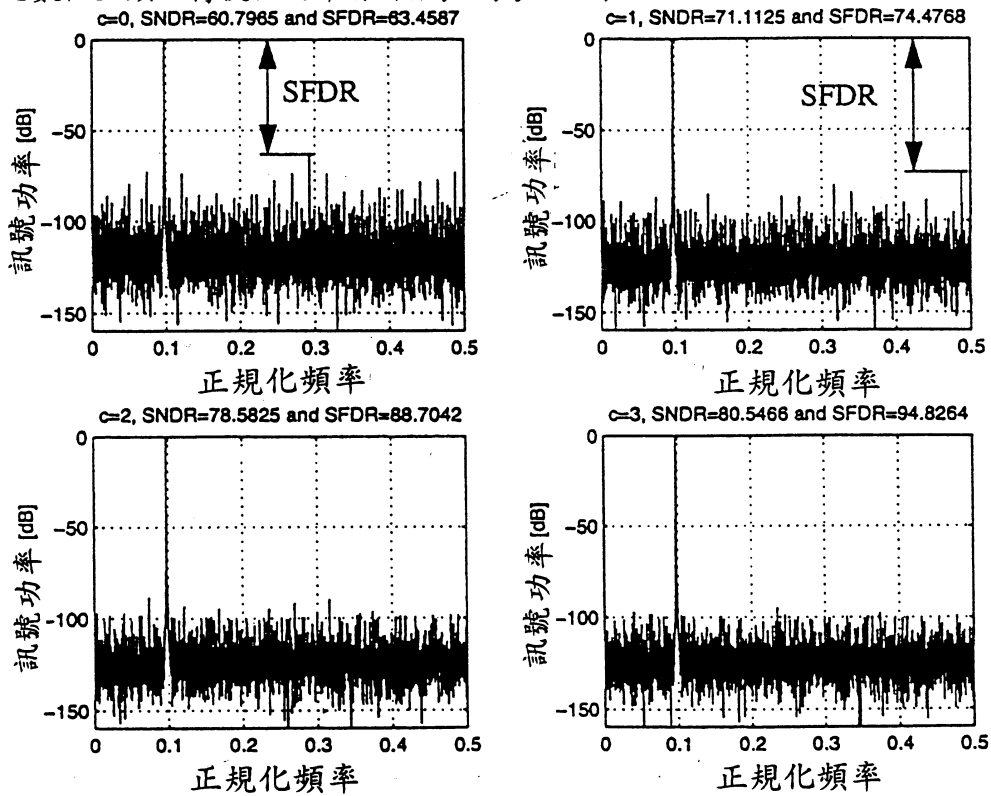


圖 7

