



(12)发明专利申请

(10)申请公布号 CN 106098539 A

(43)申请公布日 2016. 11. 09

(21)申请号 201610720057.8

(22)申请日 2010.09.02

(30)优先权数据

2009-206372 2009.09.07 JP

2009-206373 2009.09.07 JP

2009-206374 2009.09.07 JP

(62)分案原申请数据

201080039791.9 2010.09.02

(71)申请人 罗姆股份有限公司

地址 日本京都府

(72)发明人 箕谷周平 中野佑纪 渡部平司

志村考功 细井卓治 桐野嵩史

(74)专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 柯瑞京

(51)Int.Cl.

H01L 21/02(2006.01)

H01L 21/04(2006.01)

H01L 21/82(2006.01)

H01L 29/10(2006.01)

H01L 29/16(2006.01)

H01L 29/417(2006.01)

H01L 29/423(2006.01)

H01L 29/51(2006.01)

H01L 29/66(2006.01)

H01L 29/78(2006.01)

H01L 29/08(2006.01)

H01L 29/45(2006.01)

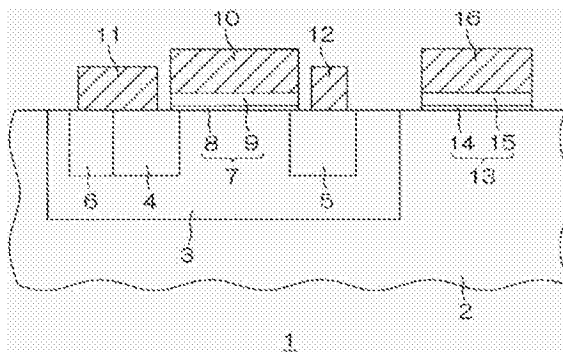
权利要求书4页 说明书41页 附图40页

(54)发明名称

半导体装置

(57)摘要

一种半导体装置,包括:由第一导电型构成的半导体层;阱区域,是第二导电型的阱区域,形成在所述半导体层的表层部上并且具有限定在阱区域中的沟道区域;源区域,是第一导电型的源区域,形成在阱区域的表层部上并且包括邻近阱区域限定的第一区域和邻近第一区域限定的第二区域;栅极绝缘膜,形成在半导体层上并且在栅极绝缘膜中限定:第一部分,接触源区域的第一区域;第二部分,接触阱区域,并且第二部分的厚度与第一部分的厚度相同;和第三部分,接触源区域的第二区域,并且第三部分的厚度大于第一部分的厚度;和栅电极,形成在栅极绝缘膜上,并且通过栅极绝缘膜与阱区域中的形成有沟道的沟道区域对置。



1. 一种半导体装置,包括:

半导体层,所述半导体层由第一导电型构成;

阱区域,所述阱区域是第二导电型的阱区域,形成在所述半导体层的表层部上并且具有限定在阱区域中的沟道区域;

源区域,所述源区域是第一导电型的源区域,形成在所述阱区域的表层部上并且包括邻近阱区域限定的第一区域和邻近所述第一区域限定的第二区域;

栅极绝缘膜,所述栅极绝缘膜形成在所述半导体层上并且在所述栅极绝缘膜中限定:

第一部分,所述第一部分接触源区域的第一区域;

第二部分,所述第二部分接触阱区域,并且所述第二部分的厚度与所述第一部分的厚度相同;和

第三部分,所述第三部分接触源区域的第二区域,并且所述第三部分的厚度大于所述第一部分的厚度;和

栅电极,所述栅电极形成在所述栅极绝缘膜上,并且通过所述栅极绝缘膜与所述阱区域中的形成有沟道的沟道区域对置。

2. 一种半导体装置,包括:

半导体层,所述半导体层由第一导电型碳化硅构成;

阱区域,所述阱区域是第二导电型的阱区域,形成在所述半导体层的表层部上并且具有限定在阱区域中的沟道区域;

源区域,所述源区域是第一导电型的源区域,形成在所述阱区域的表层部上并且包括邻近阱区域限定的第一区域和邻近所述第一区域限定的第二区域;

栅极绝缘膜,所述栅极绝缘膜形成在所述半导体层上并且在所述栅极绝缘膜中限定:

第一部分,所述第一部分接触源区域的第一区域;

第二部分,所述第二部分接触阱区域,并且所述第二部分的厚度与所述第一部分的厚度相同;和

第三部分,所述第三部分接触源区域的第二区域,并且所述第三部分的厚度大于所述第一部分的厚度;和

栅电极,所述栅电极形成在所述栅极绝缘膜上,并且通过所述栅极绝缘膜与所述阱区域中的形成有沟道的沟道区域对置。

3. 根据权利要求2所述的半导体装置,其中所述栅极绝缘膜具有厚度,所述厚度在源区域的第一区域的表面和源区域的第二区域的表面之间变化从而形成阶梯,并且栅极绝缘膜的第三部分的厚度大于栅极绝缘膜的第一部分的厚度。

4. 根据权利要求2所述的半导体装置,其中所述源区域和所述沟道区域在沿着所述半导体层的上表面的方向上相邻地形成,并且栅极绝缘膜形成在半导体层的上表面上。

5. 根据权利要求2所述的半导体装置,其中所述源区域和所述沟道区域在正交于所述半导体层的上表面的方向上相邻地形成,其中沟渠形成在半导体层中,从所述源区域的上表面向下延伸以通过所述源区域和所述阱区域,并且其中所述栅极绝缘膜形成在沟渠的内表面上。

6. 根据权利要求2所述的半导体装置,其中所述源区域的第一区域的杂质浓度低于所述源区域的第二区域的杂质浓度。

7. 根据权利要求2所述的半导体装置,还包括接触区域,所述接触区域是第二导电型的接触区域,形成为穿过所述源区域的第一区域和第二区域两者。

8. 一种半导体装置,包括:

半导体层,所述半导体层由第一导电型碳化硅构成;

阱区域,所述阱区域是第二导电型的阱区域,形成在所述半导体层的表层部上并且具有限定在阱区域中的沟道区域;

源区域,所述源区域是第一导电型的源区域,形成在所述阱区域的表层部上并且包括邻近阱区域限定的第一区域和邻近所述第一区域限定的第二区域,第一区域的杂质浓度比第二区域的杂质浓度低;

栅极绝缘膜,所述栅极绝缘膜形成在所述半导体层上并且在所述栅极绝缘膜中限定:

第一部分,所述第一部分接触源区域的第一区域;

第二部分,所述第二部分接触阱区域,并且所述第二部分的厚度与所述第一部分的厚度相同;和

第三部分,所述第三部分接触第二区域,并且所述第三部分的厚度大于所述第一部分的厚度;和

栅电极,所述栅电极形成在所述栅极绝缘膜上,并且通过所述栅极绝缘膜与所述阱区域中的形成有沟道的沟道区域对置。

9. 一种半导体装置,包括:

半导体层,所述半导体层是第一导电型半导体层;

阱区域,所述阱区域是第二导电型的阱区域,形成在所述半导体层的表层部上并且具有限定在阱区域中的沟道区域;

源区域,所述源区域是第一导电型的源区域,形成在所述阱区域的表层部上并且包括邻近阱区域限定的第一区域和邻近所述第一区域限定的第二区域;

栅极绝缘膜,所述栅极绝缘膜形成在所述半导体层上并且在所述栅极绝缘膜中限定:

第一部分,所述第一部分接触源区域的第一区域;

第二部分,所述第二部分接触阱区域,并且所述第二部分的厚度与所述第一部分的厚度相同;和

第三部分,所述第三部分接触源区域的第二区域,并且所述第三部分的厚度大于所述第一部分的厚度;和

栅电极,所述栅电极形成在所述栅极绝缘膜上,并且通过所述栅极绝缘膜与所述阱区域中的形成有沟道的沟道区域对置,

其中半导体层与栅极绝缘膜之间的界面被氢终端化。

10. 一种半导体装置,包括:

半导体层,所述半导体层是第一导电型半导体层;

阱区域,所述阱区域是第二导电型的阱区域,形成在所述半导体层的表层部上并且具有限定在阱区域中的沟道区域;

源区域,所述源区域是第一导电型的源区域,形成在所述阱区域的表层部上并且包括邻近阱区域限定的第一区域和邻近所述第一区域限定的第二区域,第一区域的杂质浓度比第二区域的杂质浓度低;

栅极绝缘膜,所述栅极绝缘膜形成在所述半导体层上并且在所述栅极绝缘膜中限定:

第一部分,所述第一部分接触源区域的第一区域;

第二部分,所述第二部分接触阱区域,并且所述第二部分的厚度与所述第一部分的厚度相同;和

第三部分,所述第三部分接触第二区域,并且所述第三部分的厚度大于所述第一部分的厚度;和

栅电极,所述栅电极形成在所述栅极绝缘膜上,并且通过所述栅极绝缘膜与所述阱区域中的形成有沟道的沟道区域对置,

其中漏金属形成在半导体层的下表面侧。

11.一种半导体装置,包括:

半导体层,所述半导体层由第一导电型构成;

阱区域,所述阱区域是第二导电型的阱区域,形成在所述半导体层的表层部上并且具有限定在阱区域中的沟道区域;

源区域,所述源区域是第一导电型的源区域,形成在所述阱区域的表层部上;

沟渠,所述沟渠形成在半导体层中,从所述源区域的上表面向下延伸以通过所述源区域和所述阱区域;

栅极绝缘膜,所述栅极绝缘膜形成在沟渠的内表面上,所述栅极绝缘膜包括凸块部分,所述凸块部分改变所述栅极绝缘膜在源区域处的厚度,所述凸块部分形成在所述沟渠的侧表面上,并且邻近所述沟道区域;和

栅电极,所述栅电极通过所述栅极绝缘膜与所述阱区域中的形成有沟道的沟道区域对置。

12.根据权利要求11所述的半导体装置,其中栅极绝缘膜的上端通过层间绝缘膜覆盖。

13.根据权利要求11所述的半导体装置,其中所述栅极绝缘膜包括氧化硅膜。

14.根据权利要求11所述的半导体装置,其中所述栅极绝缘膜还包括氧化硅膜上的与源区域相对的氮氧化铝膜,并且氮氧化铝硅膜没有凸块。

15.根据权利要求11所述的半导体装置,还包括接触区域,所述接触区域是形成为穿过所述源区域的第二导电型的接触区域。

16.根据权利要求11所述的半导体装置,其中凸块部分的大小为约0.1微米。

17.根据权利要求12所述的半导体装置,还包括源金属,所述源金属从上面覆盖层间绝缘膜和源区域。

18.根据权利要求11所述的半导体装置,其中所述栅电极由金属材料制成,并且被嵌入在沟渠中。

19.根据权利要求11所述的半导体装置,还包括半导体基板,所述半导体基板由第一导电型碳化硅构成,相对于该半导体层与阱区域相反。

20.一种半导体装置,包括:

半导体层,所述半导体层由第一导电型构成;

阱区域,所述阱区域是第二导电型的阱区域,形成在所述半导体层的表层部上并且具有限定在阱区域中的沟道区域;

源区域,所述源区域是第一导电型的源区域,形成在所述阱区域的表层部上;

沟渠,所述沟渠形成在半导体层中,从所述源区域的上表面向下延伸以通过所述源区域和所述阱区域;

栅极绝缘膜,所述栅极绝缘膜形成在沟渠的内表面上,所述栅极绝缘膜包括凸块部分,所述凸块部分改变所述栅极绝缘膜在源区域处的厚度,栅极绝缘膜在凸块部分之上的上部区域的厚度大于栅极绝缘膜在凸块部分之下的下部区域的厚度;和

栅电极,所述栅电极通过所述栅极绝缘膜与所述阱区域中的形成有沟道的沟道区域对置。

21.根据权利要求20所述的半导体装置,其中下部区域的厚度在阱区域侧和源区域侧之间相同。

22.根据权利要求20所述的半导体装置,其中所述凸块部分由于在源区域中的杂质浓度的差异而形成,

与所述沟道区域相邻的给定宽度的第一区域的杂质浓度比在源区域中第一区域以外和邻近上表面的第二区域的杂质浓度低,和

下部区域的部分沿着第一区域定位。

半导体装置

[0001] 本申请为专利申请案(申请日2010年9月2日,国际申请号PCT/JP2010/065057,于2012年3月7日进入中国国家阶段,中国国家阶段申请号201080039791.9,发明名称为“半导体装置及其制造方法”)的分案申请。

技术领域

[0002] 本发明涉及一种半导体装置及其制造方法。

背景技术

[0003] SiC(碳化硅:硅碳化物)与Si(硅)相比绝缘破坏耐性以及热传导率等更良好。因此,SiC例如作为适合于混合动力汽车的逆变器(inverter)等用途中的半导体而受到关注。更具体而言,使用了SiC的MISFET(Metal Insulator Semiconductor Field Effect Transistor),作为适合于混合动力汽车的逆变器的高耐压设备而被期待。

[0004] 作为使用了SiC的MISFET的一例的MOSFET(Metal Oxide Semiconductor Field Effect Transistor)具有在SiC基板上夹着由SiO₂(氧化硅)构成的栅绝缘膜而层叠了栅电极的SiC-MOS构造。在SiC基板的表层部形成有阱区域。在阱区域的表层部形成有彼此隔开间隔的源区域以及漏区域。栅绝缘膜形成在源区域以及漏区域之间的区域上。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开2009-16530号公报

发明内容

[0008] 发明所要解决的课题

[0009] SiC-MOS构造具有在SiC基板与栅绝缘膜的界面(SiO₂/SiC界面)上产生高密度的界面态(interface state)的问题。界面态(界面缺陷)随着由SiO₂构成的栅绝缘膜的厚度增大而增加。

[0010] 因此,本申请发明者研究了不是SiO₂的单层构造而是在比较薄的SiO₂膜上层叠了AlON(氮氧化铝)膜的AlON/SiO₂层叠构造的栅绝缘膜的采用。

[0011] 例如在比较厚度40nm的SiO₂单层的栅绝缘膜、与厚度65nm的AlON膜以及厚度6nm的SiO₂膜的层叠构造的栅绝缘膜的情况下,在AlON/SiO₂层叠栅绝缘膜中由于SiO₂膜的厚度小,因此可期待界面态密度的降低。

[0012] 图11是表示常温下的AlON/SiO₂层叠栅绝缘膜以及SiO₂单层栅绝缘膜的电场强度-泄漏电流(leak current)特性(栅绝缘膜上产生的电场(Oxide Field)的强度与泄漏电流密度(Gate Current Density)之间的关系)的图表。另外,图12是表示高温下的AlON/SiO₂层叠栅绝缘膜以及SiO₂单层栅绝缘膜的电场强度-泄漏电流特性的图表。

[0013] 如图11,12所示,确认了在AlON/SiO₂层叠栅绝缘膜中不仅在常温(大约25℃)下即使在200℃的高温下也与SiO₂单层栅绝缘膜相比降低泄漏电流的情况。该降低的效果在

AlON/SiO₂层叠栅绝缘膜上产生的电场的强度在大于6MV/cm的范围内尤其大。

[0014] 图13是表示采用了AlON/SiO₂层叠栅绝缘膜的SiC-MIS构造以及采用了SiO₂单层栅绝缘膜的SiC-MOS构造的界面态密度的评价结果的图表。在该图表中,横轴是来自栅绝缘膜的价电子端的能量($E_c - E$),纵轴是界面态密度 D_{it} 。

[0015] 针对采用了AlON/SiO₂层叠栅绝缘膜的SiC-MIS构造以及采用了SiO₂单层栅绝缘膜的SiC-MOS构造,分别对高频CV特性(例如测量频率100kHz)和低频CV特性(准静态CV特性)进行测量,并且通过High-Low法计算出高频测量值与低频测量值的差值作为界面态密度 D_{it} 。

[0016] 在采用了AlON/SiO₂层叠栅绝缘膜的SiC-MIS构造中,与采用了SiO₂单层栅绝缘膜的SiC-MOS构造相比,可期待SiO₂膜的厚度的降低而产生的界面态密度的降低,但是由图13所示的结果可知,实际上界面态密度增大。在MISFET中,界面态密度的增大成为沟道(channel)移动度的低下的原因。

[0017] 本发明的目的在于提供一种碳化硅基板与氧化硅膜的界面的状态良好的半导体装置及其制造方法。

[0018] 用于解决课题的手段

[0019] 本发明的一方面所涉及的半导体装置的制造方法包括:在碳化硅(SiC)基板上形成氧化硅(SiO₂)膜的工序;在包含氢的气体中对所述碳化硅基板以及所述氧化硅膜进行退火的工序;和在所述碳化硅基板以及所述氧化硅膜的退火后,在所述氧化硅膜上形成氮氧化铝(AlON)膜的工序。

[0020] 在碳化硅基板上形成有氧化硅膜的原样状态下,在碳化硅基板与氧化硅膜的界面,存在碳(C)原子以及硅(Si)原子的不饱和键(dangling bond)。在氧化硅膜的形成后,在包含氢的气体中对碳化硅基板以及氧化硅膜进行退火,由此氢(H)原子键合(结合)在碳原子以及硅原子的不饱和键,使碳化硅基板与氧化硅膜的界面氢终端化(水素终端化)。其结果,减少碳化硅基板与氧化硅膜的界面的缺陷(界面态密度),并改善界面的状态。

[0021] 在碳化硅基板以及氧化硅膜的退火后,在氧化硅膜上形成氮氧化铝膜。在氧化硅膜上存在氮氧化铝膜,由此可防止来自碳化硅基板以及氧化硅膜的夺氢(水素抜け)。因此,可维持通过氢终端化来改善的碳化硅基板与氧化硅膜的界面的状态。

[0022] 从而,根据本发明的一个方面所涉及的制造方法,能够改善碳化硅基板与氧化硅膜的界面的状态,并且能够维持该改善的状态。

[0023] 其结果,能够得到碳化硅基板与氧化硅膜的界面的状态良好的半导体装置。也即,通过本发明所涉及的制造方法,能够制造一种半导体装置,该半导体装置具有:碳化硅基板;在碳化硅基板上形成的氧化硅膜;和在氧化硅膜上形成的氮氧化铝膜,其中使碳化硅基板与氧化硅膜的界面氢终端。

[0024] 在半导体装置具备将氧化硅膜以及氮氧化铝膜作为栅绝缘膜的MISFET的情况下,通过界面态密度的降低,能够实现沟道迁移率的提高。

[0025] 氮氧化铝膜是高介电常数膜(High- κ 膜)。因此,在由氧化硅膜以及氮氧化铝膜构成的栅绝缘膜中,与仅由氧化硅膜构成的栅绝缘膜相比,增大了氮氧化铝膜的厚度,由此能够确保同等以上的电气特性的同时,降低泄漏电流。其结果,能够提高栅绝缘膜的可靠性。

[0026] 另外,优选地,在氮氧化铝膜上形成的栅电极由包含铝的金属材料构成。据此,与

栅电极由多晶硅构成的构成相比,能够实现MISFET的动作速度的提高以及耗电的降低。

[0027] 优选地,在形成氮氧化铝膜后对氮氧化铝膜进行退火(PDA:Post Deposition Annealing)。通过该退火,能够提升氮氧化铝膜的结晶化度,并且能够提高氮氧化铝膜的膜质。

[0028] 优选地,碳化硅基板以及氧化硅膜的退火为FGA(Forming Gas Annealing),在混合了氢(H₂)和氮(N₂)的合成气体中在450~1000℃的温度条件下进行即可。合成气体以比爆炸界限小的比例包含氢即可,更具体而言,合成气体包含3%的氢和97%的氮即可。而且,碳化硅基板以及氧化硅膜的退火,在该合成气体中,在1000℃的温度下进行30分钟之后,在450℃的温度下进行30分钟即可。据此,能够在氧化硅膜中良好地导入氢原子,能够有效地减少在碳化硅基板与氧化硅膜的界面上存在的碳原子以及硅原子的不饱和键。

[0029] 另外,优选地,在碳化硅基板以及氧化硅膜的退火之前,向氧化硅膜照射氮等离子体。据此,在碳化硅基板与氧化硅膜的界面中,能够切断Si-O-C键以及C-C簇(cluster),并且产生碳原子以及硅原子的不饱和键。而且,在照射氮等离子体后进行碳化硅基板以及氧化硅膜的退火,由此能够使氢原子容易地键合在存在于碳化硅基板与氧化硅膜的界面上的碳原子以及硅原子的不饱和键。其结果,能够使碳化硅基板与氧化硅膜的界面良好地氢终端化。

[0030] 另外,优选地,氧化硅膜通过使用了包含氮氧化物(NO_x)在内的气体的热氧化法来形成。据此,能够在氧化硅膜中导入氮原子,并且能够提高氧化硅膜的相对介电常数。其结果,能够进一步降低泄漏电流。再有,能够实现碳化硅基板与氧化硅膜的界面的氮终端化而产生的界面态密度的进一步降低,并且能够期待沟道迁移率的进一步提高(改善)。

[0031] 本发明的另一方面所涉及的半导体装置,具有:碳化硅层;在所述碳化硅层上形成的氮氧化硅膜;在所述氮氧化硅膜上形成的氧化硅膜;在所述氧化硅膜上形成的高介电常数绝缘膜(High-k绝缘膜);和在所述高介电常数绝缘膜上形成的栅电极。

[0032] 换言之,本发明的另一局面所涉及的半导体装置,具有:碳化硅层;在所述碳化硅层上形成的栅绝缘膜;和在所述栅绝缘膜上形成的栅电极。而且,所述栅绝缘膜具有从所述碳化硅层侧起层叠了氮氧化硅膜、氧化硅膜以及高介电常数绝缘膜的构造。

[0033] 在碳化硅层与氧化硅膜之间介入氮氧化硅膜,由此与栅绝缘膜仅由氧化硅膜构成的构造相比,能够实现碳化硅层与栅绝缘膜的界面中的界面态密度的降低。而且,通过界面态密度的降低,能够实现沟道迁移率的提高。

[0034] 另外,减小氮氧化硅膜以及氧化硅膜的合计厚度,并增大高介电常数绝缘膜的厚度,由此能够抑制碳化硅层与栅绝缘膜的界面中的界面态密度的增大的同时,实现栅绝缘膜的厚度的增大而产生的泄漏电流的降低。

[0035] 从而,能够同时达成界面态密度的降低而产生的沟道迁移率的提高以及泄漏电流的降低而产生的栅绝缘膜的可靠性的提高这双方。

[0036] 在氮氧化硅膜以及氧化硅膜的合计厚度为1nm以上且10nm以下的情况下,能够使碳化硅层与栅绝缘膜的界面成为尤其良好的状态。

[0037] 高介电常数绝缘膜也可以是氮氧化铝膜。

[0038] 优选地,栅电极由包含铝的金属材料构成。据此,与栅电极由多晶硅构成的结构相比,能够实现MISFET的动作速度的提高以及耗电的降低。

[0039] 本发明的另外其他局面所涉及的半导体装置,具有:由第1导电型的SiC构成的半导体层;在所述半导体层的表层部形成的第2导电型的阱区域;在所述阱区域的表层部形成的第1导电型的源区域;在所述半导体层上形成的栅绝缘膜;和在所述栅绝缘膜上形成且夹着所述栅绝缘膜而与所述阱区域中的形成有沟道的沟道区域对置的栅电极。在所述源区域中,与所述沟道区域相邻的给定宽度的第1区域的杂质浓度,比该第1区域以外的第2区域的杂质浓度低。

[0040] 如此,使源区域中的与沟道区域相邻的第1区域的杂质浓度降低,由此能够较低地抑制第1区域的表面中的氧化膜的生长的速率(氧化速率)。从而,能够防止在除去该氧化膜后在第1区域的表面与沟道区域(阱区域)的表面之间形成较大的阶梯。其结果,能够使从源区域起在沟道区域移动的载流子的路径(移动路径)接近于直线,由此能够达成沟道电阻的降低。

[0041] 由于源区域中的第1区域以外的第2区域的杂质浓度比第1区域的杂质浓度高,因而在第1区域的表面与第2区域的表面之间形成第2区域的表面比第1区域的表面低一台阶的阶梯。即使第1区域的表面与第2区域的表面之间形成有阶梯,该阶梯也不会对沟道区域中的载流子的流动带来影响。从而,相对降低第1区域的杂质浓度,并且相对提高第2区域的杂质浓度,由此不会降低源区域的载流子浓度,能够降低沟道电阻。

[0042] 在源区域以及沟道区域在沿着半导体层的上表面的方向上相邻地形成的情况下,源区域以及沟道区域的各上表面成为这些的表面,并且栅绝缘膜形成在半导体层的上表面。而且,在栅绝缘膜上将栅电极设置为与沟道区域的上表面对置。也即,半导体装置具有平面栅型MIS(Metal Insulator Semiconductor)构造。

[0043] 另外,在源区域以及沟道区域在与半导体层的上表面正交的方向上相邻地形成的情况下,在半导体层形成从源区域的上表面往下挖掘的沟渠,并且栅绝缘膜形成在沟渠的内面。沟渠贯穿源区域以及阱区域。而且,栅电极设置在栅绝缘膜的内侧,并且埋设在沟渠中。也即,半导体装置具有沟渠栅型MIS构造。

[0044] 通过参照附图以及下面叙述的实施方式的说明,使本发明中的上述的或者另外其他的目的、特征以及效果更加清楚。

附图说明

[0045] 图1是本发明的第1实施方式所涉及的半导体装置的示意性剖面图。

[0046] 图2是以图解的方式表示SiC基板与SiO₂膜的界面的构造的剖面图。

[0047] 图3是图1所示的半导体装置的制造工序图。

[0048] 图4是表示栅电压(Gate Voltage)与漏电流(Drain Current)的关系的图表。

[0049] 图5是表示试样1,2中的栅绝缘膜上产生的电场(栅极氧化层电场, Gate Oxide Field)的强度与场效应迁移率(Field Effect Mobility)的关系的图表。

[0050] 图6是表示试样1的场效应迁移率的温度依赖性的图表。

[0051] 图7是表示试样2的场效应迁移率的温度依赖性的图表。

[0052] 图8是表示在调查图6,7所示的温度依赖性时的各温度与各温度中的场效应迁移率的极大值的关系的图表。

[0053] 图9是表示试样1,3中的栅电压(Gate Voltage)与漏电流(Drain Current)的关系

的图表。

[0054] 图10是表示栅绝缘膜上产生的电场(栅极氧化层电场, Gate Oxide Field)的强度与场效应迁移率(Field Effect Mobility)的关系的图表。

[0055] 图11是表示常温下的AlON/SiO₂层叠栅绝缘膜以及SiO₂单层栅绝缘膜的电场强度-泄漏电流特性(栅绝缘膜上产生的电场(Oxide Field)的强度与泄漏电流密度(栅电流密度, Gate Current Density)的关系)的图表。

[0056] 图12是表示高温下的AlON/SiO₂层叠栅绝缘膜以及SiO₂单层栅绝缘膜的电场强度-泄漏电流特性(栅绝缘膜上产生的电场(Oxide Field)的强度与泄漏电流密度(栅电流密度, Gate Current Density)的关系)的图表。

[0057] 图13是表示采用了AlON/SiO₂层叠栅绝缘膜的SiC-MIS构造以及采用了SiO₂单层栅绝缘膜的SiC-MOS构造的界面态密度的评价结果的图表。

[0058] 图14是本发明的第2实施方式所涉及的半导体装置的示意性俯视图。

[0059] 图15是图14所示的切断线A-A中的半导体装置的示意性剖面图。

[0060] 图16是图15所示的源区域以及沟道区域的附近的示意性放大剖面图。

[0061] 图17是以图解的方式表示SiC基板与SiO₂膜的界面的构造的剖面图。

[0062] 图18A是表示半导体装置的制造工序的示意性剖面图。

[0063] 图18B是表示图18A的下一工序的示意性剖面图。

[0064] 图18C是表示图18B的下一工序的示意性剖面图。

[0065] 图18D是表示图18C的下一工序的示意性剖面图。

[0066] 图18E是表示图18D的下一工序的示意性剖面图。

[0067] 图18F是表示图18E的下一工序的示意性剖面图。

[0068] 图18G是表示图18F的下一工序的示意性剖面图。

[0069] 图18H是表示图18G的下一工序的示意性剖面图。

[0070] 图18I是表示图18H的下一工序的示意性剖面图。

[0071] 图18J是表示图18I的下一工序的示意性剖面图。

[0072] 图18K是表示图18J的下一工序的示意性剖面图。

[0073] 图19是栅绝缘膜的制造工序图。

[0074] 图20是变形例所涉及的半导体装置的示意性剖面图。

[0075] 图21是其他变形例所涉及的半导体装置的示意性剖面图。

[0076] 图22是图21所示的源区域以及沟道区域的附近的示意性放大剖面图。

[0077] 图23是表示栅电压(Gate Voltage)与漏电流(Drain Current)的关系的图表。

[0078] 图24是表示试样101, 102中的栅绝缘膜上产生的电场(栅极氧化层电场, Gate Oxide Field)的强度与场效应迁移率(Field Effect Mobility)的关系的图表。

[0079] 图25是表示试样101的场效应迁移率的温度依赖性的图表。

[0080] 图26是表示试样102的场效应迁移率的温度依赖性的图表。

[0081] 图27是表示在调查图25, 26所示的温度依赖性时的各温度与各温度中的场效应迁移率的极大值的关系的图表。

[0082] 图28是表示试样101, 103中的栅电压(Gate Voltage)与漏电流(Drain Current)的关系的图表。

- [0083] 图29是表示栅绝缘膜上产生的电场(栅极氧化层电场, Gate Oxide Field)的强度与场效应迁移率(Field Effect Mobility)的关系的图表。
- [0084] 图30是使用了SiC的参考例所涉及的半导体装置的示意性剖面图。
- [0085] 图31是图30所示的源区域以及沟道区域的附近的示意性放大剖面图。
- [0086] 图32是本发明的第3实施方式所涉及的半导体装置的示意性剖面图。
- [0087] 图33是栅绝缘膜的制造工序图。
- [0088] 图34是表示采用了AlON/SiO₂/SiO_xN_y层叠栅绝缘膜的SiC-MIS构造以及采用了AlON/SiO₂层叠栅绝缘膜的SiC-MOS构造的界面态密度的图表。
- [0089] 图35是栅绝缘膜的其他制造工序图。
- [0090] 图36是变形例所涉及的半导体装置的示意性剖面图。
- [0091] 图37是其他变形例所涉及的半导体装置的示意性剖面图。
- [0092] 图38是本发明的第4实施方式所涉及的半导体装置的示意性俯视图。
- [0093] 图39是图38所示的切断线B-B中的半导体装置的示意性剖面图。
- [0094] 图40是图39所示的源区域以及沟道区域的附近的示意性放大剖面图。
- [0095] 图41A是表示半导体装置的制造工序的示意性剖面图。
- [0096] 图41B是表示图41A的下一工序的示意性剖面图。
- [0097] 图41C是表示图41B的下一工序的示意性剖面图。
- [0098] 图41D是表示图41C的下一工序的示意性剖面图。
- [0099] 图41E是表示图41D的下一工序的示意性剖面图。
- [0100] 图41F是表示图41E的下一工序的示意性剖面图。
- [0101] 图41G是表示图41F的下一工序的示意性剖面图。
- [0102] 图41H是表示图41G的下一工序的示意性剖面图。
- [0103] 图41I是表示图41H的下一工序的示意性剖面图。
- [0104] 图41J是表示图41I的下一工序的示意性剖面图。
- [0105] 图41K是表示图41J的下一工序的示意性剖面图。
- [0106] 图42是栅绝缘膜的制造工序图。
- [0107] 图43是表示采用了AlON/SiO₂/SiO_xN_y层叠栅绝缘膜的SiC-MIS构造以及采用了AlON/SiO₂层叠栅绝缘膜的SiC-MOS构造的界面态密度的图表。
- [0108] 图44是栅绝缘膜的其他制造工序图。
- [0109] 图45是变形例所涉及的半导体装置的示意性剖面图。
- [0110] 图46是其他变形例所涉及的半导体装置的示意性剖面图。
- [0111] 图47是图46所示的源区域以及沟道区域的附近的示意性放大剖面图。
- [0112] 图48是另外其他变形例所涉及的半导体装置的示意性剖面图。
- [0113] 图49是本发明的第5实施方式所涉及的半导体装置的示意性俯视图。
- [0114] 图50是图49所示的切断线C-C中的半导体装置的示意性剖面图。
- [0115] 图51是图50所示的源区域以及沟道区域的附近的示意性放大剖面图。
- [0116] 图52A是表示半导体装置的制造工序的示意性剖面图。
- [0117] 图52B是表示图52A的下一工序的示意性剖面图。
- [0118] 图52C是表示图52B的下一工序的示意性剖面图。

- [0119] 图52D是表示图52C的下一工序的示意性剖面图。
- [0120] 图52E是表示图52D的下一工序的示意性剖面图。
- [0121] 图52F是表示图52E的下一工序的示意性剖面图。
- [0122] 图52G是表示图52F的下一工序的示意性剖面图。
- [0123] 图52H是表示图52G的下一工序的示意性剖面图。
- [0124] 图52I是表示图52H的下一工序的示意性剖面图。
- [0125] 图52J是表示图52I的下一工序的示意性剖面图。
- [0126] 图52K是表示图52J的下一工序的示意性剖面图。
- [0127] 图53是变形例所涉及的半导体装置的示意性剖面图。
- [0128] 图54是其他变形例所涉及的半导体装置的示意性剖面图。
- [0129] 图55是图54所示的源区域以及沟道区域的附近的示意性放大剖面图。

具体实施方式

[0130] <第1实施方式>

[0131] 图1是本发明的第1实施方式所涉及的半导体装置的示意性剖面图。

[0132] 半导体装置1具有由掺杂了N型杂质的SiC(碳化硅)构成的SiC基板2。

[0133] 在SiC基板2的表层部形成有P型的阱区域3。

[0134] 在阱区域3的表层部形成有与SiC基板2相比以高浓度来掺杂N型杂质的N⁺型的源区域4以及漏区域5。源区域4以及漏区域5分别与阱区域3的周缘部之间隔开间隔、且彼此隔开间隔地形成。

[0135] 另外,在阱区域3的表层部形成有与阱区域3相比以高浓度来掺杂了P型杂质的P⁺型的接触区域6。接触区域6相对于源区域4在与漏区域5侧的相反侧相邻地形成。

[0136] 在源区域4与漏区域5之间的区域(沟道区域)上形成有栅绝缘膜7。更具体而言,栅绝缘膜7与在源区域4和漏区域5之间的区域对置,并且横跨在源区域4的周缘部和漏区域5的周缘部。栅绝缘膜7具有AlON/SiO₂层叠构造,该AlON/SiO₂层叠构造包含:由包含N(氮)的SiO₂(氧化硅)构成的比较薄的SiO₂膜8;和由AlON(氮氧化铝)构成且在SiO₂膜8上形成的AlON膜9。SiO₂膜8的厚度是1~20nm。AlON膜9的厚度是30~100μm。

[0137] 在栅绝缘膜7上形成有在俯视时与栅绝缘膜7相同形状的栅电极10。栅电极10由包含Al(铝)的金属材料构成。

[0138] 在源区域4以及接触区域6上形成有源电极11。源电极11相对于源区域4以及接触区域6的表面横跨且与这些部分接触。源电极11由包含Al的金属材料构成。

[0139] 在漏区域5上形成有漏电极12。漏电极12与漏区域5的表面接触。漏电极12由包含Al的金属材料构成。

[0140] 据此,半导体装置1具有N沟道MISFET(Negative-channel Metal Insulator Semiconductor Field Effect Transistor)。在源电极11被接地、且向漏电极12施加正电压的状态下,向栅电极10施加阈值以上的电压,由此在阱区域3中的与栅绝缘膜的界面附近的沟道区域形成沟道,并且电流从漏电极12朝向源电极11流动。

[0141] 另外,在半导体装置1中,在SiC基板2的阱区域3外的区域上选择性地形成电容膜13。电容膜13具有AlON/SiO₂层叠构造,该AlON/SiO₂层叠构造包含:由包含N的SiO₂构成的

SiO₂膜14;和由AlON构成且在SiO₂膜14上形成的AlON膜15。SiO₂膜14以及AlON膜15的厚度,分别与SiO₂膜8以及AlON膜9的厚度相同。

[0142] 在电容膜13上形成有在俯视时与电容膜13相同形状的电容器电极16。电容器电极16由与栅电极10相同材料构成,具有与栅电极10相同厚度。

[0143] 据此,半导体装置1具有MIS电容器。

[0144] 图2是以图解的方式表示SiC基板与SiO₂膜的界面的构造的剖面图。

[0145] 在SiC基板2与SiO₂膜8,14的界面上存在的C(碳)原子以及Si(硅)原子的不饱和键(dangling-bond),很少或几乎不存在,并且H(氢)原子键合在存在于SiC基板2与SiO₂膜8、14的界面上的C原子以及Si原子。也即,使SiC基板2与SiO₂膜8、14的界面氢终端。

[0146] 图3是半导体装置的制造工序图。

[0147] 在半导体装置1的制造时,依次进行SiO₂膜形成工序(S1)、氮等离子体照射工序(S2)、FGA(Forming Gas Annealing)工序(S3)、AlON膜形成工序(S4)以及PDA(Post Deposition Annealing)工序(S5)。

[0148] 在SiO₂膜形成工序(S1)中,通过使用了包含N₂O(氮氧化物)的气体的热氧化法,在SiC基板2上形成由包含N的SiO₂构成的SiO₂膜。

[0149] 在氮等离子体照射工序(S2)中,向SiO₂膜照射氮等离子体。将氮等离子体例如在SiC基板2加热到500℃的状态下持续照射30分钟。另外,此时的气压以及RF输出,例如分别为7.5Torr以及50W。向SiO₂膜照射氮等离子体,由此在SiC基板2与SiO₂膜的界面中,切断Si-O-C键以及C-C簇(cluster),并且产生C原子以及Si原子的不饱和键。

[0150] 在FGA工序(S3)中,在包含3%的H₂(氢气)和97%的N₂(氮气)的合成(forming)气体中,对SiC基板2以及SiO₂膜进行退火。例如在1000℃的温度下的退火进行30分钟之后、在450℃的温度下的退火进行30分钟。据此,H原子良好地导入到SiO₂膜中,并且减少SiC基板2与SiO₂膜的界面上存在的C原子以及Si原子的不饱和键。

[0151] 在AlON膜形成工序(S4)中,通过使用了N₂以及O₂(氧气)的混合气体以及Al靶(target)的反应性溅射法,在SiO₂膜上形成AlON膜。

[0152] 在PDA工序(S5)中,在N₂中对AlON膜进行退火。该退火,例如在900℃的温度下进行30分钟。据此,提升AlON膜的结晶化度,并且提高AlON膜的膜质。

[0153] 此后,在AlON膜上形成栅电极10以及电容器电极16。例如使用掩膜(mask),在AlON膜的表面选择性地蒸镀栅电极的材料(Al),由此形成栅电极10以及电容器电极16。而且,通过光刻法以及蚀刻法,除去AlON膜以及SiO₂膜露出的部分(未与栅电极10以及电容器电极16对置的部分),并且将AlON膜以及SiO₂膜分别加工成AlON膜9,15以及SiO₂膜8,14。此后,如果形成源电极11以及漏电极12,则可得到图1所示的半导体装置1。

[0154] 在SiC基板2上形成有SiO₂膜的原样状态下,在SiC基板2与SiO₂膜的界面,存在C原子以及Si原子的不饱和键。因此,在SiO₂膜的形成后,在包含H₂的合成气体中对SiC基板2以及SiO₂膜进行退火。据此,H原子键合在C原子以及Si原子的不饱和键,并且使SiC基板2与SiO₂膜的界面氢终端化。其结果,减少SiC基板2与SiO₂膜的界面的缺陷(界面态密度),并且改善该界面的状态。

[0155] 在SiC基板2以及SiO₂膜的退火后,在SiO₂膜上形成AlON膜。在SiO₂膜上存在AlON膜,由此防止来自SiC基板2以及SiO₂膜的夺氢。因此,维持通过氢终端化来改善的SiC基板2

与SiO₂膜的界面的状态。

[0156] 从而,能够改善SiC基板2与SiO₂膜的界面的状态并且能够维持该改善的状态。

[0157] 从而,在通过图3所示的制造方法制造的半导体装置1中,使SiC基板2与SiO₂膜8,14的界面氢终端。因此,半导体装置1与在SiC基板与SiO₂膜的界面具有多个不饱和键的构造相比,界面态密度低,能够发挥较高的沟道迁移率。

[0158] 另外,在由SiO₂膜8以及AlON膜9构成的栅绝缘膜7中,与仅由SiO₂膜构成的栅绝缘膜相比,增大AlON膜9的厚度,由此能够确保同等以上的电气特性的同时,降低泄漏电流。从而,在半导体装置1中,与采用了仅由SiO₂膜构成的栅绝缘膜的构造相比,栅绝缘膜7的可靠性高。

[0159] 另外,在AlON膜9上形成的栅电极10,由包含Al的金属材料构成。据此,与栅电极10由多晶硅构成的构造相比,能够实现MISFET的动作速度的提高以及耗电的降低。

[0160] 另外,在半导体装置1的制造工序中,在形成AlON膜后,对AlON膜进行退火。据此,能够提升AlON膜的结晶化度,并且能够提高AlON膜的膜质。

[0161] 再有,在SiC基板2以及SiO₂膜的退火之前,向SiO₂膜照射氮等离子体。据此,在SiC基板2与SiO₂膜的界面中,切断Si-O-C键以及C-C簇,并且能够产生碳原子以及硅原子的不饱和键。而且,在照射氮等离子体后进行SiC基板2以及SiO₂膜的退火,由此能够使H原子容易地键合在存在于SiC基板2与SiO₂膜的界面上的C原子以及Si原子的不饱和键。其结果,能够使SiC基板2与SiO₂膜的界面良好地氢终端化。

[0162] 另外,SiO₂膜通过使用了包含氮氧化物(N₂O)的气体的热氧化法来形成。据此,能够在SiO₂膜中导入N原子,并且能够提高SiO₂膜的相对介电常数。其结果,能够进一步降低泄漏电流。

[0163] (特性评价)

[0164] 通过图3所示的制造方法制作了具有图1所示的构造的MISFET的试样1(AlON/SiO₂)。在该试样1中,SiO₂膜8的厚度是10nm,AlON膜9的厚度是65nm。

[0165] 另外,制作了具有在SiC基板上夹着由SiO₂的单层构成的栅绝缘膜而层叠了栅电极的构造的MOSFET的试样2(SiO₂)。在该试样2中,栅绝缘膜的厚度是40nm。

[0166] 1.漏电流

[0167] 图4是表示试样1,2的栅电压(Gate Voltage)与漏电流(Drain Current)的关系的图表。

[0168] 针对试样1,2的每一个,调查了使栅电压发生变化时的漏电流的大小。

[0169] 在图4中,以曲线C1示出试样1中的栅电压与漏电流的关系,并且以曲线C2示出试样2中的栅电压与漏电流的关系。

[0170] 2.场效应迁移率

[0171] 图5是表示栅绝缘膜上产生的电场(栅极氧化层电场, Gate Oxide Field)的强度与场效应迁移率(Field Effect Mobility)的关系的图表。

[0172] 针对试样1,2的每一个,调查了使栅绝缘膜上产生的电场发生变化时的场效应迁移率的大小。

[0173] 在图5中,以曲线C3示出试样1中的栅绝缘膜7上产生的电场的强度与场效应迁移率的关系,并且以曲线C4示出试样2中的栅绝缘膜上产生的电场的强度与场效应迁移率的

关系。

[0174] 由图4,5所示的曲线C1~C4可理解,试样1,2的晶体管动作特性大致相同。而且,由于即使在采用了由SiO₂膜8以及AlON膜9构成的栅绝缘膜7的MISFET中,场效应迁移率也与采用了由SiO₂的单层构成的栅绝缘膜的MOSFET大致相同,因此可认为不会发生在SiO₂膜8上层叠AlON膜9而产生的界面态密度的增加。

[0175] 从而,在本申请发明者在之前实施的界面态密度的评价(参照图13)中,可认为采用了AlON/SiO₂层叠栅绝缘膜的SiC-MIS构造的界面态密度与采用了SiO₂单层栅绝缘膜的SiC-MOS构造的界面态密度相比增加的原因是,反映了对晶体管动作特性不会带来影响的缺陷(例如AlON/SiO₂界面的缺陷)的结果。该评价是指,具体而言,通过High-Low法来计算出采用了AlON/SiO₂层叠栅绝缘膜的SiC-MIS构造以及采用了SiO₂单层栅绝缘膜的SiC-MOS构造的各界面态密度,并且对这些进行比较的评价。

[0176] 3. 温度特性

[0177] 图6是表示试样1的场效应迁移率的温度依赖性的图表。图7是表示试样2的场效应迁移率的温度依赖性的图表。图8是表示在调查图6,7所示的温度依赖性时的各温度与各温度中的场效应迁移率的极大值的关系的图表。在图6,7所示的图表中,横轴是栅绝缘膜上产生的电场的强度,纵轴是场效应迁移率。

[0178] 针对试样1,2的每一个,将SiC基板的温度设为110K、150K、200K、250K、300K、400K、500K以及600K,并调查了各温度中的栅绝缘膜上产生的电场的强度与场效应迁移率的关系。在图6中,分别以曲线C5,C6,C7,C8,C9,C10,C11,C12示出SiC基板的温度为110K、150K、200K、250K、300K、400K、500K以及600K时的关系。在图7中,分别以曲线C13,C14,C15,C16,C17,C18,C19,C20示出SiC基板的温度为110K、150K、200K、250K、300K、400K、500K以及600K时的关系。在图8中,以曲线C21示出试样1中的各温度中的栅绝缘膜7上产生的电场的强度与场效应迁移率的关系,并且以曲线C22示出试样2中的各温度中的栅绝缘膜上产生的电场的强度与场效应迁移率的关系。

[0179] 通过对图8所示的曲线C21,C22进行比较,可理解:试样1的各温度下的场效应迁移率的极大值,与试样2的各温度下的场效应迁移率的极大值相比稍微降低,但是试样1的场效应迁移率的温度依赖性,比试样2的场效应迁移率的温度依赖性小。

[0180] 另外,通过对图6所示的曲线C12与图7所示的曲线C20进行比较,可理解:在高温下在栅绝缘膜形成高电场(2MV/cm以上的电场)的条件下,试样1的场效应迁移率比试样2的场效应迁移率大。从而,具有试样1、也就是图1所示的构造的MISFET的半导体装置1,适合作为在栅绝缘膜7上产生3~4MV/cm的电场的条件下动作的功率设备。

[0181] 再有,通过从图3所示的制造工序中省略氮等离子体照射工序(S2)以及FGA工序(S3)的方法,制作了具有图1所示的构造的MISFET的试样3。在该试样3中,SiO₂膜8的厚度是10nm,AlON膜9的厚度是65nm。

[0182] 4. 漏电流

[0183] 图9是表示试样1,3中的栅电压(Gate Voltage)与漏电流(Drain Current)的关系的图表。

[0184] 针对试样1,3的每一个,调查了使栅电压发生变化时的漏电流的大小。

[0185] 在图9中,以曲线C23示出试样1中的栅电压与漏电流的关系,并且以曲线C24示出

试样3中的栅电压与漏电流的关系。

[0186] 通过对图9所示的曲线C23,24进行比较,可理解:以试样1获得的漏电流比以试样3获得的漏电流大。从而,可认为氮等离子体照射工序(S2)以及FGA工序(S3)对漏电流的增大化有效。

[0187] 5.场效应迁移率

[0188] 图10是表示栅绝缘膜上产生的电场(栅极氧化层电场, Gate Oxide Field)的强度与场效应迁移率(Field Effect Mobility)的关系的图表。

[0189] 针对试样1,3的每一个,调查了使栅绝缘膜上产生的电场发生变化时的场效应迁移率的大小。

[0190] 在图10中,以曲线C26示出试样1中的栅绝缘膜7上产生的电场的强度与场效应迁移率的关系,并且以曲线C25示出试样3中的栅绝缘膜7上产生的电场的强度与场效应迁移率的关系。

[0191] 通过对图10所示的曲线C25,C26进行比较,可理解:试样1的场效应迁移率比试样3的场效应迁移率大。从而,可认为氮等离子体照射工序(S2)以及FGA工序(S3)作为改善SiC基板2与SiO₂膜8,14的界面的状态的方法而有效。

[0192] 此外,在前述的实施方式中,作为例子举出了具有横型MISFET的构造,但是本发明还能够适用于具有纵型MISFET的构造。

[0193] <第2实施方式>

[0194] 图30是在完成本发明的第2实施方式的过程中发明者研究的参考例所涉及的半导体装置的示意性剖面图。

[0195] 半导体装置201,具有N型SiC基板202。在N型SiC基板202上通过外延生长形成N型SiC层203。

[0196] 在N型SiC层203的表层部选择性地形成有P型的阱区域204。在阱区域204的表层部,将N⁺型的源区域205与阱区域204的周缘隔开间隔地形成。

[0197] 在各源区域205的内侧,形成有与阱区域204相比以高浓度来掺杂了P型杂质的P⁺型的接触区域206。将各接触区域206在深度方向上贯穿源区域205地形成。

[0198] 在N型SiC基板202上形成有由氧化硅(SiO₂)构成的栅氧化膜207。

[0199] 在栅氧化膜207上形成有由N型多晶硅(N型Poly-Si)构成的栅电极208。栅电极208,与在阱区域204的周缘和源区域205的周缘之间的区域(沟道区域)对置。

[0200] 而且,在N型SiC层203上层叠有由氧化硅构成的层间绝缘膜209。

[0201] 在层间绝缘膜209,在与各接触区域206对置的位置上形成有接触孔210。各接触孔210,贯穿了栅氧化膜207。在各接触孔210内,接触区域206的整个区域以及源区域205中的接触区域206的周围的部分处于相面对(临んでいる)的状态。

[0202] 在层间绝缘膜209上形成有由将铝(Al)作为主成分来包含的金属材料构成的源金属211。源金属211,进入到形成在层间绝缘膜209的各接触孔210,并且与源区域205以及接触区域206连接。

[0203] 在N型SiC基板202的背面,从N型SiC基板202侧依次形成有由镍(Ni)等构成的电阻性金属(ohmic metal)212、以及由将铝作为主成分来包含的金属材料构成的漏金属(drain metal)213。

[0204] 在源金属211被接地、并且向漏金属213施加适当的正电压的状态下,对栅电极208的电位(栅电压)进行控制,由此在阱区域204中的与栅氧化膜207的界面附近形成沟道,并且电流在源金属211与漏金属213之间流动。

[0205] 在半导体装置201的制造工序中,在向用于形成源区域205的阱区域204注入N型杂质之后,进行用于使该N型杂质活性化的退火。退火后,从包含阱区域204以及源区域205的上表面的N型SiC层203的上表面除去退火时形成的氧化膜。另外,在形成栅氧化膜207前,为了使N型SiC层203的上表面的状态良好,有时在N型SiC层203的上表面通过热氧化法形成牺牲氧化膜,并且进行除去该牺牲氧化膜的处理。

[0206] 源区域205,与N型SiC层203以及阱区域204相比,以高浓度来包含杂质。因此,在退火时和热氧化时,在源区域205的上表面,氧化膜的生长比N型SiC层203以及阱区域204的上表面以更高速率进行。其结果,如图31中放大示出源区域205的周缘部附近那样,在除去氧化膜之后,形成源区域205的上表面比阱区域204的上表面低一台阶的阶梯。

[0207] 如果形成这样的阶梯,则从源区域205经由沟道区域朝向漏金属213流动的电子(e^-),从源区域205移动到阱区域204,并且朝向阱区域204的上表面上升之后、沿着阱区域204的上表面移动。也即,沟道区域中的电子的流动,不是直线,而是按照在朝向阱区域204的上表面之后、沿着阱区域204的上表面的方式弯曲的路径。因此,沟道电阻增大的程度与电子朝向阱区域204的上表面流动的路径部分对应。

[0208] 因此,第2实施方式提供一种能够使沟道区域中的载流子的移动路径接近于直线,由此能够降低沟道电阻的半导体装置。

[0209] 图14是本发明的第2实施方式所涉及的半导体装置的示意性俯视图。图15是图14所示的切断线A-A中的半导体装置的示意性剖面图。此外,在图15中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。图16是图15所示的源区域的第1区域以及沟道区域的附近的示意性放大剖面图。

[0210] 半导体装置101,如图14所示,具有俯视四角形状(大致正方形形状)的外形。

[0211] 半导体装置101,如图15所示,具有半导体基板102。半导体基板102,由掺杂了N型杂质的SiC(N型SiC)构成。在半导体基板102上通过外延生长形成半导体层103。也即,半导体层103是由N型SiC构成的外延层。

[0212] 在半导体层103的表层部形成有多个P型的阱区域104。多个阱区域104,呈俯视四角形状(大致正方形形状),并且以矩阵状排列。阱区域104的深度例如为 $0.5\sim 2\mu\text{m}$ 。而且,阱区域104具有例如从其上表面开始的深度为 $0.5\mu\text{m}$ 以下的部分的P型杂质浓度是 $1\times 10^{16}\sim 1\times 10^{19}\text{cm}^{-3}$ 的杂质浓度分布。

[0213] 在各阱区域104的表层部,将N型的源区域105与阱区域104的周缘隔开间隔地形成。源区域105的深度例如为 $0.2\sim 1\mu\text{m}$ 。

[0214] 在源区域105中,在俯视时从其周缘起给定宽度(例如 $0.2\mu\text{m}$)的第1区域105A,其N型杂质浓度比剩余的第2区域(第1区域105A的内侧的区域)105B的N型杂质浓度低1~3位数。也即,源区域105具有:N型杂质浓度相对高的N⁺型的第2区域105B;和呈包围第2区域105B的环状且N型杂质浓度相对低的N型的第1区域105A。而且,第1区域105A具有例如从其上表面开始的深度为 $0.2\mu\text{m}$ 以下的部分的N型杂质浓度是 $5\times 10^{17}\sim 5\times 10^{19}\text{cm}^{-3}$ 的杂质浓度分布。第2区域105B具有例如从其上表面开始的深度为 $0.2\mu\text{m}$ 以下的部分的N型杂质浓度是5

$\times 10^{19} \sim 5 \times 10^{20} \text{cm}^{-3}$ 的杂质浓度分布。

[0215] 在第1区域105A的上表面与第2区域105B的上表面之间,形成有第2区域105B的上表面比第1区域105A的上表面低一台阶的阶梯S(参照图16)。阶梯S的大小例如为 $0.2\mu\text{m}$ 。在第1区域105A的上表面与阱区域104(沟道区域C)的上表面之间没有形成较大的阶梯,而这些面构成大致同一面。

[0216] 在各源区域105的第2区域105B的中央,形成有与阱区域104相比以高浓度来掺杂了P型杂质的P⁺型的接触区域106。各接触区域106在深度方向上贯穿第2区域105地形成,并且最深部到达在源区域105的下方存在的阱区域104。

[0217] 在半导体层103上形成有栅绝缘膜107。栅绝缘膜107具有Al₂O₃/SiO₂层叠构造,该Al₂O₃/SiO₂层叠构造包含:由包含N(氮)的SiO₂(氧化硅)构成的比较薄的SiO₂膜107A;和由Al₂O₃(氮氧化铝)构成且在SiO₂膜107A上形成的Al₂O₃膜107B。SiO₂膜107A的厚度是1~20nm。Al₂O₃膜107B的厚度是30~100 μm 。

[0218] 图17是以图解的方式表示SiC基板与SiO₂膜的界面的构造的剖面图。

[0219] 在半导体层103与SiO₂膜107A的界面上存在的C(碳)原子以及Si(硅)原子的不饱和键,很少或几乎不存在,并且H(氢)原子键合在半导体层103与SiO₂膜107A的界面上存在的C原子以及Si原子。也即,使半导体层103与SiO₂膜107A的界面氢终端。

[0220] 如图15所示,在栅绝缘膜107(Al₂O₃膜107B)上形成有栅电极108。栅电极108,夹着栅绝缘膜107,与在各阱区域104之间的半导体层103、在各阱区域104的周缘与其内侧的源区域105的周缘之间的沟道区域C以及源区域105的第1区域105A的一部分对置。栅电极108,作为整体,如图14所示,形成为俯视格子状。据此,半导体装置101具有平面栅型MIS构造。栅电极108,由掺杂了N型杂质或P型杂质的多晶硅、或包含Al(铝)的金属材料构成。

[0221] 此外,在图14中,透过后面叙述的层间绝缘膜109以及源金属111示出了栅电极108。

[0222] 而且,在半导体层103上,如图15所示,形成有层间绝缘膜109。利用层间绝缘膜109,一起覆盖半导体层103的上表面与栅电极108。层间绝缘膜109例如由氧化硅构成。

[0223] 在层间绝缘膜109,在与各接触区域106对置的位置上形成有接触孔110。各接触孔110贯穿栅绝缘膜107,在各接触孔110内,接触区域106的整个区域以及源区域105中的接触区域106的周围的部分处于相面对的状态。

[0224] 在层间绝缘膜109上形成有源金属111。源金属111,进入到形成在层间绝缘膜109的各接触孔110,并且与源区域105以及接触区域106连接。源金属111,例如由将铝(Al)作为主成分来包含的金属材料构成。

[0225] 另外,在半导体装置101的沿着一侧缘的部分的中央上,选择性地除去层间绝缘膜109以及源金属111,由此如图14所示,形成有使栅电极108的一部分作为用于与外部连接的栅焊盘112来露出的开口。

[0226] 如图15所示,在半导体基板102的背面的整个面上,从半导体基板102侧依次形成有由镍(Ni)等构成的电阻性金属113、以及由将铝作为主成分来包含的金属材料构成的漏金属114。

[0227] 据此,半导体装置101具有N沟道MISFET(Negative-channel Metal Insulator Semiconductor Field Effect Transistor)。

[0228] 在源金属111被接地、且向漏金属114施加适当的正电压的状态下,对栅电极108的电位(栅电压)进行控制,由此在阱区域104中的与栅绝缘膜107的界面附近的沟道区域C形成沟道,并且电流在源金属111与漏金属114之间流动。

[0229] 如图16所示,在半导体装置101中,源区域105中的与沟道区域C相邻的第1区域105A的N型杂质浓度降低,由此在第1区域105A的上表面与沟道区域C(阱区域104)的上表面之间没有形成较大的阶梯。

[0230] 因此,在源金属111与漏金属114之间流动的电子(e^-),从源区域105沿着第1区域105A的上表面向沟道区域C移动,并且沿着沟道区域C的上表面在沟道区域C移动。也即,沟道区域C中的电子的路径成为沿着沟道区域C的上表面的直线路径。从而,半导体装置101的沟道电阻,比沟道区域中的电子的移动路径成为弯曲的路径的图30的半导体装置的沟道电阻低。

[0231] 图18A~18K是按顺序表示半导体装置的制造工序的示意性剖面图。此外,在图18A~18K中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。图19是栅绝缘膜的制造工序图。

[0232] 在半导体装置101的制造工序中,首先通过CVD(Chemical Vapor Deposition:化学气相生长)法,在半导体层103上形成多晶硅的堆积层。而且,通过光刻法以及蚀刻法,从半导体层103中的要成为阱区域104的部分上选择性地除去该多晶硅的堆积层(未图示)。据此,如图18A所示,在半导体层103上形成由多晶硅构成的掩膜141。此后,通过离子注入法,在半导体层103中的从掩膜141露出的部分中掺杂P型杂质(例如铝)。

[0233] 接着,按照将半导体层103以及掩膜141一并覆盖的方式,形成由氧化硅构成的氧化膜(未图示)。此后,在氧化膜上形成多晶硅的堆积层(未图示)。而且,多晶硅的堆积层将氧化膜作为蚀刻阻挡层(etch stopper)被回蚀(etch back),并且仅仅残留该堆积层中的与掩膜141的侧面相接的给定部分,由此如图18B所示,形成与掩膜141成为一体的掩膜142。接下来,除去从掩膜142露出的氧化膜。而且,通过光刻法,在半导体层103中的要成为接触区域106的部分上形成抗蚀图案(resist pattern)143。此后,通过离子注入法,在半导体层103中的掩膜141,142以及从抗蚀图案143露出的部分中掺杂N型杂质(例如磷(P))。

[0234] 在除去抗蚀图案143之后,按照将半导体层103以及掩膜141,142一并覆盖的方式,再次形成由氧化硅构成的氧化膜(未图示)。此后,在氧化膜上形成多晶硅的堆积层(未图示)。而且,多晶硅的堆积层将氧化膜作为蚀刻阻挡层被回蚀,并且仅仅残留该堆积层中的与掩膜142的侧面相接触的给定部分,由此如图18C所示,形成与掩膜141,142成为一体的掩膜144。接下来,除去从掩膜144露出的氧化膜。而且,通过光刻法,在半导体层103中的要成为接触区域106的部分上形成抗蚀图案145。此后,通过离子注入法,在半导体层103中的掩膜141,142,144以及从抗蚀图案145露出的部分中追加掺杂N型杂质。在掺杂N型杂质后除去掩膜141,142,144以及抗蚀图案145。

[0235] 此外,在图18B,18C所示的工序中,省略抗蚀图案143,145的形成,也可以在半导体层103中的要成为接触区域106的部分中掺杂N型杂质。通过这样,能够省略抗蚀图案143,145的形成所需的光掩膜,能够简化半导体装置101的制造工序。

[0236] 接下来,如图18D所示,在半导体层103上形成抗蚀图案146。抗蚀图案146,仅仅使半导体层103中的要成为接触区域106的部分露出。而且,通过离子注入法,在半导体层103

中的从抗蚀图案146露出的部分中掺杂P型杂质。

[0237] 此后,进行用于使半导体层103中掺杂的P型杂质以及N型杂质活性化的退火,如图18E所示,在半导体层103的表层部形成阱区域104、源区域105(第1区域105A、第2区域105B)以及接触区域106。另外,在退火时,对半导体层103的上表面进行热氧化,由此形成氧化膜147。由于源区域105的第2区域105B以及接触区域106,与半导体层103、阱区域104以及源区域105的第1区域105A相比,杂质浓度高,因此氧化膜147在第2区域105B以及接触区域106上相对较厚地生长。

[0238] 因此,如图18F所示,在除去氧化膜147之后,成为第2区域105B以及接触区域106的上表面比半导体层103、阱区域104以及源区域105的第1区域105A的上表面低一台阶的状态,在第1区域105A与第2区域105B之间形成阶梯S。

[0239] 另外,有下述情况:在除去氧化膜147后,通过热氧化法,在半导体层103、阱区域104、源区域105以及接触区域106的上表面形成牺牲氧化膜,并且除去该牺牲氧化膜,由此改善半导体层103、阱区域104、源区域105以及接触区域106的上表面的状态。在该情况下,在除去牺牲氧化膜后,在第1区域105A与第2区域105B之间形成更大的阶梯S。

[0240] 此后,如图18G所示,在半导体层103、阱区域104、源区域105以及接触区域106的上表面形成栅绝缘膜107。

[0241] 为了形成栅绝缘膜107,如图19所示,依次进行SiO₂膜形成工序(S11)、氮等离子体照射工序(S12)、FGA(Forming Gas Annealing,合成气体退火)工序(S13)、AlON膜形成工序(S14)以及PDA(Post Deposition Annealing)工序(S15)。

[0242] 在SiO₂膜形成工序(S11)中,通过使用了包含N₂O(氮氧化物)的气体的热氧化法,在半导体层103、阱区域104、源区域105以及接触区域106之上形成由包含N的SiO₂构成的SiO₂膜107A。

[0243] 在氮等离子体照射工序(S12)中,氮等离子体照射到SiO₂膜107A。将氮等离子体例如在半导体基板102加热到500℃的状态下持续照射30分钟。另外,此时的气压以及RF输出,例如分别为7.5Torr以及50W。向SiO₂膜107A照射氮等离子体,由此在半导体层103与SiO₂膜107A的界面中,切断Si-O-C键以及C-C簇,并且产生C原子以及Si原子的不饱和键。

[0244] 在FGA工序(S13)中,在包含3%的H₂(氢气)和97%的N₂(氮气)的合成气体中,对半导体基板102(半导体层103)以及SiO₂膜107A进行退火。例如在1000℃的温度下的退火进行30分钟之后、在450℃的温度下的退火进行30分钟。据此,在SiO₂膜107A中良好地导入H原子,并且减少在半导体层103与SiO₂膜107A的界面上存在的C原子以及Si原子的不饱和键。

[0245] 在AlON膜形成工序(S14)中,通过使用了N₂以及O₂(氧气)的混合气体以及Al靶的反应性溅射法,在SiO₂膜107A上形成AlON膜107B。

[0246] 在PDA工序(S15)中,在N₂中对AlON膜107B进行退火。该退火例如在900℃的温度下进行30分钟。据此,提升AlON膜107B的结晶化度,并且提高AlON膜107B的膜质。

[0247] 通过以上方法,如图18G所示那样形成栅绝缘膜107。

[0248] 接下来,如图18H所示,通过CVD法,在栅绝缘膜107(AlON膜107B)上形成多晶硅的堆积层148。

[0249] 接下来,如图18I所示,通过光刻法以及蚀刻法,选择性地除去堆积层148,在栅绝缘膜107上形成由多晶硅构成的栅电极108。这里,也可以在栅绝缘膜107上形成包含Al(铝)

的金属材料的堆积层,并且选择性地除去该堆积层,由此形成由金属材料构成的栅电极108。

[0250] 接下来,如图18J所示,通过CVD法,在栅绝缘膜107以及栅电极108上形成层间绝缘膜109。

[0251] 而且,如图18K所示,通过光刻法以及蚀刻法,形成贯穿层间绝缘膜109以及栅绝缘膜107的接触孔110。

[0252] 此后,通过溅射法,在层间绝缘膜109上形成源金属111。而且,通过光刻法以及蚀刻法,形成栅焊盘112。另外,通过溅射法,在半导体基板102的背面形成电阻性金属113以及漏金属114。通过以上方法,可得到图15所示的半导体装置101。

[0253] 如以上所述,使源区域105中的与沟道区域C相邻的第1区域105A的杂质浓度降低,由此能够较低地抑制第1区域105A的上表面中的氧化膜147的生成的速率(氧化速率)。从而,能够防止在除去该氧化膜147后在第1区域105A的上表面与沟道区域C(阱区域104)的上表面之间形成较大的阶梯。其结果,能够使从源区域105起在沟道区域C移动的电子的路径(移动路径)接近于直线,由此能够达成沟道电阻的降低。

[0254] 由于源区域105中的第1区域105A以外的第2区域105B的杂质浓度,比第1区域105A的杂质浓度高,因此,在第1区域105A的上表面与第2区域105B的上表面之间,形成第2区域105B的上表面比第1区域105A的上表面低一台阶的阶梯S。即使,在第1区域105A的上表面与第2区域105B的上表面之间形成有阶梯S,该阶梯S也不会对沟道区域C中的电子的流动带来影响。从而,使第1区域105A的杂质浓度相对降低,并且使第2区域105B的杂质浓度相对提高,由此不会降低源区域105的载流子浓度,能够降低沟道电阻。

[0255] 另外,关于栅绝缘膜107的制造,在半导体基板102(半导体层103)上形成有SiO₂膜107A的原样状态下,在半导体基板102与SiO₂膜107A的界面,存在C原子以及Si原子的不饱和键。因此,在SiO₂膜107A的形成后,在包含H₂的合成气体中对半导体基板102以及SiO₂膜107A进行退火(图19的FGA工序S13)。据此,使H原子键合在C原子以及Si原子的不饱和键,并且使半导体基板102与SiO₂膜107A的界面氢终端化。其结果,减少半导体基板102与SiO₂膜107A的界面的缺陷(界面态密度),并改善该界面的状态。

[0256] 在半导体基板102以及SiO₂膜107A的退火后,在SiO₂膜107A上形成AlON膜107B(图19的AlON膜形成工序S14)。在SiO₂膜107A上存在AlON膜107B,由此可防止来自半导体基板102以及SiO₂膜107A的夺氢。因此,维持通过氢终端化改善的半导体基板102与SiO₂膜107A的界面的状态。

[0257] 从而,能够改善半导体基板102与SiO₂膜107A的界面的状态并且能够维持该改善的状态。

[0258] 从而,在通过图19所示的制造方法制造栅绝缘膜107的半导体装置101中,使半导体基板102与SiO₂膜107A的界面氢终端。因此,半导体装置101,与在SiC基板与SiO₂膜的界面具有多个不饱和键的构造相比,界面态密度降低,并能够发挥较高的沟道迁移率。

[0259] 另外,在由SiO₂膜107A以及AlON膜107B构成的栅绝缘膜107中,与仅由SiO₂膜构成的栅绝缘膜相比,增大AlON膜107B的厚度,由此能够确保同等以上的电气特性的同时,能够降低泄漏电流。从而,在半导体装置101中,与采用了仅由SiO₂膜构成的栅绝缘膜的构造相比,栅绝缘膜107的可靠性高。

[0260] 另外,在AlON膜107B上形成的栅电极108,也可以由包含Al的金属材料构成。据此,与栅电极108由多晶硅构成的构造相比,能够实现MISFET的动作速度的提高以及耗电的降低。

[0261] 另外,在栅绝缘膜107的制造工序中,在AlON膜107B的形成后,对AlON膜107B进行退火(图19的PDA工序S15)。据此,能够提升AlON膜107B的结晶化度,并且能够提高AlON膜107B的膜质。

[0262] 再有,在半导体基板102以及SiO₂膜107A的退火之前,向SiO₂膜107A照射氮等离子体(图19的氮等离子体照射工序S12)。据此,在半导体基板102与SiO₂膜107A的界面中,能够切断Si-O-C键以及C-C簇,并且产生碳原子以及硅原子的不饱和键。而且,在氮等离子体的照射后进行半导体基板102以及SiO₂膜107A的退火,由此能够使H原子容易地键合在存在于半导体基板102与SiO₂膜107A的界面上的C原子以及Si原子的不饱和键。其结果,能够使半导体基板102与SiO₂膜107A的界面良好地氢终端化。

[0263] 另外,SiO₂膜107A,通过使用了包含氮氧化物(N₂O)的气体的热氧化法来形成。据此,能够在SiO₂膜107A中导入N原子,并且能够提高SiO₂膜107A的相对介电常数。其结果,能够进一步降低泄漏电流。

[0264] 图20是变形例所涉及的半导体装置的示意性剖面图。在图20中,对于相当于图15所示的各部的部分,赋予了与对这些各部赋予的参照符号相同的参照符号。而且,下面针对图20所示的构造,仅仅说明与图15所示的构造的不同点,并且省略赋予了同一参照符号的各部的说明。另外,在图20中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0265] 在图15所示的半导体装置101中,源区域105的第1区域105A的深度与第2区域105B的深度大致相同,相对于此,在图20所示的半导体装置151中,源区域105的第1区域105A的深度比第2区域105B的深度小。如半导体装置151那样即使第1区域105A的深度比第2区域105B的深度小,也能够发挥与图15所示的半导体装置101同样的效果。

[0266] 图21是其他变形例所涉及的半导体装置的示意性剖面图。此外,在图21中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0267] 图15所示的半导体装置101以及图20所示的半导体装置151具有平面栅型MIS构造,相对于此,图21所示的半导体装置161具有沟渠(trench)栅型MIS构造。

[0268] 半导体装置161具有半导体基板162。半导体基板162由掺杂了N型杂质的SiC(N型SiC)构成。在半导体基板162上通过外延生长而形成半导体层163。也即,半导体层163是由N型SiC构成的外延层。

[0269] 半导体层163的基层部维持外延生长后的原样状态,并且形成N型的漏区域164。半导体层163的表层部被掺杂P型杂质,由此被设为P型的阱区域165。

[0270] 在半导体层163,从其表面往下挖掘来形成栅沟渠166。栅沟渠166例如与图14所示的栅电极108同样地形成成为俯视格子状。栅沟渠166,贯穿阱区域165,并且其最深部到达漏区域164。

[0271] 在栅沟渠166的内面形成有栅绝缘膜167。栅绝缘膜167具有AlON/SiO₂层叠构造,该AlON/SiO₂层叠构造包含:由包含N(氮)的SiO₂(氧化硅)构成的比较薄的SiO₂膜167A;和由AlON(氮氧化铝)构成的AlON膜167B。SiO₂膜167A,接触到栅沟渠166的内面,并且AlON膜

167B形成在SiO₂膜167A上。

[0272] 而且,以掺杂了N型杂质或P型杂质的多晶硅来彻底埋设栅绝缘膜167的内侧,由此在栅沟渠166内埋设由该掺杂多晶硅构成的栅电极168。这里,栅电极168也可以由包含Al(铝)的金属材料来形成。

[0273] 在阱区域165的表层部形成有N型的源区域169。源区域169的深度(后面叙述的第1区域169A以及第2区域169B的合计深度)例如为0.5~2 μm 。

[0274] 在源区域169中,该底部的给定深度(例如0.2 μm)的第1区域169A,其N型杂质浓度比剩余的第2区域(第1区域169A上的区域)169B的N型杂质浓度低1~3位数。也即,源区域169具有:N型杂质浓度相对高的N⁺型的第2区域169B;和在第2区域169B的下方形成且N型杂质浓度相对低的N⁻型的第1区域169A。第1区域169A的N型杂质浓度例如为 $5 \times 10^{17} \sim 5 \times 10^{19} \text{cm}^{-3}$,第2区域169B的N型杂质浓度例如为 $5 \times 10^{19} \sim 5 \times 10^{20} \text{cm}^{-3}$ 。

[0275] 因第1区域169A以及第2区域169B的N型杂质浓度之差,在第1区域169A的侧面与第2区域169B的侧面之间,形成有第2区域169B的侧面比第1区域169A的侧面更远离栅电极168的阶梯S。阶梯S的大小例如为0.1 μm 。在第1区域169A的侧面与阱区域165(沟道区域C)的侧面之间没有形成较大的阶梯,而这些面形成大致同一平面。另外,因第1区域169A以及第2区域169B的N型杂质浓度之差,栅绝缘膜167在第2区域169B的侧面上具有相对较大的厚度。

[0276] 另外,在阱区域165的表层部,在由栅沟渠166包围的各区域内,在对于栅沟渠166隔开间隔的位置上,P⁺型的接触区域170在厚度方向上贯穿源区域169地形成。

[0277] 在半导体层163上层叠有层间绝缘膜171。层间绝缘膜171例如由氧化硅构成。

[0278] 在层间绝缘膜171,在与各接触区域170对置的位置上贯穿形成接触孔172。在各接触孔172内,接触区域170的整个区域以及源区域169中的接触区域170的周围的部分处于相面对的状态。

[0279] 在层间绝缘膜171上形成有源金属173。源金属173,进入各接触孔172,并且与源区域169以及接触区域170连接。源金属173例如由将Al作为主成分来包含的金属材料构成。

[0280] 在半导体基板162的背面的整个面上,从半导体基板162侧依次形成有由镍(Ni)等构成的电阻性金属174、以及由将铝作为主成分来包含的金属材料构成的漏金属175。

[0281] 在源金属173被接地、且向漏金属175施加适当的正电压的状态下,对栅电极168的电位(栅电压)进行控制,由此在阱区域165中的与栅绝缘膜167的界面附近的沟道区域C形成沟道,并且电流在源金属173与漏金属175之间流动。

[0282] 图22是图21所示的源区域的第1区域以及沟道区域的附近的示意性放大剖面图。

[0283] 在半导体装置161中,使源区域169中的与沟道区域C相邻的第1区域169A的N型杂质浓度降低,由此在第1区域169A的侧面与沟道区域C(阱区域165)的侧面之间没有形成较大的阶梯。

[0284] 因此,在源金属173与漏金属175之间流动的电子(e⁻),从源区域169沿着第1区域169A的侧面(栅沟渠166的内面)向沟道区域C移动,并且沿着沟道区域C的侧面在沟道区域C移动。也即,沟道区域C中的电子的路径成为沿着沟道区域C的侧面的直线路径。从而,通过半导体装置161的构造,也能够发挥与半导体装置101,151同样的作用效果,并且半导体装置161的沟道电阻比沟道区域中的电子的移动路径成为弯曲路径的现有的半导体装置的沟道电阻低。

[0285] 另外,采取了在半导体基板102,162上层叠半导体层103,163的构造,但是也可以省略半导体层103,163,并在半导体基板102,162的表层部形成阱区域104,165以及源区域105,169等。

[0286] 另外,各部的导电型也可以反转。也即,采取了第1导电型是N型、且第2导电型是P型的情况,但是也可为第1导电型是P型、且第2导电型是N型。

[0287] (特性评价)

[0288] 通过图18~图19所示的制造方法来制作了具有图15所示的构造的MISFET的试样101(A1ON/SiO₂)。在该试样101中,SiO₂膜107A的厚度是10nm,且A1ON膜107B的厚度是65nm。

[0289] 另外,制作了具有在半导体基板102上夹着SiO₂的单层构成的栅绝缘膜而层叠了栅电极的构造的MOSFET的试样102(SiO₂)。在该试样102中,栅绝缘膜的厚度是40nm。

[0290] 1.漏电流

[0291] 图23是表示试样101,102中的栅电压(Gate Voltage)与漏电流(Drain Current)的关系的图表。

[0292] 针对试样101,102的每一个,调查了栅电压发生变化时的漏电流的大小。

[0293] 在图23中,对表示试样101中的栅电压与漏电流的关系的曲线赋予C101,对表示试样102中的栅电压与漏电流的关系的曲线赋予C102。

[0294] 2.场效应迁移率

[0295] 图24是表示栅绝缘膜上产生的电场(栅极氧化层电场, Gate Oxide Field)的强度与场效应迁移率(Field Effect Mobility)的关系的图表。

[0296] 针对试样101,102的每一个,调查了栅绝缘膜上产生的电场发生变化时的场效应迁移率的大小。

[0297] 在图24中,对表示试样101中的栅绝缘膜107上产生的电场的强度与场效应迁移率的关系的曲线赋予C103,对表示试样102中的栅绝缘膜上产生的电场的强度与场效应迁移率的关系的曲线赋予C104。

[0298] 从图23,24所示的曲线C101~C104可理解:试样101,102的晶体管动作特性大致相同。而且,可认为:即使在采用了由SiO₂膜107A以及A1ON膜107B构成的栅绝缘膜107的MISFET中,其场效应迁移率也与采用了由SiO₂的单层构成的栅绝缘膜的MOSFET大致相同,因此不会发生在SiO₂膜107A上层叠A1ON膜107B而产生界面态密度的增加。

[0299] 从而,在本申请发明者在之前实施的界面态密度的评价(参照图13)中,可认为采用了A1ON/SiO₂层叠栅绝缘膜的SiC-MIS构造的界面态密度与采用了SiO₂单层栅绝缘膜的SiC-MOS构造的界面态密度相比增加的原因是,反映了对晶体管动作特性不会带来影响的缺陷(例如A1ON/SiO₂界面的缺陷)的结果。该评价是指,具体而言,通过High-Low法来计算采用了A1ON/SiO₂层叠栅绝缘膜的SiC-MIS构造以及采用了SiO₂单层栅绝缘膜的SiC-MOS构造的各界面态密度,并且对这些进行比较的评价。

[0300] 3.温度特性

[0301] 图25是表示试样101的场效应迁移率的温度依赖性的图表。图26是表示试样102的场效应迁移率的温度依赖性的图表。图27是表示在调查图25,26所示的温度依赖性时的各温度与各温度中的场效应迁移率的极大值的关系的图表。在图25,26所示的图表中,横轴是栅绝缘膜上产生的电场的强度,纵轴是场效应迁移率。

[0302] 这对试样101,102的每一个,将半导体基板(SiC基板)的温度设为110K、150K、200K、250K、300K、400K、500K以及600K,并调查了各温度中的栅绝缘膜上产生的电场的强度与场效应迁移率的关系。在图25中,分别以曲线C105,C106,C107,C108,C109,C110,C111,C112示出SiC基板的温度为110K、150K、200K、250K、300K、400K、500K以及600K时的关系。在图26中,分别以曲线C113,C114,C115,C116,C117,C118,C119,C120示出SiC基板的温度为110K、150K、200K、250K、300K、400K、500K以及600K时的关系。在图27中,以曲线C121示出试样101中的各温度中的栅绝缘膜107上产生的电场的强度与场效应迁移率的关系,并且以曲线C122示出试样102中的各温度中的栅绝缘膜上产生的电场的强度与场效应迁移率的关系。

[0303] 通过对图27所示的曲线C121,C122进行比较,可理解:试样101的各温度下的场效应迁移率的极大值,与试样102的各温度下的场效应迁移率的极大值相比稍微降低,但是试样101的场效应迁移率的温度依赖性,比试样102的场效应迁移率的温度依赖性小。

[0304] 另外,通过对图25所示的曲线C112和图26所示的曲线C120进行比较,可理解:在高温下在栅绝缘膜形成高电场(2MV/cm以上的电场)的条件下,试样101的场效应迁移率比试样102的场效应迁移率大。从而,试样101、也就是具有图15所示的构造的MISFET的半导体装置101,适合作为在栅绝缘膜107上产生3~4MV/cm的电场的条件下动作的功率设备。

[0305] 再有,通过从图19所示的制造工序中省略氮等离子体照射工序(S12)以及FGA工序(S13)的方法,制作了具有图15所示的构造的MISFET的试样103。在该试样103中,SiO₂膜107A的厚度是10nm,AlON膜107B的厚度是65nm。

[0306] 4.漏电流

[0307] 图28表示试样101,103中的栅电压(Gate Voltage)与漏电流(Drain Current)的关系的图表。

[0308] 针对试样101,103的每一个,调查了栅电压发生变化时的漏电流的大小。

[0309] 在图28中,以曲线C123示出试样101中的栅电压与漏电流的关系,并且以曲线C124示出试样103中的栅电压与漏电流的关系。

[0310] 通过对图28所示的曲线C123,C124进行比较,可理解:以试样101获得的漏电流比以试样103获得的漏电流大。从而,可认为氮等离子体照射工序(S12)以及FGA工序(S13)对漏电流的增大化有效。

[0311] 5.场效应迁移率

[0312] 图29是表示栅绝缘膜上产生的电场(栅极氧化层电场, Gate Oxide Field)的强度与场效应迁移率(Field Effect Mobility)的关系的图表。

[0313] 针对试样101,103的每一个,调查了栅绝缘膜107上产生的电场发生变化时的场效应迁移率的大小。

[0314] 在图29中,以曲线C126示出试样101中的栅绝缘膜107上产生的电场的强度与场效应迁移率的关系,并且以曲线C125示出试样103中的栅绝缘膜107上产生的电场的强度与场效应迁移率的关系。

[0315] 通过对图29所示的曲线C125,C126进行比较,可理解:试样101的场效应迁移率比试样103的场效应迁移率大。从而,氮等离子体照射工序(S12)以及FGA工序(S13)作为改善半导体基板102与SiO₂膜107A的界面的状态的方法而有效。

[0316] <第3实施方式>

[0317] 如前述,在使用了SiC的MOSFET(SiC-MOSFET)中,在SiC基板与栅绝缘膜的界面(SiO₂/SiC界面)产生高密度的界面态(界面缺陷)。因此,SiC-MOSFET的沟道迁移率低。

[0318] 通过使由SiO₂构成的栅绝缘膜变薄,能够降低SiO₂/SiC界面中的界面态的密度(界面态密度)。然而,如果使栅绝缘膜变薄,则伴随与此使泄漏电流增加。

[0319] 因此,第3实施方式提供一种能够实现碳化硅层与栅绝缘膜的界面中的界面态密度以及泄漏电流这双方的降低的半导体装置。

[0320] 图32是本发明的第3实施方式所涉及的半导体装置的示意性剖面图。

[0321] 半导体装置301,具有由掺杂了N型杂质的SiC(N型SiC)构成的SiC基板302。在SiC基板302上通过外延生长而形成由N型SiC构成的SiC层303。

[0322] 在SiC层303的表层部形成有多个P型的阱区域304。多个阱区域304,呈俯视四角形状(大致正方形)并且排列为矩阵状。

[0323] 在各阱区域304的表层部,源区域305与阱区域304的周缘隔开间隔地形成。源区域305,与SiC层303相比以高浓度来掺杂N型杂质,由此表示N⁺型的导电型。

[0324] 在各源区域305的中央,形成有接触区域306。接触区域306在深度方向上贯穿源区域305地形成,并且最深部到达在源区域305的下方存在的阱区域304。接触区域306,与阱区域304相比以高浓度来掺杂P型杂质,由此表示P⁺型的导电型。

[0325] 在SiC层303上形成有栅绝缘膜307。栅绝缘膜307,与在各阱区域304之间的SiC层303、在各阱区域304的周缘与该内侧的源区域305的周缘之间的区域(沟道区域)以及源区域305的一部分对置。栅绝缘膜307,作为整体,形成为俯视格子状。

[0326] 栅绝缘膜307具有AlON/SiO₂/SiO_xN_y层叠构造,该AlON/SiO₂/SiO_xN_y层叠构造包含:由SiO_xN_y(氮氧化硅)构成的SiON膜307A;由SiO₂(氧化硅)构成且在SiON膜307A上形成的SiO₂膜307B;和由作为高介电常数(High-k)绝缘材料的AlON(氮氧化铝)构成且在SiO₂膜307B上形成的AlON膜307C。

[0327] SiON膜307A的厚度是1~5nm。SiO₂膜307B的厚度是1~5nm。而且,SiON膜307A以及SiO₂膜307B的合计厚度是2~10nm。AlON膜307C的厚度是10~200nm。各范围中包含该下限值以及上限值。

[0328] 在栅绝缘膜307上形成有栅电极308。据此,半导体装置301,具有平面栅型MIS构造。栅电极308,由将Al(铝)作为主成分来包含的金属材料构成。

[0329] 而且,在SiC层303上形成有层间绝缘膜309。利用层间绝缘膜309,一起覆盖SiC层303的上表面与栅绝缘膜307以及栅电极308。层间绝缘膜309例如由SiO₂构成。

[0330] 在层间绝缘膜309,在与各接触区域306对置的位置上形成有接触孔310。在各接触孔310内,接触区域306的整个区域以及源区域305中的接触区域306的周围的部分处于相对的状态。

[0331] 在层间绝缘膜309上形成有源金属311。源金属311,进入到形成在层间绝缘膜309的各接触孔310,并且与源区域305以及接触区域306连接。源金属311,例如由将Al作为主成分来包含的金属材料构成的。

[0332] 在SiC基板302的背面的整个面上,通过由Ni(镍)等构成的电阻性金属(未图示),形成有由将Al作为主成分来包含的金属材料构成的漏金属312。

[0333] 在源金属311被接地、且向漏金属312施加适当的正电压的状态下,对栅电极308的电位(栅电压)进行控制,由此在阱区域304中的与栅绝缘膜307的界面附近的沟道区域形成沟道,电流在源金属311与漏金属312之间流动。

[0334] 图33是栅绝缘膜的制造工序图。

[0335] 在半导体装置301的制造时,通过外延生长法,在SiC基板302上形成SiC层303。而且,通过包含离子注入法等公知的手法,在SiC层303形成阱区域304、源区域305以及接触区域306。此后,为了形成栅绝缘膜307,依次进行NO_x热氧化工序(S21)、O₂热氧化工序(S22)、FGA(Forming Gas Annealing)工序(S23)、AlON膜形成工序(S24)以及PDA(Post Deposition Annealing)工序(S25)。

[0336] 在NO_x热氧化工序(S21)中,通过使用了包含N₂O(氮氧化物)的气体的热氧化法,在SiC层303上形成由SiO_xN_y构成的SiON膜。

[0337] 在O₂热氧化工序(S22)中,通过使用了O₂的干燥气体的热氧化法,在SiON膜上形成由SiO₂构成的SiO₂膜。

[0338] 在FGA工序(S23)中,在包含3%的H₂(氢气)和97%的N₂(氮气)的合成气体中,对SiO₂膜进行退火。例如在1000℃的温度下的退火进行30分钟之后、在450℃的温度下的退火进行30分钟。据此,在SiO₂膜中良好地导入H原子,并且减少在SiC层303与SiON膜的界面上存在的C原子以及Si原子的不饱和键。

[0339] 在AlON膜形成工序(S24)中,通过使用了N₂以及O₂(氧气)的混合气体以及Al靶的反应性溅射法,在SiO₂膜上形成AlON膜。

[0340] 在PDA工序(S25)中,在N₂中对AlON膜进行退火。该退火,例如在900℃的温度下进行10分钟。据此,提升AlON膜的结晶化度,并且提高AlON膜的膜质。

[0341] 此后,在AlON膜上形成栅电极308。例如使用掩膜,在AlON膜的表面选择性地蒸镀栅电极的材料(Al),由此形成栅电极308。而且,通过光刻法以及蚀刻法,依次除去AlON膜、SiO₂膜以及SiON膜的露出的部分(未与栅电极308对置的部分),并且AlON膜、SiO₂膜以及SiON膜分别加工成AlON膜307C、SiO₂膜307B以及SiON膜307A。此后,如果通过公知的手法,形成层间绝缘膜309、接触孔310、源金属311以及漏金属312,则可得到图32所示的半导体装置301。

[0342] 如以上所述,栅绝缘膜307具有从SiC层303侧起层叠了SiON膜307A、SiO₂膜307B以及AlON膜307C的构造。

[0343] 在SiC层303与SiO₂膜307B之间介入SiON膜307A,由此与栅绝缘膜仅由氧化硅膜构成的构造相比,能够实现SiC层303(SiC)与栅绝缘膜307的界面中的界面态密度D_{it}的降低。而且,通过界面态密度D_{it}的降低,能够实现沟道迁移率的提高。

[0344] 另外,减小SiON膜307A以及SiO₂膜307B的合计厚度,并且增大AlON膜307C的厚度,由此能够抑制SiC层303与栅绝缘膜307的界面中的界面态密度的增大的同时,能够实现栅绝缘膜307的厚度的增大而产生的泄漏电流的降低。

[0345] 从而,能够同时达成界面态密度D_{it}的降低而产生的沟道迁移率的提高以及泄漏电流的降低而产生的栅绝缘膜307的可靠性的提高这双方。

[0346] 另外,栅电极308,由包含Al的金属材料构成。据此,与栅电极308由多晶硅构成的构造相比,能够实现由SiC层303、栅绝缘膜307以及栅电极308等构成的MISFET(平面栅型

MIS构造的场效应晶体管)的动作速度的提高以及耗电的降低。

[0347] (界面态密度)

[0348] 制作了具有图32所示的SiC-MIS构造(在SiC上具有AlON/SiO₂/SiO_xN_y层叠栅绝缘膜的构造)的试样201。在该试样201中, SiON膜307A的厚度是5nm, SiO₂膜307B的厚度是5nm, AlON膜307C的厚度是80nm。

[0349] 另外, 制作了具有采用AlON/SiO₂层叠栅绝缘膜(在SiC上依次层叠了由SiO₂构成的SiO₂膜以及由AlON构成的AlON膜的构造的栅绝缘膜)的SiC-MIS构造的试样202。在该试样202中, SiO₂膜的厚度是10nm, AlON膜的厚度是80nm。

[0350] 而且, 针对试样201, 202的每一个, 对高频CV特性(例如测量频率100kHz)和低频CV特性(准静态CV特性)进行测量, 并且通过High-Low法, 计算出高频测量值与低频测量值的差值作为界面态密度D_{it}。图34表示该结果。在图34中, 横轴是来自栅绝缘膜的价电子端的能量(E_c-E), 纵轴是界面态密度D_{it}。

[0351] 由图34所示的结果可理解: 试样201中的界面态密度D_{it}比试样202的界面态密度D_{it}低。

[0352] 图35是栅绝缘膜的其他制造工序图。

[0353] 图32所示的栅绝缘膜307, 除了包含图33所示的制造工序的手法以外, 能够通过包含图35所示的制造工序的手法来形成。在图35所示的制造工序中, 依次进行氮等离子体照射工序(S31)、O₂热氧化工序(S32)、FGA工序(S33)、AlON膜形成工序(S34)以及PDA工序(S35)。

[0354] 在氮等离子体照射工序(S31)中, 向SiC层303照射氮等离子体。将氮等离子体例如在SiC层303被加热到500°C的状态下持续照射30分钟。另外, 此时的气压以及RF输出, 例如分别为9.5Torr以及50W。据此, 在SiC层303上形成SiON膜。

[0355] 在O₂热氧化工序(S32)中, 通过使用了O₂的干燥气体的热氧化法, 在SiON膜上形成由SiO₂构成的SiO₂膜。

[0356] 在FGA工序(S33)、AlON膜形成工序(S34)以及PDA工序(S35)中, 分别进行与图33所示的FGA工序(S23)、AlON膜形成工序(S24)以及PDA工序(S25)同样的处理。

[0357] 图36是变形例所涉及的半导体装置的示意性剖面图。

[0358] 图32所示的半导体装置301具有平面栅型MIS构造, 相对于此, 图36所示的半导体装置351具有沟渠栅型MIS构造。

[0359] 半导体装置351, 具有由N型SiC构成的SiC基板352。在SiC基板352上通过外延生长而形成由N型SiC构成的SiC层353。

[0360] SiC层353的基层部, 维持外延生长后的原样状态, 并且形成N-型的漏区域354。SiC层353的表层部被掺杂P型杂质, 由此被设为P型的阱区域355。

[0361] 在SiC层353, 从其表面往下挖掘来形成栅沟渠356。栅沟渠356, 例如形成为俯视格子状。栅沟渠356, 贯穿阱区域355, 并且其最深部到达漏区域354。

[0362] 在栅沟渠356的内面, 形成有栅绝缘膜357。栅绝缘膜357的周缘部, 在栅沟渠356外与SiC层353的上表面相接触。栅绝缘膜357具有AlON/SiO₂/SiO_xN_y层叠构造, 该AlON/SiO₂/SiO_xN_y层叠构造包含: 由SiO_xN_y构成的SiON膜357A; 由SiO₂构成且在SiON膜357A上形成的SiO₂膜357B; 和由作为高介电常数绝缘材料的AlON构成且在SiO₂膜357B上形成的AlON膜

357C。

[0363] SiON膜357A的厚度是1~5nm。SiO₂膜357B的厚度是1~5nm。而且, SiON膜357A以及SiO₂膜357B的合计厚度是2~10nm。AlON膜357C的厚度是10~200nm。各范围中包含该下限值以及上限值。

[0364] 而且, 栅绝缘膜357上形成有由将Al作为主成分来包含的金属材料构成的栅电极358。

[0365] 在阱区域355的表层部形成有N型的源区域359。

[0366] 另外, 在阱区域355的表层部, 在由栅沟渠356包围的各区域内, 在对于栅沟渠356隔开间隔的位置上, 接触区域360在厚度方向贯穿源区域359地形成。接触区域360, 与阱区域355相比以高浓度来掺杂P型杂质, 由此表示P⁺型的导电型。

[0367] 在SiC层353上层叠有层间绝缘膜361。层间绝缘膜361, 例如由氧化硅构成。

[0368] 在层间绝缘膜361, 在与各接触区域360对置的位置上贯穿形成接触孔362。在各接触孔362内, 接触区域360的整个区域以及源区域359中的接触区域360的周围的部分处于相面对的状态。

[0369] 在层间绝缘膜361上形成有源金属363。源金属363, 进入到各接触孔362, 并且与源区域359以及接触区域360连接。源金属363, 例如由将Al作为主成分来包含的金属材料构成。

[0370] SiC基板352的背面的整个面上, 通过由Ni等构成的电阻性金属(未图示), 形成有将Al作为主成分来包含的金属材料构成的漏金属364。

[0371] 在源金属363被接地、且向漏金属364施加适当的正电压的状态下, 对栅电极358的电位(栅电压)进行控制, 由此在阱区域355中的栅绝缘膜357的界面附近的沟道区域形成沟道, 并且电流在源金属363与漏金属364之间流动。

[0372] 即使在该半导体装置351中, 也能够发挥与图32所示的半导体装置301同样的作用效果。

[0373] 图37是其他变形例所涉及的半导体装置的示意性剖面图。

[0374] 图32所示的半导体装置301以及图36所示的半导体装置351具有纵型MISFET, 相对于此, 图37所示的半导体装置381具有横型MISFET。

[0375] 半导体装置381, 具有作为由N型SiC构成的碳化硅层的SiC基板382。

[0376] 在SiC基板382的表层部形成有P型的阱区域383。

[0377] 在阱区域383的表层部形成有源区域384以及漏区域385。源区域384以及漏区域385, 分别与阱区域383的周缘部之间隔开间隔、且彼此隔开间隔地形成。源区域384以及漏区域385, 与SiC基板382相比以高浓度来掺杂N型杂质, 由此表示N⁺型的导电型。

[0378] 另外, 在阱区域383的表层部形成有接触区域386。接触区域386, 相对于源区域384在与漏区域385侧的相反侧相邻地形成。接触区域386, 与阱区域383相比以高浓度来掺杂P型杂质, 由此表示P⁺型的导电型。

[0379] 在源区域384与漏区域385之间的区域(沟道区域)上形成有栅绝缘膜387。更具体而言, 栅绝缘膜387, 与在源区域384与漏区域385之间的区域对置, 并且横跨在源区域384的周缘部和漏区域385的周缘部。栅绝缘膜387具有AlON/SiO₂/SiO_xN_y层叠构造, 该AlON/SiO₂/SiO_xN_y层叠构造包含: 由SiO_xN_y构成的SiON膜387A; 由SiO₂构成且在SiON膜387A上形成的

SiO₂膜387B;和由作为高介电常数绝缘材料的AlON构成且在SiO₂膜387B上形成的AlON膜387C。

[0380] SiON膜387A的厚度是1~5nm。SiO₂膜387B的厚度是1~5nm。而且, SiON膜387A以及SiO₂膜387B的合计厚度是2~10nm。AlON膜387C的厚度是10~200nm。各范围中包含该下限值以及上限值。

[0381] 在栅绝缘膜387上形成有在俯视时与栅绝缘膜387相同形状的栅电极388。栅电极388,由包含Al的金属材料构成。

[0382] 在源区域384以及接触区域386上形成有源电极389。源电极389,对于源区域384以及接触区域386的表面横跨且与这些部分接触。源电极389,由包含Al的金属材料构成。

[0383] 在漏区域385上形成有漏电极390。漏电极390,与漏区域385的表面接触。漏电极390由包含Al的金属材料构成。

[0384] 在源电极389被接地、且向漏电极390施加正电压的状态下,向栅电极388施加阈值以上的电压,由此在阱区域383中的栅绝缘膜的界面附近的沟道区域形成沟道,并且电流从漏电极390朝向源电极389流动。

[0385] 即使在该半导体装置381中,也能够发挥与图32所示的半导体装置301同样的作用效果。

[0386] 另外,采取了在SiC基板302,352上层叠SiC层303,353的构造,但是也可以省略SiC层303,353,在SiC基板302,352的表层部形成阱区域304,355以及源区域305,359等。

[0387] 另外,也可以使半导体装置301,351,381的各部的导电型反转。

[0388] 栅电极308,358,388的材料,不限于包含Al的金属材料,也可以是掺杂了N型杂质或P型杂质的多晶硅。

[0389] 作为高介电常数绝缘膜,作为例子示出了AlON膜307C、AlON膜357C以及AlON膜387C,但是高介电常数绝缘膜的材料不限于AlON,也可以是Al₂O₃(氧化铝)、ZrO(氧化锆)、HfO(氧化铪)、AlN(氮化铝)等的高介电常数材料。

[0390] <第4实施方式>

[0391] 第4实施方式提供一种能够使沟道区域中的载流子的移动路径接近于直线,并且能够降低沟道电阻的半导体装置。

[0392] 图38是本发明的第4实施方式所涉及的半导体装置的示意性俯视图。图39是图38所示的切断线B-B中的半导体装置的示意性剖面图。此外,在图39中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0393] 半导体装置401,如图38所示,具有俯视四角形状(大致正方形形状)的外形。

[0394] 半导体装置401,如图39所示,具有半导体基板(SiC基板)402。半导体基板402,由掺杂了N型杂质的SiC(N型SiC)构成。在半导体基板402上通过外延生长而形成半导体层(SiC层)403。也即,半导体层403是由N型SiC构成的外延层。

[0395] 在半导体层403的表层部形成有多个P型的阱区域404。多个阱区域404,呈俯视四角形状(大致正方形形状)并且排列为矩阵状。阱区域404的深度例如为0.5~2μm。而且,阱区域404,具有例如从其上表面开始的深度为0.5μm以下的部分的P型杂质浓度是 $1 \times 10^{16} \sim 1 \times 10^{19} \text{cm}^{-3}$ 的杂质浓度分布。

[0396] 在各阱区域404的表层部,将源区域405与阱区域404的周缘隔开间隔地形成。源区

域405,与半导体层403相比以高浓度来掺杂N型杂质,由此表示N⁺型的导电型。源区域405的深度例如为0.2~1 μm 。

[0397] 在源区域405中,在俯视时从该周缘起给定宽度(例如0.2 μm)的第1区域405A,其N型杂质浓度比剩余的第2区域(第1区域405A的内侧的区域)405B的N型杂质浓度低1~3位数。也即,源区域405具有:N型杂质浓度相对高的N⁺型的第2区域405B;和呈包围第2区域405B的环状且N型杂质浓度相对低的N⁻型的第1区域405A。而且,第1区域405A具有例如从其上表面开始的深度为0.2 μm 以下的部分的N型杂质浓度是 $5 \times 10^{17} \sim 5 \times 10^{19} \text{cm}^{-3}$ 的杂质浓度分布。第2区域405B具有例如从其上表面开始的深度为0.2 μm 以下的部分的N型杂质浓度是 $5 \times 10^{19} \sim 5 \times 10^{20} \text{cm}^{-3}$ 的杂质浓度分布。

[0398] 在第1区域405A的上表面与第2区域405B的上表面之间,形成有第2区域405B的上表面比第1区域405A的上表面低一台阶的阶梯S。阶梯S的大小例如为0.2 μm 。在第1区域405A的上表面与阱区域404(沟道区域C)的上表面之间没有形成较大的阶梯,而这些面形成大致一个面。

[0399] 在各源区域405的第2区域405B的中央,形成有与阱区域404相比以高浓度来掺杂了P型杂质的P⁺型的接触区域406。各接触区域406在深度方向上贯穿第2区域405地形成,并且其最深部到达在源区域405的下方存在的阱区域404。

[0400] 在半导体层403上形成有栅绝缘膜407。栅绝缘膜407,与各阱区域404之间的半导体层403、在各阱区域404的周缘与该内侧的源区域405的周缘之间的区域(沟道区域)以及源区域405的一部分对置。栅绝缘膜407,作为整体,形成为俯视格子状。

[0401] 栅绝缘膜407具有AlON/SiO₂/SiO_xN_y层叠构造,该AlON/SiO₂/SiO_xN_y层叠构造包含:由SiO_xN_y(氮氧化硅)构成的SiON膜407A;由SiO₂(氧化硅)构成且在SiON膜407A上形成的SiO₂膜407B;和由作为高介电常数(High-k)绝缘材料的AlON(氮氧化铝)构成且在SiO₂膜407B上形成的AlON膜407C。

[0402] SiON膜407A的厚度是1~5nm。SiO₂膜407B的厚度是1~5nm。而且,SiON膜407A以及SiO₂膜407B的合计厚度是2~10nm。AlON膜407C的厚度是10~200nm。各范围中包含该下限值以及上限值。

[0403] 在栅绝缘膜407上形成有栅电极408。栅电极408,夹着栅绝缘膜407,与在各阱区域404之间的半导体层403、在各阱区域404的周缘与该内侧的源区域405的周缘之间的沟道区域C以及源区域405的第1区域405A的一部分对置。栅电极408,作为整体,如图38所示,形成为俯视格子状。据此,半导体装置401具有平面栅型MIS构造。栅电极408,由掺杂了N型杂质或P型杂质的多晶硅、或、将Al(铝)作为主成分来包含的金属材料构成。

[0404] 此外,在图38中,透过后面叙述的层间绝缘膜409以及源金属411示出了栅电极408。

[0405] 而且,在半导体层403上,如图39所示,形成有层间绝缘膜409。利用层间绝缘膜409,一起覆盖半导体层403的上表面与栅绝缘膜407以及栅电极408。层间绝缘膜409,例如由氧化硅构成。

[0406] 在层间绝缘膜409,在与各接触区域406对置的位置上形成有接触孔410。各接触孔410,贯穿栅绝缘膜407,在各接触孔410内,接触区域406的整个区域以及源区域405中的接触区域406的周围的部分处于相面对的状态。

[0407] 在层间绝缘膜409上形成有源金属411。源金属411,进入到在层间绝缘膜409形成的各接触孔410,并且与源区域405以及接触区域406连接。源金属411,例如由将铝(Al)作为主成分来包含的金属材料构成。

[0408] 另外,在半导体装置401的沿着一侧缘的部分的中央上,选择性地除去层间绝缘膜409以及源金属411,由此如图38所示,形成有使栅电极408的一部分作为用于与外部连接的栅焊盘412来露出的开口。

[0409] 在半导体基板402的背面的整个面上,从半导体基板402侧依次形成有由镍(Ni)等构成的电阻性金属413以及将铝作为主成分来包含的金属材料构成的漏金属414。

[0410] 在源金属411被接地、且向漏金属414施加适当的正电压的状态下,对栅电极408的电位(栅电压)进行控制,由此在阱区域404中的栅绝缘膜407的界面附近的沟道区域C形成沟道,并且电流在源金属411与漏金属414之间流动。

[0411] 图40是图39所示的源区域的第一区域以及沟道区域的附近的示意性放大剖面图。

[0412] 在半导体装置401中,使源区域405中的与沟道区域C相邻的第一区域405A的N型杂质浓度降低,由此在第一区域405A的上表面与沟道区域C(阱区域404)的上表面之间没有形成较大的阶梯。

[0413] 因此,在源金属411与漏金属414之间流动的电子(e^-),从源区域405沿着第一区域405A的上表面向沟道区域C移动,并且沿着沟道区域C的上表面在沟道区域C移动。也即,沟道区域C中的电子的路径成为沿着沟道区域C的上表面的直线路径。从而,半导体装置401的沟道电阻比沟道区域中的电子的移动路径成为弯曲路径的图30的半导体装置的沟道电阻低。

[0414] 图41A~41K是按顺序表示半导体装置的制造工序的示意性剖面图。此外,在图41A~41K中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。图42是栅绝缘膜的制造工序图。

[0415] 在半导体装置401的制造工序中,首先通过CVD(Chemical Vapor Deposition:化学气相生长)法,在半导体层403上形成多晶硅的堆积层。而且,通过光刻法以及蚀刻法,从半导体层403中的要成为阱区域404的部分上选择性地除去该多晶硅的堆积层(未图示)。据此,如图41A所示,在半导体层403上形成由多晶硅构成的掩膜441。此后,通过离子注入法,在从半导体层403中的掩膜441露出的部分中掺杂P型杂质(例如铝)。

[0416] 接着,按照将半导体层403以及掩膜441一并覆盖的方式,形成由氧化硅构成的氧化膜(未图示)。此后,在氧化膜上形成多晶硅的堆积层(未图示)。而且,多晶硅的堆积层将氧化膜作为蚀刻阻挡层被回蚀,并且仅仅残留该堆积层中的与掩膜441的侧面接触的给定部分,由此如图41B所示,形成与掩膜441成为一体的掩膜442。接下来,除去从掩膜442露出的氧化膜。而且,通过光刻法,在半导体层403中的要成为接触区域406的部分上形成抗蚀图案443。此后,通过离子注入法,在半导体层403中的掩膜441,442以及从抗蚀图案443露出的部分中掺杂N型杂质(例如磷(P))。

[0417] 在除去抗蚀图案443之后,按照将半导体层403以及掩膜441,442一并覆盖的方式,再次形成由氧化硅构成的氧化膜(未图示)。此后,在氧化膜上形成多晶硅的堆积层(未图示)。而且,多晶硅的堆积层将氧化膜作为蚀刻阻挡层被回蚀,并且仅仅残留该堆积层中的与掩膜442的侧面相接触的给定部分,由此如图41C所示,形成与掩膜441,442成为一体的掩

膜444。接下来,除去从掩膜444露出的氧化膜。而且,通过光刻法,在半导体层403中的要成为接触区域406的部分上形成抗蚀图案445。此后,通过离子注入法,在半导体层403中的掩膜441,442,444以及从抗蚀图案445露出的部分中追加掺杂N型杂质。在N型杂质的掺杂后,除去掩膜441,442,444以及抗蚀图案445。

[0418] 此外,在图41B,41C所示的工序中,也可以省略抗蚀图案443,445的形成,在半导体层403中的要成为接触区域406的部分中掺杂N型杂质。通过这样,能够省略抗蚀图案443,445的形成所需的光掩膜,并且能够简化半导体装置401的制造工序。

[0419] 接下来,如图41D所示,在半导体层403上形成抗蚀图案446。抗蚀图案446,仅仅使半导体层403中的要成为接触区域406的部分露出。而且,通过离子注入法,在半导体层403中的从抗蚀图案446露出的部分中掺杂P型杂质。

[0420] 此后,进行用于使在半导体层403中掺杂的P型杂质以及N型杂质活性化的退火,如图41E所示,在半导体层403的表层部形成阱区域404、源区域405(第1区域405A、第2区域405B)以及接触区域406。另外在,退火时,半导体层403的上表面被热氧化,由此形成氧化膜447。由于源区域405的第2区域405B以及接触区域406,与半导体层403、阱区域404以及源区域405的第1区域405A相比,杂质浓度高,因此氧化膜447在第2区域405B以及接触区域406上相对较厚地生长。

[0421] 因此,如图41F所示,在除去氧化膜447之后,第2区域405B以及接触区域406的上表面成为比半导体层403、阱区域404以及源区域405的第1区域405A的上表面降一台阶的状态,并且在第1区域405A与第2区域405B之间形成阶梯S。

[0422] 另外,有下述情况:在氧化膜447的除去后,通过热氧化法,在半导体层403、阱区域404、源区域405以及接触区域406的上表面形成牺牲氧化膜,并除去该牺牲氧化膜,由此改善半导体层403、阱区域404、源区域405以及接触区域406的上表面的状态。在该情况下,在除去牺牲氧化膜后,在第1区域405A与第2区域405B之间形成更大的阶梯S。

[0423] 此后,图41G所示,通过热氧化法,在半导体层403、阱区域404、源区域405以及接触区域406的上表面形成栅绝缘膜407。

[0424] 为了形成栅绝缘膜407,如图42所示,依次进行 NO_x 热氧化工序(S41)、 O_2 热氧化工序(S42)、FGA(Forming Gas Annealing)工序(S43)、AlON膜形成工序(S44)以及PDA(Post Deposition Annealing)工序(S45)。

[0425] 在 NO_x 热氧化工序(S41)中,通过使用了包含 N_2O (氮氧化物)的气体的热氧化法,在半导体层403上形成由 SiO_xN_y 构成的 SiON 膜407A。

[0426] 在 O_2 热氧化工序(S42)中,通过使用了 O_2 的干燥气体的热氧化法,在 SiON 膜407A上形成由 SiO_2 构成的 SiO_2 膜407B。

[0427] 在FGA工序(S43)中,在包含3%的 H_2 (氢气)和97%的 N_2 (氮气)的合成气体中,对 SiO_2 膜407B进行退火。例如在 1000°C 的温度下的退火进行30分钟之后、在 450°C 的温度下的退火进行30分钟。据此,在 SiO_2 膜407B中良好地导入H原子,并且减少在半导体层403与 SiON 膜407A的界面上存在的C原子以及Si原子的不饱和键。

[0428] 在AlON膜形成工序(S44)中,通过使用了 N_2 以及 O_2 (氧气)的混合气体以及Al靶的反应性溅射法,在 SiO_2 膜407B上形成AlON膜407C。

[0429] 在PDA工序(S45)中,在 N_2 中对AlON膜407C进行退火。该退火,例如在 900°C 的温度

下进行10分钟。据此,提升AlON膜407C的结晶化度,并且提高AlON膜407C的膜质。

[0430] 通过以上方法,如图41G所示那样形成栅绝缘膜407。

[0431] 接下来,如图41H所示,通过CVD法,在栅绝缘膜407上形成多晶硅的堆积层448。

[0432] 接下来,如图41I所示,通过光刻法以及蚀刻法,选择性地除去堆积层448,并且在栅绝缘膜407上形成由多晶硅构成的栅电极408。这里,也可以在栅绝缘膜407上形成由包含Al(铝)的金属材料的堆积层,并且选择性地除去该堆积层,由此形成金属材料构成的栅电极408。

[0433] 接下来,如图41J所示,通过CVD法,在栅绝缘膜407以及栅电极408上形成层间绝缘膜409。

[0434] 而且,如图41K所示,通过光刻法以及蚀刻法,形成贯穿层间绝缘膜409以及栅绝缘膜407的接触孔410。

[0435] 此后,通过溅射法,在层间绝缘膜409上形成源金属411。而且,通过光刻法以及蚀刻法,形成栅焊盘412。另外,通过溅射法,在半导体基板402的背面形成电阻性金属413以及漏金属414。通过以上方法,可得到图39所示的半导体装置401。

[0436] 如以上所述,使源区域405中的与沟道区域C相邻的第1区域405A的杂质浓度降低,由此能够较低地抑制第1区域405A的上表面中的氧化膜447的生长的速率(氧化速率)。从而,能够防止在除去该氧化膜447后在第1区域405A的上表面与沟道区域C(阱区域404)的上表面之间形成较大的阶梯。其结果,能够使从源区域405起在沟道区域C移动的电子的路径(移动路径)接近于直线,由此能够达成沟道电阻的降低。

[0437] 由于源区域405中的第1区域405A以外的第2区域405B的杂质浓度,比第1区域405A的杂质浓度高,因此在第1区域405A的上表面与第2区域405B的上表面之间形成第2区域405B的上表面比第1区域405A的上表面低一台阶的阶梯S。即使第1区域405A的上表面与第2区域405B的上表面之间形成阶梯S,该阶梯S也不会对沟道区域C中的电子的流动带来影响。从而,使第1区域405A的杂质浓度相对降低,并且使第2区域405B的杂质浓度相对提高,由此不会降低源区域405的载流子浓度,能够降低沟道电阻。

[0438] 另外,栅绝缘膜407具有从半导体层403侧层叠SiON膜407A、SiO₂膜407B以及AlON膜407C的构造。

[0439] 在半导体层403与SiO₂膜407B之间介入SiON膜407A,由此与栅绝缘膜仅由氧化硅膜构成的构造相比,能够实现半导体层403(SiC)与栅绝缘膜407的界面中的界面态密度D_{it}的降低。而且,通过界面态密度D_{it}的降低,能够实现沟道迁移率的提高。

[0440] 另外,减小SiON膜407A以及SiO₂膜407B的合计厚度,并且增大AlON膜407C的厚度,由此能够抑制半导体层403与栅绝缘膜407的界面中的界面态密度的增大的同时,实现栅绝缘膜407的厚度的增大而产生的泄漏电流的降低。

[0441] 从而,能够达成界面态密度D_{it}的降低而产生的沟道迁移率的提高以及泄漏电流的降低而产生的栅绝缘膜407的可靠性的提高这双方。

[0442] 另外,栅电极408也可以由包含Al的金属材料构成。据此,栅电极408与由多晶硅构成的构造相比,能够实现由半导体层403、栅绝缘膜407以及栅电极408等构成的MISFET(平面栅型MIS构造的场效应晶体管)的动作速度的提高以及耗电的降低。

[0443] (界面态密度)

[0444] 制作了居于图39所示的SiC-MIS构造(在SiC上具有AlON/SiO₂/SiO_xN_y层叠栅绝缘膜的构造)的试样301。在该试样301中,SiON膜407A的厚度是5nm,SiO₂膜407B的厚度是5nm,AlON膜407C的厚度是80nm。

[0445] 另外,制作了具有采用了AlON/SiO₂层叠栅绝缘膜(在SiC上依次层叠由SiO₂构成的SiO₂膜以及由AlON构成的AlON膜的构造的栅绝缘膜)的SiC-MIS构造的试样302。在该试样302中,SiO₂膜的厚度是10nm,AlON膜的厚度是80nm。

[0446] 而且,针对试样301、302的每一个,对高频CV特性(例如测量频率100kHz)和低频CV特性(准静态CV特性)进行测量,通过High-Low法,计算出高频测量值与低频测量值的差值作为界面态密度Dit。图43表示该结果。在图43中,横轴是来自栅绝缘膜的价电子端的能量(Ec-E),纵轴是界面态密度Dit。

[0447] 由图43所示的结果可理解:试样301中的界面态密度Dit比试样302的界面态密度Dit低。

[0448] 图44是栅绝缘膜的其他制造工序图。

[0449] 图39所示的栅绝缘膜407,除了包含图42所示的制造工序的方法以外,能够通过包含图44所示的制造工序的方法来形成。在图44所示的制造工序中,依次进行氮等离子体照射工序(S51)、O₂热氧化工序(S52)、FGA工序(S53)、AlON膜形成工序(S54)以及PDA工序(S55)。

[0450] 在氮等离子体照射工序(S51)中,向半导体层403照射氮等离子体。将氮等离子体例如在半导体层403加热到500℃的状态下持续照射30分钟。另外,此时的气压以及RF输出,例如分别为9.5Torr以及50W。据此,在半导体层403上形成SiON膜407A。

[0451] 在O₂热氧化工序(S52)中,通过使用了O₂的干燥气体的热氧化法,在SiON膜407A上形成由SiO₂构成的SiO₂膜407B。

[0452] 在FGA工序(S53)、AlON膜形成工序(S54)以及PDA工序(S55)中,进行分别与图42所示的FGA工序(S43)、AlON膜形成工序(S44)以及PDA工序(S45)同样的处理。

[0453] 图45是变形例所涉及的半导体装置的示意性剖面图。在图45中,对于相当于图39所示的各部的部分,赋予了与对这些各部赋予的参照符号相同的参照符号。而且,下面针对图45所示的构造,仅仅说明与图39所示的构造的不同点,并且省略赋予了同一参照符号的各部分的说明。另外,在图45中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0454] 在图39所示的半导体装置401中,源区域405的第1区域405A的深度与第2区域405B的深度大致相同,相对于此,在图45所示的半导体装置451中,源区域405的第1区域405A的深度比第2区域405B的深度小。如半导体装置451那样即使第1区域405A的深度比第2区域405B的深度小,也能够发挥与图39所示的半导体装置401同样的效果。

[0455] 图46是其他变形例所涉及的半导体装置的示意性剖面图。此外,在图46中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0456] 图39所示的半导体装置401以及图45所示的半导体装置451具有平面栅型MIS构造,相对于此,图46所示的半导体装置461具有沟渠栅型MIS构造。

[0457] 半导体装置461具有半导体基板462。半导体基板462由掺杂了N型杂质的SiC(N型SiC)构成。在半导体基板462上通过外延生长而形成半导体层463。也即,半导体层463是由N

型SiC构成的外延层。

[0458] 半导体层463的基层部维持外延生长后的原样状态,并且形成N⁻型的漏区域464。半导体层463的表层部被掺杂P型杂质,由此被设为P型的阱区域465。

[0459] 在半导体层463,从其表面往下挖掘来形成栅沟渠466。栅沟渠466,例如与图38所示的栅电极408同样地形成俯视图格子状。栅沟渠466,贯穿阱区域465,并且其最深部到达漏区域464。

[0460] 在栅沟渠466的内面形成有栅绝缘膜467。栅绝缘膜467具有AlON/SiO₂/SiO_xN_y层叠构造,该AlON/SiO₂/SiO_xN_y层叠构造包含:由SiO_xN_y构成的SiON膜467A;由SiO₂构成且在SiON膜467A上形成的SiO₂膜467B;和由作为高介电常数绝缘材料的AlON构成且在SiO₂膜467B上形成的AlON膜467C。

[0461] SiON膜467A的厚度是1~5nm。SiO₂膜467B的厚度是1~5nm。而且,SiON膜467A以及SiO₂膜467B的合计厚度是2~10nm。AlON膜467C的厚度是10~200nm。各范围中包含该下限值以及上限值。

[0462] 而且,以掺杂了N型杂质或P型杂质的多晶硅来彻底埋没栅绝缘膜467的内侧,由此在栅沟渠466内埋设由该掺杂多晶硅构成的栅电极468。这里,栅电极468也可以由包含Al(铝)的金属材料来形成。

[0463] 在阱区域465的表层部形成有N型的源区域469。源区域469的深度(后面叙述的第1区域469A以及第2区域469B的合计深度),例如为0.5~2μm。

[0464] 源区域469中,该底部的给定深度(例如0.2μm)的第1区域469A,其N型杂质浓度比剩余的第2区域(第1区域469A上的区域)469B的N型杂质浓度低1~3位数。也即,源区域469具有:N型杂质浓度相对高的N⁺型的第2区域469B;和在第2区域469B的下方形成且N型杂质浓度相对低的N⁻型的第1区域469A。第1区域469A的N型杂质浓度例如为 $5 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$,第2区域469B的N型杂质浓度例如为 $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 。

[0465] 因第1区域469A以及第2区域469B的N型杂质浓度之差,在第1区域469A的侧面与第2区域469B的侧面之间,形成有第2区域469B的侧面比第1区域469A的侧面更远离栅电极468的阶梯S。阶梯S的大小例如为0.1μm。在第1区域469A的侧面与阱区域465(沟道区域C)的侧面之间没有形成较大的阶梯,而这些面构成大致同一面。另外,因第1区域469A以及第2区域469B的N型杂质浓度之差,栅绝缘膜467在第2区域469B的侧面上具有相对较大的厚度。

[0466] 另外,阱区域465的表层部,在由栅沟渠466包围的各区域内,在对于栅沟渠466隔开间隔的位置上,P⁺型的接触区域470在厚度方向上贯穿源区域469地形成。

[0467] 在半导体层463上层叠有层间绝缘膜471。层间绝缘膜471例如由氧化硅构成。

[0468] 在层间绝缘膜471,在与各接触区域470对置的位置上贯穿形成接触孔472。在各接触孔472内,接触区域470的整个区域以及源区域469中的接触区域470的周围的部分处于相面对的状态。

[0469] 在层间绝缘膜471上形成有源金属473。源金属473,进入到各接触孔472,并且与源区域469以及接触区域470连接。源金属473例如由将Al作为主成分来包含的金属材料构成。

[0470] 在半导体基板462的背面的整个面上,从半导体基板462侧依次形成由镍(Ni)等构成的电阻性金属474以及由将铝作为主成分来包含的金属材料构成的漏金属475。

[0471] 在源金属473被接地、且向漏金属475施加适当的正电压的状态下,对栅电极468的

电位(栅电压)进行控制,由此在阱区域465中的栅绝缘膜467的界面附近的沟道区域C形成沟道,并且电流在源金属473与漏金属475之间流动。

[0472] 图47是图46所示的源区域的第1区域以及沟道区域的附近的示意性放大剖面图。

[0473] 在半导体装置461中,使源区域469中的与沟道区域C相邻的第1区域469A的N型杂质浓度降低,由此在第1区域469A的侧面与沟道区域C(阱区域465)的侧面之间没有形成较大的阶梯。

[0474] 因此,在源金属473与漏金属475之间流动的电子(e^-),从源区域469沿着第1区域469A的侧面(栅沟渠466的内面)向沟道区域C移动,并且沿着沟道区域C的侧面在沟道区域C移动。也即,沟道区域C中的电子的路径成为沿着沟道区域C的侧面的直线路径。从而,通过半导体装置461的构造,也能够发挥与半导体装置401,451同样的作用效果,并且半导体装置461的沟道电阻,比沟道区域中的电子的移动路径成为弯曲路径的图30的半导体装置的沟道电阻低。

[0475] 另外,即使在该半导体装置461中,与图39所示的半导体装置401同样地也能够达成沟道迁移率的提高以及栅绝缘膜467的可靠性的提高这双方。

[0476] 图48是另外其他变形例所涉及的半导体装置的示意性剖面图。

[0477] 图39所示的半导体装置401以及图45所示的半导体装置451具有纵型MISFET,相对于此,图48所示的半导体装置481具有横型MISFET。

[0478] 半导体装置481具有由作为N型SiC构成的碳化硅层的SiC基板482。

[0479] SiC基板482的表层部形成有P型的阱区域483。

[0480] 在阱区域483的表层部形成有源区域484以及漏区域485。源区域484以及漏区域485,分别与阱区域483的周缘部之间隔开间隔、且彼此隔开间隔地形成。源区域484以及漏区域485,与SiC基板482相比以高浓度来掺杂N型杂质,由此表示N⁻型的导电型。

[0481] 另外,在阱区域483的表层部形成有接触区域486。接触区域486,对于源区域484在与漏区域485侧的相反侧相邻地形成。接触区域486,与阱区域483相比以高浓度来掺杂P型杂质,由此表示P⁺型的导电型。

[0482] 在源区域484与漏区域485之间的区域(沟道区域)上形成有栅绝缘膜487。更具体而言,栅绝缘膜487与在源区域484与漏区域485之间的区域对置,并且横跨在源区域484的周缘部与漏区域485的周缘部。栅绝缘膜487具有Al₂O₃/SiO₂/SiO_xN_y层叠构造,该Al₂O₃/SiO₂/SiO_xN_y层叠构造包含:由SiO_xN_y构成的SiON膜487A;由SiO₂构成且在SiON膜487A上形成的SiO₂膜487B;和由作为高介电常数绝缘材料的Al₂O₃构成且在SiO₂膜487B上形成的Al₂O₃膜487C。

[0483] SiON膜487A的厚度是1~5nm。SiO₂膜487B的厚度是1~5nm。而且,SiON膜487A以及SiO₂膜487B的合计厚度是2~10nm。Al₂O₃膜487C的厚度是10~200nm。各范围中包含该下限值以及上限值。

[0484] 在栅绝缘膜487上形成有在俯视时与栅绝缘膜487相同形状的栅电极488。栅电极488由包含Al的金属材料构成。

[0485] 在源区域484以及接触区域486上形成有源电极489。源电极489,相对于源区域484以及接触区域486的表面横跨且与这些部分接触。源电极489由包含Al的金属材料构成。

[0486] 在漏区域485上形成有漏电极490。漏电极490与漏区域485的表面相接。漏电极490

由包含Al的金属材料构成。

[0487] 在源电极489被接地、且向漏电极490施加正电压的状态下,向栅电极488施加阈值以上的电压,由此在阱区域483中的栅绝缘膜487的界面附近的沟道区域形成沟道,并且电流从漏电极490朝向源电极489流动。

[0488] 即使在该半导体装置481中,也能够发挥与图39所示的半导体装置401同样的作用效果。

[0489] 另外,采取了在半导体基板(SiC基板)402,462上层叠半导体层403,463的构造,但是也可以省略半导体层403,463,并且在SiC基板402,462的表层部形成阱区域404,465以及源区域405,469等。

[0490] 另外,也可以使半导体装置401,451,461,481的各部分的导电型反转。也即,采取了第1导电型是N型,第2导电型是P型的情况,但是也可以是第1导电型是P型、第2导电型是N型。

[0491] 栅电极408,468,488的材料,不限于包含Al的金属材料,也可以是掺杂了N型杂质或P型杂质的多晶硅。

[0492] 作为高介电常数绝缘膜,作为例子示出了AlON膜407C、AlON膜467C以及AlON膜487C,但是高介电常数绝缘膜的材料不限于AlON,也可以是Al₂O₃(氧化铝)、ZrO(氧化锆)、HfO(氧化铪)、AlN(氮化铝)等的高介电常数材料。

[0493] <第5实施方式>

[0494] 第5实施方式提供一种能够使沟道区域中的载流子的移动路径接近于直线,并且能够降低沟道电阻的半导体装置。

[0495] 图49是本发明的第5实施方式所涉及的半导体装置的示意性俯视图。图50是图49所示的切断线C-C中的半导体装置的示意性剖面图。此外,在图50中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0496] 半导体装置601,如图49所示,具有俯视四角形状(大致正方形形状)的外形。

[0497] 半导体装置601,如图50所示,具有半导体基板602。半导体基板602由掺杂了N型杂质的SiC(N型SiC)构成。在半导体基板602上通过外延生长而形成半导体层603。也即,半导体层603是由N型SiC构成的外延层。

[0498] 在半导体层603的表层部形成有多个P型的阱区域604。多个阱区域604呈俯视四角形状(大致正方形形状)并且排列为矩阵状。阱区域604的深度例如为0.5~2μm。而且,阱区域604具有例如从其上表面开始的深度为0.5μm以下的部分的P型杂质浓度是 $1 \times 10^{16} \sim 1 \times 10^{19} \text{cm}^{-3}$ 的杂质浓度分布。

[0499] 在各阱区域604的表层部,N型的源区域605与阱区域604的周缘隔开间隔地形成。源区域605的深度例如为0.2~1μm。

[0500] 在源区域605中,在俯视时从该周缘起给定宽度(例如0.2μm)的第1区域605A,其N型杂质浓度比剩余的第2区域(第1区域605A的内侧的区域)605B的N型杂质浓度低1~3位数。也即,源区域605具有:N型杂质浓度相对高的N⁺型的第2区域605B;和呈包围第2区域605B的环状、且N型杂质浓度相对低的N⁻型的第1区域605A。而且,第1区域605A具有例如从其上表面开始的深度为0.2μm以下的部分的N型杂质浓度是 $5 \times 10^{17} \sim 5 \times 10^{19} \text{cm}^{-3}$ 的杂质浓度分布。第2区域605B具有例如从其上表面开始的深度为0.2μm以下的部分的N型杂质浓度

是 $5 \times 10^{19} \sim 5 \times 10^{20} \text{cm}^{-3}$ 的杂质浓度分布。

[0501] 在第1区域605A的上表面与第2区域605B的上表面之间,形成有第2区域605B的上表面比第1区域605A的上表面低一台阶的阶梯S。阶梯S的大小例如为 $0.2 \mu\text{m}$ 。在第1区域605A的上表面与阱区域604(沟道区域C)的上表面之间没有形成较大的阶梯,而这些面构成大致同一面。

[0502] 在各源区域605的第2区域605B的中央,形成有与阱区域604相比以高浓度来掺杂了P型杂质的P⁺型的接触区域606。各接触区域606在深度方向上贯穿第2区域605地形成,并且其最深部到达在源区域605的下方存在的阱区域604。

[0503] 在半导体层603上形成有栅绝缘膜607。栅绝缘膜607例如由氧化硅(SiO_2)构成。

[0504] 在栅绝缘膜607上形成有栅电极608。栅电极608,夹着栅绝缘膜607,与在各阱区域604之间的半导体层603、在各阱区域604的周缘与该内侧的源区域605的周缘之间的沟道区域C以及源区域605的第1区域605A的一部分对置。栅电极608,作为整体,如图49所示,形成为俯视格子状。据此,半导体装置601具有平面栅型MIS构造。栅电极608由掺杂了N型杂质或P型杂质的多晶硅构成。

[0505] 此外,在图49中,透过后面叙述的层间绝缘膜609以及源金属611示出了栅电极608。

[0506] 而且,在半导体层603上,如图50所示,形成有层间绝缘膜609。利用层间绝缘膜609,一起覆盖半导体层603的上表面与栅电极608。层间绝缘膜609例如由氧化硅构成。

[0507] 在层间绝缘膜609,在与各接触区域606相对置的位置上,形成有接触孔610。各接触孔610,贯穿栅绝缘膜607,在各接触孔610内,接触区域606的整个区域以及源区域605中的接触区域606的周围的部分处于相面对的状态。

[0508] 在层间绝缘膜609上形成有源金属611。源金属611进入到在层间绝缘膜609形成的各接触孔610,并且与源区域605以及接触区域606连接。源金属611例如由将铝(Al)作为主成分来包含的金属材料构成。

[0509] 另外,在半导体装置601的沿着一侧缘的部分的中央上,选择性地除去层间绝缘膜609以及源金属611,由此如图49所示,形成有使栅电极608的一部分作为用于与外部连接的栅焊盘612来露出的开口。

[0510] 如图50所示,在半导体基板602的背面的整个面上,从半导体基板602侧依次形成由镍(Ni)等构成的电阻性金属613以及由将铝作为主成分来包含的金属材料构成的漏金属614。

[0511] 在源金属611被接地、且向漏金属614施加适当的正电压的状态下,对栅电极608的电位(栅电压)进行控制,由此在阱区域604中的栅绝缘膜607的界面附近的沟道区域C形成沟道,并且电流在源金属611与漏金属614之间流动。

[0512] 图51是图50所示的源区域的第1区域以及沟道区域的附近的示意性放大剖面图。

[0513] 在半导体装置601中,使源区域605中的与沟道区域C相邻的第1区域605A的N型杂质浓度降低,由此在第1区域605A的上表面与沟道区域C(阱区域604)的上表面之间没有形成较大的阶梯。

[0514] 因此,在源金属611与漏金属614之间流动的电子(e^-),从源区域605沿着第1区域605A的上表面向沟道区域C移动,并且沿着沟道区域C的上表面在沟道区域C移动。也即,沟

道区域C中的电子的路径成为沿着沟道区域C的上表面的直线路径。从而,半导体装置601的沟道电阻,比沟道区域中的电子的移动路径成为弯曲的路径的图30的半导体装置的沟道电阻低。

[0515] 图52A~52K是按顺序表示半导体装置的制造工序的示意性剖面图。此外,在图52A~52K中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0516] 在半导体装置601的制造工序中,首先通过CVD(Chemical Vapor Deposition:化学气相生长)法,在半导体层603上形成多晶硅的堆积层。而且,通过光刻法以及蚀刻法,从半导体层603中的要成为阱区域604的部分上选择性地除去该多晶硅的堆积层(未图示)。据此,如图52A所示,在半导体层603上形成由多晶硅构成的掩膜641。此后,通过离子注入法,在半导体层603中的从掩膜641露出的部分中掺杂P型杂质(例如铝)。

[0517] 接着,按照将半导体层603以及掩膜641一并覆盖的方式,形成由氧化硅构成的氧化膜(未图示)。此后,在氧化膜上形成多晶硅的堆积层(未图示)。而且,多晶硅的堆积层将氧化膜作为蚀刻阻挡层被回蚀,并且仅仅残留该堆积层中的与掩膜641的侧面接触的给定部分,如图52B所示,形成与掩膜641成为一体的掩膜642。接下来,除去从掩膜642露出的氧化膜。而且,通过光刻法,在半导体层603中的要成为接触区域606的部分上形成抗蚀图案643。此后,通过离子注入法,在半导体层603中的掩膜641,642以及从抗蚀图案643露出的部分中掺杂N型杂质(例如磷(P))。

[0518] 在除去抗蚀图案643之后,按照将半导体层603以及掩膜641,642一并覆盖的方式,再次形成由氧化硅构成的氧化膜(未图示)。此后,氧化膜上形成多晶硅的堆积层(未图示)。而且,多晶硅的堆积层将氧化膜作为蚀刻阻挡层被回蚀,并且仅仅残留该堆积层中的与掩膜642的侧面相接触的给定部分,由此如图52C所示,形成与掩膜641,642成为一体的掩膜644。接下来,除去从掩膜644露出的氧化膜。而且,通过光刻法,在半导体层603中的要成为接触区域606的部分上形成抗蚀图案645。此后,通过离子注入法,在半导体层603中的掩膜641,642,644以及从抗蚀图案645露出的部分中追加并掺杂N型杂质。在掺杂N型杂质后,除去掩膜641,642,644以及抗蚀图案645。

[0519] 此外,在图52B,52C所示的工序中,也可以省略抗蚀图案643,645的形成,并且在半导体层603中的要成为接触区域606的部分中掺杂N型杂质。通过这样,能够省略抗蚀图案643,645的形成所需的光掩膜,并且能够简化半导体装置601的制造工序。

[0520] 接下来,如图52D所示,在半导体层603上,形成抗蚀图案646。抗蚀图案646,仅仅使半导体层603中的要成为接触区域606的部分露出。而且,通过离子注入法,在半导体层603中的从抗蚀图案646露出的部分中掺杂P型杂质。

[0521] 此后,进行用于使在半导体层603中掺杂的P型杂质以及N型杂质活性化的退火,如图52E所示,在半导体层603的表层部形成阱区域604、源区域605(第1区域605A、第2区域605B)以及接触区域606。另外,在退火时,对半导体层603的上表面进行热氧化,由此形成氧化膜647。由于源区域605的第2区域605B以及接触区域606,与半导体层603、阱区域604以及源区域605的第1区域605A相比,杂质浓度高,因此氧化膜647在第2区域605B以及接触区域606上相对较厚地生长。

[0522] 因此,如图52F所示,在除去氧化膜647之后,第2区域605B以及接触区域606的上表面成为比半导体层603、阱区域604以及源区域605的第1区域605A的上表面降一台阶的状

态,并且在第1区域605A与第2区域605B之间形成阶梯S。

[0523] 另外,有下述情况:在除去氧化膜647后,通过热氧化法,在半导体层603、阱区域604、源区域605以及接触区域606的上表面形成牺牲氧化膜,并且除去该牺牲氧化膜,由此改善半导体层603、阱区域604、源区域605以及接触区域606的上表面的状态。在该情况下,在除去牺牲氧化膜后,在第1区域605A与第2区域605B之间形成更大的阶梯S。

[0524] 此后,如图52G所示,通过热氧化法,在半导体层603、阱区域604、源区域605以及接触区域606的上表面形成栅绝缘膜607。

[0525] 接下来,如图52H所示,通过CVD法,在栅绝缘膜607上形成多晶硅的堆积层648。

[0526] 接下来,如图52I所示,通过光刻法以及蚀刻法,选择性地除去堆积层648,在栅绝缘膜607上形成由多晶硅构成的栅电极608。

[0527] 接下来,如图52J所示,通过CVD法,在栅绝缘膜607以及栅电极608上形成层间绝缘膜609。

[0528] 而且,如图52K所示,通过光刻法以及蚀刻法,形成贯穿层间绝缘膜609以及栅绝缘膜607的接触孔610。

[0529] 此后,通过溅射法,在层间绝缘膜609上形成源金属611。而且,通过光刻法以及蚀刻法,形成栅焊盘612。另外,通过溅射法,在半导体基板602的背面形成电阻性金属613以及漏金属614。通过以上方法,可得到图50所示的半导体装置601。

[0530] 如以上所述,使源区域605中的与沟道区域C相邻的第1区域605A的杂质浓度降低,由此能够较低地抑制第1区域605A的上表面中的氧化膜647的生长的速率(氧化速率)。从而,能够防止在除去该氧化膜647后在第1区域605A的上表面与沟道区域C(阱区域604)的上表面之间形成较大的阶梯。其结果,能够使从源区域605起在沟道区域C移动的电子的路径(移动路径)接近于直线,并且能够达成沟道电阻的降低。

[0531] 由于源区域605中的第1区域605A以外的第2区域605B的杂质浓度,比第1区域605A的杂质浓度高,因此,在第1区域605A的上表面与第2区域605B的上表面之间,形成第2区域605B的上表面比第1区域605A的上表面低一台阶的阶梯S。即使,在第1区域605A的上表面与第2区域605B的上表面之间形成阶梯S,该阶梯S也不会对沟道区域C中的电子的流动带来影响。从而,使第1区域605A的杂质浓度相对降低,并且使第2区域605B的杂质浓度相对提高,由此不会降低源区域605的载流子浓度,能够降低沟道电阻。

[0532] 图53是变形例所涉及的半导体装置的示意性剖面图。在图53中,对于相当于图50所示的各部的部分,赋予了与对这些各部分赋予的参照符号相同的参照符号。而且,下面针对图53所示的构造,仅仅说明与图50所示的构造的不同点,并且省略赋予了同一参照符号的各部分的说明。另外,在图53中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0533] 在图50所示的半导体装置601中,源区域605的第1区域605A的深度与第2区域605B的深度大致相同,相对于此,在图53所示的半导体装置651中,源区域605的第1区域605A的深度比第2区域605B的深度小。如半导体装置651那样即使第1区域605A的深度比第2区域605B的深度小,也能够发挥与图50所示的半导体装置601同样的效果。

[0534] 图54是其他变形例所涉及的半导体装置的示意性剖面图。此外,在图54中,仅对由导体构成的部分赋予阴影线,而省略了对其他部分的阴影线的赋予。

[0535] 图50所示的半导体装置601以及图53所示的半导体装置651具有平面栅型MIS构造,相对于此,图54所示的半导体装置661具有沟渠栅型MIS构造。

[0536] 半导体装置661具有半导体基板662。半导体基板662由掺杂了N型杂质的SiC(N型SiC)构成。在半导体基板662上通过外延生长而形成半导体层663。也即,半导体层663是由N型SiC构成的外延层。

[0537] 半导体层663的基层部维持外延生长后的原样状态,并且形成N-型的漏区域664。半导体层663的表层部被掺杂P型杂质,由此被设为P型的阱区域665。

[0538] 在半导体层663,从其表面往下挖掘来形成栅沟渠666。栅沟渠666例如与图49所示的栅电极608同样地形成俯视图格子状。栅沟渠666贯穿阱区域665,并且其最深部到达漏区域664。

[0539] 在栅沟渠666的内面形成有栅绝缘膜667。栅绝缘膜667例如由氧化硅构成。

[0540] 而且,以掺杂了N型杂质或P型杂质的多晶硅彻底埋没栅绝缘膜667的内侧,由此在栅沟渠666内埋设由该掺杂多晶硅构成的栅电极668。

[0541] 在阱区域665的表层部形成有N型的源区域669。源区域669的深度(后面叙述的第1区域669A以及第2区域669B的合计深度)例如为 $0.5\sim 2\mu\text{m}$ 。

[0542] 在源区域669中,该底部的给定深度(例如 $0.2\mu\text{m}$)的第1区域669A,其N型杂质浓度比剩余的源区域(第1区域669A上的区域)669B的N型杂质浓度低1~3位数。也即,源区域669具有:N型杂质浓度相对高的N⁺型的第2区域669B;和在第2区域669B的下方形成且N型杂质浓度相对低的N⁻型的第1区域669A。第1区域669A的N型杂质浓度例如为 $5\times 10^{17}\sim 5\times 10^{19}\text{cm}^{-3}$,第2区域669B的N型杂质浓度例如为 $5\times 10^{19}\sim 5\times 10^{20}\text{cm}^{-3}$ 。

[0543] 因第1区域669A以及第2区域669B的N型杂质浓度之差,在第1区域669A的侧面与第2区域669B的侧面之间,形成有第2区域669B的侧面比第1区域669A的侧面更远离栅电极668的阶梯S。阶梯S的大小例如为 $0.1\mu\text{m}$ 。在第1区域669A的侧面与阱区域665(沟道区域C)的侧面之间没有形成较大的阶梯,而这些面构成大致同一面。另外,因第1区域669A以及第2区域669B的N型杂质浓度之差,栅绝缘膜667在第2区域669B的侧面上具有相对较大的厚度。

[0544] 另外,在阱区域665的表层部,在由栅沟渠666包围的各区域内,在对于栅沟渠666隔开间隔的位置上,P⁺型的接触区域670在厚度方向上贯穿源区域669地形成。

[0545] 在半导体层663上层叠有层间绝缘膜671。层间绝缘膜671例如由氧化硅构成。

[0546] 在层间绝缘膜671,在与各接触区域670对置的位置上,贯穿形成接触孔672。在各接触孔672内,接触区域670的整个区域以及源区域669中的接触区域670的周围的部分处于相面对的状态。

[0547] 在层间绝缘膜671上形成有源金属673。源金属673进入到各接触孔672,并且与源区域669以及接触区域670连接。源金属673例如由将Al作为主成分来包含的金属材料构成。

[0548] 在半导体基板662的背面的整个面上,从半导体基板662侧依次形成由镍(Ni)等构成的电阻性金属674以及由将铝作为主成分来包含的金属材料构成的漏金属675。

[0549] 在源金属673被接地、且向漏金属675施加适当的正电压的状态下,对栅电极668的电位(栅电压)进行控制,由此在阱区域665中的栅绝缘膜667的界面附近的沟道区域C形成沟道,并且电流在源金属673与漏金属675之间流动。

[0550] 图55是图54所示的源区域的第1区域以及沟道区域的附近的示意性放大剖面图。

[0551] 在半导体装置661中,使源区域669中的与沟道区域C相邻的第1区域669A的N型杂质浓度降低,由此在第1区域669A的侧面与沟道区域C(阱区域665)的侧面之间没有形成较大的阶梯。

[0552] 因此,在源金属673与漏金属675之间流动的电子(e^-),从源区域669沿着第1区域669A的侧面(栅沟渠666的内面)向沟道区域C移动,并且沿着沟道区域C的侧面在沟道区域C移动。也即,沟道区域C中的电子的路径成为沿着沟道区域C的侧面的直线路径。从而,通过半导体装置661的构造,也能够发挥与半导体装置601,651同样的作用效果,并且半导体装置661的沟道电阻比沟道区域中的电子的移动路径成为弯曲的路径的图30的半导体装置的沟道电阻低。

[0553] 在前述的实施方式中,采取了在半导体基板602,662上层叠半导体层603,663的构造,但是也可以省略半导体层603,663,并且在半导体基板602,662的表层部形成阱区域604,665以及源区域605,669等。

[0554] 另外,也可以使各部分的导电型反转。也即,采取了在第1导电型是N型、第2导电型是P型的情况,但是也可以为第1导电型是P型、第2导电型是N型。

[0555] 对于本发明的实施方式详细地进行说明,但是这些只不过是使本发明的技术内容更清楚而采用的具体例,本发明不应该限定于这些具体例来进行解释,本发明的思想以及范围仅由附加的权利要求书来限定。

[0556] 本申请对应于2009年9月7日向日本专利局提出的特愿2009-206372号、特愿2009-206373号以及特愿2009-206374号,并且这些申请中公开的所有内容通过在此引用来作为编入的内容。

[0557] 符号说明

- [0558] 1 半导体装置
- [0559] 2 SiC基板(碳化硅基板)
- [0560] 8 SiO₂膜(氧化硅膜)
- [0561] 9 AlON膜(氮氧化铝膜)
- [0562] 10 栅电极
- [0563] 14 SiO₂膜(氧化硅膜)
- [0564] 15 AlON膜(氮氧化铝膜)
- [0565] 16 电容器电极
- [0566] 101 半导体装置
- [0567] 102 半导体基板(半导体层、碳化硅基板)
- [0568] 103 半导体层(半导体层)
- [0569] 104 阱区域
- [0570] 105 源区域
- [0571] 105A 第1区域
- [0572] 105B 第2区域
- [0573] 107 栅绝缘膜
- [0574] 107A SiO₂膜(氧化硅膜)
- [0575] 107B AlON膜(氮氧化铝膜)

- [0576] 108 栅电极
- [0577] 151 半导体装置
- [0578] 161 半导体装置
- [0579] 162 半导体基板(半导体层)
- [0580] 163 半导体层(半导体层)
- [0581] 165 阱区域
- [0582] 166 栅沟渠
- [0583] 167 栅绝缘膜
- [0584] 168 栅电极
- [0585] 169 源区域
- [0586] 169A 第1区域
- [0587] 169B 第2区域
- [0588] 301 半导体装置
- [0589] 303 SiC层(碳化硅层)
- [0590] 307 栅绝缘膜
- [0591] 307A SiON膜(氮氧化硅膜)
- [0592] 307B SiO₂膜(氧化硅膜)
- [0593] 307C AlON膜(高介电常数绝缘膜)
- [0594] 308 栅电极
- [0595] 351 半导体装置
- [0596] 353 SiC层(碳化硅层)
- [0597] 357 栅绝缘膜
- [0598] 357A SiON膜(氮氧化硅膜)
- [0599] 357B SiO₂膜(氧化硅膜)
- [0600] 357C AlON膜(高介电常数绝缘膜)
- [0601] 358 栅电极
- [0602] 381 半导体装置
- [0603] 382 SiC基板(碳化硅层)
- [0604] 387 栅绝缘膜
- [0605] 387A SiON膜(氮氧化硅膜)
- [0606] 387B SiO₂膜(氧化硅膜)
- [0607] 387C AlON膜(高介电常数绝缘膜)
- [0608] 388 栅电极
- [0609] 401 半导体装置
- [0610] 402 半导体基板(半导体层)
- [0611] 403 半导体层(半导体层、碳化硅层)
- [0612] 404 阱区域
- [0613] 405 源区域
- [0614] 405A 第1区域

- [0615] 405B 第2区域
- [0616] 407 栅绝缘膜
- [0617] 408 栅电极
- [0618] 451 半导体装置
- [0619] 453 SiC层(碳化硅层)
- [0620] 457 栅绝缘膜
- [0621] 457A SiON膜(氮氧化硅膜)
- [0622] 457B SiO₂膜(氧化硅膜)
- [0623] 457C AlON膜(高介电常数绝缘膜)
- [0624] 458 栅电极
- [0625] 461 半导体装置
- [0626] 462 半导体基板(半导体层)
- [0627] 463 半导体层(半导体层)
- [0628] 465 阱区域
- [0629] 466 栅沟渠
- [0630] 467 栅绝缘膜
- [0631] 468 栅电极
- [0632] 469 源区域
- [0633] 469A 第1区域
- [0634] 469B 第2区域
- [0635] 471 SiON膜(氮氧化硅膜)
- [0636] 472 SiO₂膜(氧化硅膜)
- [0637] 473 AlON膜(高介电常数绝缘膜)
- [0638] 481 半导体装置
- [0639] 482 SiC基板(碳化硅层)
- [0640] 487 栅绝缘膜
- [0641] 487A SiON膜(氮氧化硅膜)
- [0642] 487B SiO₂膜(氧化硅膜)
- [0643] 487C AlON膜(高介电常数绝缘膜)
- [0644] 488 栅电极
- [0645] 601 半导体装置
- [0646] 602 半导体基板(半导体层)
- [0647] 603 半导体层(半导体层)
- [0648] 604 阱区域
- [0649] 605 源区域
- [0650] 605A 第1区域
- [0651] 605B 第2区域
- [0652] 607 栅绝缘膜
- [0653] 608 栅电极

- [0654] 651 半导体装置
- [0655] 661 半导体装置
- [0656] 662 半导体基板(半导体层)
- [0657] 663 半导体层(半导体层)
- [0658] 665 阱区域
- [0659] 666 栅沟渠
- [0660] 667 栅绝缘膜
- [0661] 668 栅电极
- [0662] 669 源区域
- [0663] 669A 第1区域
- [0664] 669B 第2区域
- [0665] C 沟道区域
- [0666] S 阶梯
- [0667] S1 SiO₂膜形成工序
- [0668] S2 氮等离子体照射工序
- [0669] S3 FGA序
- [0670] S4 AlON膜形成工序
- [0671] S5 PDA序

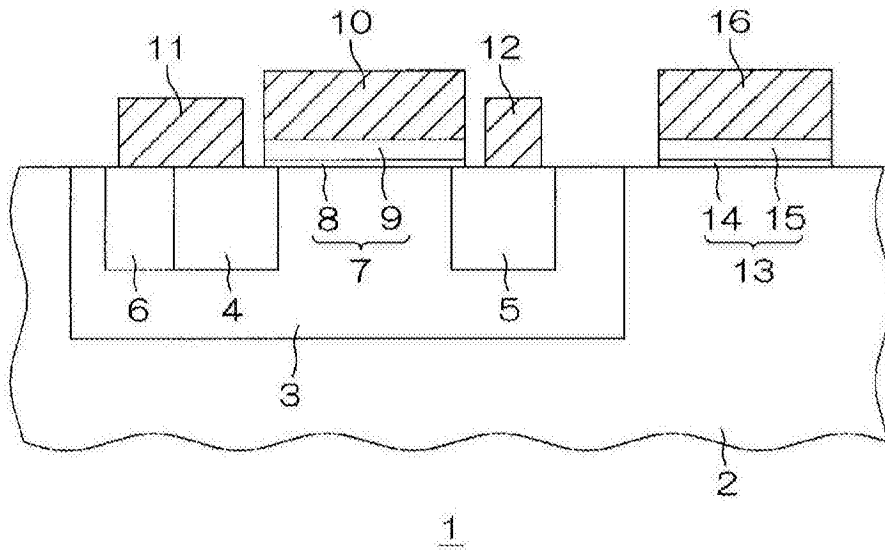


图1

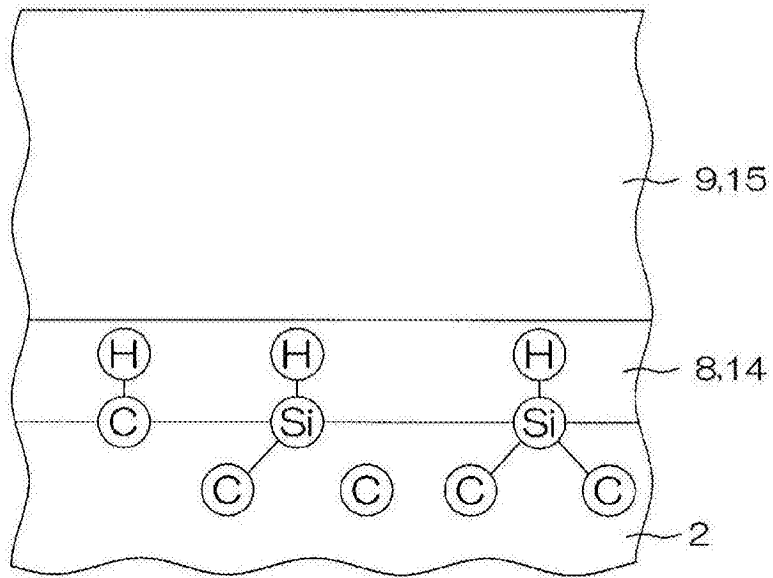


图2

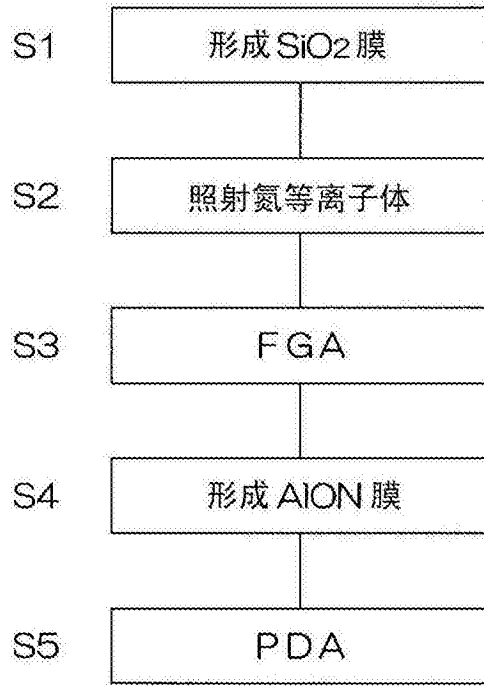


图3

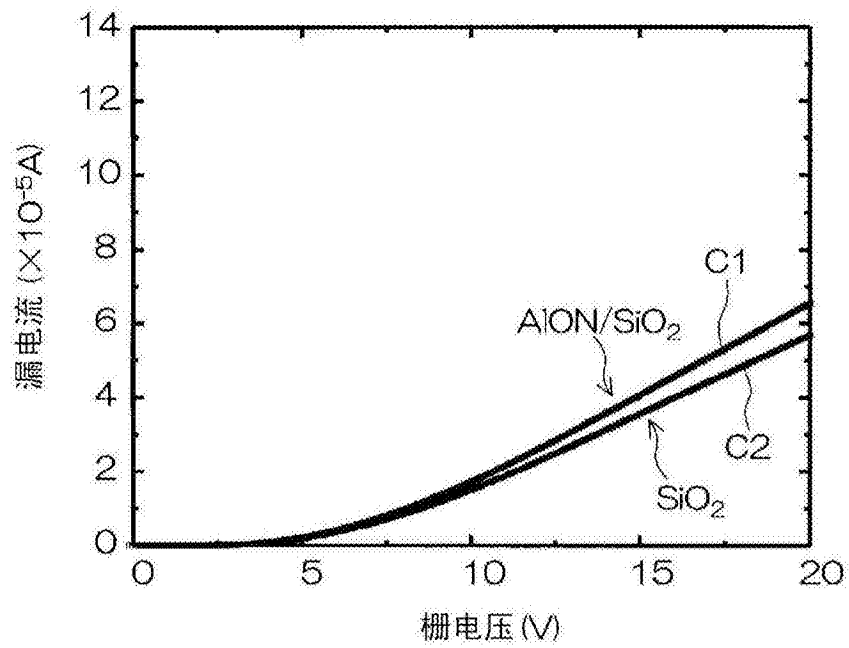


图4

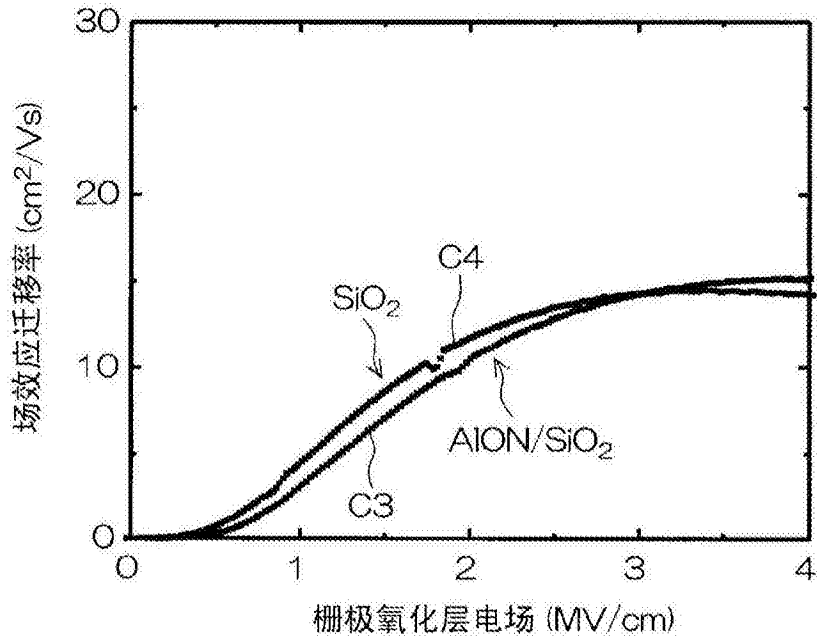


图5

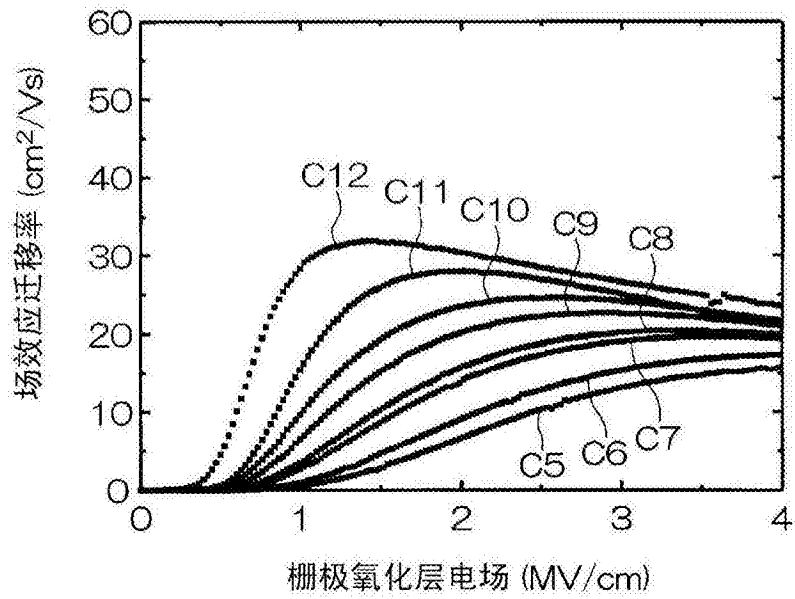


图6

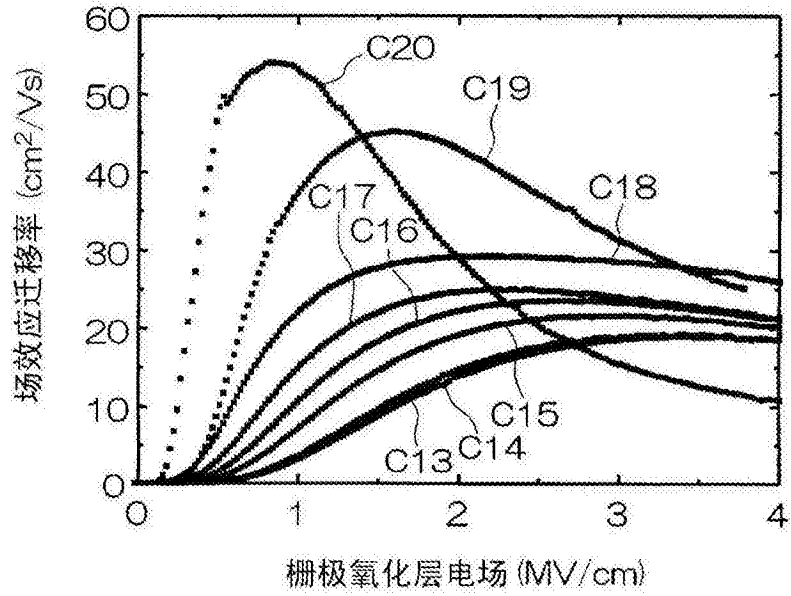


图7

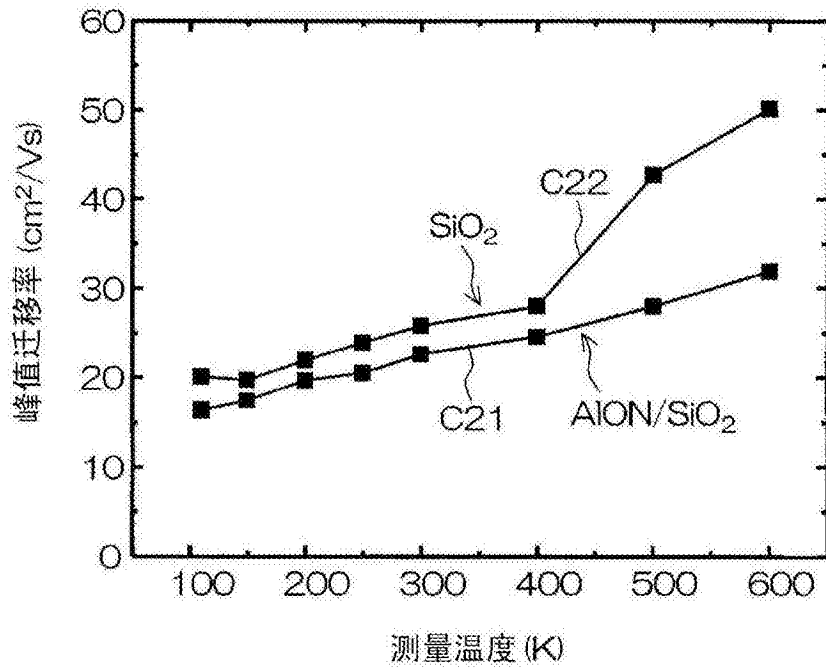


图8

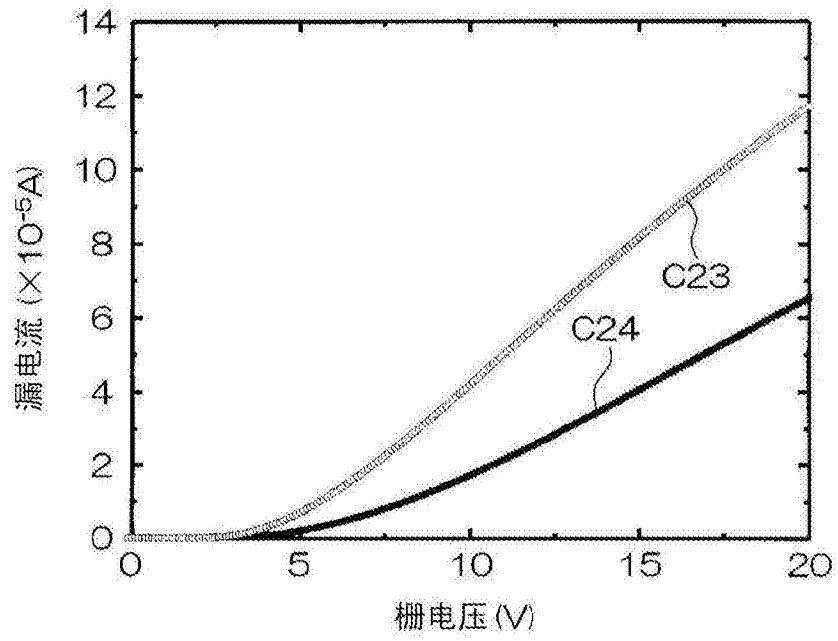


图9

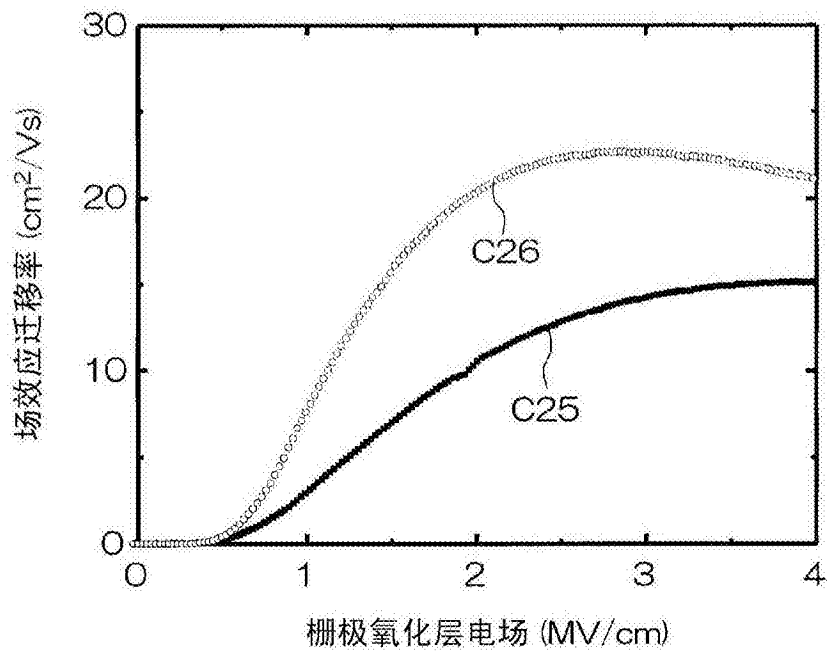


图10

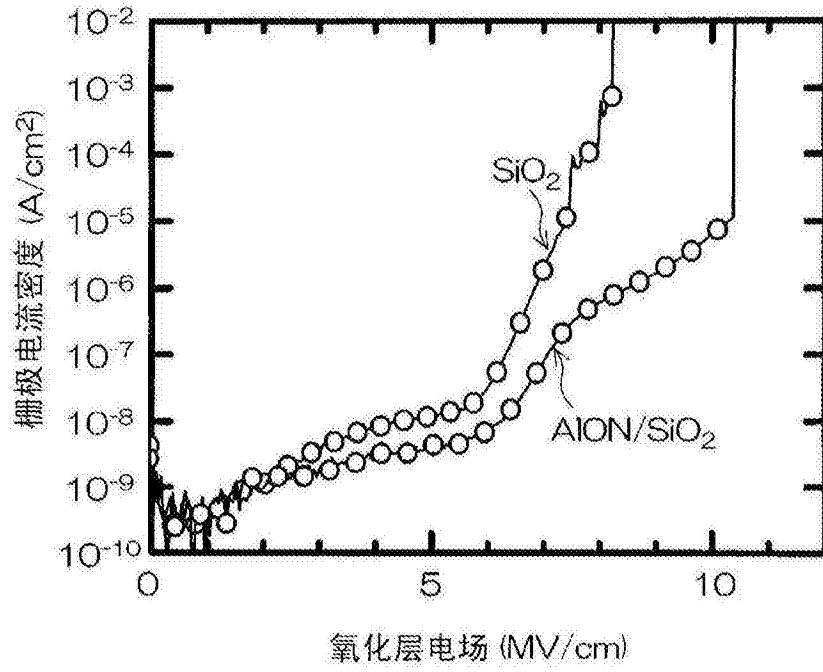


图11

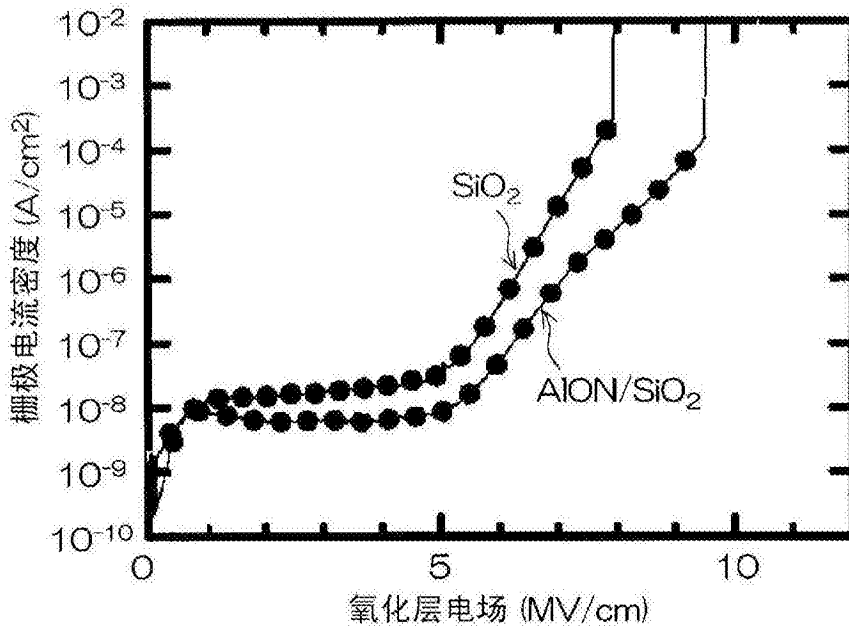


图12

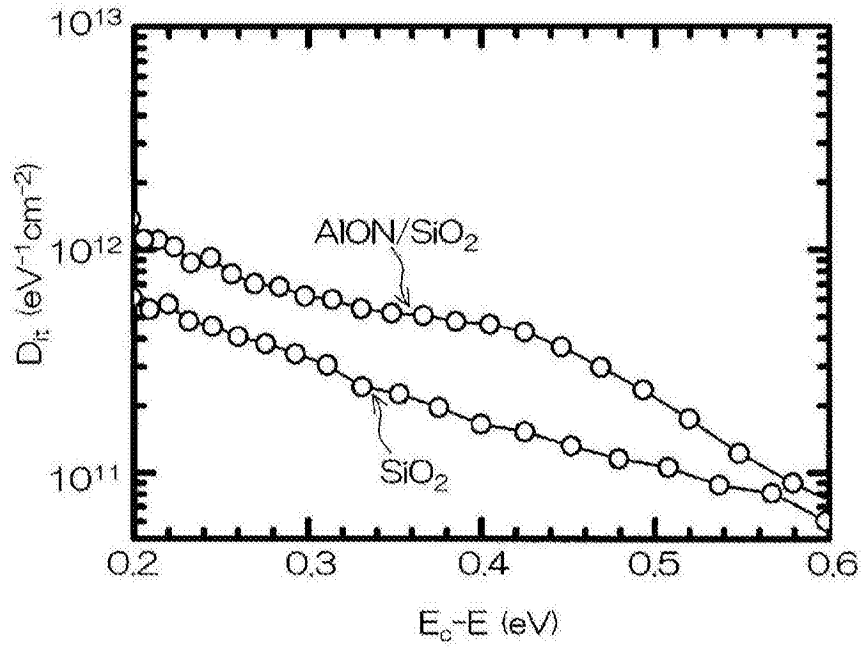


图13

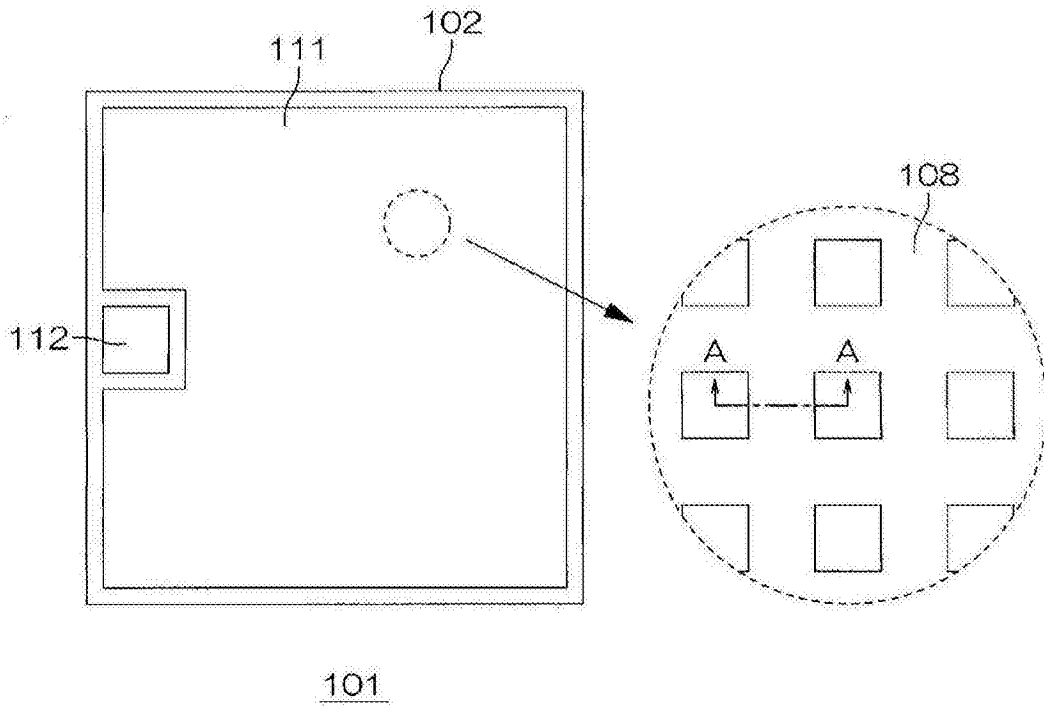


图14

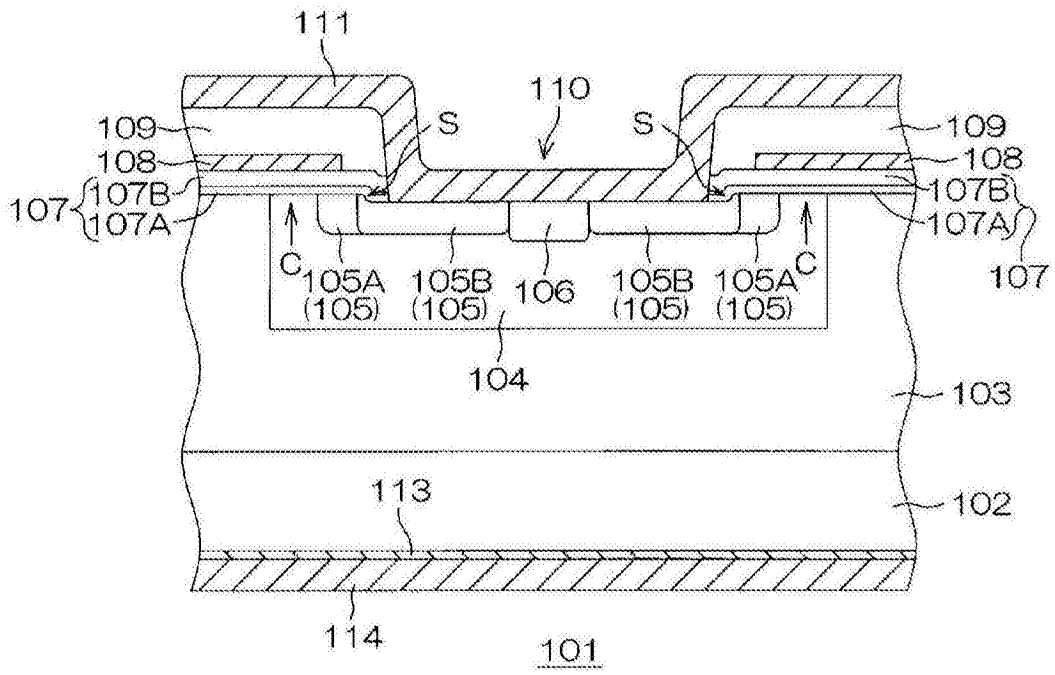


图15

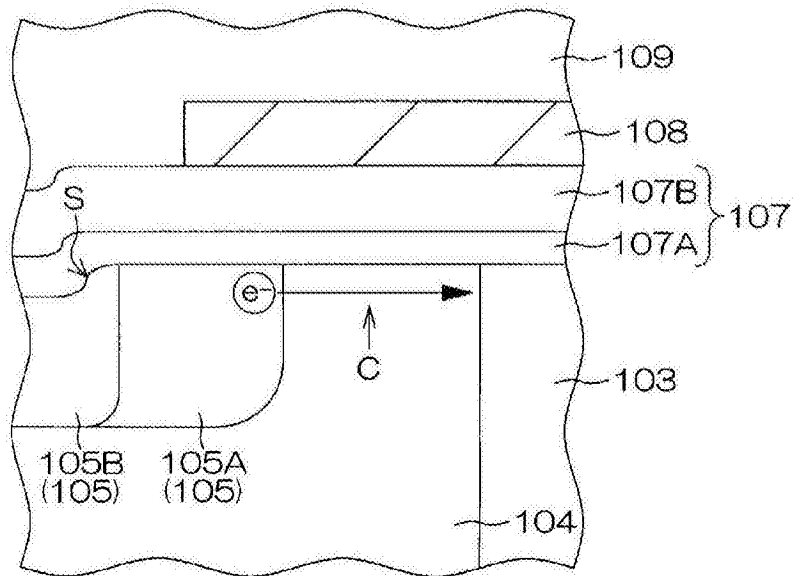


图16

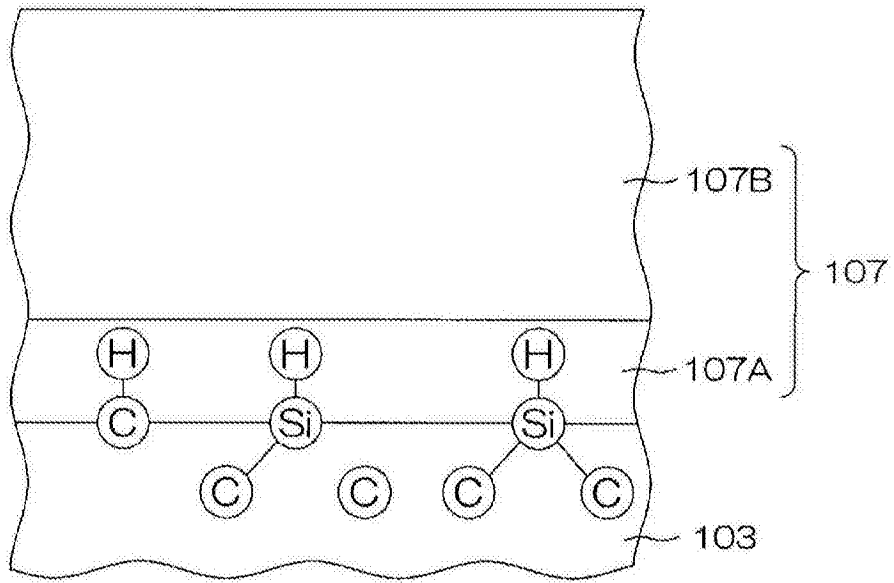


图17

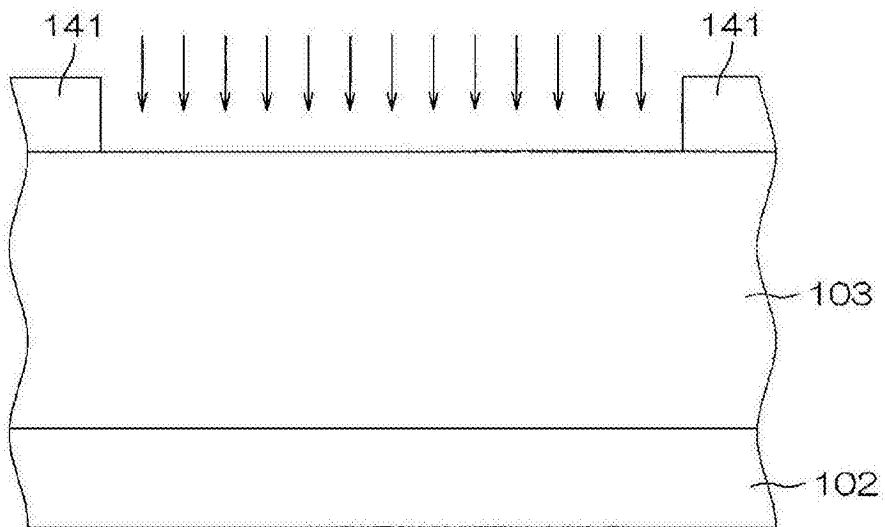


图18A

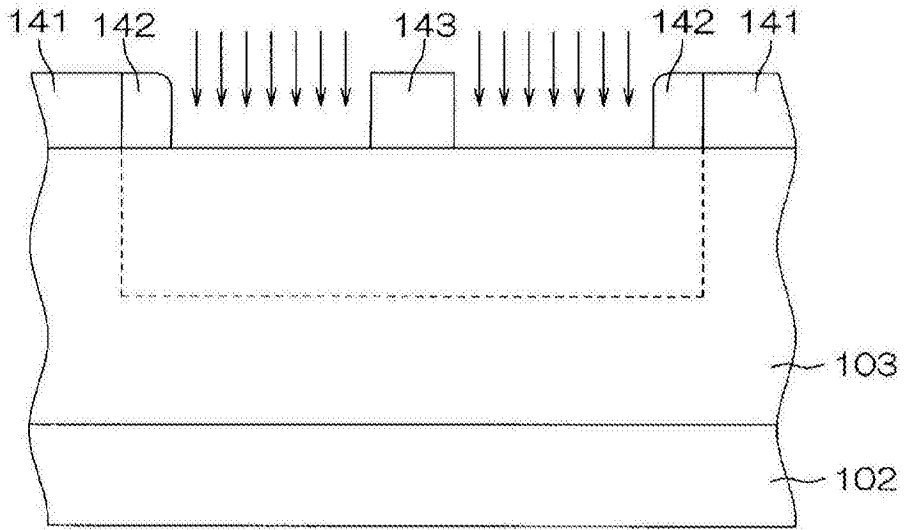


图18B

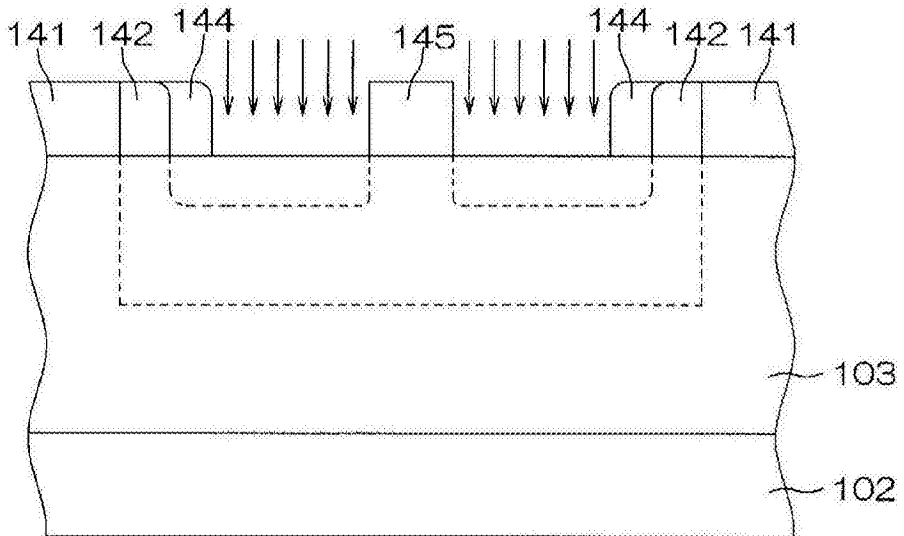


图18C

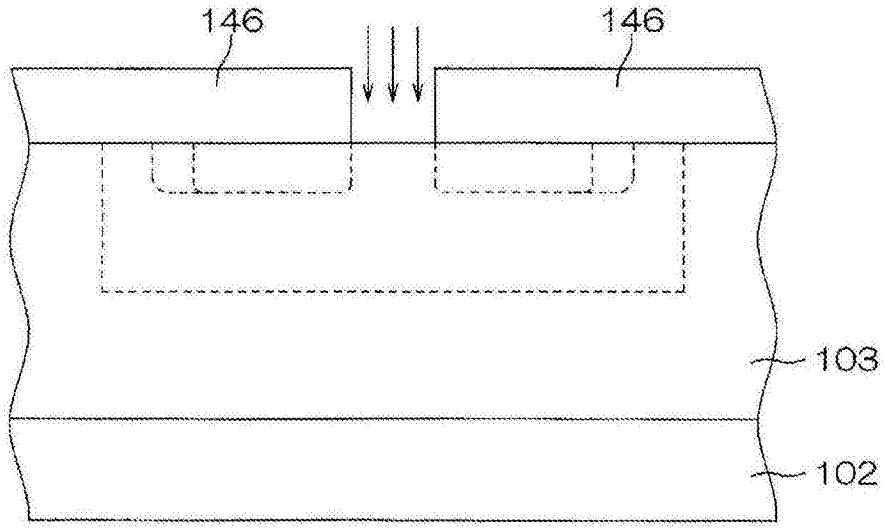


图18D

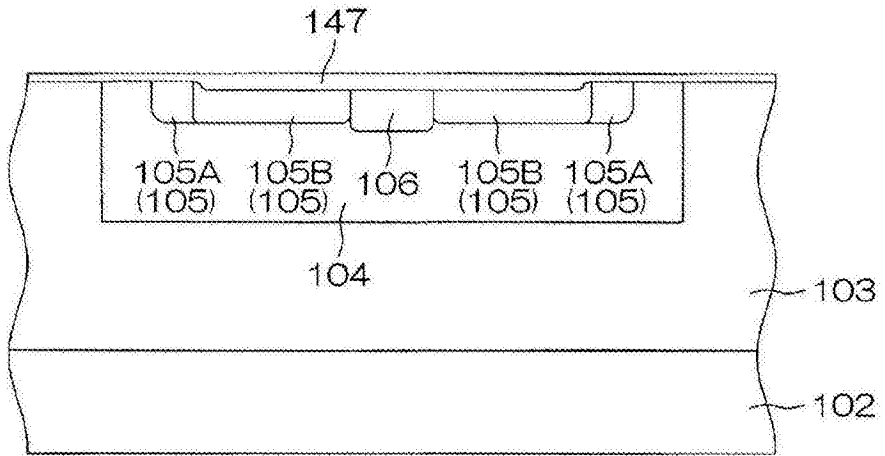


图18E

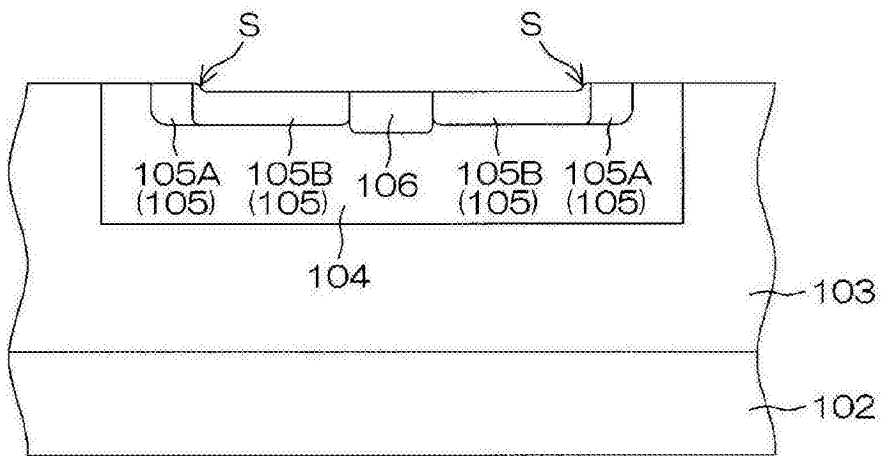


图18F

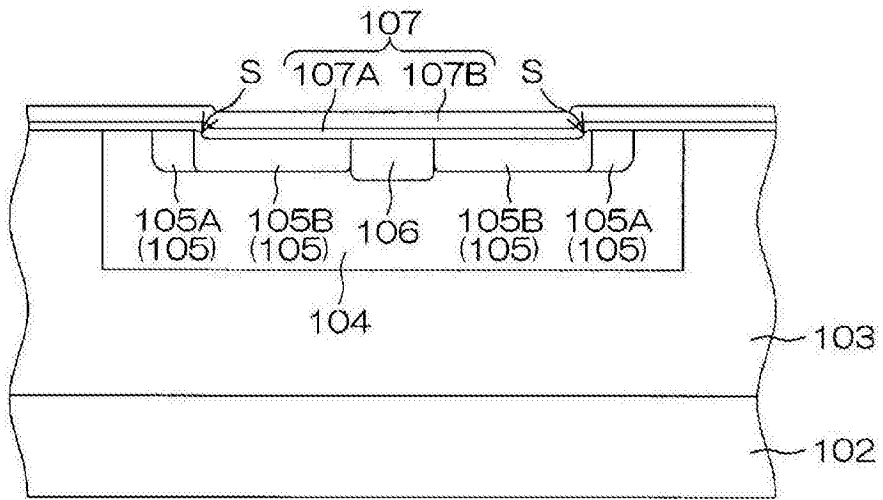


图18G

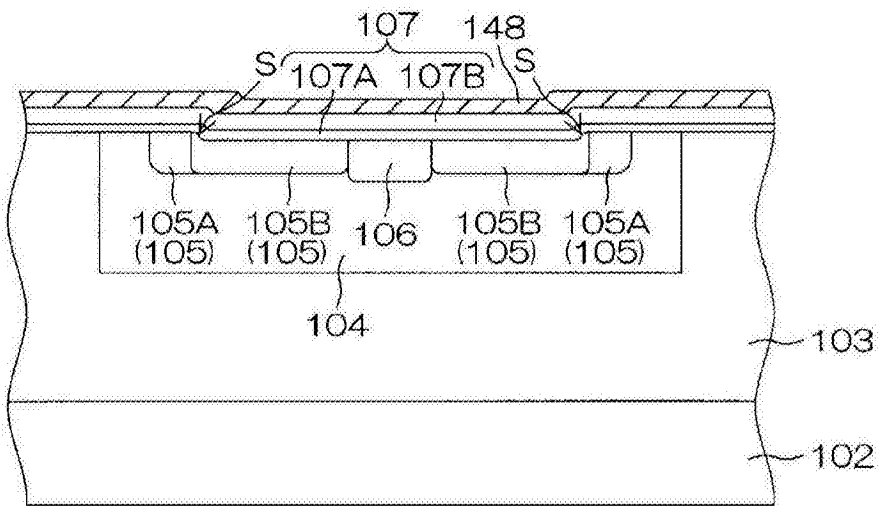


图18H

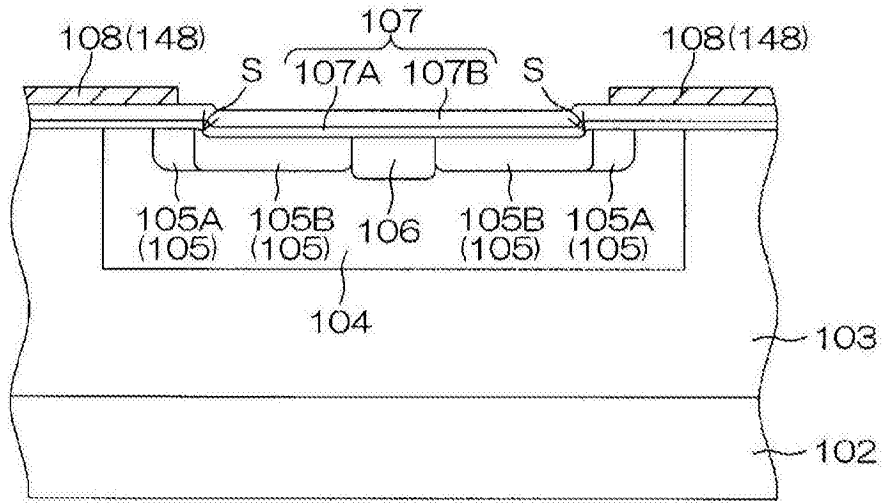


图18I

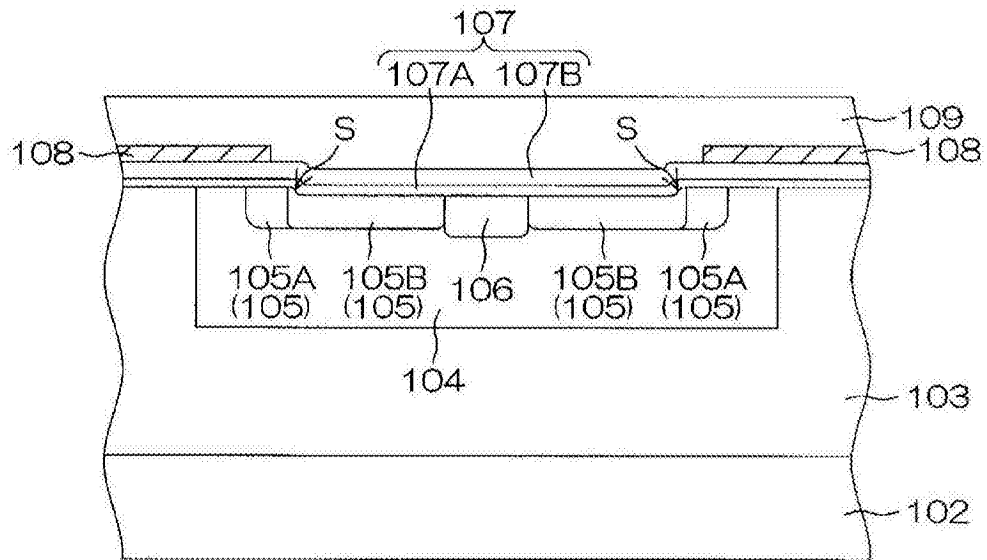


图18J

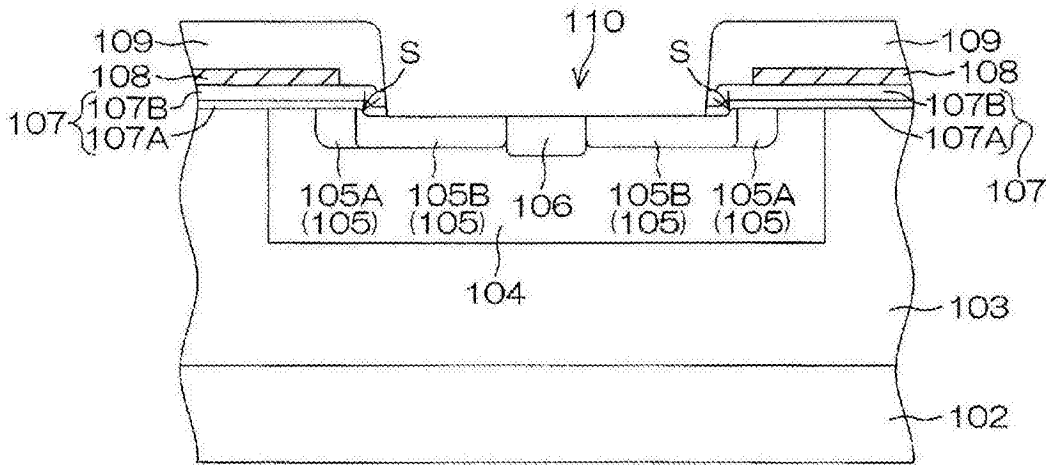


图18K

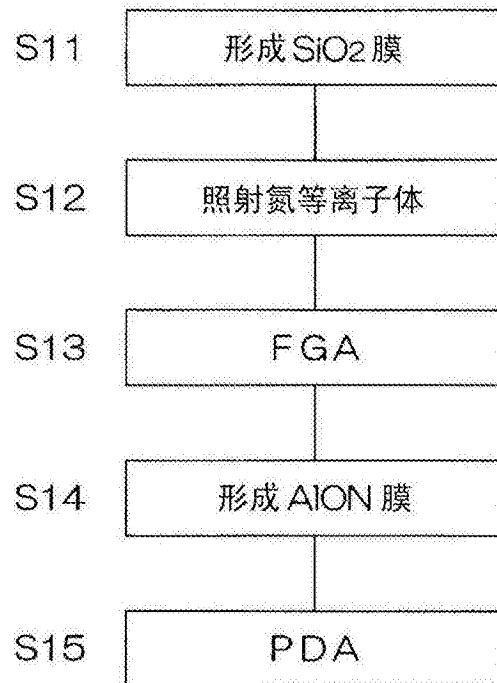


图19

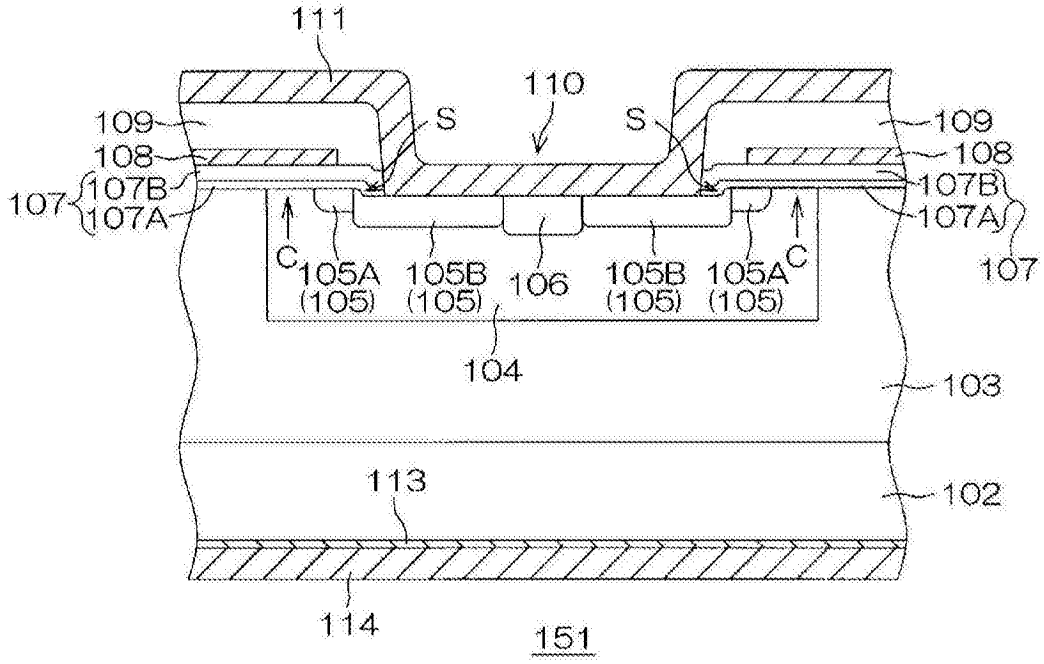


图20

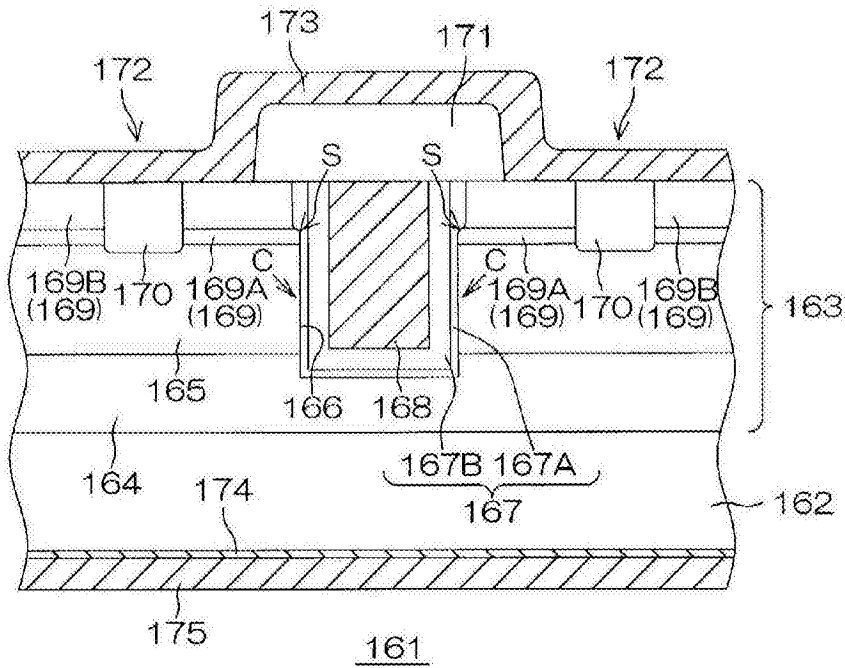


图21

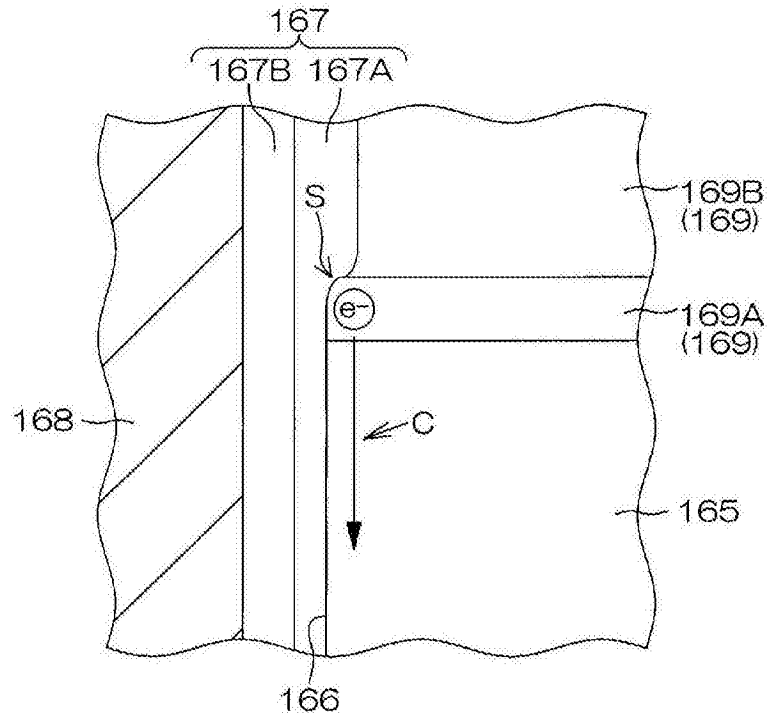


图22

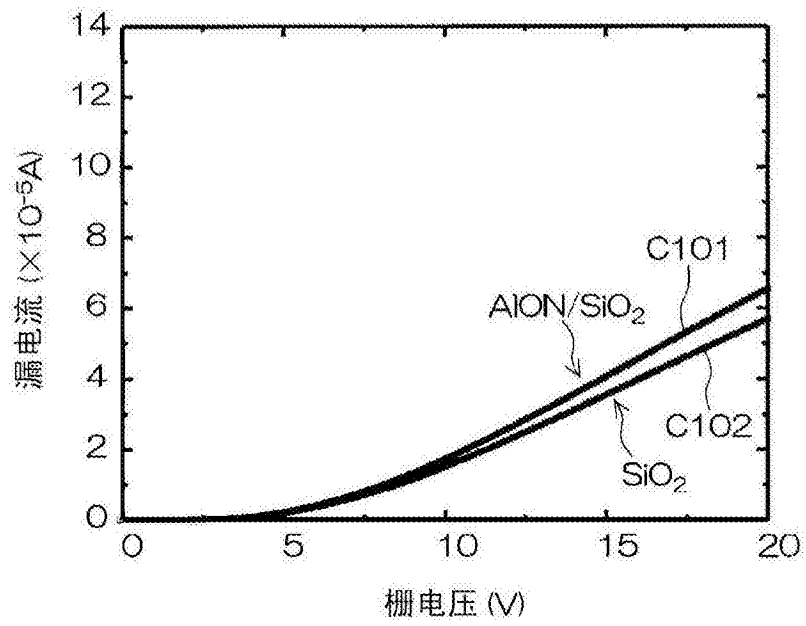


图23

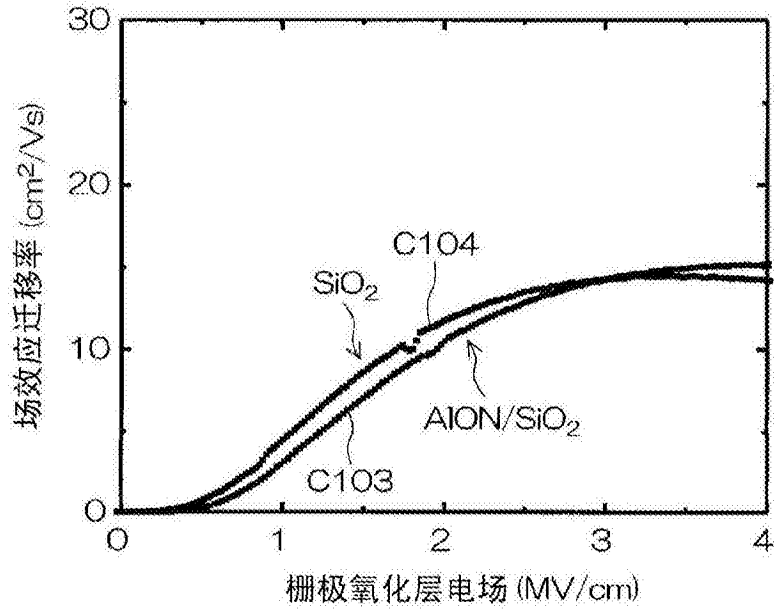


图24

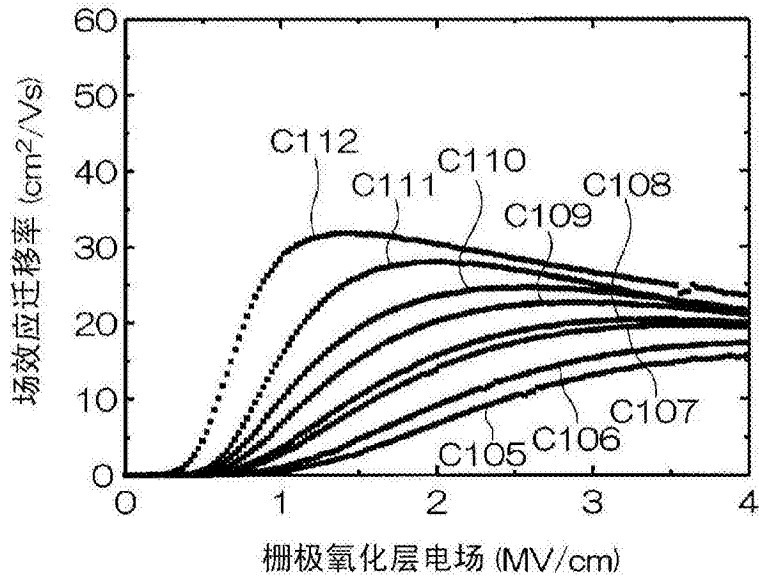


图25

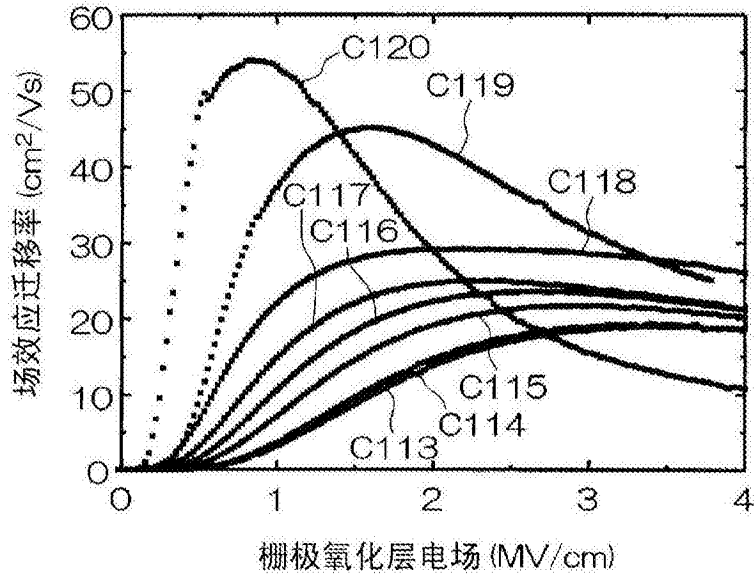


图26

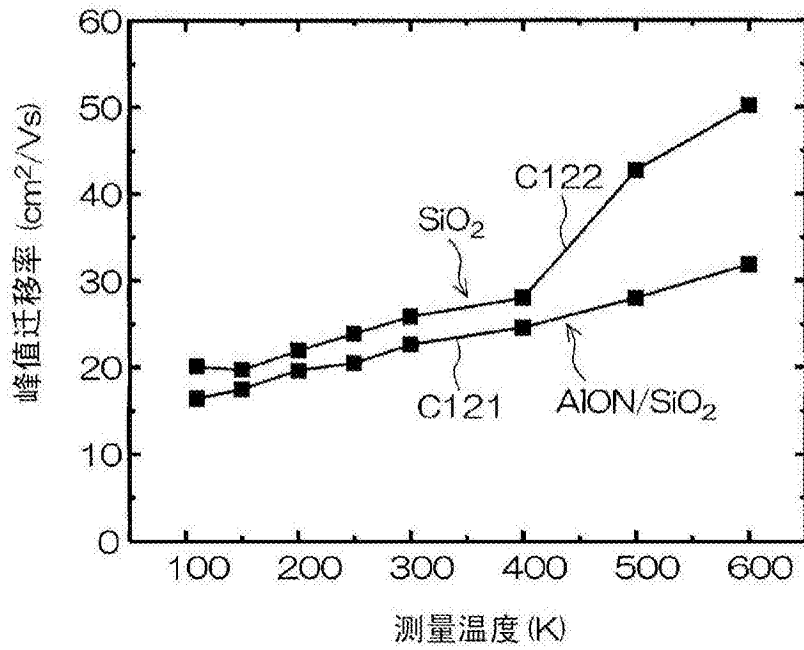


图27

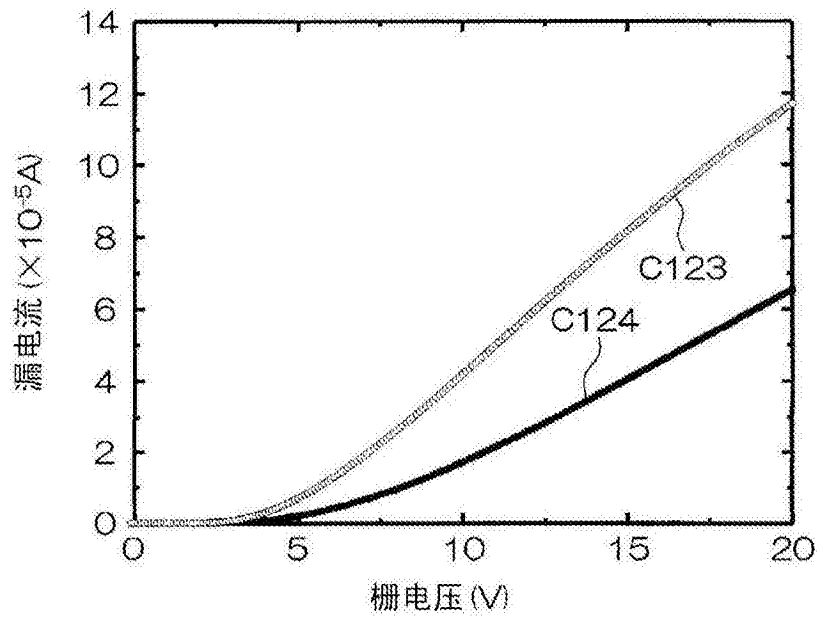


图28

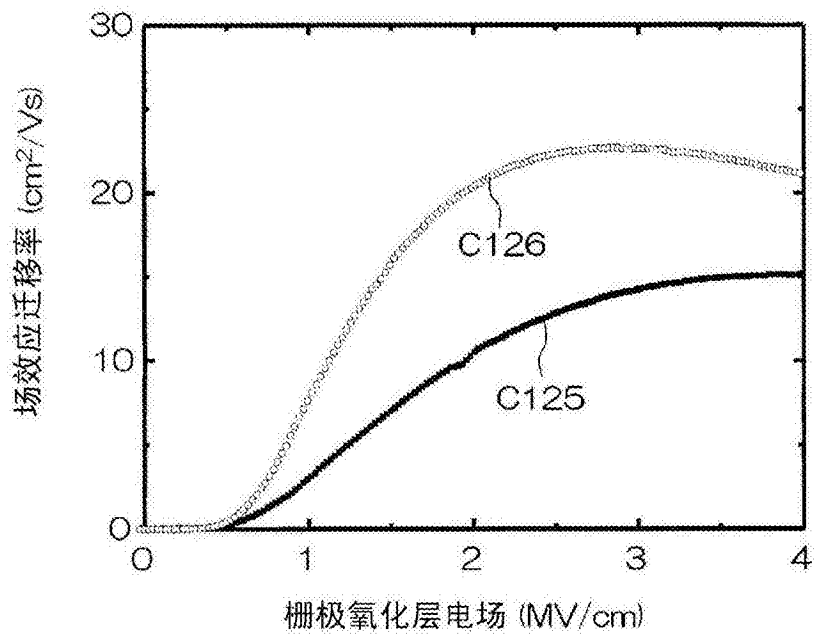


图29

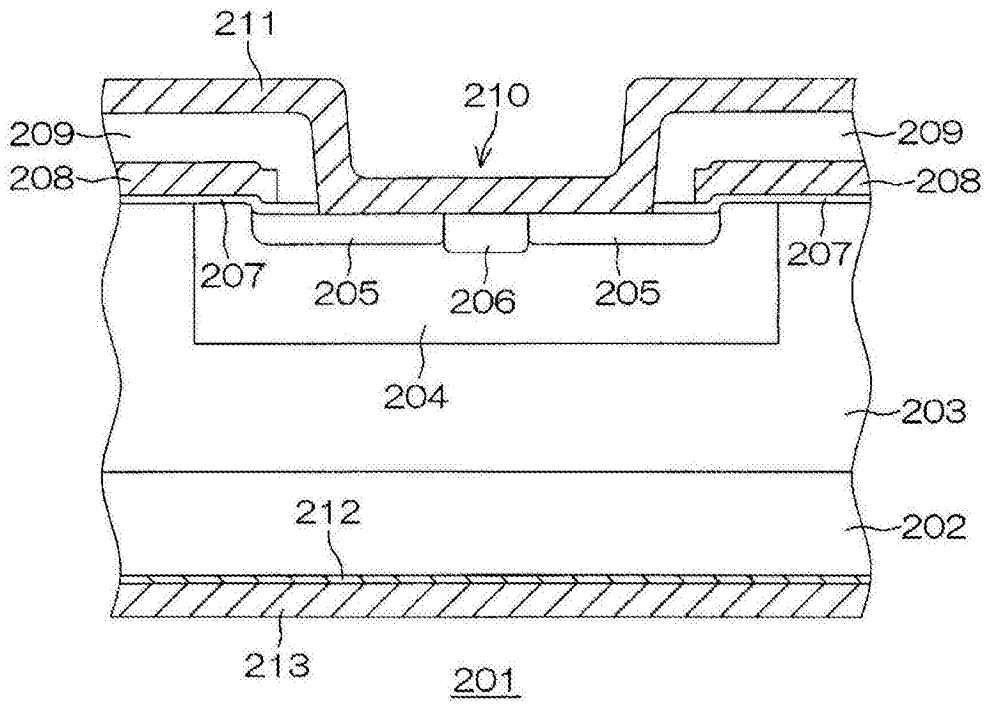


图30

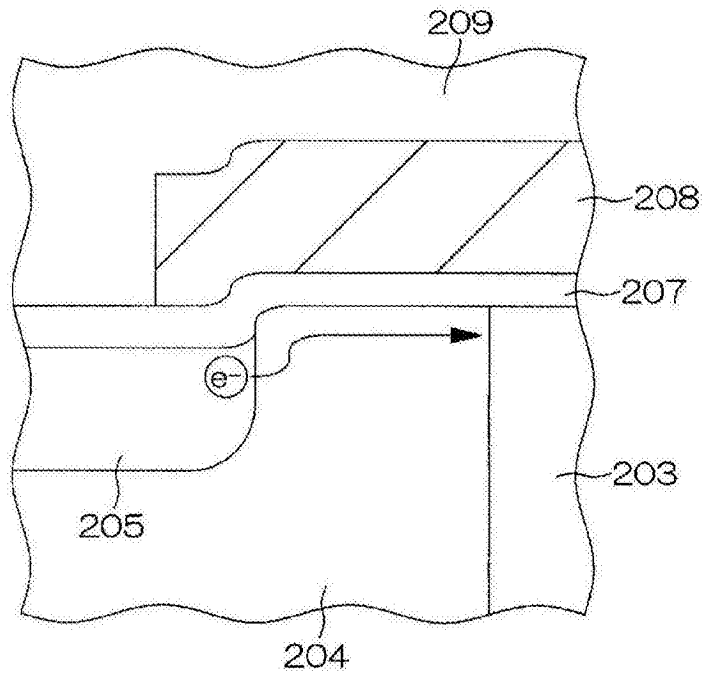


图31

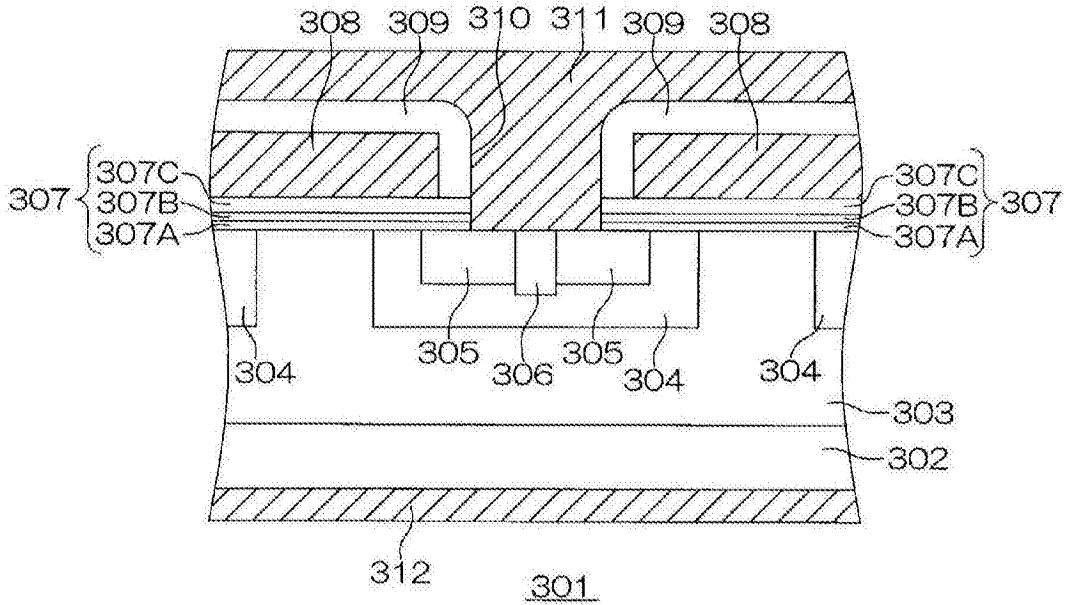


图32



图33

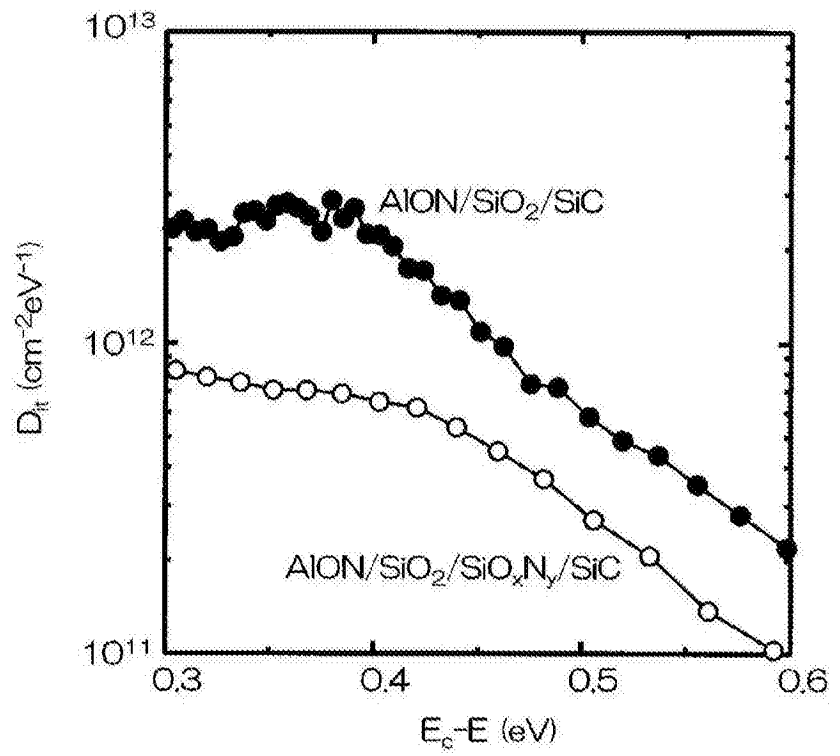


图34



图35

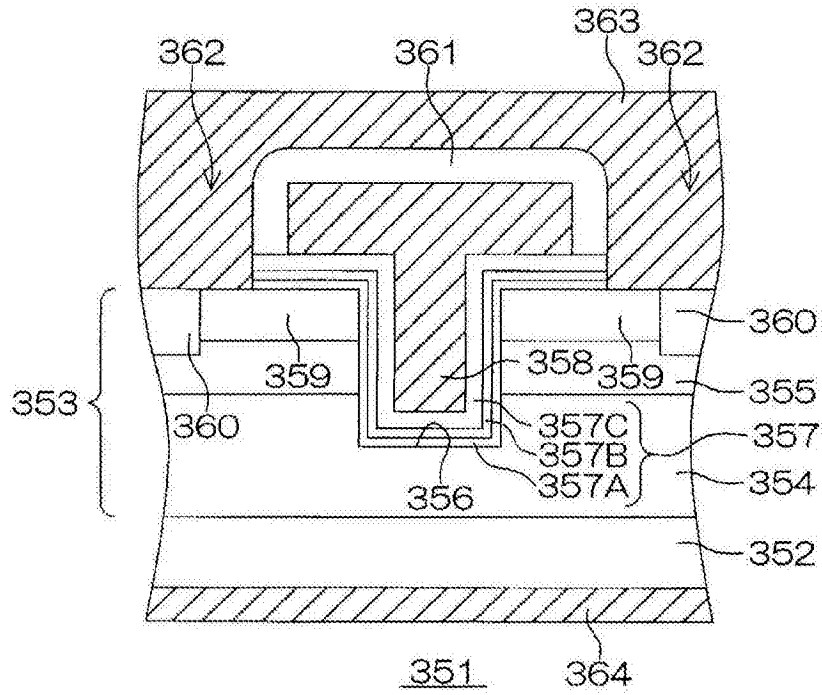


图36

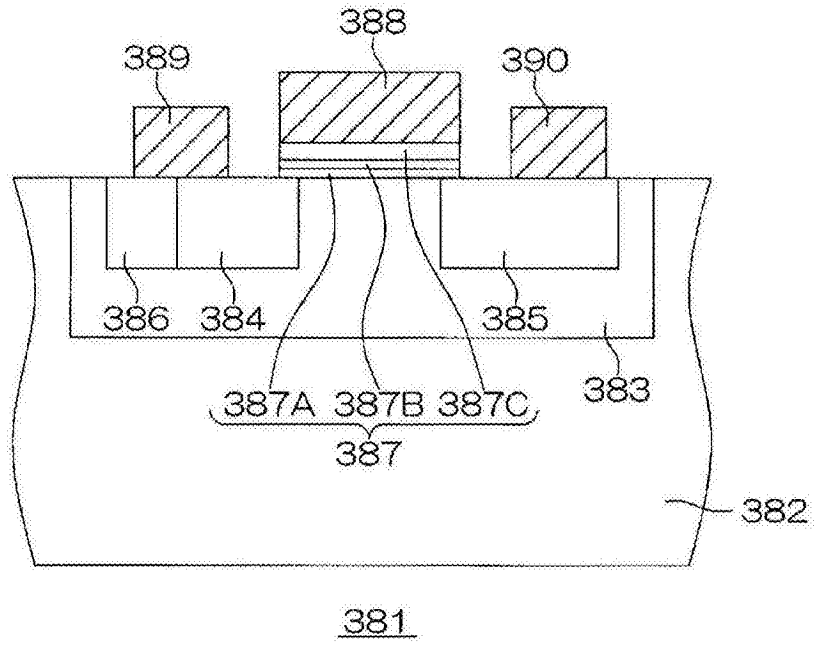


图37

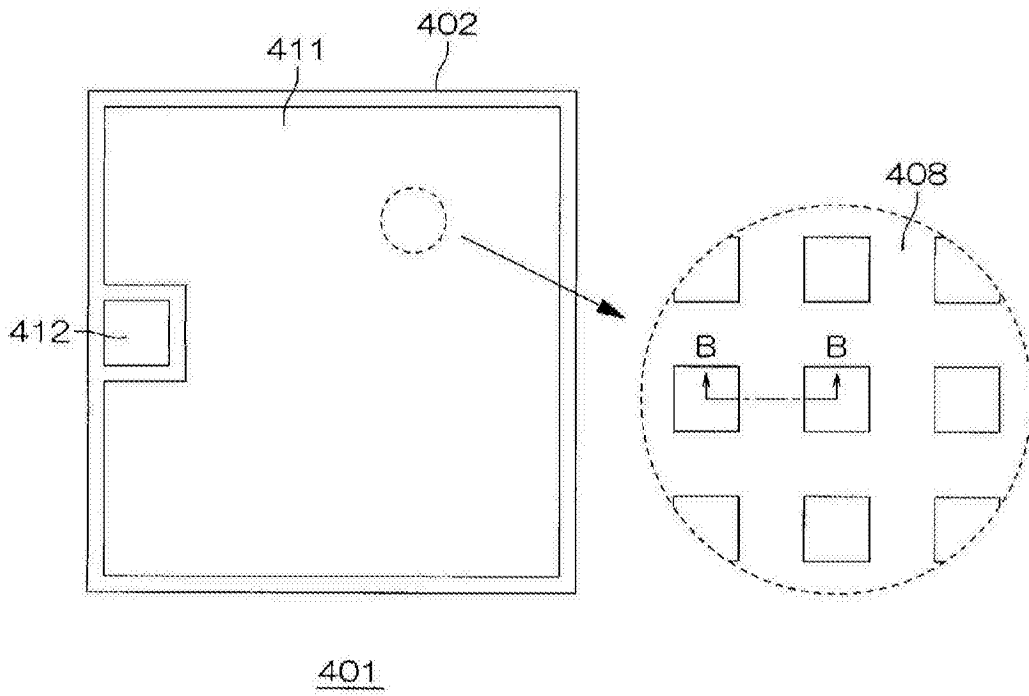


图38

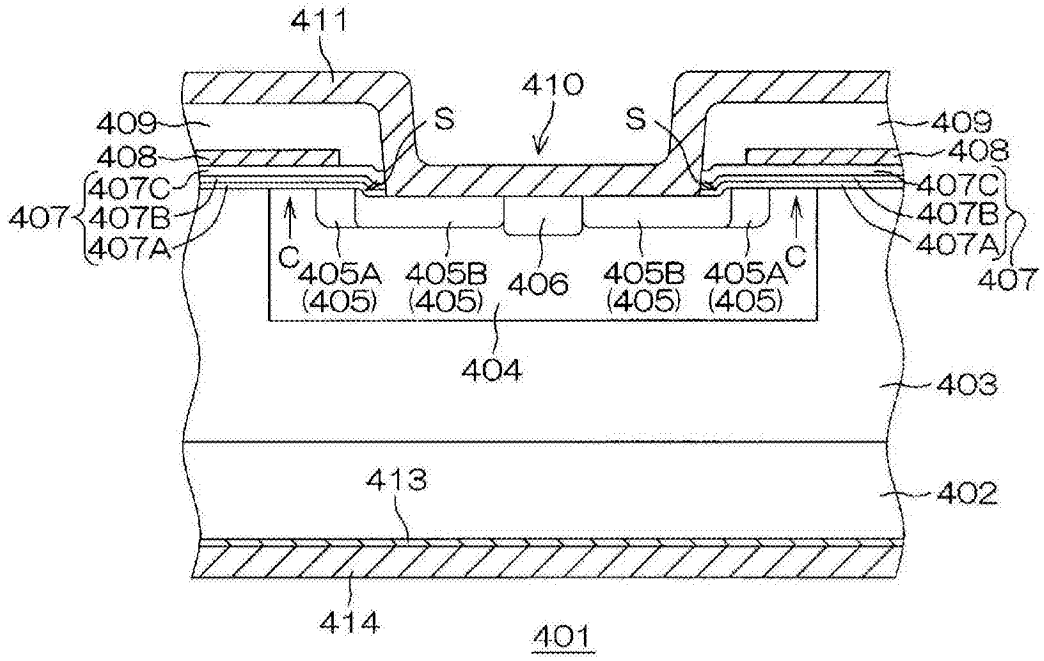


图39

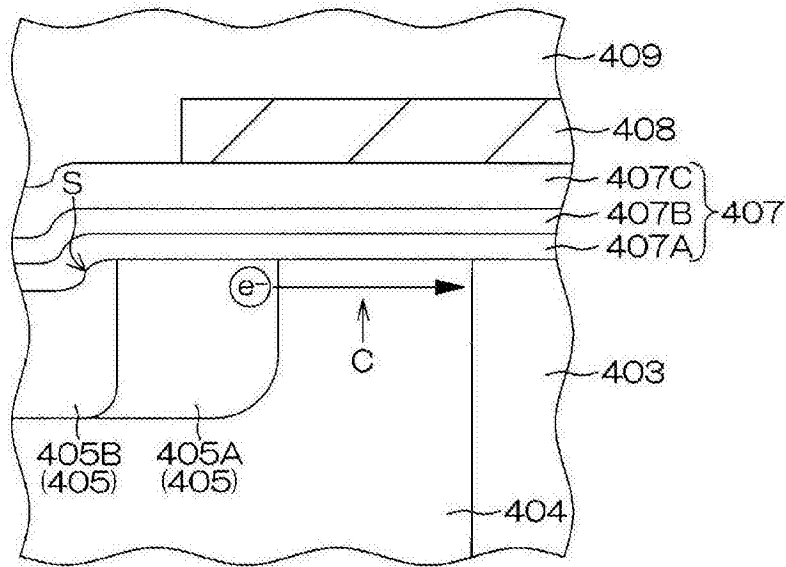


图40

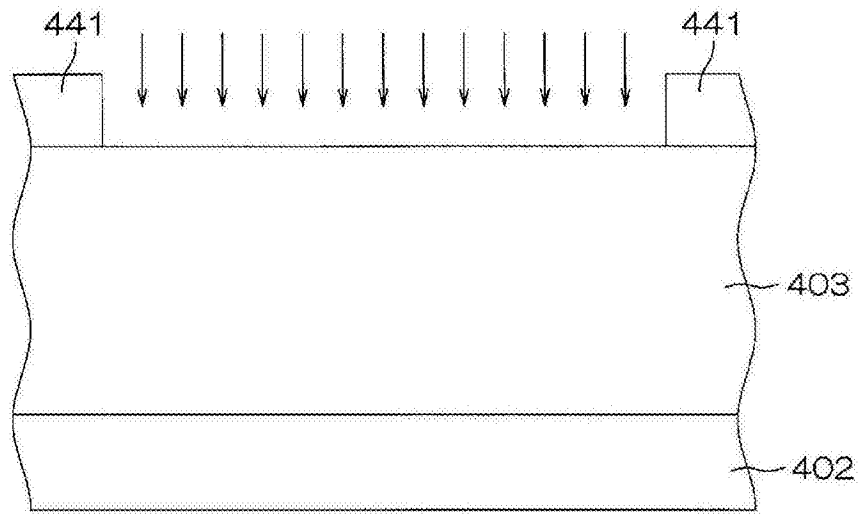


图41A

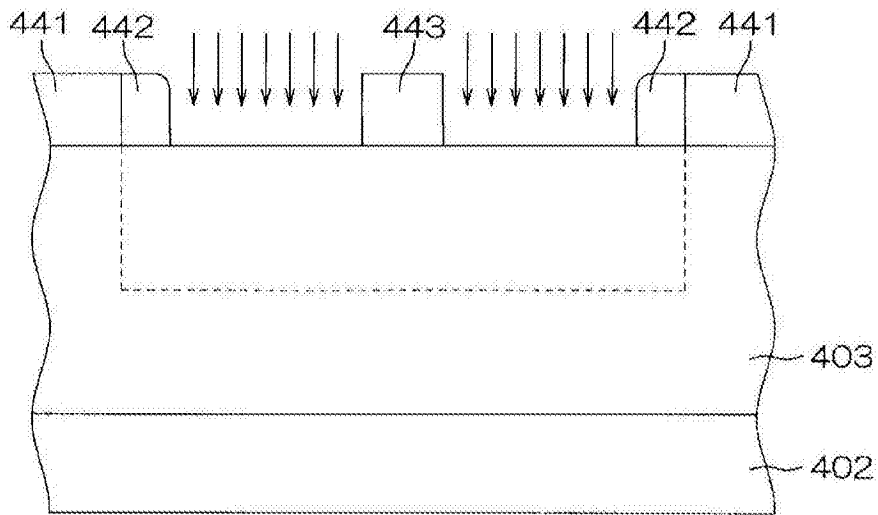


图41B

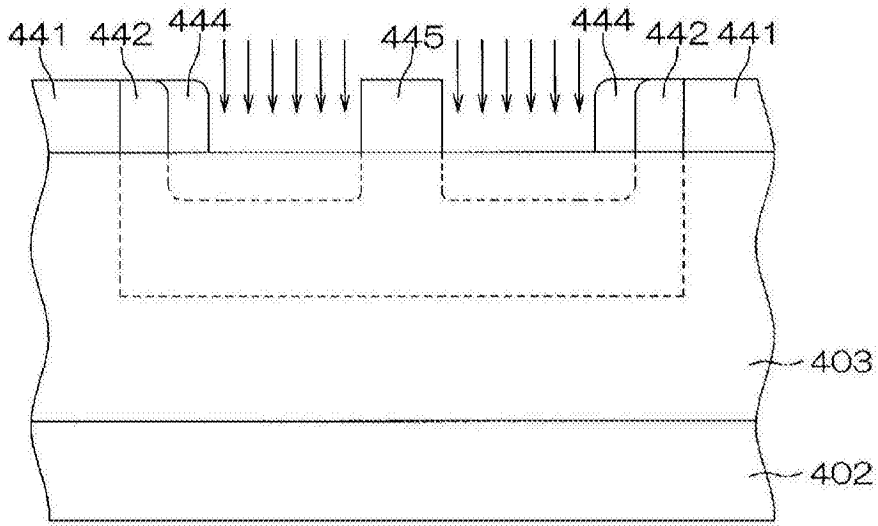


图41C

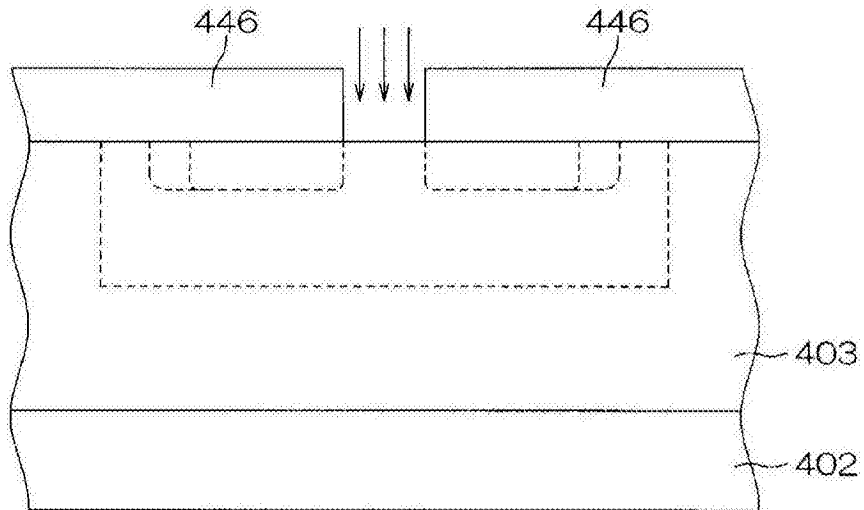


图41D

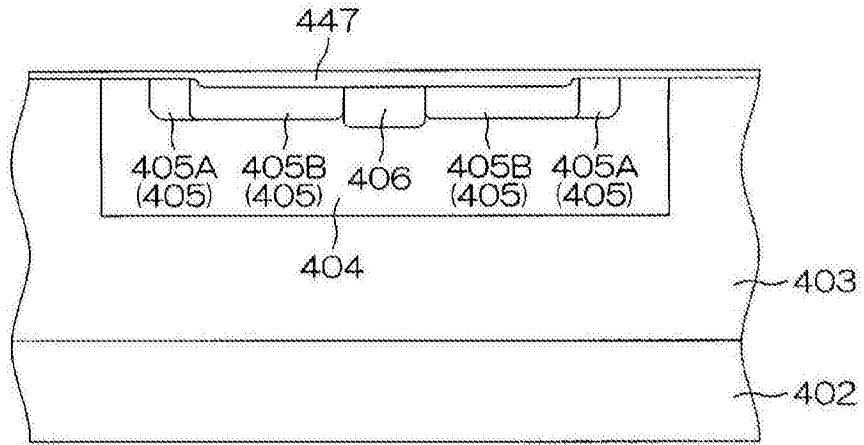


图41E

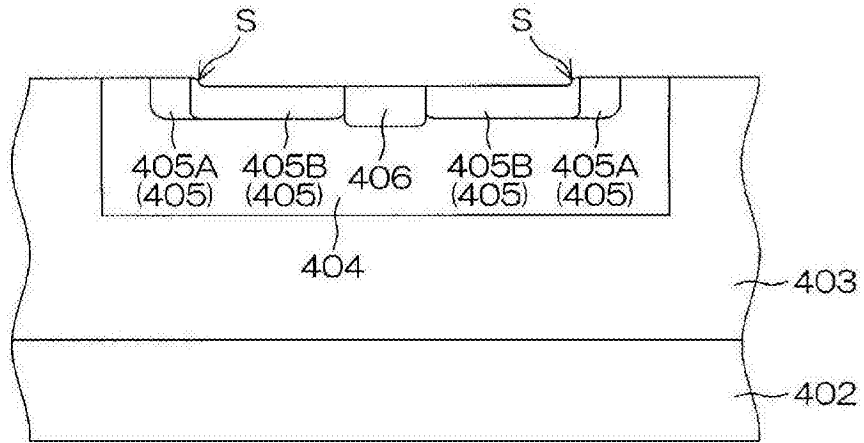


图41F

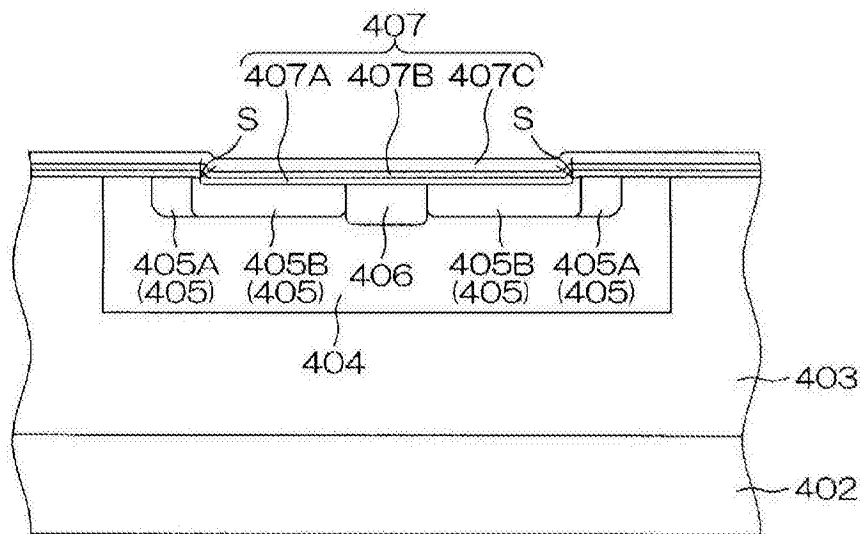


图41G

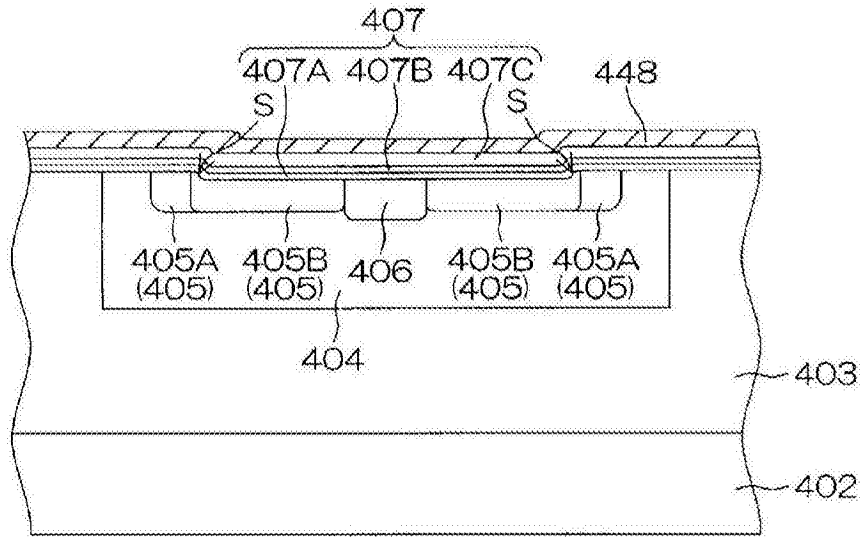


图41H

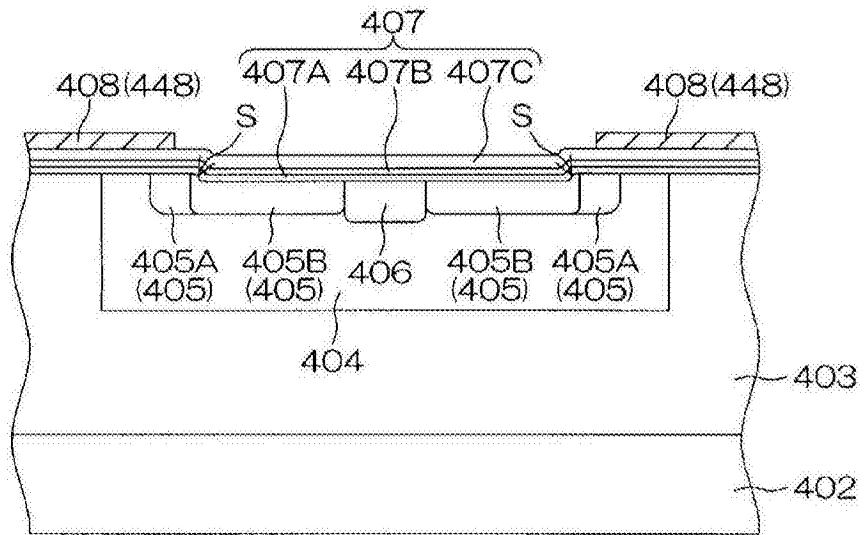


图41I

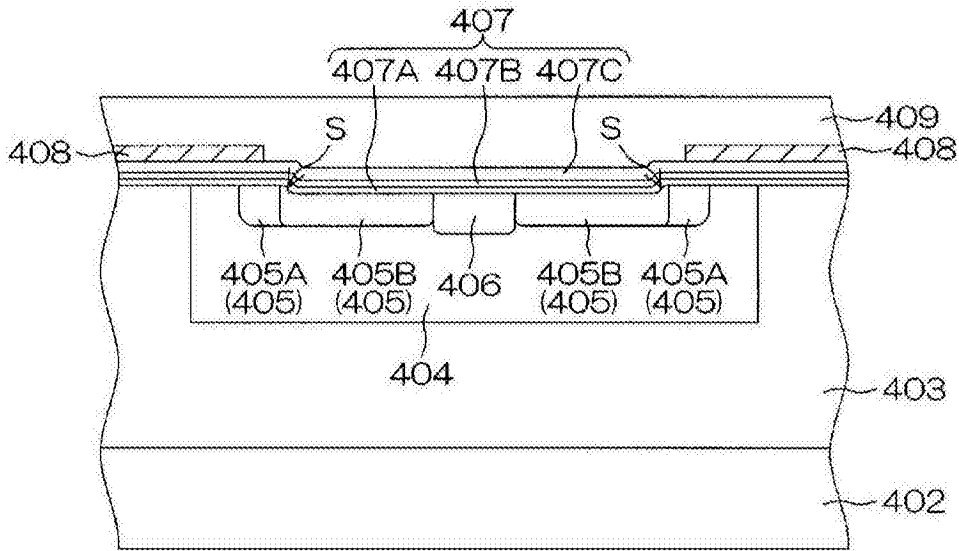


图41J

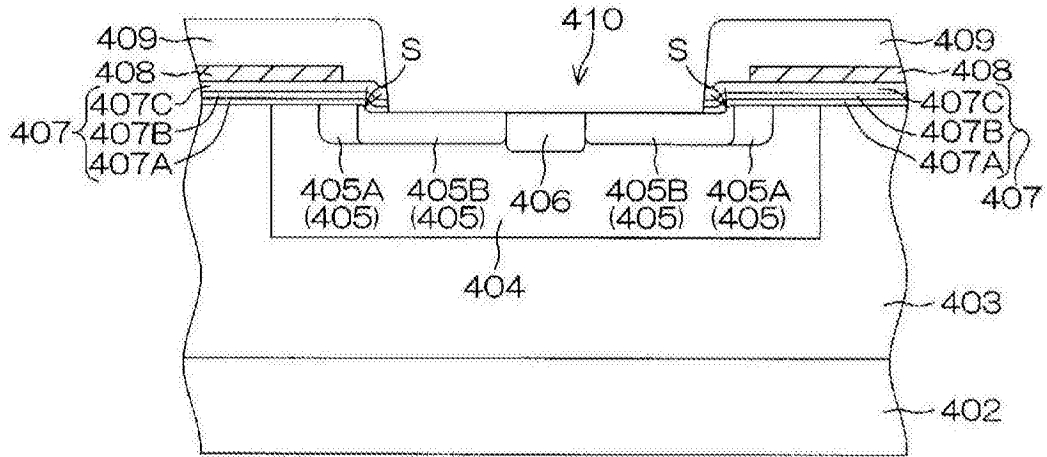


图41K



图42

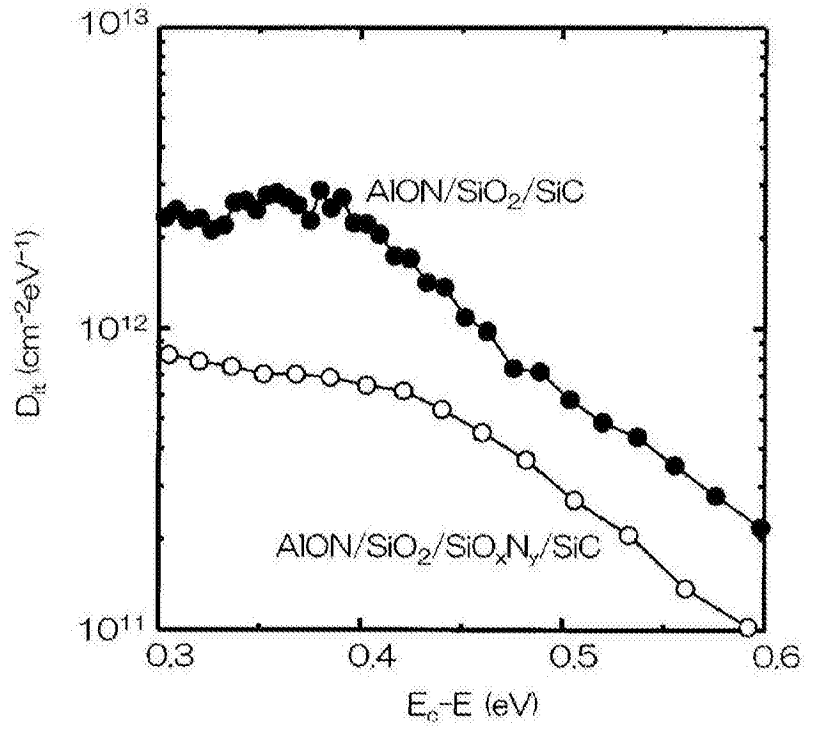


图43



图44

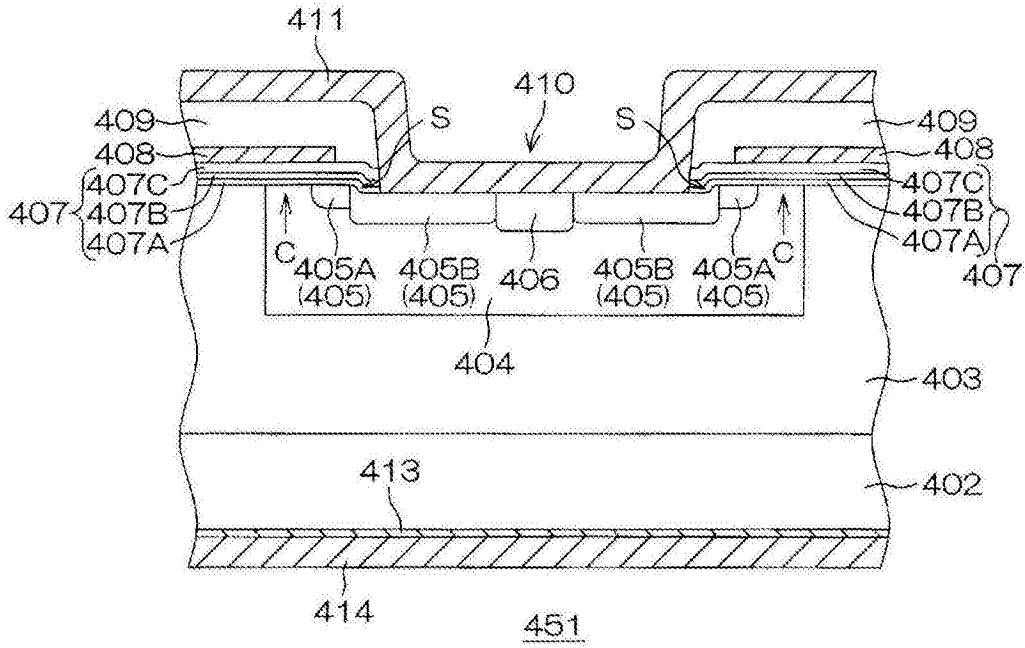


图45

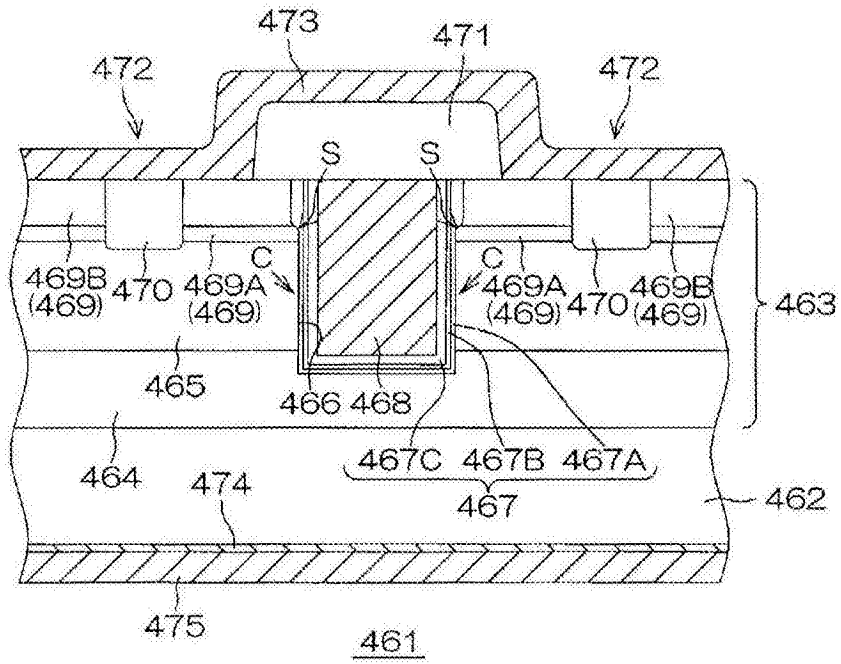


图46

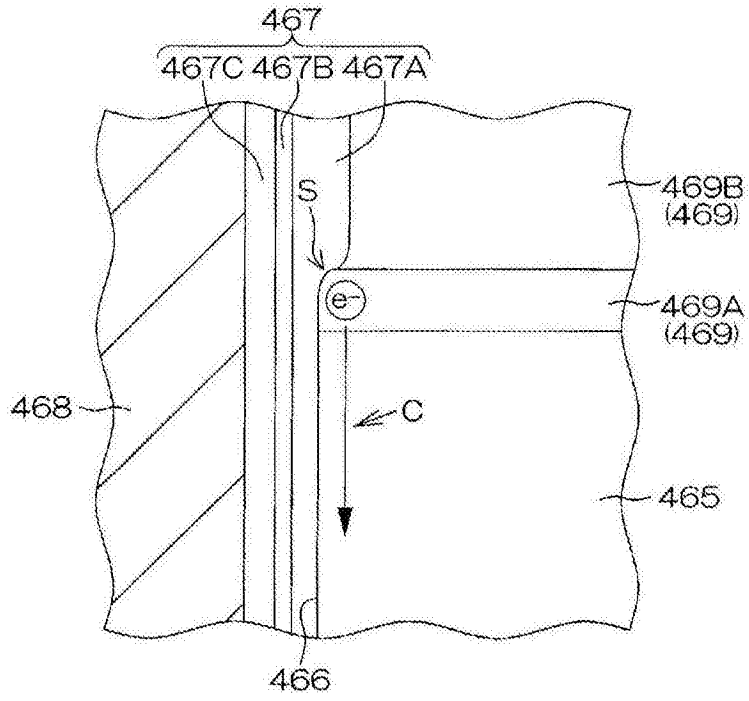


图47

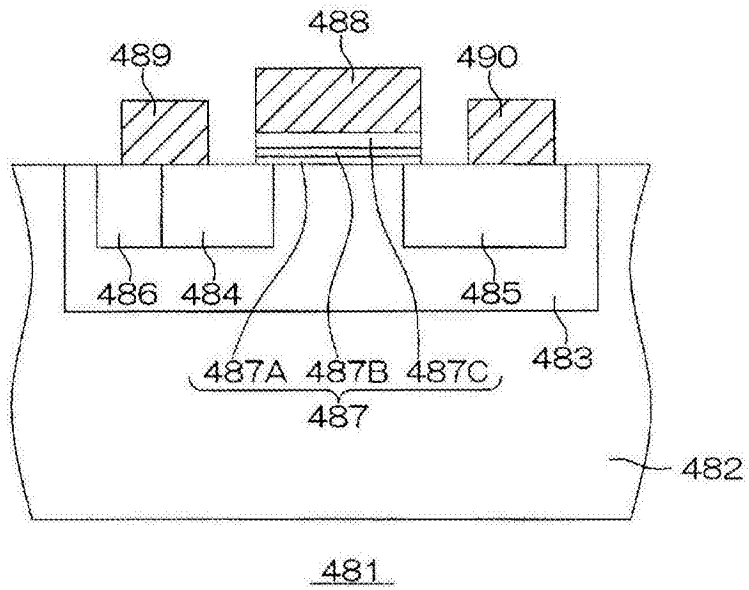


图48

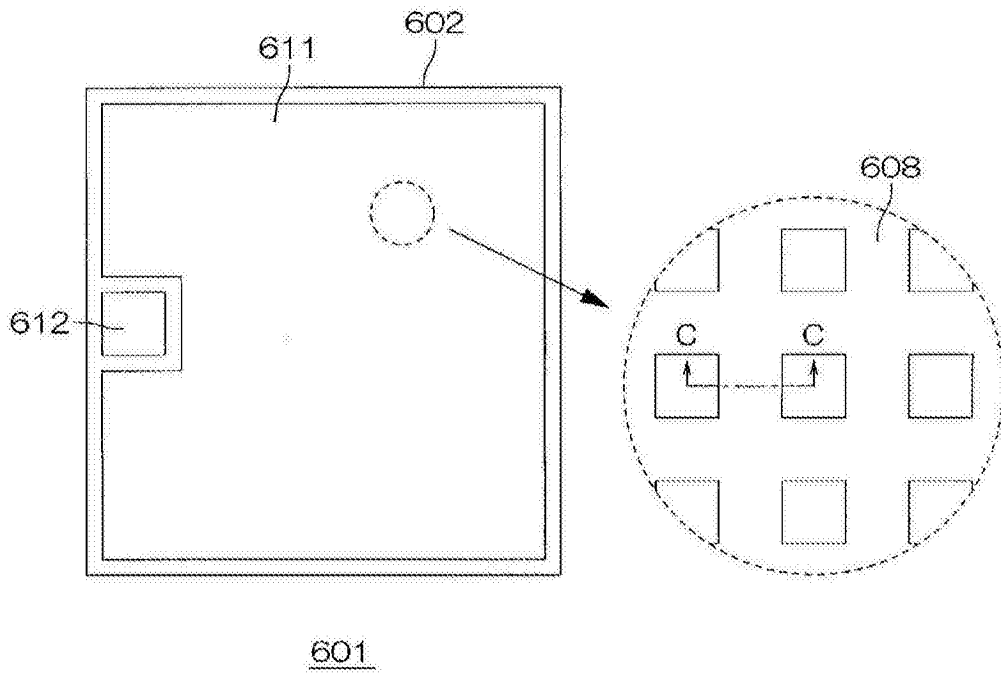


图49

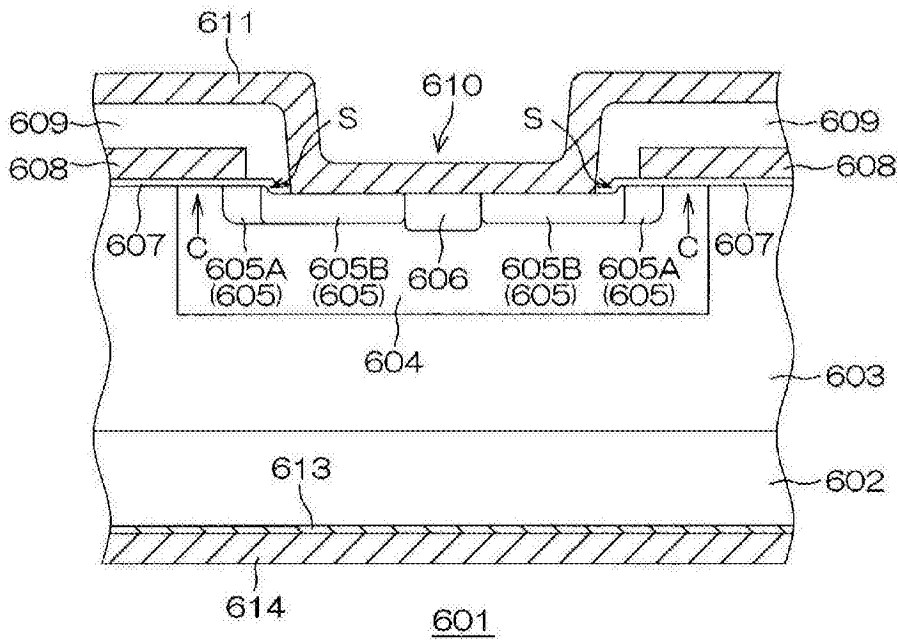


图50

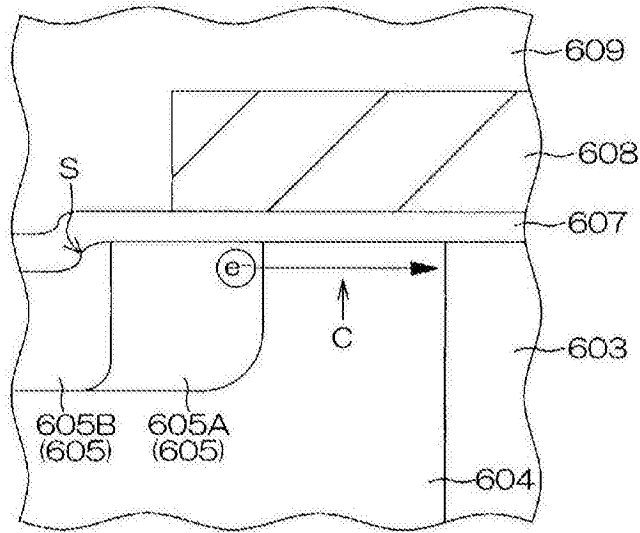


图51

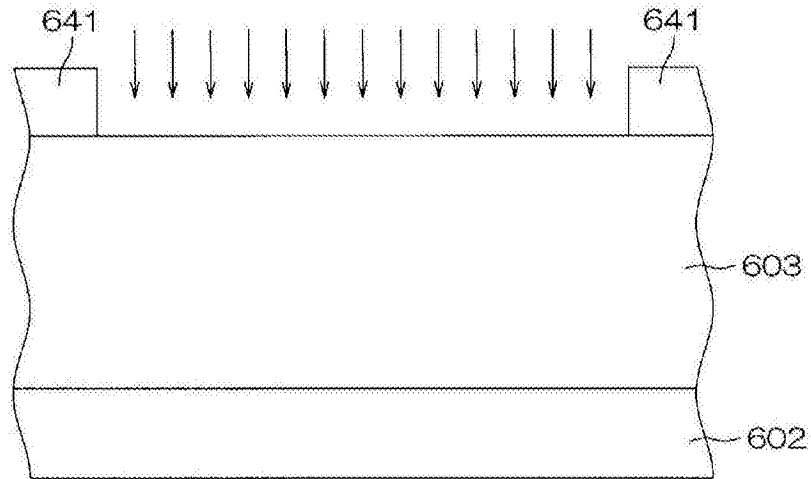


图52A

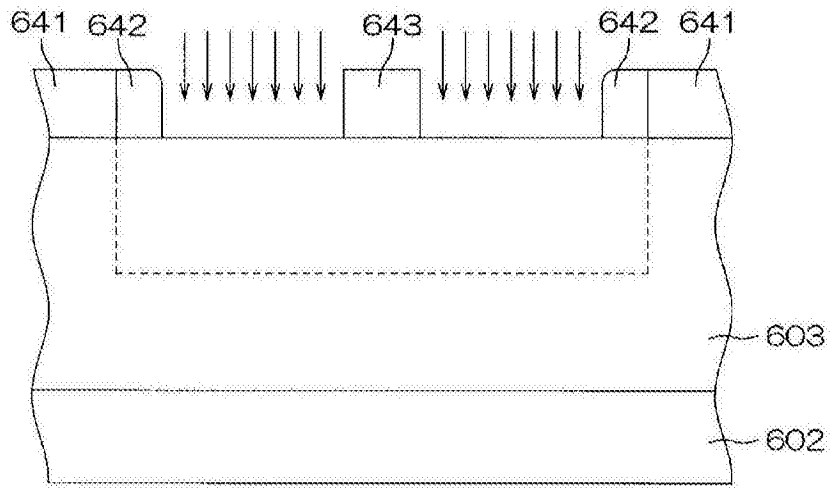


图52B

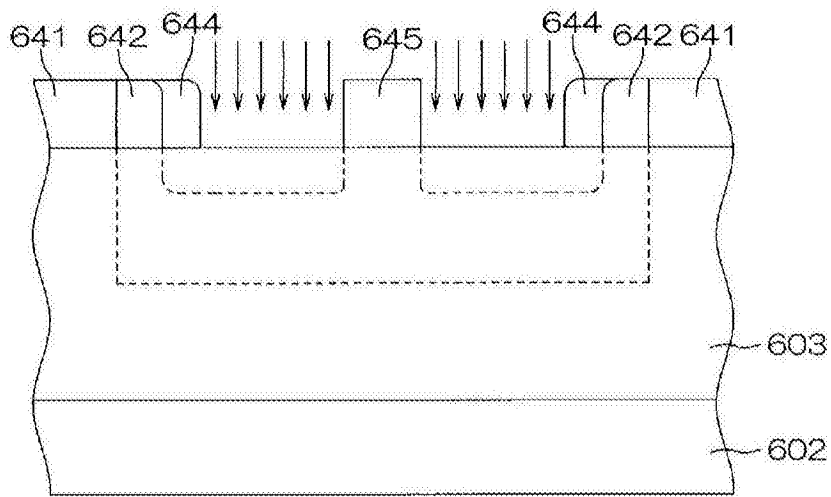


图52C

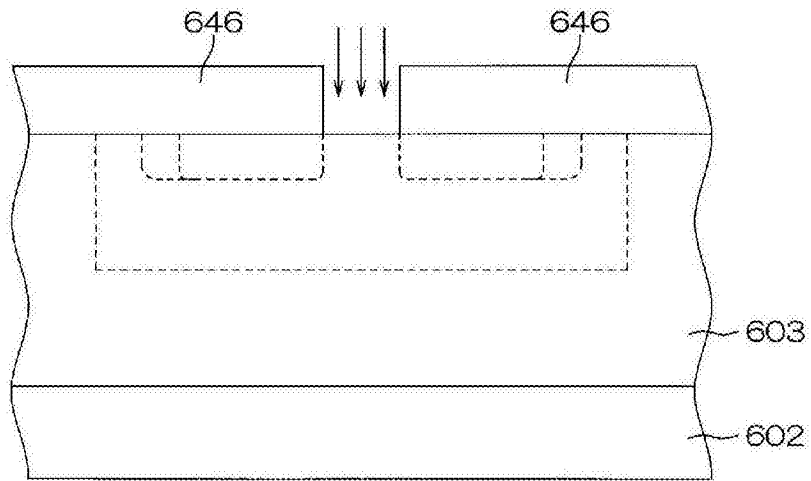


图52D

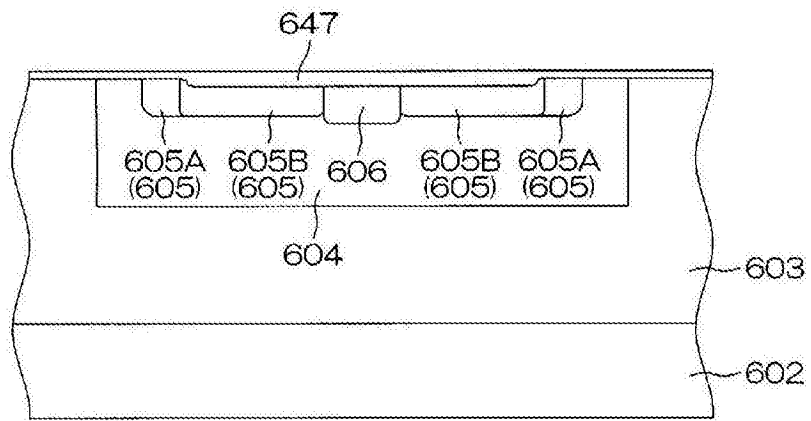


图52E

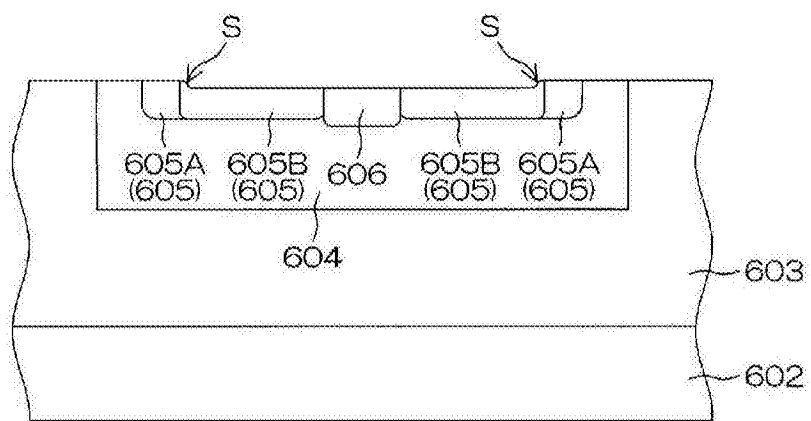


图52F

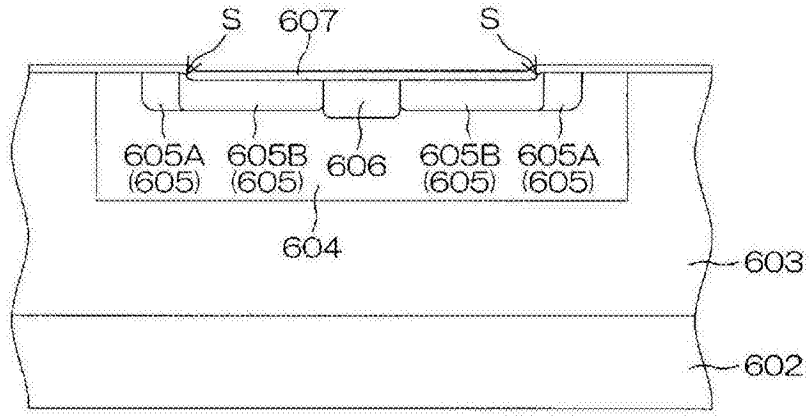


图52G

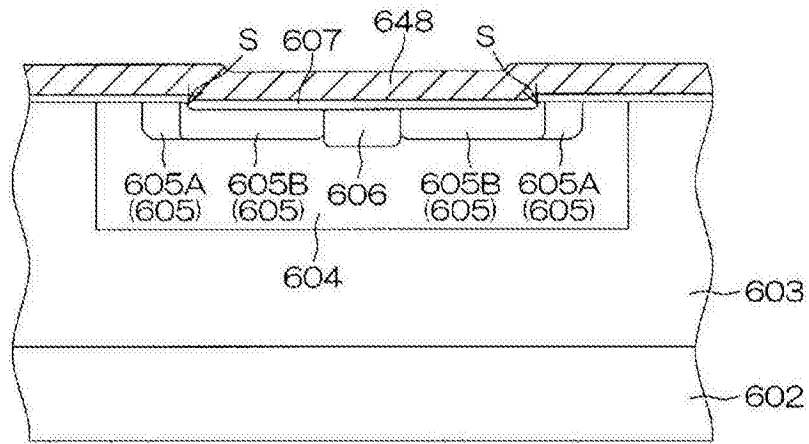


图52H

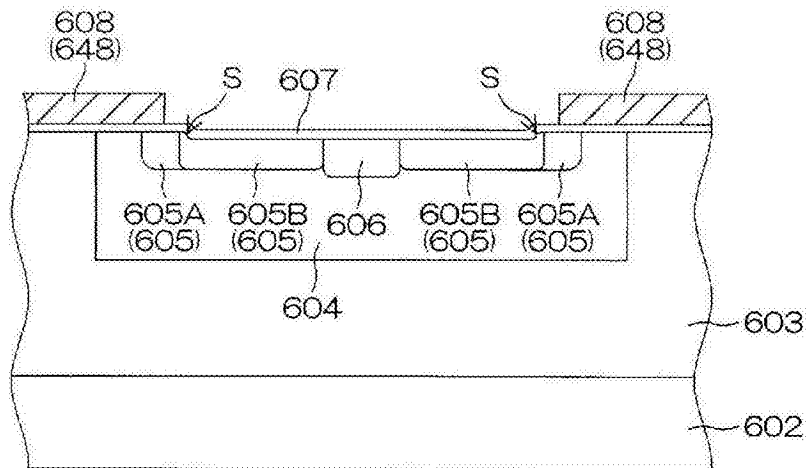


图52I

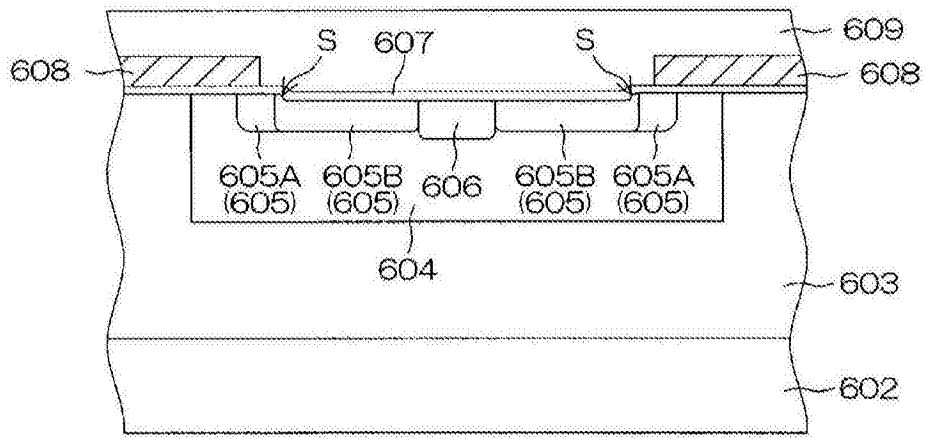


图52J

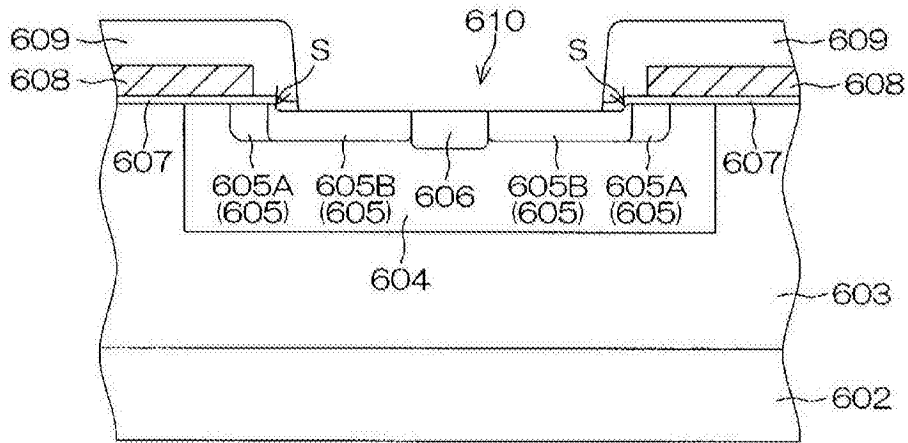


图52K

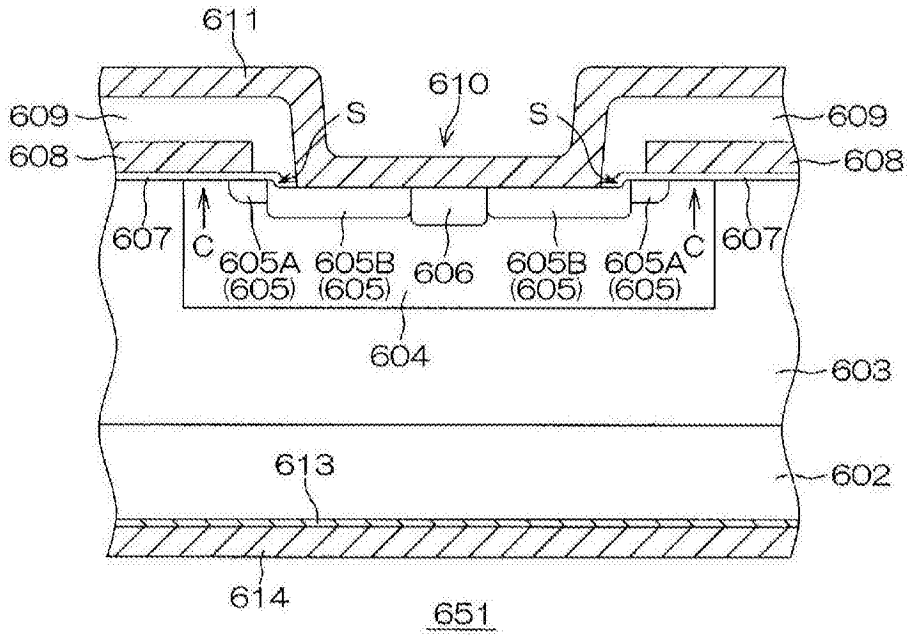


图53

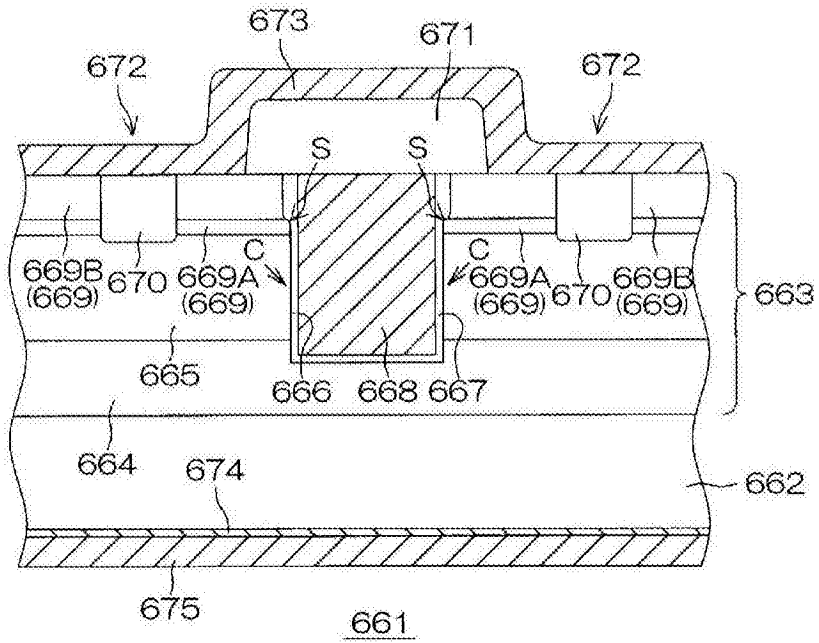


图54

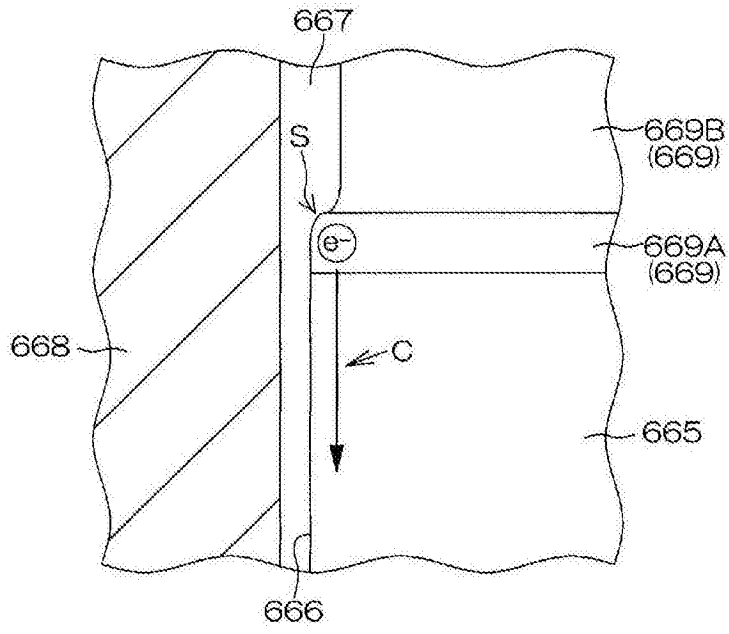


图55