

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5299730号
(P5299730)

(45) 発行日 平成25年9月25日 (2013.9.25)

(24) 登録日 平成25年6月28日 (2013.6.28)

(51) Int. Cl.	F I				
G09G	3/20	(2006.01)	G09G	3/20	680G
G09F	9/30	(2006.01)	G09F	9/30	338
G09G	3/36	(2006.01)	G09G	3/36	
G02F	1/133	(2006.01)	G09G	3/20	621M
			G09G	3/20	622A

請求項の数 13 (全 31 頁) 最終頁に続く

(21) 出願番号	特願2006-280234 (P2006-280234)	(73) 特許権者	303018827 NLTテクノロジー株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成18年10月13日 (2006.10.13)	(74) 代理人	100080816 弁理士 加藤 朝道
(65) 公開番号	特開2008-96818 (P2008-96818A)	(72) 発明者	芳賀 浩史 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内
(43) 公開日	平成20年4月24日 (2008.4.24)	(72) 発明者	浅田 秀樹 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内
審査請求日	平成21年9月11日 (2009.9.11)	(72) 発明者	金子 節夫 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

複数段縦続接続された単位回路を備え、前記単位回路は、走査信号入力端子または前段からの走査信号をクロック信号に 응답して後段に転送するとともに、前記走査信号を出力ノードから、対応する段の画素回路に出力する走査回路の前記単位回路と、

表示素子と、前記表示素子の一端とデータ信号が印加される端子との間に挿入され、前記単位回路の前記出力ノードから出力される走査信号によりオン・オフが制御される画素スイッチトランジスタと、を備えた画素回路と、を表示装置要素1組とし、前記単位回路と前記画素回路の前記表示装置要素の組を、一筆書きの要領で複数組配設し、表示領域のほぼ全領域を形成し、

前記走査回路の前記単位回路が、前記クロック信号によりオン又はオフ制御され、オン時、前記走査信号を通過させるスイッチを含み

前記単位回路において、前記スイッチが、前記クロック信号をゲート端子に入力するスイッチトランジスタからなり、前記スイッチトランジスタの前段又は後段にインバータを備え、隣接する前記画素回路で前記画素回路の前記画素スイッチトランジスタの極性が異なる、表示装置。

【請求項2】

前記クロック信号が1相クロックである、ことを特徴とする請求項1記載の表示装置。

【請求項3】

前記走査回路に含まれる前記スイッチトランジスタと前記画素回路に含まれる前記画素

スイッチトランジスタは、ガラス基板上に形成したポリシリコンTFTであり、アクティブマトリクス液晶表示装置を構成してなる、ことを特徴とする請求項2記載の表示装置。

【請求項4】

前記走査回路は、前記表示装置基板に、複数行に亘って配設され、少なくとも2つの行の走査回路の一端に折り返し部を備え、前記少なくとも2つの行の走査回路の一端の折り返し部間は転送配線で接続される、ことを特徴とする請求項1記載の表示装置。

【請求項5】

前記走査回路が螺旋形状に、前記表示装置基板に配設される、ことを特徴とする請求項1記載の表示装置。

【請求項6】

前記走査回路の一部が、前記画素回路と画素回路との間、又は、前記画素回路の下に配設されている、ことを特徴とする請求項1乃至5のいずれか1項に記載の表示装置。

【請求項7】

表示領域を複数のサブ領域に分割し、前記サブ領域のそれぞれに対して、前記走査信号入力端子を備え、複数組の前記単位回路と前記画素回路を、前記サブ領域ごとに備えたことを特徴とする請求項1に記載の表示装置。

【請求項8】

前記単位回路と前記画素回路の組を、ライン状に複数個形成した可撓性を有するライン状表示装置を、支持体に2回以上巻きつけて形成した、ことを特徴とする請求項1記載の表示装置。

【請求項9】

請求項1乃至8のいずれか一に記載の表示装置を備えた電子機器。

【請求項10】

前記走査回路の奇数段目の単位回路の出力ノードは、第1の極性の走査信号を出力し、前記走査回路の偶数段目の単位回路の出力ノードは、前記第1の極性と逆の第2極性の走査信号を出力し、

前記走査回路の奇数段目の単位回路の出力ノードに接続される画素スイッチトランジスタは、第1導電型のトランジスタよりなり、

前記走査回路の偶数段目の単位回路の出力ノードに接続される画素スイッチトランジスタは、第2導電型のトランジスタよりなる、ことを特徴とする請求項1又は2記載の表示装置。

【請求項11】

前記走査回路の奇数段目の単位回路は、

前段から供給される前記走査信号のパルスが入力されるインバータ回路と、

前記インバータ回路の出力ノードと、前記単位回路の出力ノードとの間に接続された第2導電型のスイッチトランジスタと、

を含み、

前記走査回路の偶数段目の単位回路は、

前段から供給される前記走査信号のパルスが入力されるインバータ回路と、

前記インバータ回路の出力ノードと、前記単位回路の出力ノードとの間に接続された第1導電型のスイッチトランジスタと、

を含み、

前記走査回路の奇数段目及び偶数段目の単位回路の前記スイッチトランジスタのゲート電極には、共通のクロック信号が入力される、ことを特徴とする請求項10記載の表示装置。

【請求項12】

前記走査回路の奇数段目及び偶数段目の単位回路は、

前段から供給される前記走査信号のパルスが入力されるインバータ回路と、

前記インバータ回路の出力ノードと、前記単位回路の出力ノードとの間に接続された相補型のスイッチトランジスタよりなるCMOSトランスミッションゲートと、

10

20

30

40

50

を含み、

前記走査回路の奇数段目の単位回路に含まれる前記CMOSトランスマッションゲートの第2導電型のスイッチトランジスタのゲート電極にはクロック信号が供給され、前記CMOSトランスマッションゲートの第1導電型のスイッチトランジスタのゲート電極には、前記クロック信号の反転信号が供給され、

前記走査回路の偶数段目の単位回路に含まれる前記CMOSトランスマッションゲートの第2導電型のスイッチトランジスタのゲート電極には、前記クロック信号の反転信号が供給され、前記CMOSトランスマッションゲートの第1導電型のスイッチトランジスタのゲート電極には前記クロック信号が供給される、ことを特徴とする請求項10記載の表示装置。

10

【請求項13】

前記表示領域は、ライン、平面、又は立体のうちの任意形状である、ことを特徴とする請求項1-8、10-12のいずれか1項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に矩形以外の形状を有する、液晶表示装置、EL(Electroluminescence)表示装置等の面表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス液晶表示装置は、複数の画素が行及び列の形態を整え、つまりマトリクス状に配置されて構成される。画素マトリクスの各行は、薄膜トランジスタ(TFT)のゲート電極に接続されるゲート配線を共有する。画素マトリクスの各列は、データ信号が供給されるデータ配線を共有する。ゲート配線の信号は薄膜トランジスタのオン、オフを制御し、薄膜トランジスタがオンの時に、データ配線の信号が液晶材料に与られ、これにより、液晶材料の光学特性を変更する。

20

【0003】

図19は、アクティブマトリクス液晶表示装置における従来の画素構成を示している。画素マトリクスの各行は共通のゲート配線10を共有し、画素マトリクスの各列は共通のデータ配線12を共有している。各画素は、データ配線と共通電極18との間で直列に配置された薄膜トランジスタ14及び液晶セル16を備えている。薄膜トランジスタ14は、ゲート配線に供給される信号によってオン及びオフに切り換えられる。したがって、ゲート配線は、画素の対応する行の各薄膜トランジスタ14のゲート電極に接続される。また、各画素は、蓄積容量20を備えている。この蓄積容量20の一端は、次のゲート配線、前のゲート配線、あるいは、別個の蓄積容量配線に対して接続されている。この蓄積容量20は、薄膜トランジスタ14がオフされた後であっても液晶セル16の電圧が維持されるように電荷を蓄積する。

30

【0004】

液晶セルに所望の電圧を印加して必要なグレーレベル(gray scale level)を得るため、ゲート配線上のアドレス信号と同期して、データ配線に適切な信号が供給される。このアドレス信号が薄膜トランジスタ14をオンにし、それにより、データ配線に与えた信号電圧に応じて、液晶セル16を所望の電圧まで充放電すると同時に蓄積容量を充放電する。

40

【0005】

アドレス信号により、薄膜トランジスタ14はオフされ、蓄積容量20は、他の行がアドレス指定されている時に液晶セル16の両端間の電圧を維持する。蓄積容量20は、薄膜トランジスタ14がオフ時のリークや容量カップリング、液晶の誘電率変動に起因する液晶セル電圧の変動を低減させる。

【0006】

各行は、1つのフレーム周期で全ての行がアドレスされるように連続的にアドレス指定

50

される。

【0007】

図20は、従来のアクティブマトリクス液晶表示装置の構成を平面図にて示したものである。図20を参照すると、アドレス信号は、ゲートドライバ回路30によって供給され、データ信号は、データドライバ回路32により、画素マトリクス34に対して供給される。図20には、矩形形状のアクティブマトリクス表示装置が示されている。

【0008】

これに対して、非矩形形状の表示装置が特許文献1に開示されている。図21は、特許文献1で開示された、非矩形形状表示装置の平面図である。

【0009】

特許文献1によると、この表示装置は、画素のアレイと、ゲートドライバ回路部（図中Rで示される）及びデータドライバ回路部（図中Cで示される）を有するドライバ回路構成とを備え、各画素は、対応する行及び列配線に接続するゲートドライバ回路部及びデータドライバ回路部によってアドレッシングされ、画素のアレイが非矩形形状の外形を成す表示装置であって、前記アレイの外周に沿って配置された少なくとも3つの前記ゲートドライバ回路部及び少なくとも3つの前記データドライバ回路部を備え、これらの行及びデータドライバ回路部は、外周に沿って交互に配置されている。これらゲートドライバ回路部及びデータドライバ回路部は、表示装置画素と同じ基板上に形成されてもよく、例えば画素及びドライバ回路は、ポリシリコンプロセス技術を使用して形成されてもよい。

【0010】

【特許文献1】特表2005-528644号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上記した従来の表示装置は、以下のような問題点を有する。

【0012】

第1の問題点は、任意形状の表示装置には対応できない、ということである。すなわち、従来技術により、ある程度の非矩形形状の表示装置を得ることができるものの、その形状設計の自由度は依然として低い。

【0013】

その1つの理由は、画素マトリクスの外周形状に沿ってドライバ回路を配置するからである。従来技術では、画素にアドレスするためには、各画素から画素マトリクスの外周部まで引き伸ばされた横方向に伸びたゲート配線と、画素から画素マトリクスの外周部まで引き伸ばされた縦方向に伸びたデータ配線とが必要とされている。そして、これらゲート配線及びデータ配線が分断されないようにしなければならず、このため、表示装置の形状の自由度に限界があった。表示装置の形状によっては、これら配線の一部が分断されアドレスされない画素領域が生じるといった問題が生じる。

【0014】

従来技術の表示装置が、任意の形状に対応できない他の理由として、画素マトリクス部外周に、TAB（Tape Automated Bonding）の形態のドライバ回路を接続している例が挙げられる。TABは、フィルム状になったTCP（Tape Carrier Package）の形態で取り扱われるものであり、一個一個のTABに切断される前は、映写フィルムの如くコイル状にドラムに巻きつけられている。

【0015】

このため、切断後のTABは平坦な形状であって、通常TABを液晶パネルに異方性導電膜を用いて接続した後、これ折り曲げる工程を経る。

【0016】

図21のように曲線状の外周形状を有する液晶パネルにTABを接続した後、TABを折り曲げて、かつ、図21のようなハート型の形状を意匠上の特徴としようとした場合、このTAB折り曲げが困難となる。

10

20

30

40

50

【0017】

その理由は、TABの折り曲げ部は、通常直線形状になるためである。

【0018】

この問題は、外周形状の曲率半径が小さいほど深刻となり、また1つのTAB接続部に複数個の山や谷が存在する形状の場合、この形状に沿ってTABを折り曲げ、この形状を意匠上の特徴にすることは極めて困難な仕事となる。

【0019】

第2の問題点は、ドライバ回路をポリシリコンプロセス技術を使用し、外周の曲線形状に沿って形成するためには、マスク設計に多大な時間を要するという点である。

【0020】

表示装置のドライバ回路のレイアウトは、画素マトリクス部のレイアウトと同様に、単位セルとよばれるレイアウトをアレイ状に複数個配置することで描かれている。

【0021】

例えばゲートドライバ回路の場合、走査回路の一段を構成する回路と、1段分の走査回路の出力をバッファする回路と、1段分のバッファの出力をイネーブルする回路とで構成される単位セルを作成した後、そのピッチと個数とをCAD(Computer Aided Design)上で指定することで、セルが直線上にアレイ配置され、所望の回路レイアウトを短時間で得ることができる。

【0022】

現在の回路レイアウト用のCADは、単位セルをX及びY方向に直線状にアレイ配置する機能はあるものの、単位セルを曲線状にアレイ配置する機能は無い。

【0023】

従って、表示装置の外周形状に沿ったドライバ回路のレイアウトを作成するためには、基本セルを1個ずつ手で配置するか、基本セル数個のアレイを作成した後、これを手で配置しなければならない。このため、マスク設計に多大な時間を要し、マスク設計者は疲労困憊し帰宅することとなる。

【0024】

したがって、本発明の目的は、表示装置の形状設計の自由度を高め、任意形状の表示装置を提供することにある。

【0025】

本発明の別の目的は、任意形状の表示装置の設計時間を短縮し、その生産性を向上する表示装置を提供することにある。

【0026】

本発明のさらに別の目的は、上記目的を達成しながら、表示装置の狭額縁化を可能とする表示装置を提供することにある。

【0027】

本発明のさらに別の目的は、上記目的を達成しながら、表示装置基板の接続端子数を削減可能とする表示装置を提供することにある。

【0028】

本発明のさらに別の目的は、上記目的を達成しながら、画素の開口率を高めることを可能とする表示装置を提供することにある。

【課題を解決するための手段】

【0029】

本願で開示される発明は、前記課題を解決するため、概略以下の構成とされる。なお、以下では、括弧内に図面の参照符号を付加して本発明を説明するが、これは、あくまで本発明の理解を容易とするためのものであり、本発明の範囲を限定するためのものとして解釈すべきものでないことはいうまでもない。

【0030】

本発明に係る面表示装置は、その第1のAspectにおいて、走査回路の一段を構成する回路(走査回路の「単位回路」ともいう)(図2の206)と、前記回路(図2の20

10

20

30

40

50

6) の出力ノード (図 2 の n 2) に接続された画素回路 (202) とを含み構成される表示装置要素 (200) を、一筆書きの要領で表示装置基板 (図 1 の 208) に配設した構成とされている。つまり、走査回路の一段を構成する回路 (図 2 の 206) と、前記回路 (図 2 の 206) の出力ノード (図 2 の n 2) に接続された画素回路 (202) とを含む表示装置要素 (200) を、表示装置基板 (図 1 の 208) に連続して配設した構成とされる。

【0031】

上記走査回路は、これを駆動するために必要なクロック信号が 1 相のクロック信号である構成とするとよい。

【0032】

他のアスペクト (請求項 3) において、本発明に係る面表示装置は、走査回路の出力ノードに走査信号を出力するためのトランジスタ (図 13 の 214 a、214 b、214 c、214 d、...) を含んで構成される走査回路 (204) と、前記出力ノードに接続された画素回路 (202) とを有する面表示装置であって、前記出力ノードに走査信号を出力するためのトランジスタと、1 つの画素回路とを 1 組とし、前記組を前記面表示装置に複数組配設することで表示領域のほぼ全領域を形成した、構成とされている。

【0033】

さらに他のアスペクト (請求項 4) において、本発明に係るアクティブマトリクス液晶表示装置は、走査回路の出力ノードに走査信号を出力するためのトランジスタ (図 13 の 214 a、214 b、214 c、214 d、...) を含んで構成される走査回路 (204) と、前記出力ノードに接続された画素回路 (202) とを有する面表示装置であって、前記出力ノードに走査信号を出力するためのトランジスタと、1 つの画素回路とを 1 組とし、前記組を前記面表示装置に複数組配設することで表示領域を形成した、構成とされており、さらに前記走査回路に含まれるトランジスタ及び前記画素回路に含まれるトランジスタは、ガラス基板上に形成したポリシリコン TFT である、構成とされている。

【0034】

さらに、他のアスペクト (請求項 5) において、本発明に係る面表示装置は、非矩形形状の表示装置基板上に一筆書きの要領で配設された走査回路と、走査回路の各出力段に接続された画素回路とを有し、前記走査回路が少なくとも一箇所以上の折り返し部 (52) を有しながら表示装置基板 (208) に配設されることで非矩形形状の表示領域を形成した、構成とされている。

【0035】

さらに、他のアスペクト (請求項 6) において、本発明に係る面表示装置は、非矩形形状の表示装置基板上に一筆書きの要領で配設された走査回路と、走査回路の各出力段に接続された画素回路とを有し、該走査回路が螺旋形状に表示装置基板上に配設されることで非矩形形状の表示領域を形成した構成 (図 5) とされている。

【0036】

さらに他のアスペクト (請求項 7) において、本発明に係る面表示装置は、複数の画素回路 (202) と、前記複数の画素回路に順次電圧を印加する走査回路 (204) とを有する面表示装置であって、前記走査回路の一部が前記画素回路と画素回路との間、若しくは画素回路の下に配設されている、構成とされている。

【0037】

他のアスペクト (請求項 8) において、本発明に係る面表示装置は、複数の画素回路 (202) と、前記複数の画素回路に順次電圧を印加する走査回路 (204) とを含んで構成される回路を、1 回以上屈曲させるように表示装置基板上に配設した、構成 (図 1) とされている。

【0038】

他のアスペクト (請求項 9) において、本発明に係る面表示装置は、複数の画素回路 (202) と、前記複数の画素回路に順次電圧を印加する走査回路 (204) とを含んで構成される回路を、螺旋状に表示装置基板上に配設した、構成 (図 5) とされている。

10

20

30

40

50

【0039】

他のアスペクト（請求項10）において、本発明に係る面表示装置は、走査回路と、該走査回路により選択される画素回路とをライン状に複数個形成した可撓性を有するライン状表示装置（302）を、支持体（304）に2回以上巻きつけて形成した、構成（図7）とされている。

【0040】

他のアスペクト（請求項14）において、本発明に係る表示装置は、トランジスタにより構成された画素スイッチ（350）のゲート電極が走査回路の出力ノードに接続された構成を有する表示装置であって、前記走査回路の奇数段目の回路の出力ノード（図13の $n1$, $n3$, $n5$ ・・・）は第一の極性（アクティブロウ）の走査信号を出力し、偶数段目の回路の出力ノード（図13の $n2$, $n4$, $n6$ ・・・）は前記第一の極性と逆の極性（アクティブハイ）の走査信号を出力し、前記奇数段目の出力ノードに接続される画素スイッチは第1導電型（p型）のトランジスタで、前記偶数段目の出力ノードに接続される画素スイッチは第2導電型（n型）のトランジスタである、構成とされている。

10

【0041】

さらに他のアスペクト（請求項15）において、本発明に係る表示装置は、前記走査回路の奇数段目の回路は、前段から供給されるパルス信号が入力されるインバータ回路（図13の54）と、インバータ回路の出力ノードと、走査回路の出力ノードとの間に接続された第2導電型（n型）のスイッチトランジスタ（図13の214a、214c）とを含んで構成され、前記走査回路の偶数段目の回路は、前段から供給されるパルス信号が入力されるインバータ回路と、インバータ回路の出力ノードと、走査回路の出力ノードとの間に接続された第1導電型（p型）のスイッチトランジスタ（図13の214b、214d）とを含んで構成され、夫々の前記スイッチトランジスタのゲート電極には共通のクロック信号が入力される構成とされている。

20

【0042】

他のアスペクト（請求項16）において、本発明に係る表示装置は、前記走査回路の奇数段目の回路及び偶数段目の回路は、前段から供給されるパルス信号が入力され、その出力ノードが走査回路の出力ノードとされるクロックドインバータ（図15の56）を含んで構成され、前記走査回路の奇数段目の回路に含まれる前記クロックドインバータ回路の第2導電型（n型）のトランジスタのゲート電極にはクロック信号が供給され、前記クロックドインバータ回路の第1導電型（p型）のトランジスタのゲート電極にはクロック信号の反転信号が供給され、前記走査回路の偶数段目の回路に含まれるクロックドインバータ回路の第2導電型（n型）のトランジスタのゲート電極にはクロック信号の反転信号が供給され、クロックドインバータ回路の第1導電型（p型）のトランジスタのゲート電極にはクロック信号が供給される、構成（図15）とされている。

30

【0043】

他のアスペクト（請求項17）において、本発明に係る表示装置は、前記走査回路の奇数及び偶数段目の回路は、前段から供給されるパルス信号が入力されるインバータ回路（図15の54）と、インバータ回路の出力ノードと、走査回路の出力ノードとの間に接続されたCMOSトランスマッションゲート（58）とを含んで構成され、前記走査回路の奇数段目の回路に含まれる前記CMOSトランスマッションゲートの第2導電型（n型）のトランジスタのゲート電極にはクロック信号が供給され、前記CMOSトランスマッションゲートの第1導電型（p型）のトランジスタのゲート電極には前記クロック信号の反転信号が供給され、前記走査回路の偶数段目の回路に含まれるCMOSトランスマッションゲートの第2導電型（n型）のトランジスタのゲート電極には前記クロック信号の反転信号が供給され、CMOSトランスマッションゲートの第1導電型（p型）のトランジスタのゲート電極には前記クロック信号が供給される、構成とされている。

40

【0044】

他のアスペクト（請求項18）において、本発明に係る表示装置は、前記走査回路の奇数段目の回路及び偶数段目の回路は、高位側電源と低位側電源間に直列形態に順に接続さ

50

れている第1から第4のスイッチ素子(図17(b)のM01~M04)を備え、前記第1、第2のスイッチ素子はp型のMOS型トランジスタで、前記第3、第4のスイッチ素子はn型のMOS型トランジスタで、1個の前記p型のMOS型トランジスタと1個の前記n型のMOS型トランジスタのゲート電極は共通に接続され、前段から供給されるパルス信号が入力され、残りの2個の前記MOS型トランジスタのゲート電極にはクロック信号が入力され、前記第2、第3のMOS型トランジスタのドレイン電極が出力ノードとされる、単相クロック制御型インバータ(60)を含む(図17)。

【発明の効果】

【0045】

本発明の第1の効果は、任意形状の表示装置を実現できる、ということである。

10

【0046】

その一つの理由は、走査回路の一段を構成する回路と、前記走査回路の出力ノードに接続された画素回路とを含む表示装置要素をカスケードに接続し、全ての画素が順次アドレスされるようにした回路を、一筆書きの要領で、表示装置基板に配設し表示領域を形成するからである。すなわち、一筆書きの引き回しを任意にレイアウトすることで任意形状の表示領域を形成できるからである。

【0047】

別の理由は、前記表示装置要素回路を一筆書きの要領で表示装置基板上に配置して表示領域を形成するので、表示領域内の全ての画素にアドレスすることが可能だからである。従来の表示装置においては、縦方向に直線状に配線したデータ配線と、横方向に直線状に配線したゲート配線との交点に設けた画素がアドレスされる構成であり、表示装置の形状によっては、これら配線の一部が分断されアドレスされない画素領域が生じるといった問題が生じていた。

20

【0048】

別の理由は、表示装置基板上の表示領域は、一筆書きの要領で配設した表示装置要素によって構成されるため、表示装置基板と、この表示装置基板を駆動するための回路との接続部が一筆書きの要領で配設した表示装置要素の一端に位置すれば良く、この結果、この表示装置基板を駆動するための回路との接続端子数を減少させることができるといった効果が得られ、このため表示装置領域の外周部にTAB形態のドライバを実装する必要がなくなった、あるいはその数が減ったからである。TABの折り曲げ部は通常直線形状になり、表示装置基板の外周形状を曲線等の形状にするには困難を極めた。

30

【0049】

本発明の第2の効果は、マスク設計の時間を短縮することができる、ということである。

【0050】

その理由は、外周の曲線形状に沿ってドライバ回路をレイアウトする必要が無からである。本発明を実施する場合、表示装置要素をレイアウトしたものを単位セルとし、この単位セルを直線状に、表示領域の横幅に対応する個数、アレイ配置することで一行分のレイアウトが完成する。これは従来一行分の画素を配置するのと同じ工程である。従来は外周形状に沿って非直線状にドライバ回路をレイアウトしなければならなかったが、本実施の形態によるとこれが不要となるのでマスク設計の時間が短縮される。

40

【0051】

本発明の第3の効果は、表示装置の額縁を狭くすることができる、ということである。

【0052】

その理由は、表示装置基板の外周に沿ってドライバ回路を配設する必要がないからである。つまり、表示装置要素を表示装置基板の外周部の際まで配設することで、表示装置基板の形状と表示領域の形状とをほぼ一致させることが可能となり、この結果、表示装置の額縁を狭くすることができる。

【0053】

本発明の第4の効果は、表示装置基板の接続端子数が減少する、ということである。

50

【 0 0 5 4 】

その理由は、表示装置基板上の表示領域は、一筆書きの要領で配設した表示装置要素によって構成されるため、表示装置基板と、この表示装置基板を駆動するための回路との接続部が一筆書きの要領で配設した表示装置要素の一端に配置されるからである。

【 0 0 5 5 】

本発明の第5の効果は、画素の開口率を高めることができる、ということである。

【 0 0 5 6 】

その理由は、走査回路を構成するトランジスタ数及び走査回路を駆動するクロック信号数が少ないからである。

【 発明を実施するための最良の形態 】

10

【 0 0 5 7 】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 5 8 】

< 第1の実施の形態 >

図1は、本発明の1実施の形態であるアクティブマトリクス型の液晶表示装置の構成を示す図である。図1を参照すると、本実施の形態は、表示装置基板(208)の外形形状にほぼ一致する表示領域内に、表示装置要素を一筆書きの要領で配設することで、面表示装置を構成するものとされる。すなわち、表示装置要素を、表示領域の形状に合うように1箇所以上屈曲させて、一筆書きの要領で配設し、これにより構成した面表示装置とされる。

20

【 0 0 5 9 】

表示装置要素及び表示装置要素を配設したものについて、図2を用いて説明する。表示装置要素を配設したものは、図2に示す回路を表示装置基板上に形成したものである。

【 0 0 6 0 】

図2を参照すると、表示装置要素(200)は、走査回路の一段を構成する回路(走査回路の「単位回路」ともいう)(206)と、この出力ノードに接続された画素回路(202)とを備えて構成される。

【 0 0 6 1 】

より具体的には、走査回路の一段を構成する回路(206)は、例えばD型フリップ・フロップ回路(「DFF」と略記される)から構成され、DFFの出力ノードQに、画素回路が接続される。DFFは、CLKノードに入力したクロック信号の立ち上がり同期して、入力ノードDに入力した信号をサンプルして出力ノードQに出力する。

30

【 0 0 6 2 】

画素回路(202)は、そのドレイン端子が、DATAノードに接続された画素スイッチ(350)と、画素スイッチ(350)のソース端子と共通電極VC(18)との間に接続された液晶セル(16)及び蓄積容量(20)とを備えて構成される。

【 0 0 6 3 】

蓄積容量(20)の一端は、液晶セル(16)の共通電極VC(18)と異なる側のノードに接続され、蓄積容量(20)の他の一端VA(22)は、蓄積容量配線あるいは固定電位が与えられた配線、例えばDFFの電源配線に接続される。

40

【 0 0 6 4 】

表示装置要素を一筆書きの要領で配設したもの(図1の212)とは、この表示装置要素内のDFFの出力ノードQと次段のDFFの入力ノードDとが接続されるように、表示装置要素をカスケードに接続した回路を示している。

【 0 0 6 5 】

なお、DFFの出力ノードQと次段の入力ノードDとが接続されるように、複数個カスケードに接続した回路は、「走査回路」あるいは「シフトレジスタ回路」と呼ばれるものである。

【 0 0 6 6 】

DFFの出力ノードQと次段のDFFの入力ノードDとを接続する配線により、パルス

50

信号がクロック信号に同期しながら後段に転送される。ここで、出力ノードQと入力ノードDとを接続する配線を「パルス転送配線」(300)とよぶ。

【0067】

ここで述べた、走査回路や画素回路は、表示装置上基板では、例えば、ポリシリコンプロセス技術を使用して、図3に示すようにレイアウトされる。

【0068】

図3に示すように、走査回路(204)と、走査回路の出力ノードに接続された画素回路(202)とを表示装置基板上に形成する。走査回路とその出力ノードに接続された画素回路は一つの行を構成する。複数の行によって表示領域が構成される。

【0069】

行と行とを接続するようにパルス転送配線(300)が配設される。この部分は一筆書き状にレイアウトした走査回路が折り返されている部分であり、図3では、折り返し部(52)と示されている。

【0070】

走査回路の端部に設けた入力端子(210)を通して信号を入力する。

【0071】

画素回路によって形成される画素のピッチが縦方向について一定であり、また横方向についても一定となるようレイアウトする。

【0072】

これにより、従来問題が予想された、表示部に不要な線が生じ、画質を著しく損なうという問題を回避する。

【0073】

行を構成する表示装置要素の個数を調整し、各行の横方向の長さを表示領域に合わせて調整し、複数の行をレイアウトすることで、表示領域を埋め尽くすことによって、任意の形状の表示装置が実現される。

【0074】

行と行との間には、パルス転送配線(300)が配設されるので、これにより全ての行に含まれる走査回路が一筆書きの如く表示領域全体に渡って配設され、一筆書きの如く各画素をアドレスする。

【0075】

次に、本実施形態の動作について説明する。

【0076】

各液晶セルに所望の電圧を印加して必要なグレーレベル(gray scale level)を得るため、走査回路(204)の出力と同期して、DATAノードに接続したデータ配線に適当な信号が供給される。走査回路の出力信号が画素スイッチ(350)をオンにし、それにより、データ配線に与えた信号電圧に応じて、液晶セル(16)を所望の電圧まで充放電すると同時に蓄積容量(20)を充放電する。

【0077】

その後、走査回路の出力信号により、画素スイッチ(350)はオフされ、液晶セル(16)に書き込まれた電圧は、他の画素がアドレス指定されている間この電圧を維持する。

【0078】

走査回路は、1つのフレーム周期で全ての画素がアドレスされるように連続的に走査信号を出力する。

【0079】

本実施の形態によると、この表示装置は、その表示領域内に、表示装置要素(200)を一筆書きの要領で配設するので、任意形状の表示装置に対応することが可能となる。この効果は、後述する、他の実施の形態を参照することでより明確となる。

【0080】

一方、従来の表示装置においては、画素にアドレスするためには、表示装置基板の外周

10

20

30

40

50

部まで引き伸ばされた横方向に伸びたゲート配線と、表示装置基板の外周部まで引き伸ばされた縦方向に伸びたデータ配線とが必要とされていたため、形状の自由度に限界があった。

【0081】

本実施の形態によると、表示装置基板上の表示領域は、一筆書きの要領で配設した表示装置要素によって構成されるため、表示装置基板と、この表示装置基板を駆動するための回路との接続部が一筆書きの要領で配設した表示装置要素の一端に位置すれば良く、この結果、この表示装置基板を駆動するための回路との接続端子数を減少させることができるといった効果が得られる。

【0082】

このため、例えば、この接続をTABのようにフレキシブル基板を用いた形態の場合であっても、これを接続する場所は、表示装置基板の外周部のごく一部に限られる。このため、表示領域の形状を、表示装置の形状とする、意匠上の効果を得ることが可能となる。

【0083】

本実施の形態によると、表示装置基板上の表示領域は、一筆書きの要領で配設した表示装置要素によって構成され、かつ、この表示装置基板を駆動するための回路との接続部が一筆書きの要領で配設した表示装置要素の一端に位置すれば良いので、表示領域の形状が瓢箪型のようにくびれた形状で、そのくびれが極端に狭い場合であっても、少なくとも表示装置要素が配列できる幅があれば、このような形状の表示装置を実現できる。つまり、平面形状が、任意の表示装置に対応することが可能となる。

【0084】

本実施の形態によると、外周の曲線形状に沿ってドライバ回路をレイアウトする必要が無いので、マスク設計の時間が短縮されるという効果が得られる。

【0085】

本実施の形態の場合、表示装置要素をレイアウトしたものを単位セルとし、この単位セルを、直線状に、表示領域の横幅に対応する個数、アレイ配置することで、一行分のレイアウトが完成する。これは、従来一行分の画素を配置するのと同じ工程である。従来は、外周形状に沿って、非直線状にドライバ回路をレイアウトしなければならなかったが、本実施の形態によると、これ（外周形状に沿って非直線状にドライバ回路をレイアウトすること）が不要となるので、マスク設計の時間が短縮される。

【0086】

なお、表示領域の一部あるいは全てが矩形の場合は、必ずしも行単位にレイアウトする必要はなく、単位セルをマトリクス状にアレイ配置し、必要に応じて単位セルを追加または削除する方法で表示領域のレイアウトを行ってもよい。

【0087】

本実施の形態によると、表示装置の額縁を狭くするといった効果が得られる。例えばポリシリコンプロセス技術を使用して、表示装置のドライバ回路を、表示装置基板上に形成した場合を想定する。

【0088】

従来技術である図21で示される表示装置のドライバ回路を表示装置基板上に形成した場合、表示装置基板の外周形状に沿って、ドライバ回路をレイアウトすることになる。したがって、表示領域は、表示装置基板の外周の際（縁）よりも内側であり、かつ、際の内側に設けられたドライバ回路のレイアウト領域よりも内側となる。

【0089】

これに対して、本実施の形態によると、表示装置基板の外周形状に沿ったドライバ回路のレイアウトが不要であるため、表示領域を、表示装置基板の際ぎりぎりまでに設けることが可能となる。

【0090】

なお、従来技術におけるゲートドライバ回路は、横方向に配列した画素数と等しい数のトランジスタや横方向に配線したゲート配線の寄生容量を駆動する能力が必要とされた。

10

20

30

40

50

このため、ゲートドライバには大きなサイズのトランジスタで構成したバッファ回路が必要とされていた。

【0091】

これに対して、本実施例によれば、走査回路の一段を構成する回路(206)の出力ノードに接続されるトランジスタ(画素スイッチ)は1つであり、また、この出力ノードに接続される配線長が短く、寄生容量が小さいため、大きなサイズのトランジスタで構成されるバッファ回路は不要である。

【0092】

<第2の実施の形態>

前記第1の実施の形態では、図1を参照し説明したとおり、表示領域の全領域にわたって、表示装置要素が一筆書きの要領で配設されていた。

10

【0093】

第2の実施の形態では、これに対して、図4に示すように、表示領域を複数のサブ領域に分割し、各サブ領域において、表示装置要素が一筆書きの要領で配設される表示装置とされる。

【0094】

図4には8個のサブ領域が存在するが、2個のサブ領域についてのみ62a、62bと符号を示した。

【0095】

本実施例では、サブ領域に分割することにより、走査回路に与えるクロック周波数を低減させることが可能となり、さらに、クロック信号配線の負荷容量が減少し、クロック遅延が少なくなった。

20

【0096】

さらに、データ配線の負荷容量が減少し、データ信号の遅延が少なくなった。

【0097】

これにより、より大型の表示装置、またはより画素数が多い表示装置を、第一の実施の形態と比較して容易に駆動できた。

【0098】

図4では、入力端子(210a~210h)を各サブ領域に設けたが、表示装置基板上に配線を形成し、入力端子の位置を集合させてもよい。このような形態とすれば、1箇所

30

にフレキシブル基板を実装することで、外部との電氣的接続ができるので、任意形状の表示装置を作製する上では好ましい。

【0099】

<第3の実施の形態>

前記第1の実施の形態では、図1や図3を参照し説明したとおり、直線状に表示装置要素を配置して形成した行を複数行並べることで表示装置を構成した。本発明の第3の実施の形態においては、図5に示すように、表示装置要素を螺旋状に配置することで、面表示装置を構成した。

【0100】

<第4の実施の形態>

40

図6は、本発明の第4の実施の形態の構成を示す図である。本発明の第4の実施形態は、表示装置基板が開口50を有す面表示装置の一例である。この形状の場合であっても、表示装置要素を一筆書きの要領で配設することで、表示領域を埋め尽くし、面表示装置を構成でき、面表示装置の形状に対する設計の自由度が高い。面表示装置基板の開口部に沿ってドライバを配設する必要が無い場合、表示装置の外形形状の自由度が高いといった効果が得られる。

【0101】

一方、従来技術を用いた場合、このような形状を実現することが困難であった。その理由を説明する。

【0102】

50

一つの理由は、開口部があるため、データ配線あるいはゲート配線が分断され、画素マトリクス外周に配置したゲートドライバ回路、データドライバ回路に接続できない、あるいは、接続が困難な領域が生じるからである。

【0103】

この問題に対する解として、開口部の縁に沿って、データドライバ回路やゲートドライバ回路を追加配設することが考えられる。

【0104】

配設方法の一例として、TABの形態での実装がある。TABの出力側の端子群は、異方性導電膜を用いて液晶パネルのデータ線やゲート線の入力端子に接続される。

【0105】

開口部の形状を意匠上の特徴とし、この効果を得るためには、TABを表示装置の裏面に向けて折り返す必要がある。

【0106】

ところが、開口部は曲率半径が小さいのが常であり、このようなTABの折り曲げは、困難である。

【0107】

さらに、表示装置裏面にTABの入力側の端子群に接続する追加配線を設けるなど、部品点数の増加、コストアップ、その他、設計上の制限が新たに生じる。

【0108】

他の配設方法として、データドライバ回路やゲートドライバ回路を、外周の縁及び開口の縁に沿ってポリシリコンプロセス技術を使用して形成する方法がある。そして外周の縁の一部に、信号を入力するための接続端子を設ける構成が考えられる。

【0109】

ところが、この場合、開口の縁に沿ったドライバ回路に入力信号を与えるために、配線を形成する必要がある。

【0110】

ポリシリコンプロセス技術を使用する場合、この配線は、画素のトランジスタを形成した面と同一面に形成されることとなり、この結果、画素マトリクス部のレイアウトが規則的でなくなる領域が生じる。

【0111】

これにより、画素マトリクス部、すなわち表示領域に不要な線が生じ、画質を著しく損なうという新たな問題が発生する。

【0112】

これらの理由により、従来技術を用いた場合、図6に示したような開口を有する形状を実現することが困難であったが、本発明によって解決された。

【0113】

<第5の実施の形態>

図7は、本発明の第5の実施の形態の構成を示す図である。図7を参照して、本実施形態について説明する。本実施形態では、走査回路(204)と、走査回路の各出力ノードに接続された画素回路(202)とを、長尺の可撓性基板上に形成した。そして、この長尺の表示装置、すなわち、ライン状表示装置(302)を支持体(304)に巻きつけることにより、面表示装置を作成した。

【0114】

本実施の形態によると、表示装置の表示領域は、一筆書きの要領で配設した表示装置要素(200)によって構成されるため、表示装置と、この表示装置を駆動するための回路との接続部が一筆書きの要領で配設した表示装置要素の一端に位置すれば良く、この結果、この表示装置を駆動するための回路との接続端子数を減少させることができるといった効果が得られた。

【0115】

<その他の実施の形態>

10

20

30

40

50

上記実施の形態では、面表示装置の1形態として、アクティブマトリクス型の液晶表示装置の例を示しているが、表示装置の形態はこれに限定されるものではなく、例えば、EL (Electroluminescence) 表示装置、電子ペーパー、電界放出型表示装置など、複数の画素によって構成される面表示装置で実施しても良く、上記実施の形態で述べた複数の効果が得られる。

【0116】

上記実施の形態では、表示装置基板上に表示回路装置要素を形成する形態として、表示装置基板上にポリシリコンプロセス技術を使用して形成する形態の例を示しているが、本発明はかかる製法に限定されるものでないことは勿論である。例えば、

アモルファスシリコンプロセス技術を使用して形成する形態でもよいし、
各種有機半導体プロセス技術を使用して形成してもよいし、
絶縁基板上に単結晶シリコン薄膜を形成してこれを利用して形成してもよい。

10

【0117】

さらに、絶縁基板上に薄膜プロセスを使用して形成する形態のほか、シリコン基板上に表示装置要素を形成してもよい。

【0118】

上記実施の形態では、図3で示したように、走査回路とこれに接続された画素とが平面図において、分かれた位置にレイアウトした例が示されているが、これらは、重なってもよい。例えば、ポリシリコンプロセス技術を使用して半透過型の液晶表示装置を形成する場合は、画素内の反射部領域は、走査回路のレイアウトと重なるように形成し、画素内の透過部領域は、走査回路のレイアウトと重ならないように形成することで、画素の開口率、反射率を高めるといった効果が得られる。

20

【0119】

EL表示装置においても、画素内の発光部分と、走査回路とが平面図において重なるようにレイアウトすることで、Fill Factorが向上するといった効果が得られる。

【0120】

上記実施の形態では、図2で示したように、DFFの出力には、1つの画素スイッチが接続され、各画素スイッチには、一種類のデータ信号がDATAノードに接続される例が示されているが、DFFの出力に、3つのサブ画素を並列に接続し、3種類のデータ信号を接続することで、カラーの表示装置を形成してもよい。より詳細には、図8に示すように、DFFの出力ノードQに、3つのサブ画素202a、202b、202cを並列に接続する。これらは、赤(R)、緑(G)、青(B)の画素であり、これらにはDATA_R、DATA_G、DATA_Bで示される独立したデータ信号が接続される。これによりカラー表示装置が実現される。

30

【0121】

上記実施の形態では、図1や図5や図6に示したように、非矩形形状の表示装置基板上に、この基板の外形形状とほぼ相似形である表示領域を形成したが、矩形形状の表示基板内に、非矩形形状の表示領域を形成してもよい。

【0122】

例えば、日本国旗の如く、矩形の表示装置基板上に円形の表示領域を形成する。この場合、表示装置基板の四隅は表示領域ではなく、この領域を表示装置基板と他の構成要素とのねじ止め領域として利用することが可能となる。同様に、矩形の表示装置基板上にドーナツ形状の表示領域を形成すると、ドーナツの穴の部分をねじ止め領域として利用することが可能となる。以下具体的な例に即して説明する。

40

【0123】

<実施例1>

この実施例では、ポリシリコンプロセス技術を使用してTFT (Thin Film Transistor) 基板を作成し、これを用いて透過型のアクティブマトリクス液晶表示装置を作成した。製造プロセスは、従来から知られる低温ポリシリコンTFT-LCDの製造技術を用い

50

た。詳細な製造プロセスは、例えば、イー・エクスプレス社発行の「絵で見る低温 poly-Si TFT-LCD 製造プロセス 05 年版」に記載されている。

【0124】

低温ポリシリコン TFT-LCD の製造技術を用いて、プレーナ構造の TFT 画素スイッチと走査回路部の TFT と、画素電極と、蓄積容量電極とを作成し、TFT 基板を形成した。

【0125】

表示装置基板上の回路を構成する TFT は、同一のプロセスの TFT で作成した。最も高電圧を必要とする TFT が動作可能なプロセスとした。

【0126】

更に、この TFT 基板上に、4 μm のパターンングされた柱を作製し、セルギャップを保つためのスペーサとして使用すると同時に耐衝撃力を有するようにした。

【0127】

また、対向基板の表示領域外部に、紫外線硬化用のシール材を塗布した。対向基板は画素の開口部に対応する位置以外は遮光層（いわゆるブラックマトリクス）を設け、ディスクリネーションによる画質劣化を防止し、また、配線の折り返し部などの規則的でないレイアウトを隠し、表示装置の観察者から画素の開口部が等ピッチで配設されているように見えるようにした。

【0128】

TFT 基板と対向基板を接着した後、ガラスに吸収されやすい波長 10.6 マイクロ（百万分の一）の二酸化炭素レーザを切断線に当て加熱した後、すぐに冷却物質を噴霧し、亀裂を作り、これに圧力をかけて切断することで曲線状の外形形状を有する個片に分離し、液晶を注入した。液晶材料はネマチック液晶とし、カイラル材を加えラビング方向をマッチさせることによって、ツイストネマチック（TN）型とした。

【0129】

表示装置基板上に形成した回路の構成を図 9 に示す。これは、図 2 に示した実施の形態の構成を、よりレイアウトに対応するように詳細に書き直したものである。表示装置要素は、DFE と示した長方形の位置に DFE 回路を形成するトランジスタと DFE の内部配線をレイアウトしたものと、画素と示した長方形の位置に画素トランジスタと画素電極と、蓄積容量とをレイアウトしたものと、左右方向に配設したクロック配線（CLK）、第一の電源配線（VDD）、第二の電源配線（VSS）、DATA 配線、蓄積容量配線（VCOM）のレイアウトとで、構成される。

【0130】

このようにレイアウトした表示装置要素セルを左右方向にアレイ配置することで、表示装置基板の行のレイアウトを形成した。

【0131】

一行目と 2 行目とは、その端でクロック配線、第一の電源配線、第二の電源配線、DATA 配線、蓄積容量配線が接続されるように配線を追加し、表示装置要素が電氣的に一筆書きの要領で接続されるようにした。各行を構成する表示装置要素セルの数を調整することで任意の外形形状に合わせて表示領域を形成することができた。

【0132】

このように形成した表示装置基板と、この基板の外形形状に適したバックライトとを組み合わせて表示装置を構成した。

【0133】

このように表示装置要素を一筆書きの要領で配設するように構成したので、横方向のサイズは行を構成する表示装置要素のセル数を調整することで任意のサイズとすることができ、また、縦方向のサイズは行の数を調整することで任意のサイズが実現でき、この結果、表示領域を任意の形状に設計することが可能となり、任意の形状の表示装置基板を作成できた。

【0134】

10

20

30

40

50

本実施例によれば、表示装置要素を一筆書きの要領で配設するので、全ての画素は必ずアドレスされる。

【0135】

また、本実施例によれば、全ての表示装置要素が一筆書きの要領で電氣的に接続されているため、表示装置基板外周に沿って必要であったドライバ回路が不要となった。

【0136】

本実施例によれば、このように、全ての表示装置要素が一筆書きの要領で電氣的に接続されているため、表示装置基板と外部回路との接続端子数が激減した。

【0137】

本実施例のように、DATA信号が外部より供給される構成の場合、つまり、データドライバを基板上に形成しない構成の場合、従来は画素の横方向の数だけ接続端子が必要で、例えば100個必要であった。本実施例ではこれが1個で済んだ。

10

【0138】

従来、表示装置基板外周に沿って必要であったTABが無くなるので、外周形状の自由度が格段に高まった。あるいは、表示装置基板外周に沿って形成する必要があったドライバ回路が無くなるので、額縁を狭くすることができた。非矩形の表示装置基板外周に沿ってドライバ回路をレイアウトする作業は、現在のCADでは非常に手間がかかる作業であったが、これが不要となったのでマスク設計時間を短縮できた。

【0139】

本実施例では、DFFの構成は、図10(a)に示すように、4個のクロックインバータCINV1~CINV4と、2個のインバータINV1、INV2、及び、反転クロック信号C1、非反転クロック信号C2を生成するための2個のインバータINV3、INV4とから構成される。クロックインバータ及びインバータの構成はそれぞれ図10(c)、図10(b)で示す構成とした。図10(b)は、電源VDDとVSS間に接続され、ゲートが共通接続され入力ノードAをなし、ドレインが共通接続され出力ノードYをなすPチャネルトランジスタMP1、NチャネルトランジスタMN1よりなるCMOSインバータである。図10(c)は、電源VDDとVSS間に接続されたPチャネルトランジスタMP2、MP1、NチャネルトランジスタMN1、NM2よりなり、入力AがトランジスタMP1、MN1の共通ゲートに入力され、反転クロックC1、非反転クロックC2がトランジスタMN2、MP2のゲートにそれぞれ入力されるクロックインバータ(Clocked Inverter)である。

20

30

【0140】

変形例として、DFF内の反転クロック信号、非反転クロック信号を生成するためのインバータ2個を削除して、代わりにクロック信号とその反転信号をバス配線した例を、図11(a)に示す。図11(b)は、図11(a)のDFF2回路の構成を示す図である。

【0141】

図11のCLKには、クロック信号が、XCLKにはクロック信号の反転信号がそれぞれ供給される。この例の場合、一画素あたり必要なトランジスタ数は、DFF2回路で20個、画素で1個の合計21個となる。

40

【0142】

本実施例では、ポリシリコン膜の形成に、エキシマレーザを用いたが、他のレーザ、例えば、連続発振するCWレーザ等を使用してもよい。

【0143】

本実施例では、透過型のLCDを作成したが、画素の透明電極を形成した後、全面にMo膜とAl膜を順次堆積し、フォトレジストパターンを形成して、Al膜とMo膜を同時にパターンニングし、その後、フォトレジストパターンを除去すると、反射電極が形成され、半透過型画素電極の構成が得られる。

【0144】

そして、表示装置基板上にレイアウトされた表示装置要素に含まれるトランジスタや配

50

線が、平面図でみたときに、反射電極と重なる位置、断面図で見たとき反射電極の下となる位置に配設されるようにレイアウトすることで、画素の開口率及び反射面積を向上させた。

【 0 1 4 5 】

本実施例では、クロック配線、電源線、データ配線、蓄積容量配線も一筆書きの要領でレイアウトしたが、これらは、必ずしも一筆書きにレイアウトしなくてもよい。

【 0 1 4 6 】

例えばデータ配線を縦方向に配線し、縦方向に配列された画素どうしで共通接続するようなレイアウトとしてもよい。そして、これら配線が電氣的に接続されて入力端子に接続されていればよい。最低限、走査回路は、一筆書きの要領でレイアウトされることが必要である。

10

【 0 1 4 7 】

図 1 2 は、本実施例に係る回路レイアウトの一例を示す図である。図 1 2 を参照すると、データ配線は、縦方向に伸びており、縦方向に配列された画素同士がデータ線に共通接続した。そして、これらデータ配線は、電氣的に接続されて入力端子 (DATA) に接続されている。

【 0 1 4 8 】

この場合、クロック配線とデータ配線との引き回し順路がことなるため、信号のタイミング設計に注意を払った。具体的には、クロック配線の入力端子 (CLK) から見て最遠端に位置する画素と、最近端に位置する画素とのどちらにもデータが書き込めるように、データ信号のタイミングを設計した。

20

【 0 1 4 9 】

本実施例では、クロック信号が配線を通して各 D F F に供給される構成を示したが、クロック配線の負荷容量を考慮し、クロック配線の途中に中継バッファを挿入してもよい。

この場合、表示領域のレイアウトの規則性を保つため、例えば走査回路の折り返し部分、すなわち表示領域の端に、中継バッファを挿入することが望ましい。

【 0 1 5 0 】

< 実施例 2 >

前記実施例 1 の図 1 1 の回路の場合、1 画素につき、2 1 個のトランジスタと、走査回路を駆動するためにクロック信号と、クロック信号の反転信号との 2 相クロック信号が必要であった。

30

【 0 1 5 1 】

本実施例ではこれらトランジスタ数や、制御クロック信号の種類を削減するために、本発明者らが創作した回路について説明する。

【 0 1 5 2 】

図 1 3 は、本実施例の走査回路や画素回路の構成を示す図である。図 1 3 を参照すると、表示装置要素 (2 0 0) は、走査回路の一段を構成する回路 (2 0 6) と、該回路 (2 0 6) の出力ノードに接続された画素回路 (2 0 2) からなり、走査回路の一段を構成する回路 (2 0 6) は、1 つのインバータ回路と 1 つのスイッチトランジスタとで構成される。スイッチトランジスタ 2 1 4 a、2 1 4 c は n 型、スイッチトランジスタ 2 1 4 b、2 1 4 d は p 型である。すなわち、走査回路の一段目のスイッチトランジスタ 2 1 4 a は n 型、2 段目のスイッチトランジスタ 2 1 4 b は p 型、3 段目のスイッチトランジスタ 2 1 4 c は n 型とされ、奇数段目のスイッチトランジスタは n 型、偶数段目のスイッチトランジスタは p 型で構成される。

40

【 0 1 5 3 】

走査回路の各段の出力ノード n 1、n 2、n 3・・・には、それぞれ 1 個の画素スイッチが接続されている。ノード n 1 に接続される画素スイッチは p 型、n 2 に接続される画素スイッチは n 型、n 3 に接続される画素スイッチは p 型、といった具合に、走査回路の奇数段目の出力ノードに接続される画素スイッチは p 型、偶数段目の出力ノードに接続される画素スイッチは n 型で構成される。したがって、1 画素につき 4 個のトランジスタで

50

表示装置を構成できた。

【 0 1 5 4 】

また走査回路を駆動するためのクロック信号は単相で済んだ。クロック信号が単相であり、かつ、走査回路一段あたり、わずか1個のトランジスタを駆動すればよいので、クロック配線の負荷容量が減少し、クロック遅延が少なくなった。

【 0 1 5 5 】

このように構成された走査回路及び画素回路は次のように動作する。図14は、本実施例の動作を説明するためのタイミング図である。図14を参照すると、パルス幅が $2 \times T$ (T はクロック信号半周期を示す)のアクティブハイのパルス信号(ワンショットパルス)を入力信号 ST として、クロック信号 CLK のロウレベルからハイレベルへ立ち上がりのタイミングで ST 端子に入力することにより、ノード $n1$ には、 ST の反転パルス信号が出力される。

10

【 0 1 5 6 】

この信号が次段の表示装置要素に含まれる走査回路一段を構成する回路の入力信号となり、ノード $n2$ にはノード $n1$ の信号よりも T だけ遅れてクロック信号 CLK の立ち下がりのタイミングでパルス信号が出力される。

【 0 1 5 7 】

ノード $n1$ のパルス信号波形に付された“a”の期間においては、 n 型のトランジスタ $M01$ がオンであるため、ノード $n1$ はロウインピーダンスである。このため、 ST に入力したパルス信号の反転信号がノード $n1$ に出力される。

20

【 0 1 5 8 】

“b”の期間においては、トランジスタ $M01$ がオフであり、ノード $n1$ はハイインピーダンスで、 $n1$ ノードの容量で電圧が保持された状態となっている。

【 0 1 5 9 】

このように、ノード $n1$ にはパルス幅が $2 \times T$ であるアクティブロウのパルス信号が出力される。

【 0 1 6 0 】

ノード $n2$ は“a”の期間、 p 型のトランジスタ $M02$ がオフのため、ハイインピーダンスであるが、“b”の期間、 p 型のトランジスタ $M02$ がオンのため、ロウインピーダンスとなり、インバータ $INV02$ の入力の反転信号であるハイレベルがノード $n2$ に出力される。

30

【 0 1 6 1 】

“c”の期間、トランジスタ $M02$ がオフとなり、ノード $n2$ はハイインピーダンスであり、ノード $n2$ の容量で電圧が保持された状態となっている。このように、ノード $n2$ には、パルス幅が $2 \times T$ であるアクティブハイのパルス信号が出力される。

【 0 1 6 2 】

以下同様に、ノード $n3$ にはアクティブロウのパルス、ノード $n4$ にはアクティブハイのパルスが期間 T だけ遅延しながら順次出力される。

【 0 1 6 3 】

このように、ノード $n1$ 、 $n3$ 、 $n5 \dots$ の、走査回路の奇数段目の出力には、アクティブロウの、ノード $n2$ 、 $n4$ 、 $n6 \dots$ の、走査回路の偶数段目の出力には、アクティブハイの走査パルス信号を発生させることができる。

40

【 0 1 6 4 】

図13に示すように、この極性の走査パルス信号によって、画素スイッチがオンするように、画素スイッチの極性を設定した。つまり、走査回路の奇数段目の出力に接続される画素スイッチは p 型のトランジスタ、偶数段目の出力に接続される画素スイッチは n 型のトランジスタを設定した。このため、例えば、ノード $n1$ に接続された画素スイッチは、期間“a”と期間“b”で示される、一連の期間オンである。

【 0 1 6 5 】

画素スイッチがオンの期間、液晶セルの容量及び蓄積容量は、データ信号 $DATA$ の電

50

圧信号に従って充放電され、画素スイッチがオフするタイミングで画素に書き込まれる電圧が決定される。

【0166】

このため、ノードn1に接続された画素に書き込まれる電圧信号は、ノードn1の立ち上がりのタイミングで、DATAノードに与えられているD1となる。

【0167】

同様に、ノードn2に接続されている画素に書き込まれる電圧は、ノードn2が立ち下がるタイミングでDATAノードに与えられている電圧信号D2となる。このようにDATAノードには、画素に書き込むべき電圧が周期Tで順次与えられる。

【0168】

走査回路により、走査回路の初段に接続された画素から最終段に接続された画素までが順次アドレスされ、1フレームを構成するデータが画素に書き込まれる。

【0169】

走査回路の偶数段目に接続される画素回路と、奇数段目に接続される画素回路とは回路構成が異なるため、表示特性にもこれに起因する差が生じる。表示装置としての画質を保つため、横方向、縦方向共に、異なる画素回路が配列されるようレイアウトを工夫した。

【0170】

本実施例の回路をガラス基板上に形成し、共通電極の極性を反転する駆動方式を適用し、表示装置を実現した。この際、液晶に印加される電圧範囲を、十分なコントラストが取れるように、0Vから5Vの範囲とし、共通電極の極性を反転する場合の一方の電圧を0V、他方の電圧を5Vとした。この場合、画素電極は、-5Vから10Vの範囲をとることとなるので、画素スイッチがn型の場合、これをオフさせるための電圧として-5V以下、オンさせるための電圧として7V以上必要とされる。

【0171】

画素スイッチがp型の場合、オフさせるための電圧は10V以上、オンさせるための電圧は、-2V以下が必要とされる。このため、出力段に必要な電圧範囲は、-5V以下~10V以上とされる。これを可能とするため、インバータの電源電圧を-5V、10Vとし、この振幅の電圧信号をスイッチ(M01乃至M04)で伝達するため、クロック信号の電圧を-7V、12Vとした。まとめると次の通りである。

【0172】

すなわち、本実施例では、

DATA信号の電圧範囲を0~5V、

インバータの電源電圧を-5Vと10V、

クロック信号のロウレベルを-7V、ハイレベルを12V

と設定した。

【0173】

このように構成された回路によると、一画素につき、4個のトランジスタで済み、また走査回路を駆動するためのクロック信号も1相で済む。

【0174】

つまり、実施例1の図11と比較すると、1画素あたりに占めるトランジスタや配線の面積が減少し、例えば透過型液晶表示装置の開口率を向上させることができる。あるいは、表示装置の精細度を向上させることができる。

【0175】

本実施例では、走査回路の回路構成をダイナミック回路構成としたが、適宜、フィードバック回路を追加してスタティック回路構成に変形してもよい。なお、図13には、走査回路の一段を構成する回路(206)と画素回路(202)からなる表示装置要素(200)を、数珠繋ぎに一例に配設した例が示されているが、分岐を含む構成としてもよい。

【0176】

<実施例3>

本発明の第3の実施例について説明する。図15を参照すると、本実施例の走査回路(

10

20

30

40

50

204)は、走査回路一段につきクロックインバータ回路(56)1個で構成される。

【0177】

走査回路の一段を構成する回路(206)の出力ノード n_1 、 n_2 、 n_3 ・・・には1個の画素スイッチ(350)が接続されている。出力ノード n_1 に接続される画素スイッチはp型、出力ノード n_2 に接続される画素スイッチはn型、出力ノード n_3 に接続される画素スイッチはp型、といった具合に、走査回路の奇数段目の出力ノードに接続される画素スイッチはp型、偶数段目の出力ノードに接続される画素スイッチはn型で構成される。

【0178】

したがって、一画素につき5個のトランジスタで表示装置を構成できた。また走査回路を駆動するためのクロック信号はCLKとその反転XCLKを供給する。

10

【0179】

このように構成した走査回路及び画素回路は次のように動作する。図16は、本実施例の動作を説明するタイミング図である。図16を参照すると、パルス幅が $2 \times T$ (T はクロック信号半周期を示す)のアクティブハイのパルス信号を入力信号STとしてクロック信号CLKのロウレベルからハイレベルへ立ち上がりのタイミングで入力することにより、出力ノード n_1 には、STの反転パルス信号が出力される。この信号が、次段の表示装置要素に含まれる走査回路一段を構成する回路(206)の入力信号となり、出力ノード n_2 には出力ノード n_1 の信号よりも T だけ遅れてクロック信号CLKの立ち下りのタイミングでパルス信号が出力される。

20

【0180】

出力ノード n_1 のパルス信号波形に付された“a”の期間においては、クロックインバータCINV01の出力ノードはロウインピーダンスであるため、出力ノード n_1 はロウインピーダンスである。このため、STに入力したパルス信号の反転信号が出力ノード n_1 に出力される。

【0181】

“b”の期間においては、CLKはロウであり、出力ノード n_1 はハイインピーダンスであり、出力ノード n_1 の容量で電圧が保持された状態となっている。このようにノード n_1 にはパルス幅が $2 \times T$ であるアクティブロウのパルス信号が出力される。

【0182】

出力ノード n_2 は“a”の期間ハイインピーダンスであるが、“b”の期間ロウインピーダンスとなり、インバータCINV02の入力の反転信号であるハイレベルが出力される。“c”の期間、出力ノード n_2 はハイインピーダンスであり、出力ノード n_2 の容量で電圧が保持された状態となっている。このように出力ノード n_2 にはパルス幅が $2 \times T$ であるアクティブハイのパルス信号が出力される。

30

【0183】

以下同様に、出力ノード n_3 にはアクティブロウのパルス、出力ノード n_4 にはアクティブハイのパルスが期間 T だけ遅延しながら順次出力される。

【0184】

このように、出力ノード n_1 、 n_3 、 n_5 ・・・の、走査回路の奇数段目の出力にはアクティブロウの、ノード n_2 、 n_4 、 n_6 ・・・の、走査回路の偶数段目の出力にはアクティブハイの走査パルス信号を発生させることができる。

40

【0185】

図15に示すように、この極性の走査パルス信号によって画素スイッチがオンするように画素スイッチの極性を設定した。これは、図13を用いて説明したのと同様である。

【0186】

このため、出力ノード n_1 に接続された画素に書き込まれる電圧信号は、出力ノード n_1 の立ち上がりのタイミングでDATAノードに与えられているD1となる。

【0187】

同様に、出力ノード n_2 に接続されている画素に書き込まれる電圧は、出力ノード n_2

50

が立ち下がるタイミングで、DATAノードに与えられている電圧信号D2となる。

【0188】

このように、DATAノードには、各画素に書き込むべき電圧が、周期Tで、順次与えられる。

【0189】

本実施例では、前記実施例と異なり、クロック信号のロウ及びハイレベルの電圧が、クロックインバータの電源電圧と同一である。このため、本実施例では、表示装置を駆動するために用意すべき電源電圧の種類が減ると共に、トランジスタに印加される電圧が低減できる特徴がある。

【0190】

このように構成された回路によると、一画素につき、5個のトランジスタとなる。また走査回路を駆動するためのクロック信号は2相必要である。クロック信号の振幅の電圧はクロックインバータの電源電圧と同一でよい。

【0191】

本実施例では、ダイナミック回路構成としたが、適宜、フィードバック回路を追加してスタティック回路構成に変形してもよい。

【0192】

本実施例では、クロックインバータの変わりに、図15(b)に示すように、インバータ54とトランスミッションゲート58の構成としてもよい。図15(b)の回路の動作、特徴は、クロックインバータと同様である。

【0193】

<実施例4>

本実施例では、1画素あたりのトランジスタ数が5個で、クロック信号が単相、クロック信号の振幅電圧が走査回路の電源電圧と同一である構成の一例を説明する。図17は、本発明の第4の実施例の構成を示す図である。図17(a)を参照すると、この表示装置回路は、走査回路の一段を構成する回路(206)が、単相クロック制御型インバータ(60)を備え、単相クロック制御型インバータ(60)の出力信号を入力とする画素回路(202)が接続された構成である。

【0194】

図17(b)は、図17(a)の単相クロック制御型インバータ(60)の回路構成を示す図である。図17(b)を参照すると、電源VDD及び接地電位VSS間に2個のP型MOSトランジスタM01及びM02と、2個のN型MOSトランジスタM03及びM04とが、カスコード接続され、トランジスタM02及びM03のゲートが接続されて入力信号が供給され、出力信号は、トランジスタM02及びM03のドレインを接続してとり出される。また、トランジスタM01及びM04のゲートにはクロック信号がそれぞれ供給される構成となっている。

【0195】

単相クロック制御型インバータの動作について、図17(c)に示した真理値表を参照して説明する。

【0196】

クロック信号がハイレベルの時、電源電位VDDにソース電極が接続されたP型MOSトランジスタM01は非導通(OFF)状態、ソース電極が接地されたN型MOSトランジスタM04は導通(ON)状態となる。この時入力信号がハイレベルであれば、この単相クロック制御型インバータの出力信号はロウレベルとなり、入力信号がロウレベルであれば、出力はハイインピーダンスとなる。

【0197】

逆に、クロック信号がロウレベルの時、電源電位VDDにソース電極が接続されたP型MOSトランジスタM01はON状態、ソース電極が接地されたN型MOSトランジスタM04はOFF状態となる。この時入力信号がハイレベルであれば、単相クロック制御型インバータ出力はハイインピーダンスの状態となり、入力信号がロウレベルであれば、出

10

20

30

40

50

力信号はハイレベルとなる。

【0198】

本実施例の表示装置回路の動作について、説明用タイミングチャートを示した図18を参照して説明する。

【0199】

パルス幅が $3 \times T$ (T はクロック信号の半周期を示す)のパルス信号を入力信号としてクロック信号CLKのハイレベルからロウレベルへ立ち下がりタイミングで入力することにより、ノードn1には、クロック信号CLKの立ち上がりのタイミングで反転パルス信号が出力される。

【0200】

この信号が次段の単相クロック制御型インバータの入力信号となり、ノードn2には、ノードn1の信号よりも T 周期だけ遅れてクロック信号CLKの立ち下がりタイミングでパルス信号が出力される。

【0201】

ノードn1のパルス信号波形に付された“b”及び“c”の期間においては、単相クロック制御型インバータCINV01の出力はハイインピーダンス状態にあるが、ノードn1の容量によって、“a”の期間の電圧が保持された状態となっている。

【0202】

このように、単相クロック信号CLKによって、ノードn1、n3、n5・・・の、走査回路の奇数段目の出力にはアクティブロウの、ノードn2、n4、n6・・・の、走査回路の偶数段目の出力にはアクティブハイの走査パルス信号を発生させることができる。

【0203】

図17に示すように、この極性の走査パルス信号によって画素スイッチがオンするように画素スイッチの極性を設定した。

【0204】

ノードn1に接続された画素に書き込まれる電圧信号は、ノードn1の立ち上がりのタイミングで、DATAノードに与えられているD1となる。

【0205】

同様に、ノードn2に接続されている画素に書き込まれる電圧は、ノードn2が立ち下がるタイミングでDATAノードに与えられている電圧信号D2となる。

【0206】

このように、DATAノードには、画素に書き込むべき電圧が周期 T で順次与えられる。本実施例においても、クロック信号が単相であるためクロック配線の負荷容量は小さくクロック遅延が少なくなった。

【0207】

<他の実施例>

上記実施例では、ポリシリコンプロセス技術を使用して形成する液晶表示装置を中心に説明したが、走査回路や画素回路をポリシリコンTFTで形成した有機EL表示装置に適用してもよい。

【0208】

上記実施例では、ガラス基板上に走査回路や画素回路を薄膜プロセスで形成した例を説明したが、他の絶縁基板やシリコン基板上に走査回路や画素回路を形成した表示装置に適用してもよい。

【0209】

上記実施例では、ガラス基板上に形成した平面形状の表示について説明したが、ポリシリコンプロセスを利用して形成した走査回路や画素回路を、ガラス基板上から剥離し、フレキシブルな基板に転写するなどして、可撓性を有する表示装置を形成し、曲面形状の表示装置を形成してもよい。

【0210】

さらに、走査回路と、走査回路の各出力ノードに接続された画素回路とを、長尺の可撓

10

20

30

40

50

性基板上に形成し、この長尺の表示装置（ライン状表示装置）を支持体に巻きつけることにより、面表示装置を作成してもよい。

【0211】

本発明は、携帯電話端末や携帯メディアプレーヤー等の携帯電子機器類等に適用して好適とされる。携帯電子機器類の構成部品として、大きな面積や体積を占める表示装置を任意の形状で提供できるので、携帯電子機器類のデザインの自由度が向上する。この結果、ファッショナブルな携帯電子機器が生まれ、携帯電子機器のファッション性向上に貢献する。

【0212】

本発明の活用例として、電子スチルカメラや、ビデオカメラ等の小型電子機器がある。これらの類の電子機器はその小型化に伴い、電子機器上で表示パネルを配置するための十分なまとまったスペースを確保することが困難となっている。本発明の表示装置を利用することで、多様な形状のスペースを利用して表示パネルを配置できるようになる。

10

【0213】

本発明の活用例として、ペンダントや時計、ボタンといったアクセサリ類がある。本発明を利用することで、これらのアクセサリ類に表示装置を搭載できる。これにより、これらアクセサリ類の意匠上の特徴が際立ち、利用者の満足感が高まり、売上げが向上する。

【0214】

本発明の活用例として、自転車、自動車のメータ類がある。本発明の効果である任意の形状、狭額縁の表示装置を利用することで、これらメータ類が必要最低限の面積で実現できる。そして、これらメータ類によって遮られる視界が減少し、安全性が高まる。

20

【0215】

本発明の活用例として、商品棚等に設置する販促用表示装置がある。奇抜なデザインの表示装置が顧客の目に止まり、宣伝効果が向上する。任意の表示装置形状でありながら、その形状の全ての領域を表示領域とすることができたので、販促用表示装置がその裏に陳列した商品を遮る割合が低下する。

【0216】

本発明の活用例として、パチンコ台などの娯楽機器がある。たとえば、本発明を活かしてチューリップ形状の表示装置を作成し、従来のパチンコ台のチューリップ部に取り付けることでパチンコ台がより華やかになり、パチンコ屋の売上げ向上につながる。

30

【0217】

本発明の活用例として、指輪やブレスレットなどのリング状のアクセサリがある。また、装飾品の類も挙げられる。これらにおいても従来に無い意匠上の特徴が生まれ、売上げ向上につながる。

【0218】

以上、本発明を上記実施例に即して説明したが、本発明は上記実施例の構成にのみ制限されるものでなく、本発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

40

【0219】

【図1】本発明の実施の形態の面表示装置を示す平面図である。

【図2】本発明の実施の形態の面表示装置を示す回路図である。

【図3】本発明の実施の形態の面表示装置を示す平面図である。

【図4】本発明の実施の形態の面表示装置を示す平面図である。

【図5】本発明の実施の形態の面表示装置を示す平面図である。

【図6】本発明の実施の形態の面表示装置を示す平面図である。

【図7】本発明の実施の形態を示す面表示装置の斜視図（a）及び回路図（b）である。

【図8】本発明の実施の形態を示す表示装置の回路図である。

【図9】本発明の実施例を示す回路配置図である。

50

【図10】本発明の実施例を示すDFFの回路図(a)及び各シンボルの回路図(b), (c)である。

【図11】本発明の実施例を示す回路図(a)及びDFF2の回路図(b)である。

【図12】本発明の実施例を示す回路配置図である。

【図13】本発明の実施例を示す回路図である。

【図14】図13に示す回路の動作を示すタイミングチャートである。

【図15】本発明の実施例を示す回路図(a)及び変形実施例の回路図(b)である。

【図16】図15に示す回路の動作を示すタイミングチャートである。

【図17】本発明の実施例を示す回路図(a)及び単相クロック制御型インバータの回路図(b)、単相クロック制御型インバータ回路の真理値表(c)である。

10

【図18】図17に示す回路の動作を示すタイミングチャートである。

【図19】従来のアクティブマトリクス液晶表示装置の画素回路図である。

【図20】従来のアクティブマトリクス液晶表示装置の平面図である。

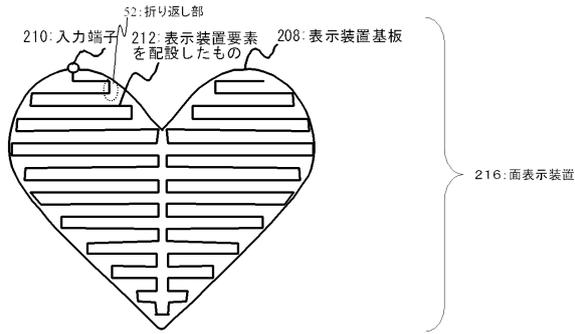
【図21】従来の非矩形形状の表示装置の平面図である。

【符号の説明】

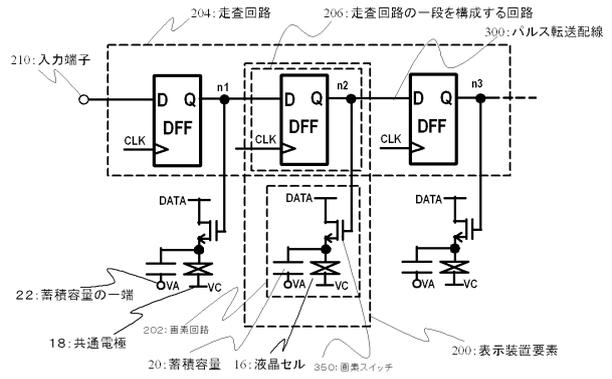
【0220】

10	ゲート配線	
12	データ配線	
14	トランジスタ	
16	液晶セル	20
18	共通電極	
20	蓄積容量	
22	蓄積容量の一端	
30	ゲートドライバ回路	
32	データドライバ回路	
34	画素マトリクス	
42	移行点	
50	開口	
52	折り返し部	
54	インバータ回路	30
56	クロックドインバータ回路	
58	トランスミッションゲート	
60	単相クロック制御型インバータ	
62、62a、62b	サブ領域	
100	TAB	
101	フレキシブル基板	
200	表示装置要素	
202	画素回路	
202a、202b、202c	サブ画素	
204	走査回路	40
206	走査回路の一段を構成する回路	
208	表示装置基板	
210	入力端子	
212	表示装置要素の配設したもの	
214	走査信号を出力するトランジスタ	
216	表示装置	
300	パルス転送配線	
302	ライン状表示装置	
304	支持体	
350	画素スイッチ	50

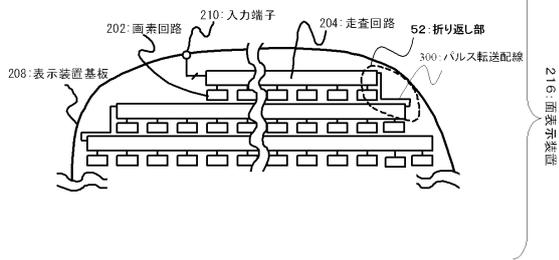
【図1】



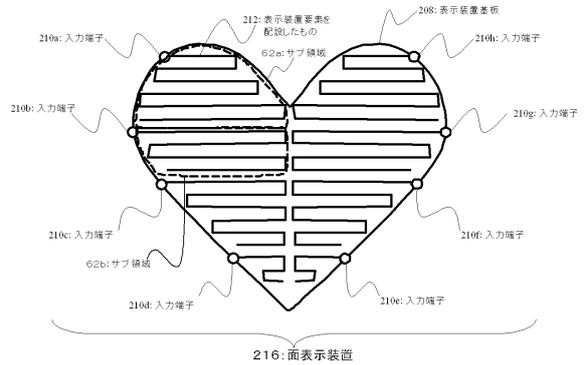
【図2】



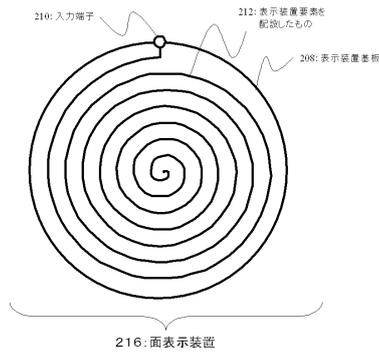
【図3】



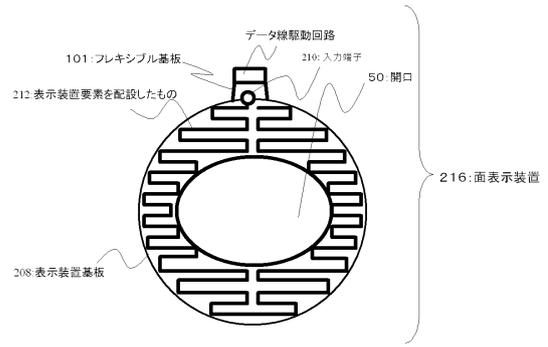
【図4】



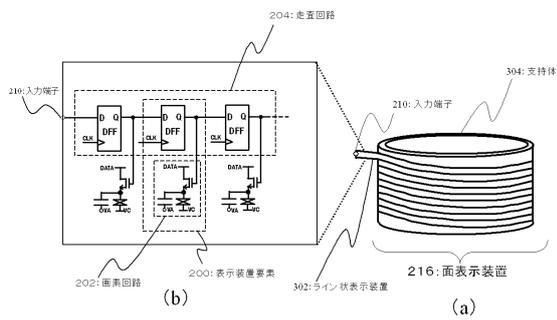
【図5】



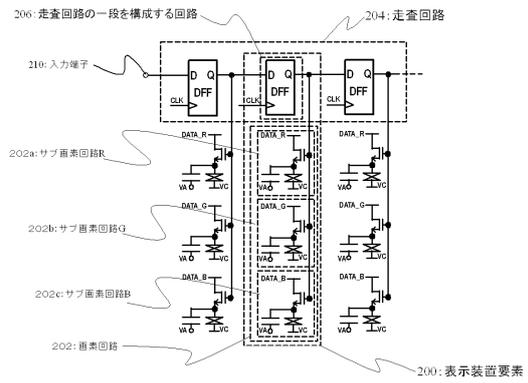
【図6】



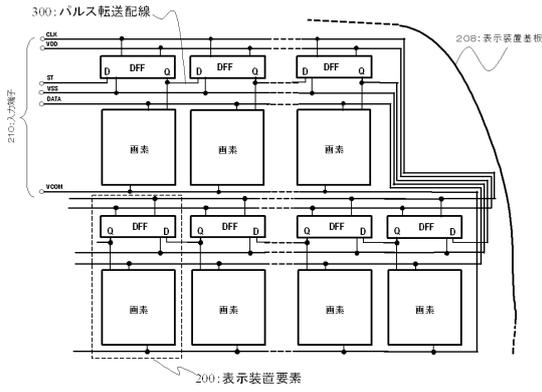
【図7】



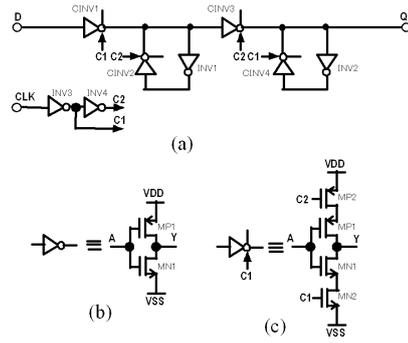
【図8】



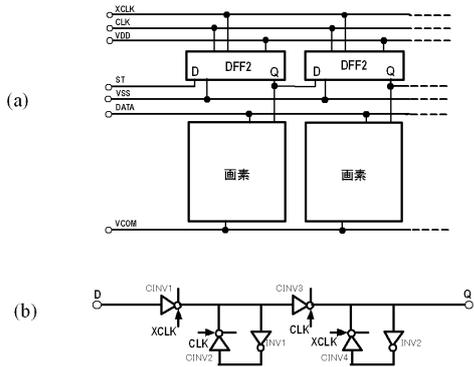
【図9】



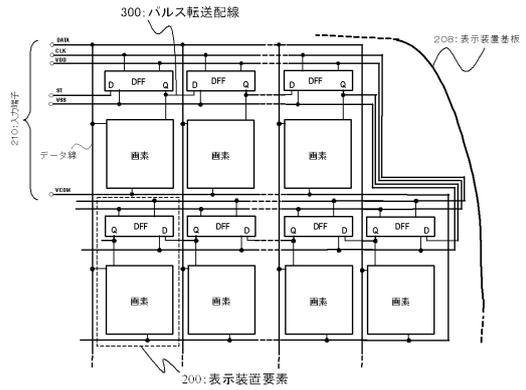
【図10】



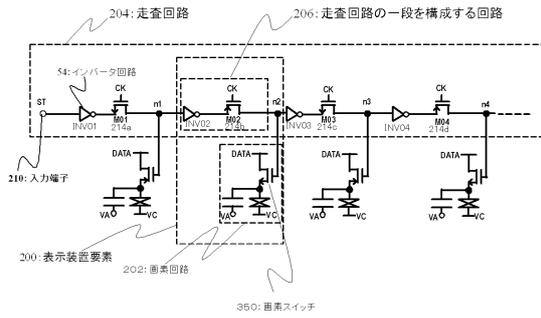
【図11】



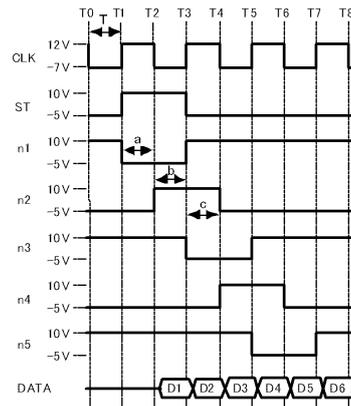
【図12】



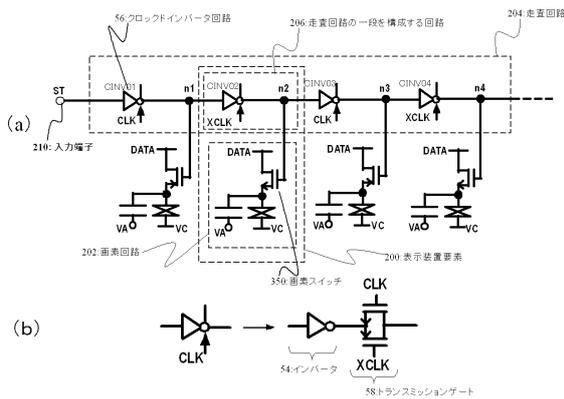
【図13】



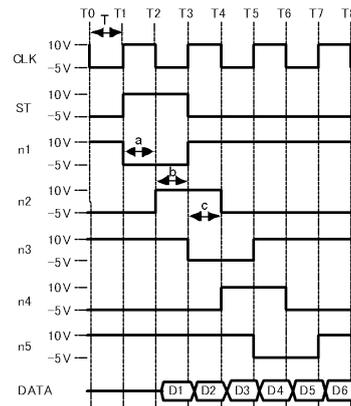
【図14】



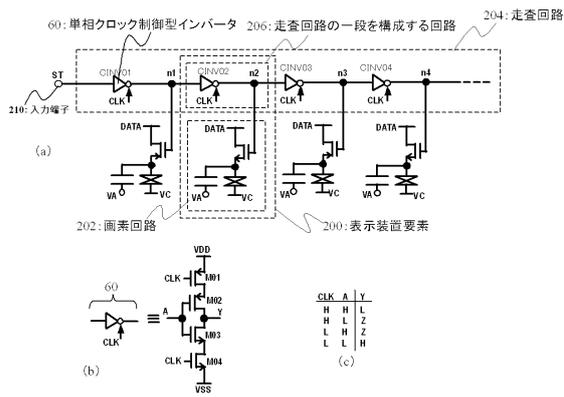
【図15】



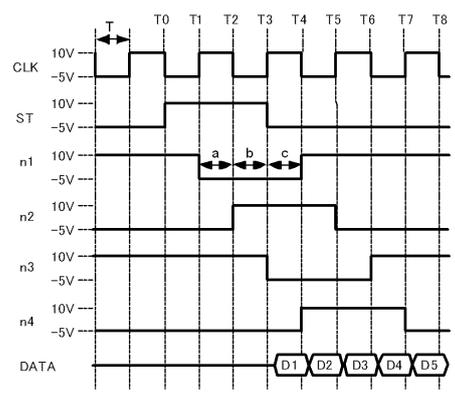
【図16】



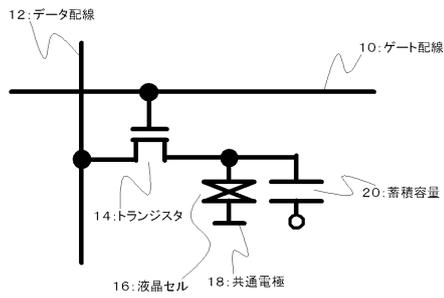
【図17】



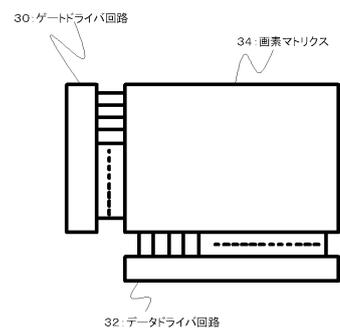
【図18】



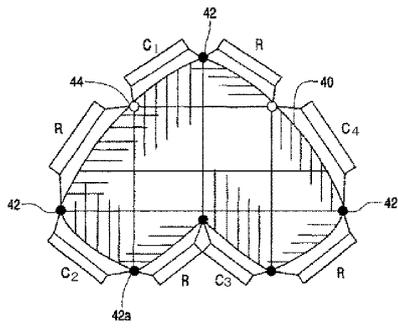
【図19】



【図20】



【 図 2 1 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 H
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 2 E
G 0 9 G 3/20 6 2 2 G
G 0 2 F 1/133 5 0 5

審査官 佐野 潤一

(56)参考文献 特開2004-070179(JP,A)
特開平11-191494(JP,A)
特開2006-078799(JP,A)
特開2001-185370(JP,A)
特開2001-306013(JP,A)
特開2002-108286(JP,A)
特開平06-111940(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 0
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 3 6