(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2018 년 1 월 11 일 (11.01.2018)

WIPO | PCT

(10) 국제공개번호
WO 2018/008946 A1

(51) 국제특허분류:
G11C 11/419 (2006.01) *G11C 7/16* (2006.01)
G11C 11/413 (2006.01) *G11C 8/10* (2006.01)

(21) 국제출원번호: PCT/KR2017/007097

(22) 국제출원일: 2017 년 7 월 4 일 (04.07.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2016-0085736 2016 년 7 월 6 일 (06.07.2016) KR

(71) 출원인: **주식회사 유엑스팩토리 (UX FACTORY CO., LTD.)** [KR/KR]; 13524 경기도 성남시 분당구 판교역로 182, 704호 (삼평동), Gyeonggi-do (KR).

(72) 발명자: **이진수 (LEE, Jin Su)**; 42782 대구시 달서구 월서로 31, 107동1202호(상인동,상인신일해피트리아파트), Daegu (KR). **박준영 (PARK, Jun Young)**; 27717 충청북도 음성군 음성읍 반기문로 45-15, 107동1204호(금광포란재아파트), Chungcheongbuk-do (KR).

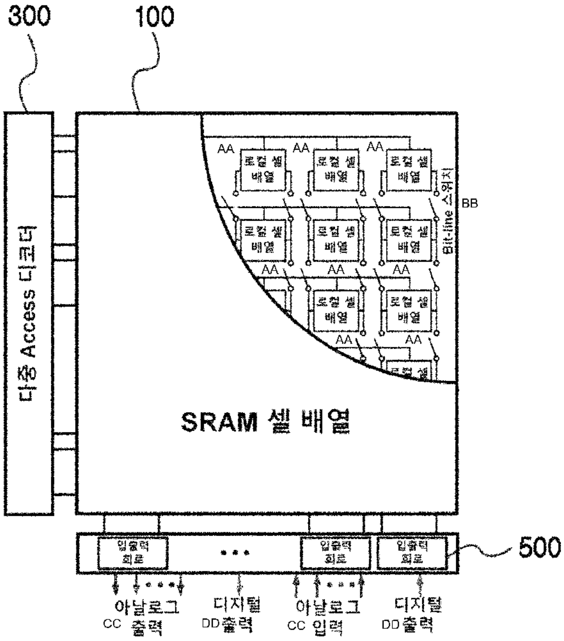
(74) 대리인: **특허법인 두성 (DOOSUNG PATENT LAW FIRM)**; 06237 서울시 강남구 논현로 81길 13, 3층(역삼동, 삼화빌딩), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) **Title:** ANALOG DIGITAL INTERFACE SRAM STRUCTURE

(54) **발명의 명칭:** 아날로그 디지털 인터페이스 SRAM 구조



100 ... SRAM cell arrangement
300 ... Multi-access decoder
500 ... Input/output circuit
AA ... Local cell arrangement
BB ... Bit-line switch
CC ... Analog output
DD ... Digital output

(57) **Abstract:** The present invention relates to an analog digital interface SRAM structure wherein, by using a structure having a switch added to a bit line structure and an IO circuit of a conventional SRAM, stored digital data can be read as analog data, and analog data can be converted digitally and stored. The analog digital interface SRAM structure comprises: a cell array having a plurality of local cells formed in the transverse and longitudinal directions and having a bit switch formed on a bit line so as to evenly divide a bit line on one side and a bit line on the other side for selecting each local cell in the longitudinal direction; a multi-decoder capable of selecting a local call in the transverse direction and simultaneously selecting a plurality of local cells in the longitudinal direction such that multiple accesses are possible; and an input/output circuit for converting analog data input from the outside into digital data, storing the same in a local cell, converting digital data stored in a local cell into analog data, and outputting the same to the outside. The present invention is advantageous in that analog data can be written in or read from an SRAM without a DAC and an ADC for implementing mixed-signal processing; a value written as an analog value can be read digitally; a value written as a digital value can be read as an analog value; it is possible to reduce the area needed to implement converters such as an ADC and a DAC on a chip; and it is possible to reduce energy consumed in the conversion process.

WO 2018/008946 A1

[다음 쪽 계속]

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

— 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(57) 요약서: 본 발명은 기존 SRAM의 IO회로와 비트라인 구조에서 스위치를 추가한 구조를 이용하여 저장된 디지털 데이터를 아날로그 데이터로 읽어내고, 아날로그 데이터를 디지털로 변환하여 저장할 수 있도록 한 아날로그 디지털 인터페이스 SRAM 구조에 관한 것으로, 가로방향 및 세로방향으로 복수의 로컬 셀이 형성되는 것으로, 상기 세로방향으로 로컬 셀을 각각 선택하기 위한 일측의 비트라인 및 타측의 비트라인을 균등하게 나누는 비트스위치가 비트라인에 형성된 셀 어레이, 가로방향으로 로컬 셀을 선택하면서, 세로방향으로 복수의 로컬 셀을 동시에 선택하여 다중 액세스가 가능한 다중디코더 및 외부로부터 입력된 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀에 저장되도록 하며, 로컬 셀에 저장된 디지털 데이터를 아날로그 데이터로 변환하여 외부로 출력되도록 하는 입출력회로를 포함하여 구성된다. 본 발명에 따르면, Mixed-Signal Processing을 구현하기 위해서 DAC와 ADC가 없이도 아날로그 데이터를 SRAM에 쓰거나 읽을 수 있고, 아날로그로 쓴 값을 디지털로 읽을 수 있으며, 또한, 디지털로 쓴 값을 아날로그로 읽을 수 있도록 하여, ADC와 DAC 같은 변환기를 On Chip에 구현하기 위해 필요한 면적을 줄일 수 있으며, 변환 과정에 따른 소모 에너지를 줄일 수 있는 효과가 있다.

명세서

발명의 명칭: 아날로그 디지털 인터페이스 SRAM 구조

기술분야

[1] 본 발명은 아날로그 디지털 인터페이스 SRAM 구조에 관한 것으로, 더욱 상세하게는 기존 SRAM의 IO회로와 비트라인 구조에서 스위치를 추가한 구조를 이용하여 저장된 디지털 데이터를 아날로그 데이터로 읽어내고, 아날로그 데이터를 디지털로 변환하여 저장할 수 있도록 한 아날로그 디지털 인터페이스 SRAM 구조에 관한 것이다.

배경기술

[2] 일반적으로 Mixed-signal processing은 bio-sensor, 온도센서와 같이 아날로그 Sensor로부터 얻은 데이터를 디지털 데이터로 변환하여 복잡한 연산을 처리하거나 디지털 데이터를 아날로그 데이터로 변환하여 효율적인 아날로그 프로세싱을 하는 것이다.

[3] 바이오 메디컬 용 집적회로, 저전력 뉴럴 네트워크 집적회로 등에서 이런 Mixed-signal processing이 사용된다.

[4] 이 과정에서 아날로그 데이터를 디지털 데이터로 변환하기 위해서 아날로그-디지털 변환기(ADC)와 디지털 데이터를 아날로그 데이터로 변환하기 위해 디지털-아날로그 변환기(DAC)가 필요하다.

[5] 그리고 많은 경우에서 디지털로 변환되었거나 변환될 데이터를 버퍼에 저장하며 많은 양을 저장하기 위해서는 On Chip Memory로 사용이 되는 SRAM에 데이터가 저장이 된다.

[6] ADC는 전압의 크기로 표현이 되는 아날로그 데이터를 bit로 표현이 되는 디지털 데이터로 변환해 주는 것으로, 대표적으로 SAR ADC가 있다.

[7] SAR ADC는 Capacitive DAC, Comparator, Register 그리고 SAR 컨트롤러로 이루어져있다.

[8] Capacitive DAC는 Digital bit를 Analog 전압으로 바꿔주는 Converter이다.

[9] 1C, 2C, 4C, 8C, ... 2^nC의 Capacitor로 이루어져 있으며, Digital bit의 자리 수에 따라 해당하는 Capacitor가 할당된다.

[10] 예를 들면 12를 의미하는 Digital bit, D=$1100_{(2)}$(D[3]=1, D[2]=1, D[1]=0, D[0]=0)를 Capacitive DAC을 이용해 Analog 전압으로 바꾸게 될 때, D[3]에 해당하는 Capacitor는 8C, D[2]는 4C, D[1]은 2C, D[0]는 C에 할당하여 해당되는 bit의 값에 따라(1 혹은 0) Capacitor를 VDD로 충전할지, 0으로 방전할지 결정하게 된다.

[11] 그에 따라 각 Capacitor의 전하량이 각 Capacitor의 전압과 Capacitor의 크기 곱에 따라 정해지게 되고, 각 Capacitor에 저장된 전하량을 합침으로서 Digital bit에 해당하는 전압을 출력해낼 수 있게 된다.

[12] Capacitive DAC에서 만들어지는 전압을 Comparator로 입력전압과 비교하여 순차적으로 상위 MSB에서 하위 LSB를 이진 탐색 방법으로 찾아 Register에 저장하여 아날로그 데이터에 해당하는 디지털 데이터를 찾는다.

[13] SRAM은 bit를 저장하는 Cell들의 Array가 있고 이 Array는 Row 방향으로 있는 Word Line으로 Cell들을 행 단위로 선택하고, 선택된 한 행의 Cell들은 Column단위의 Bit-line으로 데이터를 읽어낸다.

[14] 하나의 Column당 2개의 Bit-Line(BL, BLB)가 있고 Cell의 데이터를 읽기 전에 VDD 전압으로 충전이 된다.

[15] 그리고 Word Line이 켜지게 되면 각 Cell 마다 Bit-line을 방전하거나 VDD 상태로 유지를 시켜준다.

[16] 이때, BL과 BLB는 반대의 bit를 읽어 낸다.

[17] 예를 들면 선택된 Cell에 0이 저장되어 있으면 BL은 방전되고, BLB는 VDD로 유지된다.

[18] 만약 1이 저장되어있으면 BL은 유지되고 BLB는 방전된다.

[19] 이 BL, BLB당 Sense Amplifier가 있게 되고, BL과 BLB의 대소 관계를 비교해서 Cell에 저장된 값이 0인지 1인지 판단해 출력하게 된다.

[20] Mixed-signal processing에서 데이터 변환을 위해 ADC와 DAC를 사용하게 된다.

[21] 하지만, 이런 변환기의 면적이 매우 크기 때문에, Multi-Channel을 이용한 바이오센서 애플리케이션이나 Mixed-Signal Processing 뉴럴 네트워크 애플리케이션 같은 경우, 한 번에 여러 Data를 변환하기 위해서 여러 개의 변환기를 사용하게 되고 그에 따라 많은 면적을 차지하게 된다.

[22] 또한, ADC를 통해서 변형된 데이터를 On chip Memory에 저장하기 위해서 SRAM을 주로 사용하게 되고, DAC로 디지털 데이터를 아날로그 데이터로 변환할 때 SRAM에서 데이터를 읽어서 변환하는 과정을 거치며 SRAM과 ADC, DAC에서 많은 에너지 소모가 일어난다는 문제점이 있었다.

[23] [선행기술문헌]

[24] [특허문헌]

[25] (특허문헌 1) 대한민국 공개특허공보 공개번호 제10-2014-0000421호

발명의 상세한 설명

기술적 과제

[26] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로서, Mixed-Signal Processing을 구현하기 위해서 DAC와 ADC가 없이도 아날로그 데이터를 SRAM에 쓰거나 읽을 수 있고, 아날로그로 쓴 값을 디지털로 읽을 수 있으며, 또한 디지털로 쓴 값을 아날로그로 읽을 수 있도록 하여, ADC와 DAC 같은 변환기를 On Chip에 구현하기 위해 필요한 면적을 줄일 수 있으며, 변환 과정에 따른 소모 에너지를 줄일 수 있는 아날로그 디지털 인터페이스 SRAM 구조를 제공하는 것이다.

과제 해결 수단

[27] 상술한 목적을 달성하기 위한 본 발명의 아날로그 디지털 인터페이스 SRAM 구조는, 외부로부터 입력된 아날로그 데이터가 디지털 데이터로 변환되어 로컬 셀에 저장되도록 하거나 또는 로컬 셀에 저장된 디지털 데이터가 아날로그 데이터로 변환되도록 하기 위한 아날로그 디지털 인터페이스 SRAM 구조로서, 분리된 별도의 아날로그 디지털 컨버터 또는 디지털 아날로그 컨버터 없이 아날로그 데이터를 디지털데이터로 저장하거나 디지털 데이터를 아날로그 데이터로 읽을 수 있도록 하기 위하여, 다중디코더로 로컬 셀이 순차적으로 2^n의 비율로 나누어지도록 비트라인의 비트스위치를 제어하는 것을 특징으로 한다.

[28] 그리고 상술한 목적을 달성하기 위한 본 발명의 아날로그 디지털 인터페이스 SRAM 구조는, 외부로부터 입력된 아날로그 데이터가 디지털 데이터로 변환되어 로컬 셀에 저장되도록 하거나 또는 로컬 셀에 저장된 디지털 데이터가 아날로그 데이터로 변환되도록 하기 위한 아날로그 디지털 인터페이스 SRAM 구조로서, 상기 SRAM 구조에서 아날로그 신호 또는 디지털 신호를 입출력시키는 입출력회로와, 가로방향 및 세로방향으로 복수의 로컬 셀이 형성되는 것으로, 상기 세로방향으로 로컬 셀을 선택하기 위한 비트라인과, 상기 복수의 로컬 셀을 세로방향으로 구분하기 위해 비트라인을 균등하게 나누는 비트라인에 형성되는 비트스위치를 포함하는 셀 어레이; 및 가로방향으로 로컬 셀을 선택하면서, 동시에 비트스위치를 제어하여 세로방향으로 복수의 로컬 셀을 선택하여 세로 방향으로 다중 액세스가 가능한 다중디코더를 포함하여 구성된 것을 특징으로 한다.

[29] 상기 다중디코더는 세로방향에 대해서 비트스위치를 제어하여, 2^n의 비율로 순차적으로 로컬 셀이 나누어지도록 비트라인을 형성하며, 각각의 비트라인에는 4비트 데이터를 이루는 비트들 중 하나의 비트를 저장하는 로컬 셀이 하나씩 배치가 되는 것으로, 첫째 자릿수에 해당하는 로컬 셀은 8의 비율로 나눈 비트라인에 배치가 되고, 둘째 자릿수에 해당하는 로컬 셀은 4의 비율로 나눈 비트라인에 배치가 되고, 셋째 자릿수에 해당하는 로컬 셀은 2의 비율로 나눈 비트라인에 배치가 되고, 넷째 자릿수에 해당하는 로컬 셀은 1의 비율로 나눈 비트라인에 배치가 된 것을 특징으로 할 수 있다.

[30] 외부로부터 입력된 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀에 저장되도록 하기 위하여, 세로 방향에 대해서 다중디코더를 통하여 선택된 디지털 데이터를 저장할 4개의 로컬 셀을 0으로 초기화하고, 이어서, 다중디코더의 제어로 이진수 $1000_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 최상위 자리인 첫번째 로컬 셀에 1(D[3]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[3]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 $\{(D[3],100\}_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과

입력전압을 비교하여 입력전압이 더 클 경우 두번째 자리인 두번째 로컬 셀에 1(D[2]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[2]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 $\{(D[3],D[2],10\}_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 세번째 자리인 세번째 로컬 셀에 1(D[1]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[1]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 $\{(D[3],D[2],D[1],1\}_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 네번째 자리인 네번째 로컬 셀에 1(D[0]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[0]=0)을 저장할 수 있다.

[31] 로컬 셀에 저장된 디지털 데이터를 아날로그 데이터로 변환하여 외부로 출력되도록 하기 위하여, 타측 비트라인의 비트스위치를 닫은 상태로 타측 비트라인을 VDD 전압으로 충전하고, 이어서, 비트스위치를 제어하여 타측 비트라인을 8:4:2:1의 비율을 가지는 4개의 비트라인으로 나누는 동시에 8:4:2:1의 비율을 가지는 기생 커패시턴스가 생성되도록 하고, 이어서, 다중디코더를 통하여 4개의 비트라인에 배치된 4개의 로컬 셀에 해당하는 워드라인을 동시에 활성화하고, 이어서, 비트스위치를 닫고 Charge Sharing을 통해 4비트 해상도의 아날로그 출력전압을 생성하여 입출력회로를 통하여 외부로 출력시킬 수 있다.

발명의 효과

[32] 이상에서 설명한 바와 같은 본 발명의 아날로그 디지털 인터페이스 SRAM 구조에 따르면, Mixed-Signal Processing을 구현하기 위해서 DAC와 ADC가 없이도 아날로그 데이터를 SRAM에 쓰거나 읽을 수 있고, 아날로그로 쓴 값을 디지털로 읽을 수 있으며, 또한, 디지털로 쓴 값을 아날로그로 읽을 수 있도록 하여, ADC와 DAC 같은 변환기를 On Chip에 구현하기 위해 필요한 면적을 줄일 수 있으며, 변환 과정에 따른 소모 에너지를 줄일 수 있는 효과가 있다.

도면의 간단한 설명

[33] 도 1 및 도 2는 본 발명의 일실시예에 따른 아날로그 디지털 인터페이스 SRAM 구조를 나타낸 블록도이며,

[34] 도 3 내지 도 5는 본 발명의 일실시예에 따른 로컬 셀의 연결 상태를 설명하기 위하여 나타낸 블록도이며,

[35] 도 6 및 도 7은 본 발명의 일실시예에 따른 입출력회로를 설명하기 위하여 나타낸 블록도이며,

[36] 도 8 내지 도 11은 본 발명의 일실시예에 따른 디지털 데이터를 아날로그 데이터로 변환하는 과정을 설명하는 예시도이며,

[37] 도 12 내지 도 17은 본 발명의 일실시예에 따른 아날로그 데이터를 디지털 데이터로 변환하는 과정을 설명하는 예시도이며,

[38] 도 18은 본 발명의 일실시예에 따른 로컬 셀의 연결 상태의 다른 예를 설명하기 위하여 나타낸 예시도이며,

[39] 도 19는 종래의 SAR ADC를 나타낸 블록도이다.

발명의 실시를 위한 형태

[40] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

[41] 본 발명의 일실시예에 따른 아날로그 디지털 인터페이스 SRAM은 도 1에 나타낸 바와 같이, 셀 어레이(100), 다중디코더(300) 및 입출력회로(500)를 포함하여 온 칩 형태의 집적회로로 구성된다.

[42] 이를 통해 구현되는 본 발명에 따른 아날로그 디지털 인터페이스 SRAM은 하나의 가로방향마다 데이터 벡터를 아날로그로 읽어 낼 수 있고, 또한 5 클럭에 걸쳐서 4비트 해상도의 아날로그 데이터를 디지털 데이터로 변환하여 쓰는 것이 각각 행마다 가능하다.

[43]

[44] 상기 셀 어레이(100)는 가로방향 및 세로방향으로 복수의 로컬 셀(130)이 형성되는 것으로, 도 2 및 도 3에 나타낸 바와 같이, 상기 세로방향으로 로컬 셀(130)을 각각 선택하기 위한 일측의 비트라인(110) 및 타측의 비트라인(150)을 균등하게 나누는 비트스위치(111, 151)가 비트라인에 각각 형성된다.

[45] 비트스위치(111, 151)를 이용하여, 비트라인(110, 150)을 중간에 끈어지게 하거나 연결할 수 있다.

[46] 균등하게 나누어진 각각의 비트라인(110, 150)은 동일한 갯수의 로컬 셀(130)을 가지며, 각각의 로컬 셀(130) 배열마다 기생 커패시턴스를 가지게 된다.

[47] 기생 커패시턴스는 로컬 셀(130)의 개수에 비례하게 커지게 된다.

[48]

[49] 그리고 각각의 세로방향에 대해서 비트스위치(111, 151)를 제어하여, 8:4:2:1 형태의 비율로 비트라인이 나누어지도록 할 수 있으며, 이때 각각의 비트라인은 8C:4C:2C:1C의 기생 커패시턴스 값을 가진다.

[50] 즉, 하나의 세로방향에 대해서 2^n의 비율로 이루어진 각각의 비트라인(110, 150)은 2^n의 커패시턴스 비율을 가지게 된다.

[51] 그리고 각각의 비트라인(110, 150)에는 4비트 데이터를 이루는 비트들 중 하나의 비트를 저장하고 있는 로컬 셀(130)이 하나씩 배치가 되어 있다.

[52] 가장 높은 자릿수(MSB)인 첫째 자리에 해당하는 로컬 셀(130)은 8의 비율로 나눈 비트라인에 배치가 되고, 둘째 자릿수에 해당하는 로컬 셀은 4의 비율로 나눈 비트라인에 배치가 되고, 셋째 자릿수에 해당하는 로컬 셀은 2의 비율로 나눈 비트라인에 배치가 되고, 가장 낮은 자릿수(LSB)인 넷째 자릿수에 해당하는 로컬 셀은 1의 비율로 나눈 비트라인에 배치가 된다.

[53]

[54] 상기 다중디코더(300)는 도 4에 나타낸 바와 같이, 워드라인(170)을 통하여 가로방향으로 로컬 셀(130)들을 선택하면서, 동시에 세로방향에 대해서 비트스위치(111, 151)를 제어하여, 2^n의 비율로 순차적으로 로컬 셀(130)이 나누어지도록 비트라인(110, 150)을 형성하여, 로컬 셀(130)에 대한 다중 액세스가 가능하다.

[55] 기존 디코더는 특정한 Address가 입력으로 들어오면 거기에 해당하는 워드라인 하나만 액세스 하였는데, 본 발명에서의 다중디코더(300)는 도 4 및 도 5에 나타낸 바와 같이, 한 번에 여러 개의 로컬 셀(130)을 가로방향으로 선택하기 위해서 다중 액세스가 가능한 디코더를 사용한다.

[56]

[57] 상기 입출력회로(500)는 도 6에 나타낸 바와 같이, 외부로부터 입력된 아날로그 데이터를 입력받아 디지털 데이터로 변환되도록 한 후, 변환된 디지털 데이터를 로컬 셀(130)에 저장되도록 하며, 또는 로컬 셀(130)에 저장된 디지털 데이터가 아날로그 데이터로 변환되면 이를 전달받아 외부로 출력되도록 하는 회로이다.

[58] 기본적으로 기존의 SRAM의 입출력회로와 같은 구조에서 Write 드라이버에 입력으로 비교기의 출력을 저장하는 플립플롭의 출력과 디지털 입력을 받는 플립플롭 데이터를 입력 종류에 따라 고를 수 있도록 MUX가 추가되었다.

[59] 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀(130)에 저장하는 과정은 기존 SAR ADC(Successive approximation ADC)와 같으며, SAR ADC에서 커패시티브 DAC를 본 발명에서 비트라인으로 대체 하였고, 비교기를 Sense Amplifier로, 결과가 저장되는 레지스터를 로컬 셀로 대체하여 기존의 SRAM 구조를 활용하여 면적효율을 높였다.

[60] 아울러, 입출력회로(500)는 도 6에 나타낸 바와 같이, 5 클럭에 걸쳐서 4비트 해상도의 아날로그 데이터가 디지털 데이터로 변환되도록 하여 입력하는 과정에서 사용되는 입출력회로로, 비트라인에서 생성한 기준전압과 입력전압을 비교하여 변환된 디지털 데이터를 로컬 셀(130)에 입력하는 기능을 한다.

[61] 따라서, 도 7에 나타낸 시뮬레이션 결과처럼, 아날로그 데이터(V_{AIN})를 기준전압(V_{ref})과 비교해 가면서 4비트 디지털 데이터를 결정해 나가며, 결정된 4비트 데이터는 해당하는 위치의 로컬 셀(130)에 저장된다.

[62] 즉, 기존의 입출력회로는 외부로부터 디지털 데이터들을 전달받아 Bit 셀에 입력하거나, 또는 Bit 셀에서 비트라인을 통해 전달받은 디지털 데이터를 외부로 전달하는 역할만 하였다.

[63] 그러나 본 발명에서의 입출력회로(500)는 디지털 데이터뿐만 아니라 아날로그 데이터를 디지털 데이터로 변환되도록 하여 로컬 셀(130)에 저장할 수 있다.

[64]

[65] 상술한 바와 같이 구성된 아날로그 디지털 인터페이스 SRAM 구조에서, 로컬 셀(130)에 저장된 디지털 데이터를 아날로그 데이터로 변환하여 외부로

출력되도록 하기 위하여, 먼저, 도 8에 나타낸 바와 같이, 타측 비트라인(150)의 비트스위치(151)를 모두 닫은 상태로 타측 비트라인(150)을 VDD 전압으로 충전한다.

[66] 이어서, 도 9에 나타낸 바와 같이, 비트스위치(151)를 제어하여 타측 비트라인(150)을 8:4:2:1의 비율을 가지는 4개의 비트라인으로 나누어지도록 해당 비트스위치를 연다.

[67] 이렇게 나누어진 각각의 비트라인은 각각 8:4:2:1의 기생 커패시턴스를 가진다.

[68] 이어서, 도 10에 나타낸 바와 같이, 4개의 비트라인으로 나누어진 상태에서 다중디코더(300)를 통하여 읽으려는 4개의 비트라인에 배치된 4개의 로컬 셀에 해당하는 워드라인을 동시에 활성화한다.

[69] 이때, 각각의 비트라인은 로컬 셀에 저장된 각각의 데이터에 따라서 방전이 되거나 전하를 유지하며 VDD의 전압을 유지한다.

[70] 이어서, 도 11에 나타낸 바와 같이, 비트스위치(151)를 닫고 Charge Sharing을 통해 4비트 해상도의 아날로그 출력전압을 생성한다.

[71] 이때, 아날로그 출력전압은 수학식 1을 통하여도 생성할 수 있다.

[72] [수학식 1]

[73] $V_{Aout} = 8/15V_{DD}$

[74] (여기서, V_{Aout}는 아날로그 출력전압이고, V_{DD}는 디지털 출력전압이다.)

[75]

[76] 외부로부터 입력된 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀(130)에 저장되도록 하기 위하여는, 도 12에 나타낸 바와 같이, 입출력회로를 통하여 아날로그 전압(V_{IN})을 기준전압(V_{REF})과 비교해가며 대소관계를 이용해 해당 비트(Bit)가 1인지 0인지 판단한다.

[77] 먼저, 도 13에 나타낸 바와 같이, 세로 방향에 대해서 디지털 데이터를 저장할 4개의 로컬 셀을 0으로 초기화하고, 이어서, 도 14에 나타낸 바와 같이, 일측의 비트라인(110)을 통하여 이진수 $1000_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로(500)를 통하여 입력되는 입력전압과 비교하여 입력전압이 더 클 경우 최상위 자리인 첫번째 로컬 셀에 1(D[3]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[3]=0)을 저장한다.

[78] 이어서, 도 15에 나타낸 바와 같이, 이진수 $\{D[3],100\}_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로(500)를 통하여 입력되는 입력전압과 비교하여 입력전압이 더 클 경우 두번째 자리인 두번째 로컬 셀에 1(D[2]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[2]=0)을 저장한다.

[79] 이어서, 도 16에 나타낸 바와 같이, 이진수 $\{D[3],D[2],10\}_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로(500)를 통하여 입력되는 입력전압과 비교하여 입력전압이 더 클 경우 세번째 자리인 세번째 로컬 셀에 1(D[1]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[1]=0)을 저장한다.

[80] 이어서, 도 17에 나타낸 바와 같이, 이진수 $\{D[3],D[2],D[1],1\}_{(2)}$에 해당하는

기준전압을 생성하고, 입출력회로(500)를 통하여 입력되는 입력전압과 비교하여 입력전압이 더 클 경우 네번째 자리인 네번째 로컬 셀에 1(D[0]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[0]=0)을 저장한다.

[81] 아울러, 기준전압을 만들기 위해서는 순서에 따라 해당 자릿수의 비트는 1을 유지하여야 하고, 그 위의 데이터는 앞에서 써진 데이터에 의존하고 그 뒤의 자릿수는 0으로 고정이 된다.

[82] 이에 해당하는 기준 전압을 만들기 위해서 처음에 데이터가 써질 로컬 셀을 0으로 초기화하고 각 순서에서의 비트에 해당하는 로컬 셀만 워드라인을 켜지 않아 VDD로 충전된 전하를 유지한다.

[83] 그 외의 로컬 셀은 워드라인을 켜서 앞에서 써진 데이터 혹은 0으로 비트라인을 방전하거나 유지한다.

[84] 그 후 앞에서 아날로그 출력을 할 때와 같이 전하 공유를 이용해 기준전압을 만들어 낸다.

[85] 참고로, 도 2에서 8N과 2N에 해당하는 로컬 셀은 일측 비트라인(110)으로부터 로컬 셀로 전류가 흐르는 상태를 나타낸 것이며, 이렇게 되면 일측 비트라인(110)과 로컬 셀 간에 전압차이가 생기고, 이에 따라 전류가 흘러서 일측 비트라인(110)의 전하가 흘러나가서 0으로 된다는 것을 나타낸 것이다.

[86] 반면에, 4N과 N에 해당하는 로컬 셀은 일측 비트라인(110)으로부터 로컬 셀로 전류가 흐르지 않는다는 것을 나타낸 것이며, 이렇게 되면, 일측 비트라인(110)과 로컬 셀 간에 전압이 똑같아 전압차이가 없어서, 일측 비트라인(110)에 전하가 그대로 남아 있다는 것을 나타낸 것이다.

[87]

[88] 본 발명에서는 세로방향으로 로컬 셀을 8:4:2:1로 나누면, 각각의 구간마다 하나의 자릿수의 비트를 저장할 수 있는데, 이때, 1N 구간 경우, 1개의 로컬 셀에 모두 저장을 할 수 있지만, 8N 구간 경우 7N 개의 로컬 셀이 남아서 불균형 문제가 발생한다.

[89] 도 18은 비트라인에 할당된 각 자릿수를 저장할 공간이 8:4:2:1로 불균형 문제를 해결하기 위한 데이터 저장 구조도이다.

[90] 도 18에 나타낸 바와 같이, 4비트 데이터를 저장하면 모드(Config) 0, 1, 2, 3과 같이 스위치를 조절하여 비트라인을 8:4:2:1로 나누어 아날로그 데이터를 한 행에 대해서 읽어 낼 수 있다.

[91] 즉, 하나의 비트라인을 N개의 Bit 셀로 이루어진 로컬 셀로 스위치를 이용해 나누고(나눠진 Bit 셀들을 LCA(Local Cell Array)라고 칭한다), 도 18에 나타낸 바와 같이, 4개의 모드를 비트 스위치(111, 151)를 On 혹은 Off 하여 이용해 만드는 것이며, 비트 스위치(111, 151)의 다양한 구성을 이용해서 로컬 셀을 1M:2M:4M:8M로 묶을 수 있는데, 각각 비트 스위치로 연결된 로컬 셀 중에 1군데에 1비트씩 저장이 된다.

[92] 도 18에서 4개의 스위치 모드에서 선으로 구분되어있는 것은 스위치가 오프

되어 연결이 끊어졌다는 뜻이고, 선으로 구분되어 있지않는 것은 스위치가 온 되어 연결이 되었음을 나타낸다.

[93]

[94] 도 19는 Capacitive DAC, Comparator, Register 그리고 SAR 컨트롤러 등으로 이루어진 종래의 축차 비교형 아날로그 디지털 변환회로(Successive approximation ADC)를 나타낸 것이다.

[95] 본원 발명에서는 종래의 축차 비교형 아날로그 디지털 변환회로의 Capacitive DAC를 비트라인 커패시턴스로, Comparator를 센스 증폭기(Sense amplifier)로, Register를 로컬 셀로 대체하여 기존의 SRAM 구조를 그대로 이용하여, 축차 비교형 아날로그 디지털 변환회로와 같은 동작을 하여 아날로그 데이터를 디지털로 변환하여 로컬 셀에 바로 저장할 수 있다.

[96] 따라서, 본 발명은 추가적인 ADC와 DAC가 없이도, 아날로그 및 디지털 데이터를 SRAM에 쓰고 읽을 수 있다.

[97]

[98] 이상에서 설명한 바와 같은 본 발명의 아날로그 디지털 인터페이스 SRAM 구조에 따르면, Mixed-Signal Processing을 구현하기 위해서 DAC와 ADC가 없이도 아날로그 데이터를 SRAM에 쓰거나 읽을 수 있고, 아날로그로 쓴 값을 디지털로 읽을 수 있으며, 또한, 디지털로 쓴 값을 아날로그로 읽을 수 있도록 하여, ADC와 DAC 같은 변환기를 On Chip에 구현하기 위해 필요한 면적을 줄일 수 있으며, 변환 과정에 따른 소모 에너지를 줄일 수 있는 효과가 있다.

[99] 이상의 설명에서는 본 발명의 바람직한 실시예를 제시하여 설명하였으나, 본 발명이 반드시 이에 한정되는 것은 아니며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경할 수 있음을 쉽게 알 수 있을 것이다.

[100] [부호의 설명]

[101] 100: 셀 어레이 110: 비트라인

[102] 111: 비트 스위치 150: 비트라인

[103] 151: 비트 스위치 170: 워드라인

[104] 300: 다중 디코더 500: 입출력회로

산업상 이용가능성

[105] 본 발명의 아날로그 디지털 인터페이스 SRAM 구조에 따르면, Mixed-Signal Processing을 구현하기 위해서 DAC와 ADC가 없이도 아날로그 데이터를 SRAM에 쓰거나 읽을 수 있고, 아날로그로 쓴 값을 디지털로 읽을 수 있으며, 또한, 디지털로 쓴 값을 아날로그로 읽을 수 있도록 하여, ADC와 DAC 같은 변환기를 On Chip에 구현하기 위해 필요한 면적을 줄일 수 있으며, 변환 과정에 따른 소모 에너지를 줄일 수 있는 효과가 있으므로, 바이오 메디컬 용 집적회로, 저전력 뉴럴 네트워크 집적회로 등에 사용될 수 있다.

청구범위

[청구항 1] 외부로부터 입력된 아날로그 데이터가 디지털 데이터로 변환되어 로컬 셀에 저장되도록 하거나 또는 로컬 셀에 저장된 디지털 데이터가 아날로그 데이터로 변환되도록 하기 위한 아날로그 디지털 인터페이스 SRAM 구조로서,
분리된 별도의 아날로그 디지털 컨버터 또는 디지털 아날로그 컨버터 없이 아날로그 데이터를 디지털데이터로 저장하거나 디지털 데이터를 아날로그 데이터로 읽을 수 있도록 하기 위하여, 다중디코더로 로컬 셀이 순차적으로 2^n의 비율로 나누어지도록 비트라인의 비트스위치를 제어하는 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

[청구항 2] 외부로부터 입력된 아날로그 데이터가 디지털 데이터로 변환되어 로컬 셀에 저장되도록 하거나 또는 로컬 셀에 저장된 디지털 데이터가 아날로그 데이터로 변환되도록 하기 위한 아날로그 디지털 인터페이스 SRAM 구조로서,
상기 SRAM 구조에서 아날로그 신호 또는 디지털 신호를 입출력시키는 입출력회로와, 가로방향 및 세로방향으로 복수의 로컬 셀이 형성되는 것으로, 상기 세로방향으로 로컬 셀을 선택하기 위한 비트라인과, 상기 복수의 로컬 셀을 세로방향으로 구분하기 위해 비트라인을 균등하게 나누는 비트라인에 형성되는 비트스위치를 포함하는 셀 어레이; 및
가로방향으로 로컬 셀을 선택하면서, 동시에 비트스위치를 제어하여 세로방향으로 복수의 로컬 셀을 선택하여 세로 방향으로 다중 액세스가 가능한 다중디코더
를 포함하여 구성된 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

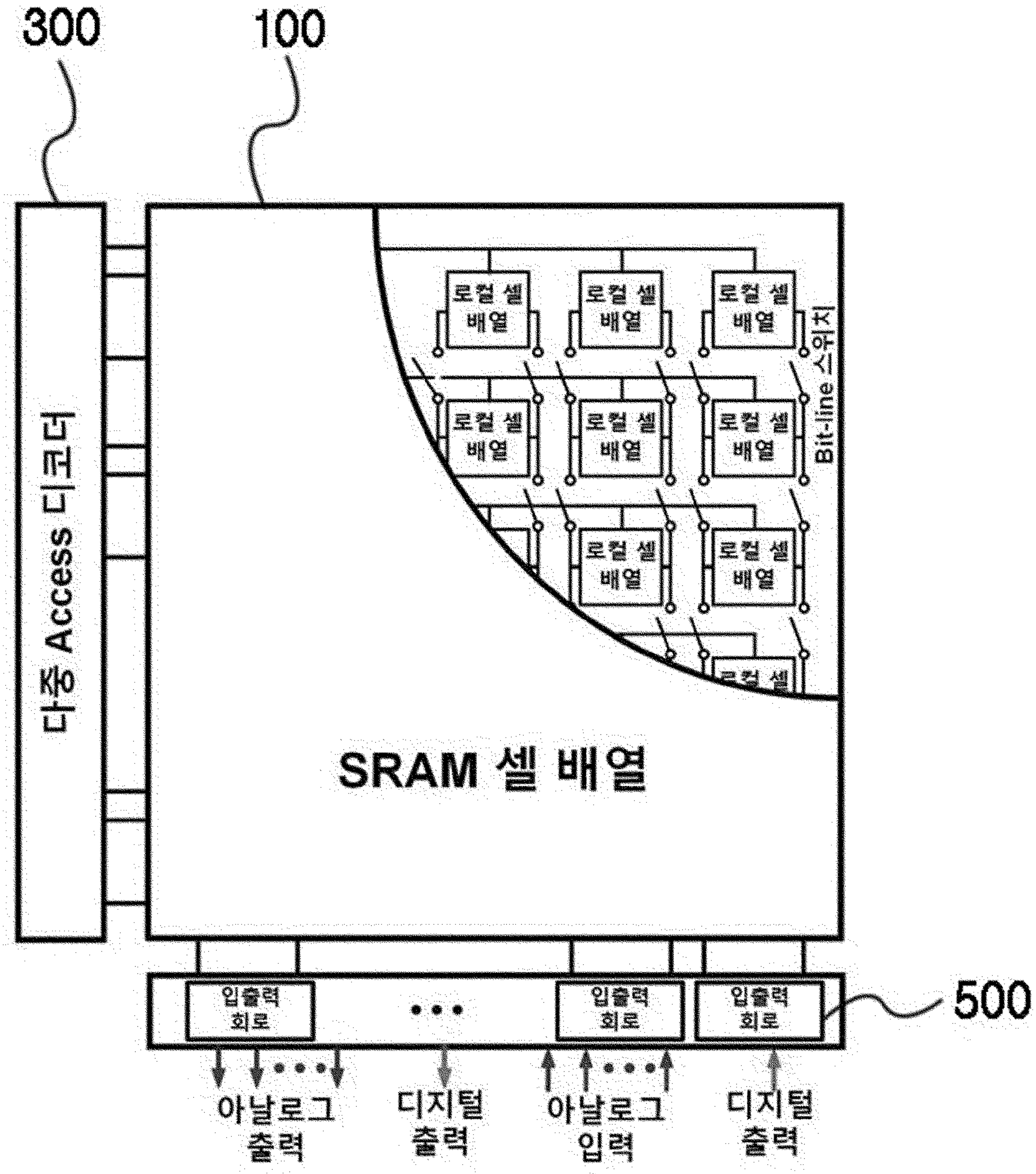
[청구항 3] 청구항 1 또는 청구항 2에 있어서, 상기 다중디코더는 세로방향에 대해서 비트스위치를 제어하여, 2^n의 비율로 순차적으로 로컬 셀이 나누어지도록 비트라인을 형성하며, 각각의 비트라인에는 4비트 데이터를 이루는 비트들 중 하나의 비트를 저장하는 로컬 셀이 하나씩 배치가 되는 것으로, 첫째 자릿수에 해당하는 로컬 셀은 8의 비율로 나눈 비트라인에 배치가 되고, 둘째 자릿수에 해당하는 로컬 셀은 4의 비율로 나눈 비트라인에 배치가 되고, 셋째 자릿수에 해당하는 로컬 셀은 2의 비율로 나눈 비트라인에 배치가 되고, 넷째 자릿수에 해당하는 로컬 셀은 1의 비율로 나눈 비트라인에 배치가 된 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

[청구항 4] 청구항 1 또는 청구항 2에 있어서, 외부로부터 입력된 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀에 저장되도록 하기 위하여, 세로 방향에 대해서 다중디코더를 통하여 선택된 디지털 데이터를 저장할

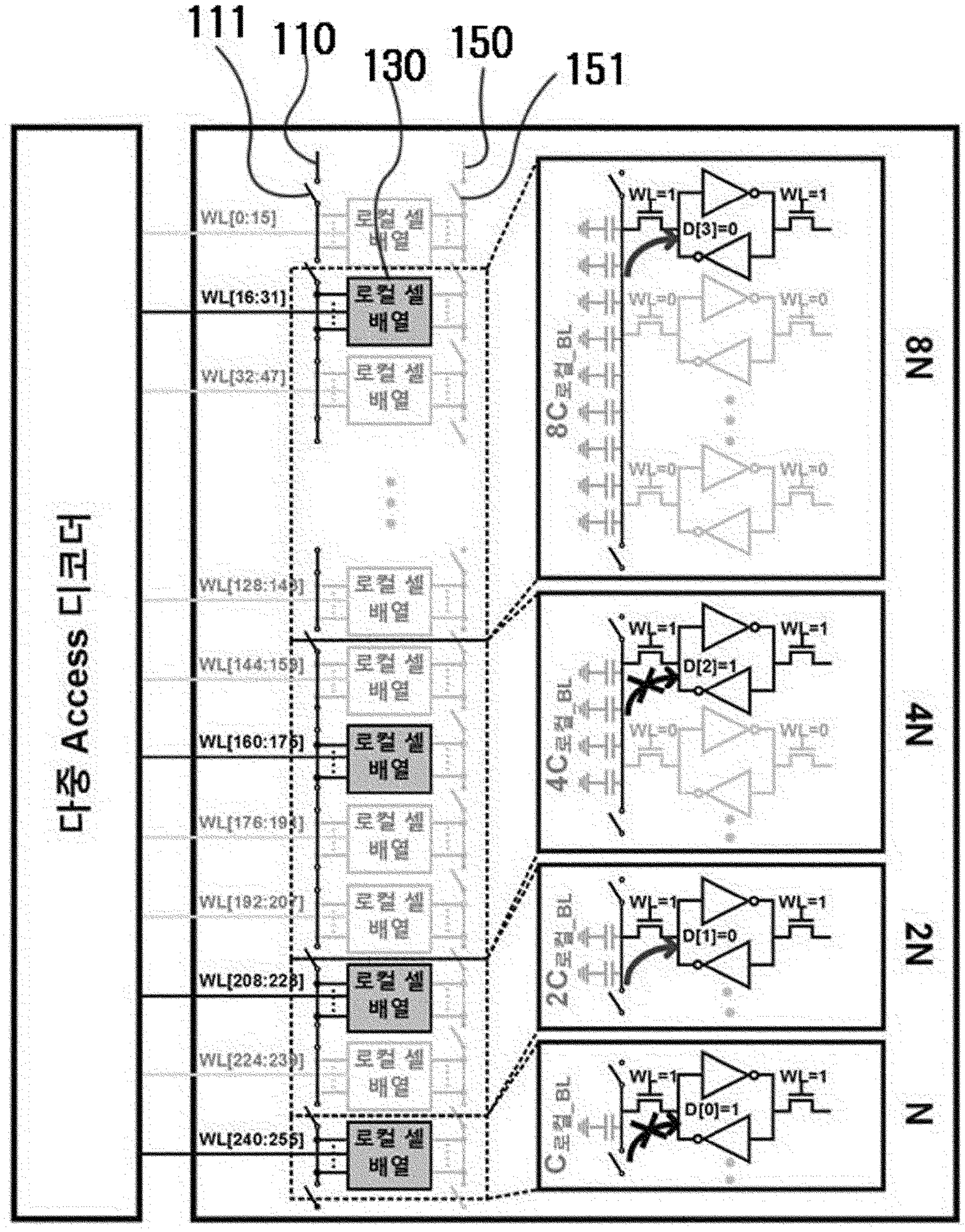
4개의 로컬 셀을 0으로 초기화하고, 이어서, 다중디코더의 제어로 이진수 $1000_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 최상위 자리인 첫번째 로컬 셀에 1(D[3]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[3]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 $\{(D[3],100\}_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 두번째 자리인 두번째 로컬 셀에 1(D[2]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[2]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 $\{(D[3],D[2],10\}_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 세번째 자리인 세번째 로컬 셀에 1(D[1]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[1]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 $\{(D[3],D[2],D[1],1\}_{(2)}$에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 네번째 자리인 네번째 로컬 셀에 1(D[0]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[0]=0)을 저장하는 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

[청구항 5] 청구항 1 또는 청구항 2에 있어서, 로컬 셀에 저장된 디지털 데이터를 아날로그 데이터로 변환하여 외부로 출력되도록 하기 위하여, 타측 비트라인의 비트스위치를 닫은 상태로 타측 비트라인을 VDD 전압으로 충전하고, 이어서, 비트스위치를 제어하여 타측 비트라인을 8:4:2:1의 비율을 가지는 4개의 비트라인으로 나누는 동시에 8:4:2:1의 비율을 가지는 기생 커패시턴스가 생성되도록 하고, 이어서, 다중디코더를 통하여 4개의 비트라인에 배치된 4개의 로컬 셀에 해당하는 워드라인을 동시에 활성화하고, 이어서, 비트스위치를 닫고 Charge Sharing을 통해 4비트 해상도의 아날로그 출력전압을 생성하여 입출력회로를 통하여 외부로 출력시키는 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

[도1]

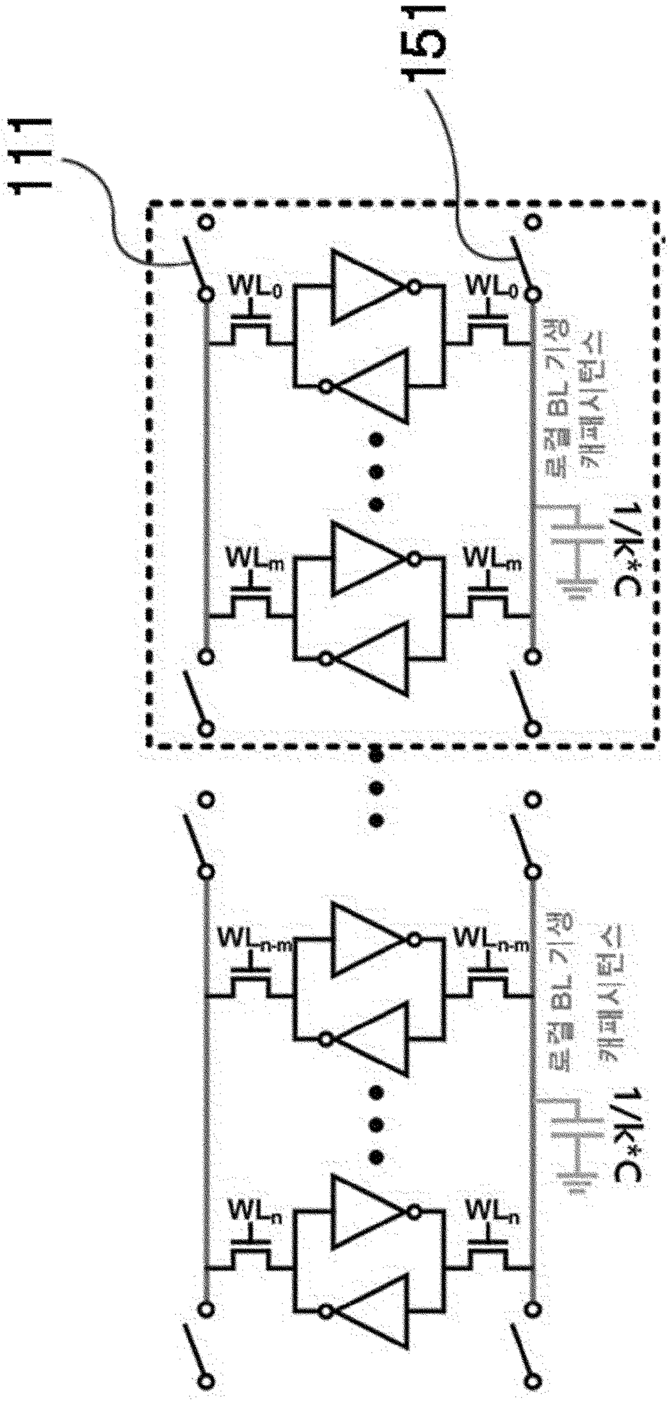

300
100
다중 Access 디코더
로컬 셀 배열
Bit-line 스위치
SRAM 셀 배열
입출력 회로
500
아날로그 출력
디지털 출력
아날로그 입력
디지털 출력

[도2]

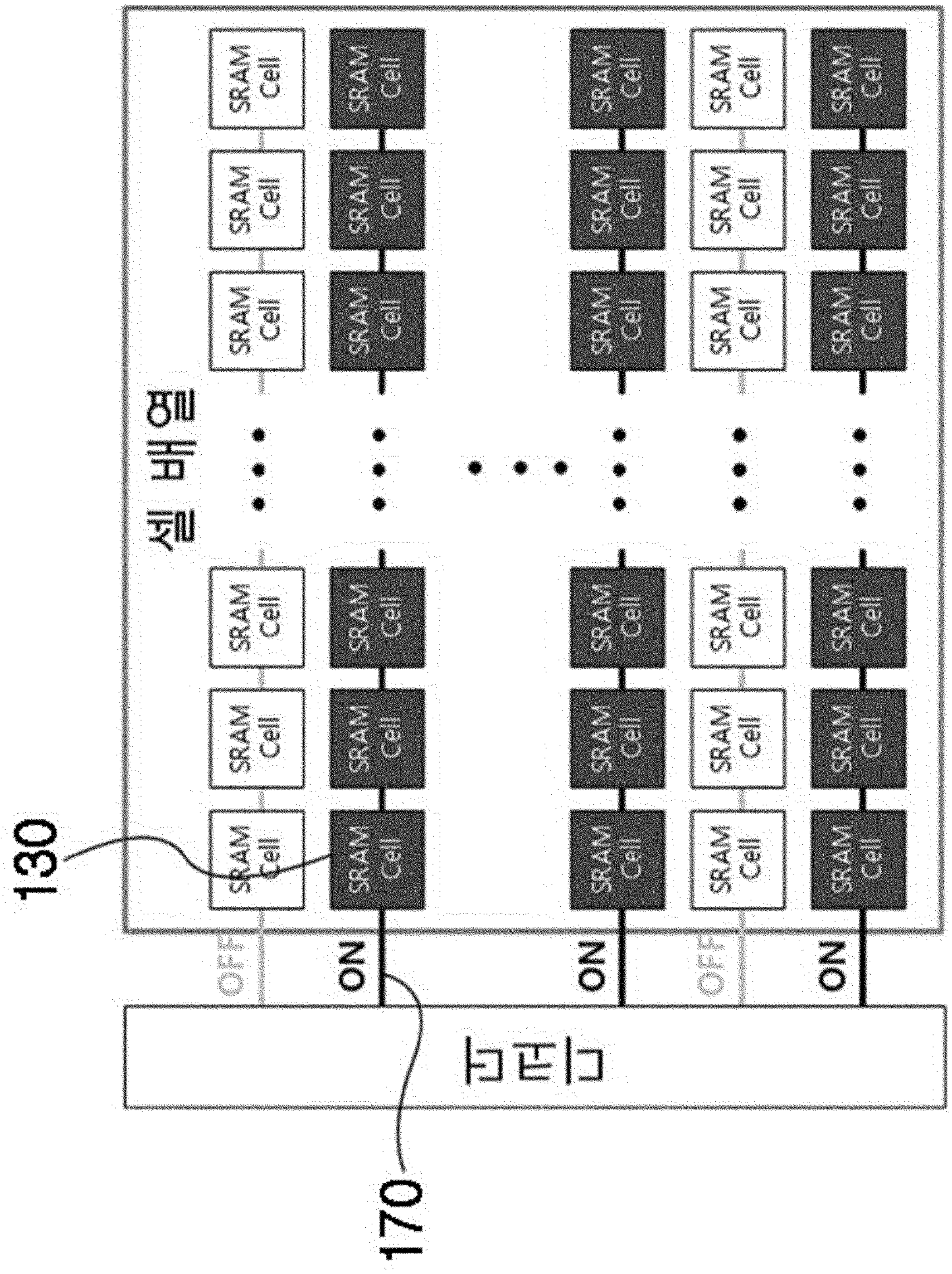


111
110
130
150
151
다중 Access 디코더
WL[0:15]
WL[16:31]
WL[32:47]
WL[128:143]
WL[144:159]
WL[160:175]
WL[176:191]
WL[192:207]
WL[208:223]
WL[224:239]
WL[240:255]
로컬 셀 배열
WL=1
WL=0
D[3]=0
D[2]=1
D[1]=0
D[0]=1
8C로컬_BL
4C로컬_BL
2C로컬_BL
C로컬_BL
8N
4N
2N
N

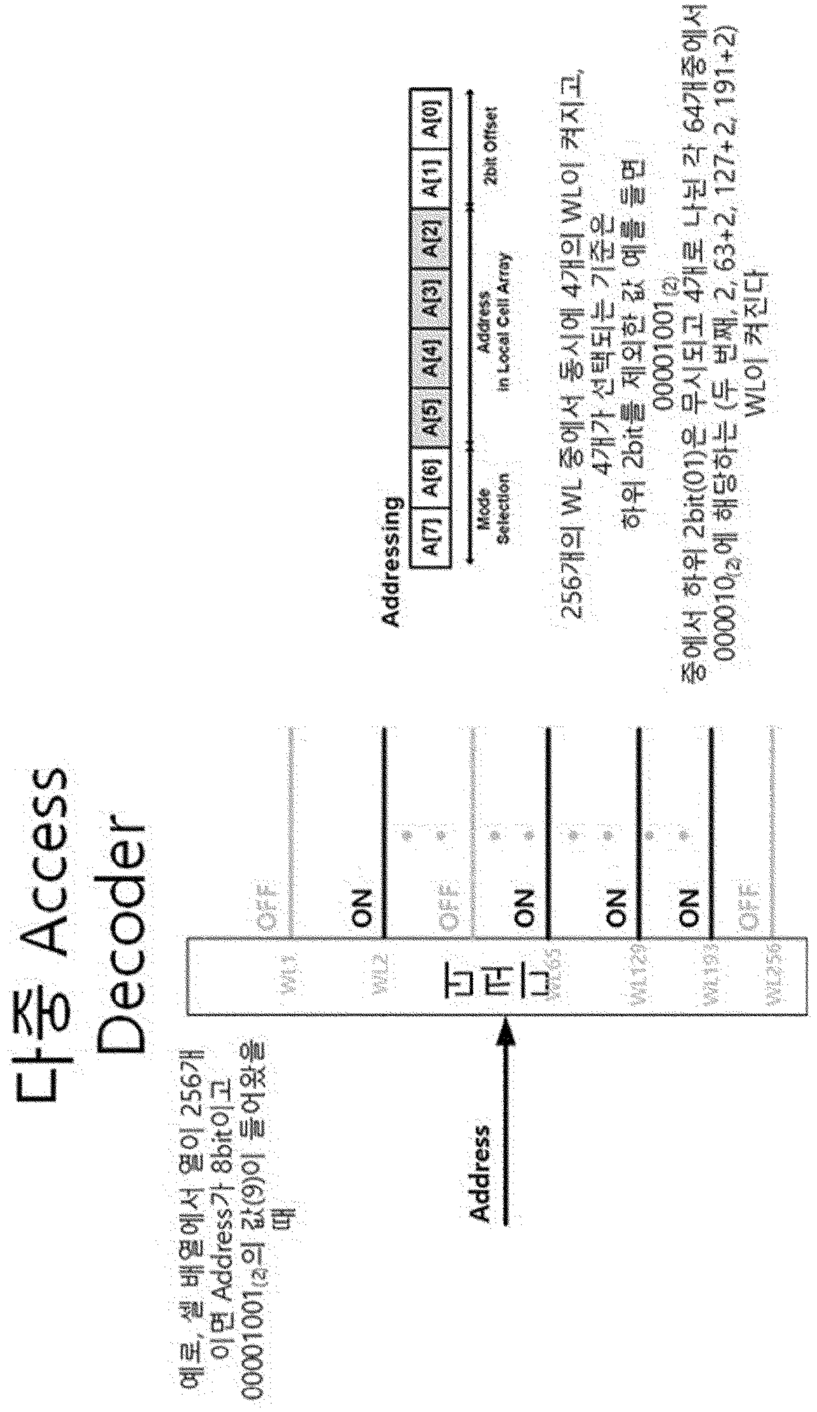
[도3]



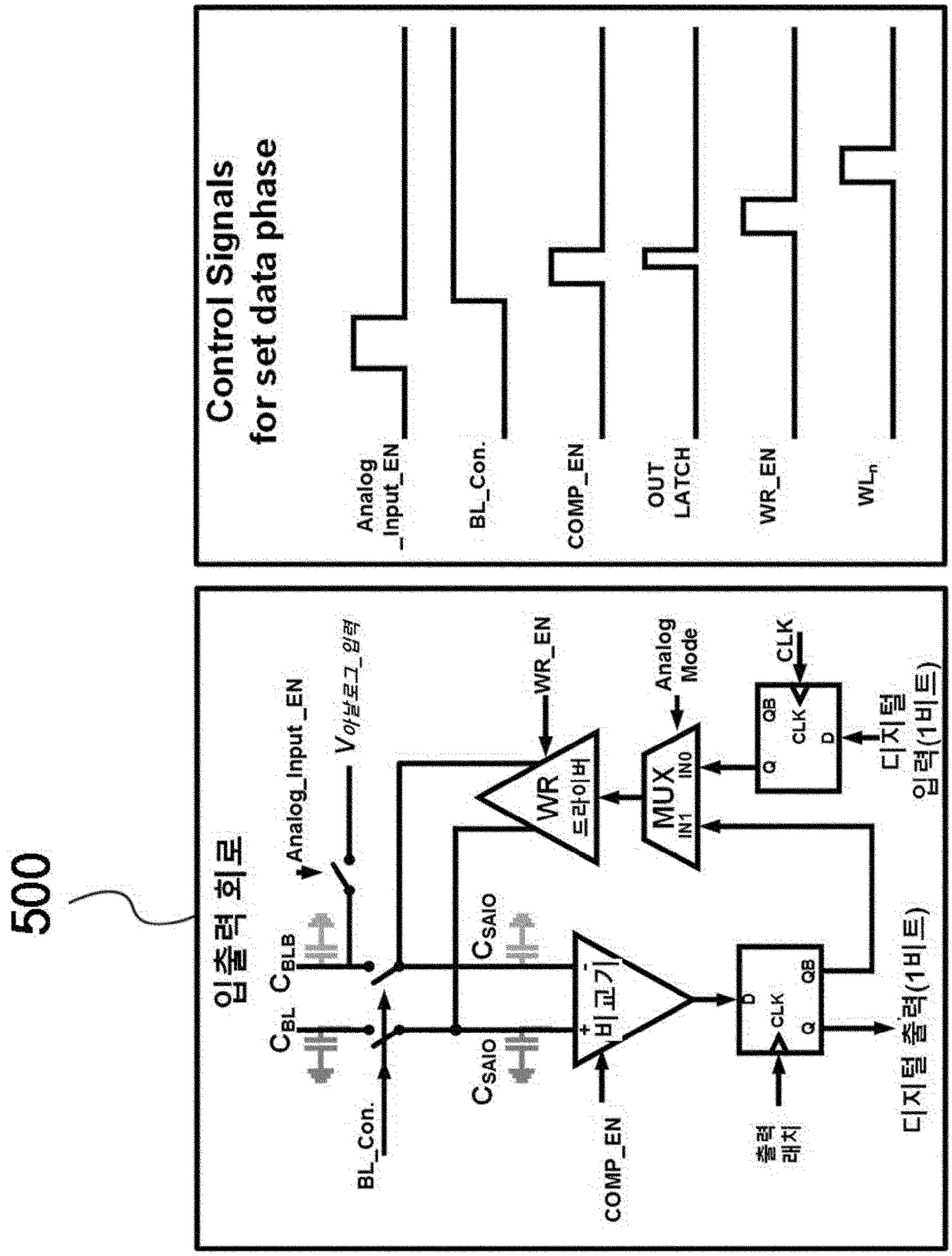
[도4]



[도5]

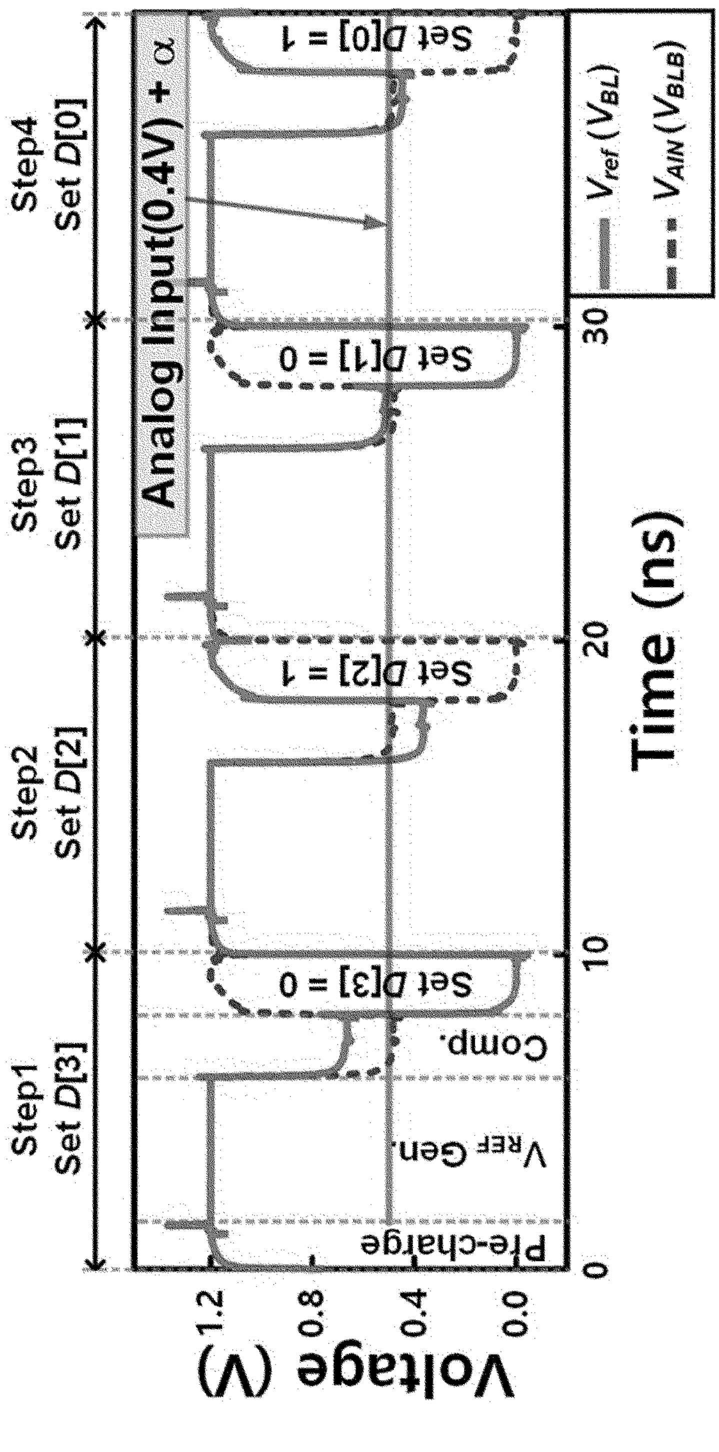

다중 Access Decoder
예로, 셀 배열에서 열이 256개 이면 Address가 8bit이고 00001001(2)의 값(9)이 들어왔을 때
Address
디코더
WL1
WL2
WL65
WL129
WL193
WL256
OFF
ON
OFF
ON
ON
ON
OFF
Addressing
A[7]
A[6]
A[5]
A[4]
A[3]
A[2]
A[1]
A[0]
Mode Selection
Address in Local Cell Array
2bit Offset
256개의 WL 중에서 동시에 4개의 WL이 켜지고, 4개가 선택되는 기준은 하위 2bit를 제외한 값 예를 들면 00001001(2)
중에서 하위 2bit(01)은 무시되고 4개로 나뉜 각 64개중에서 000010(2)에 해당하는 (두 번째, 2, 63+2, 127+2, 191+2) WL이 켜진다

[도6]

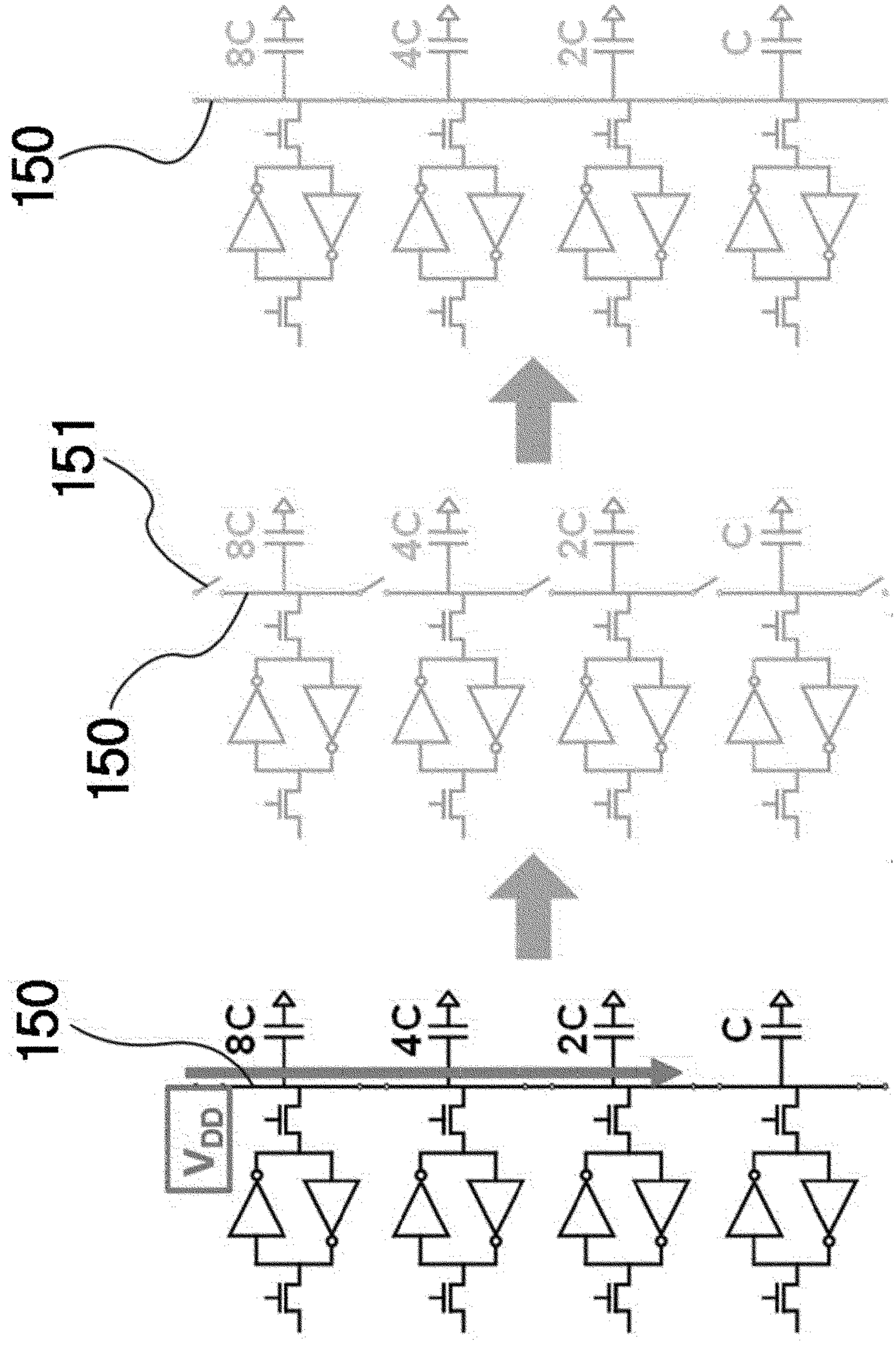


Control Signals
for set data phase
Analog
_Input_EN
BL_Con.
COMP_EN
OUT
LATCH
WR_EN
WLn
500
입출력 회로
Analog_Input_EN
V아날로그_입력
CBL
CBLB
CSAIO
CSAIO
WR_EN
WR
드라이버
Analog
Mode
MUX
IN1
IN0
CLK
QB
CLK
D
Q
디지털
입력(1비트)
BL_Con.
비교기
COMP_EN
D
CLK
Q
QB
출력
래치
디지털 출력(1비트)

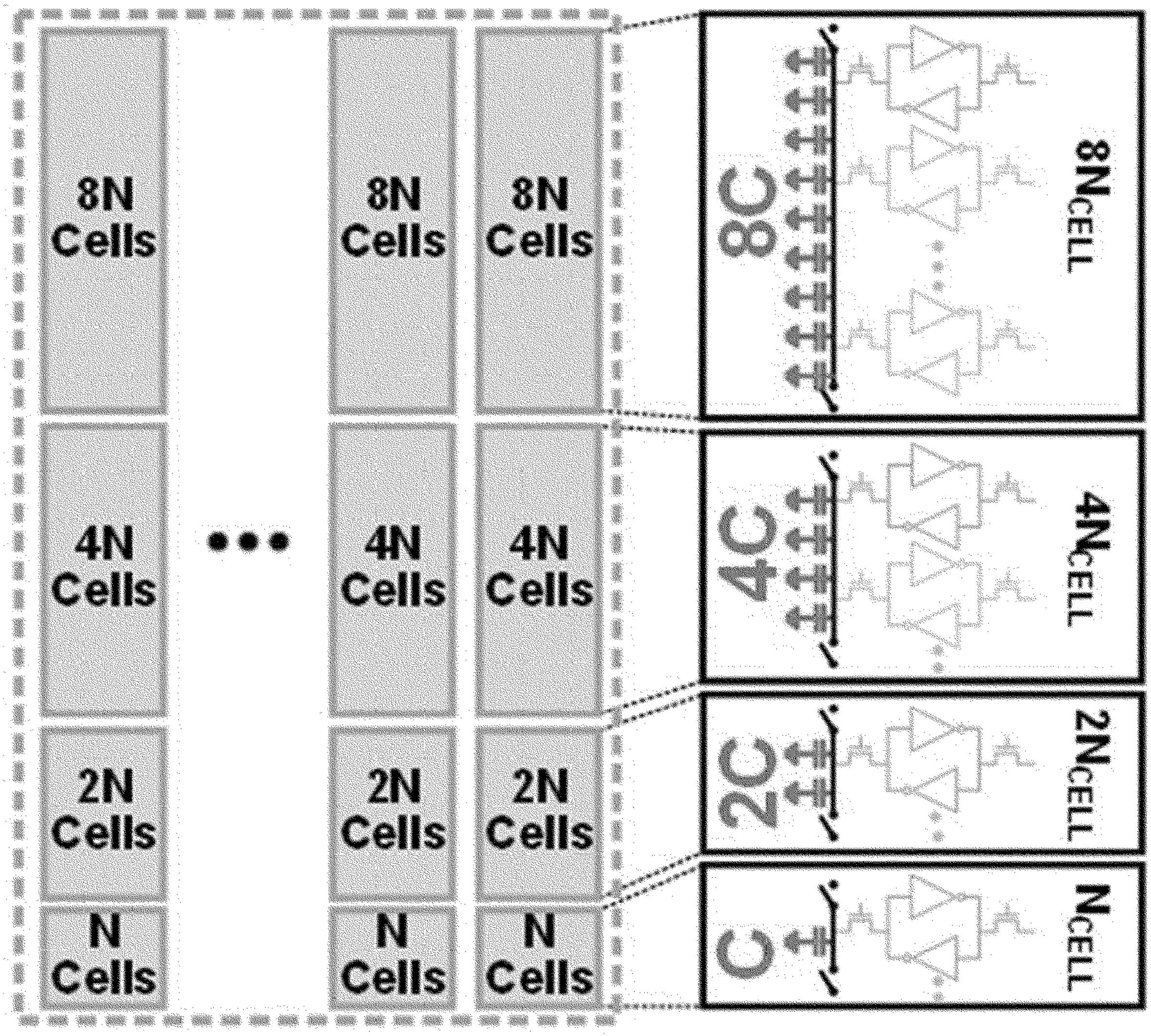
[도7]


Step1
Set D[3]
Step2
Set D[2]
Step3
Set D[1]
Step4
Set D[0]
Analog Input(0.4V) + α
Pre-charge
V_REF Gen.
Comp.
Set D[3] = 0
Set D[2] = 1
Set D[1] = 0
Set D[0] = 1
V_ref (V_BL)
V_AIN (V_BLB)
Voltage (V)
1.2
0.8
0.4
0.0
0
10
20
30
Time (ns)

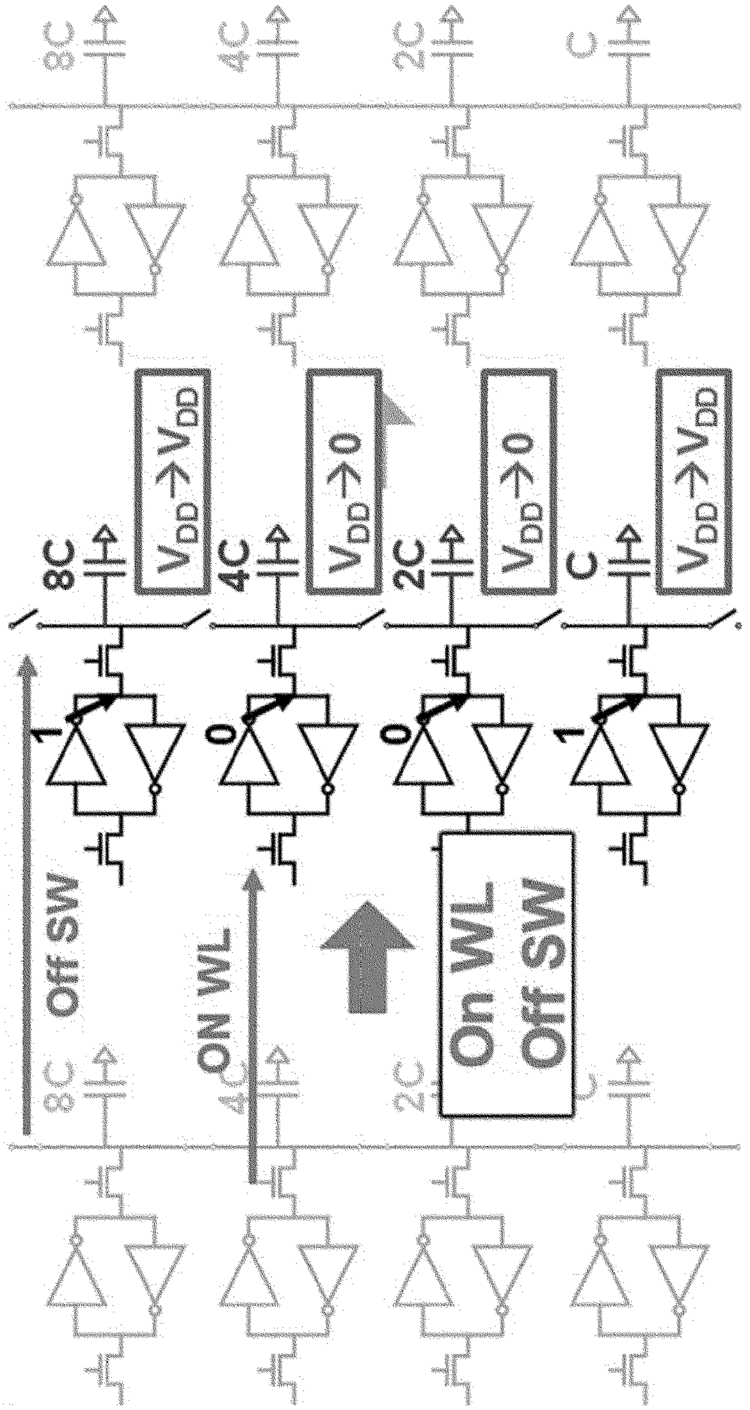
[도8]



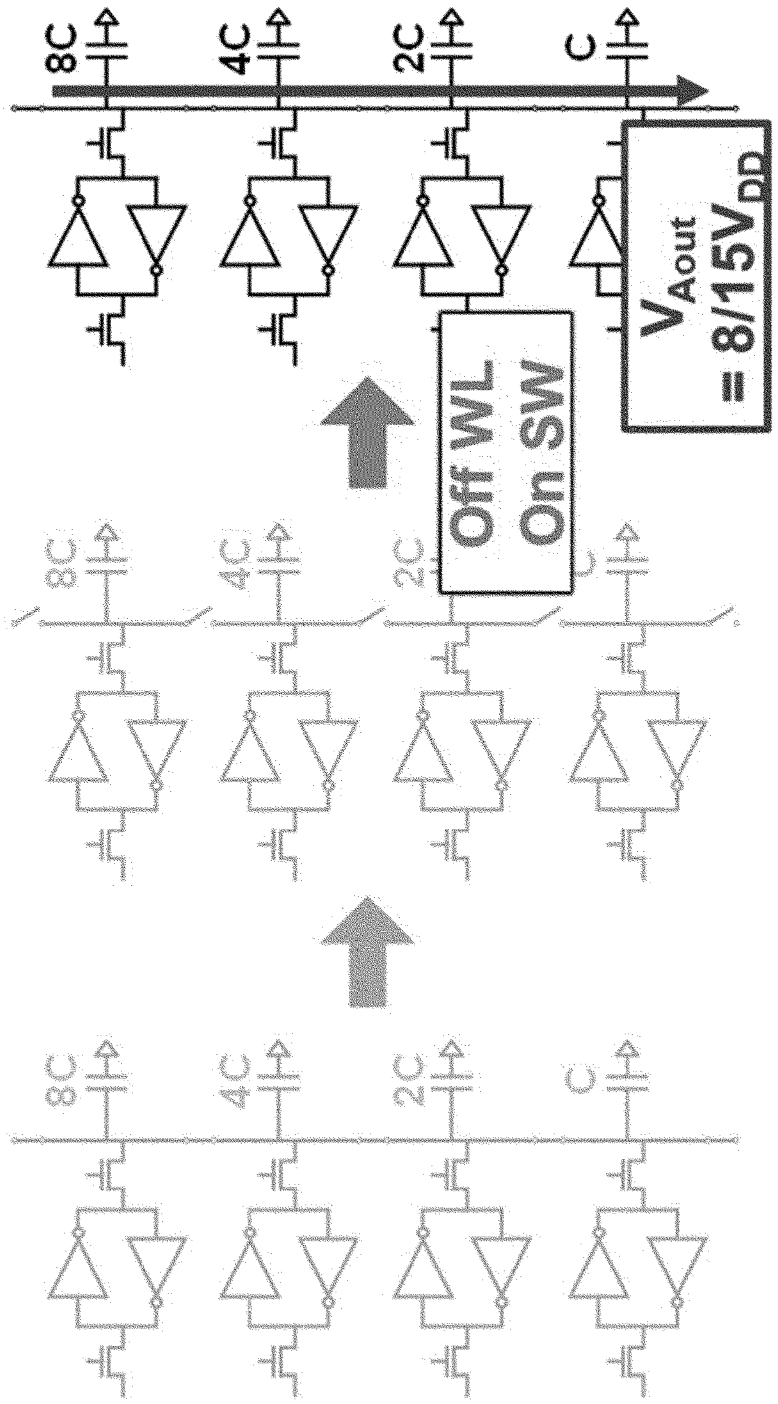
[도9]


8N
Cells
8N
Cells
8N
Cells
4N
Cells
4N
Cells
4N
Cells
2N
Cells
2N
Cells
2N
Cells
N
Cells
N
Cells
N
Cells
8C
8N_CELL
4C
4N_CELL
2C
2N_CELL
C
N_CELL

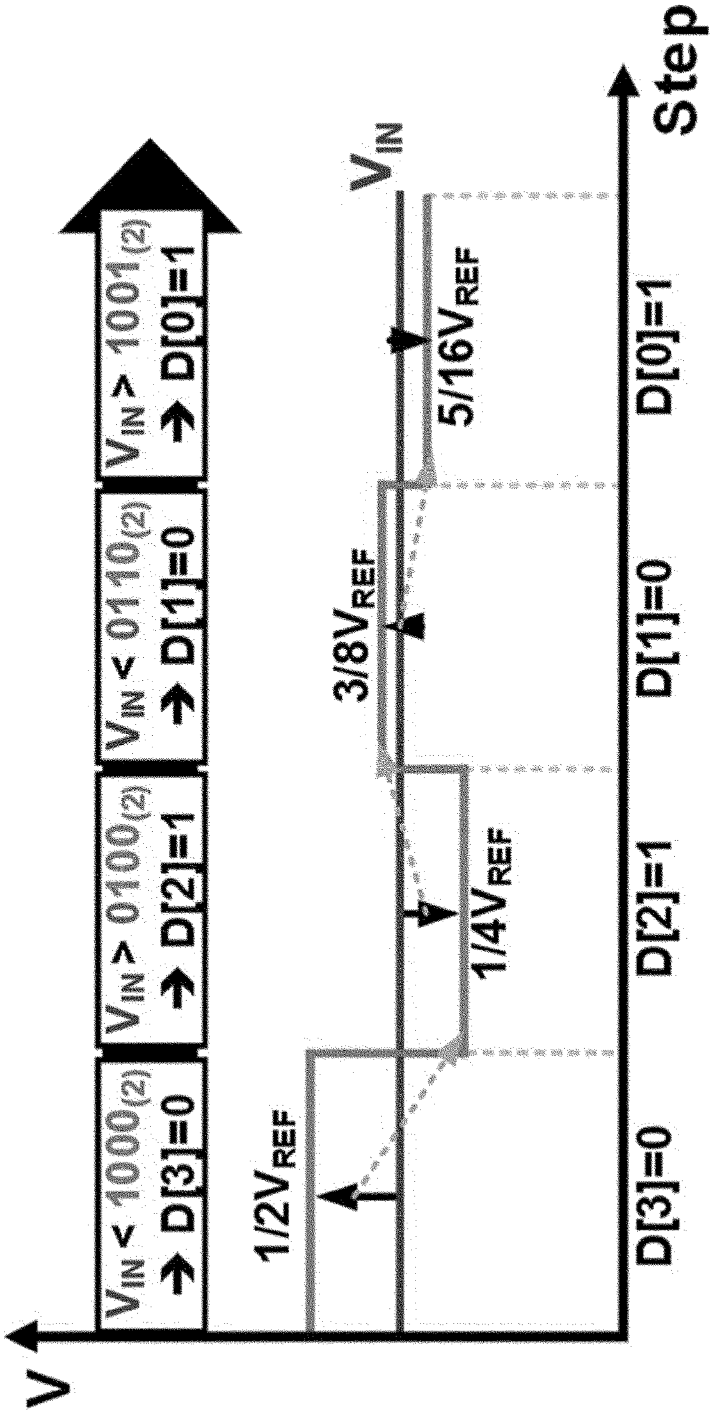
[도10]



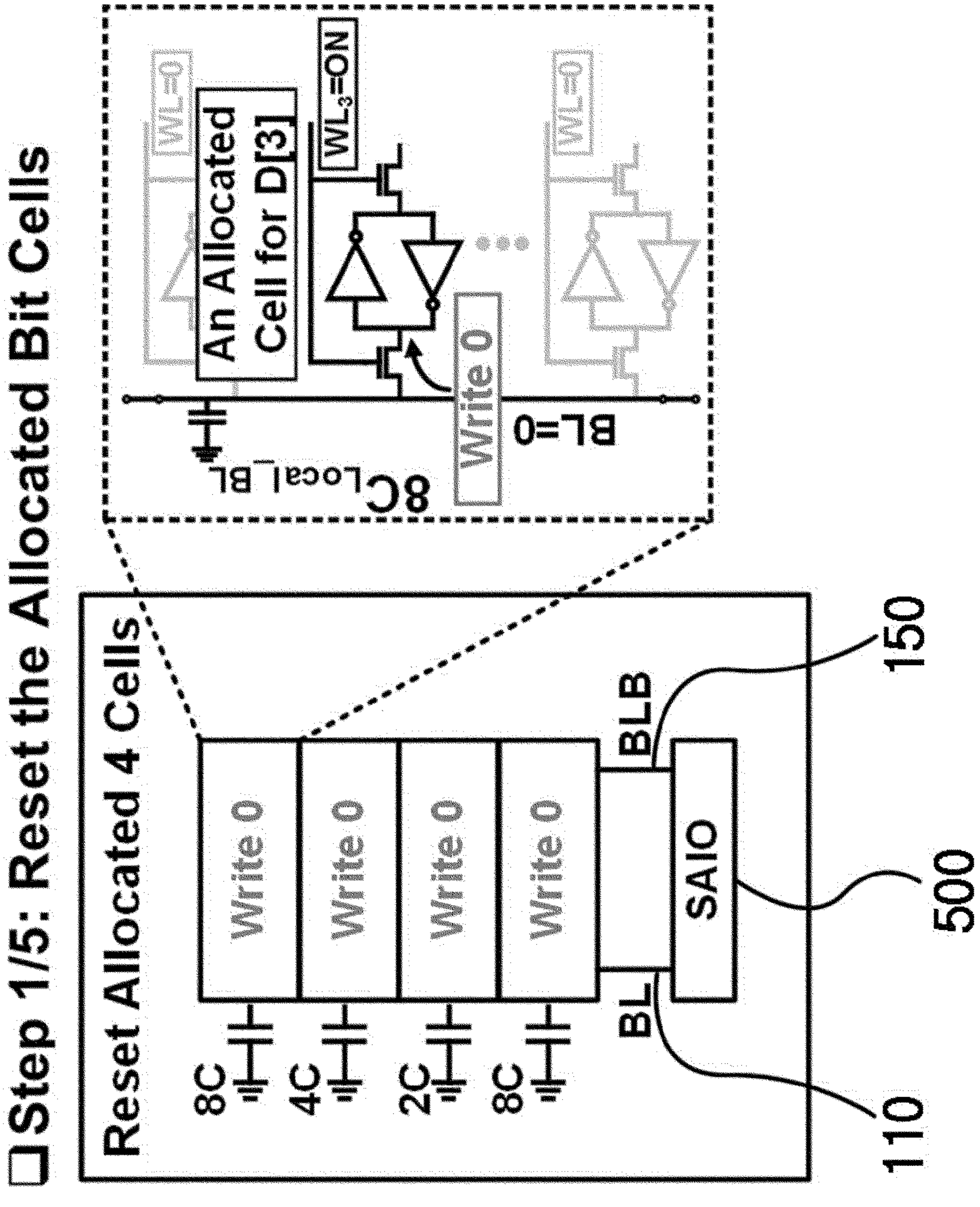
[도11]



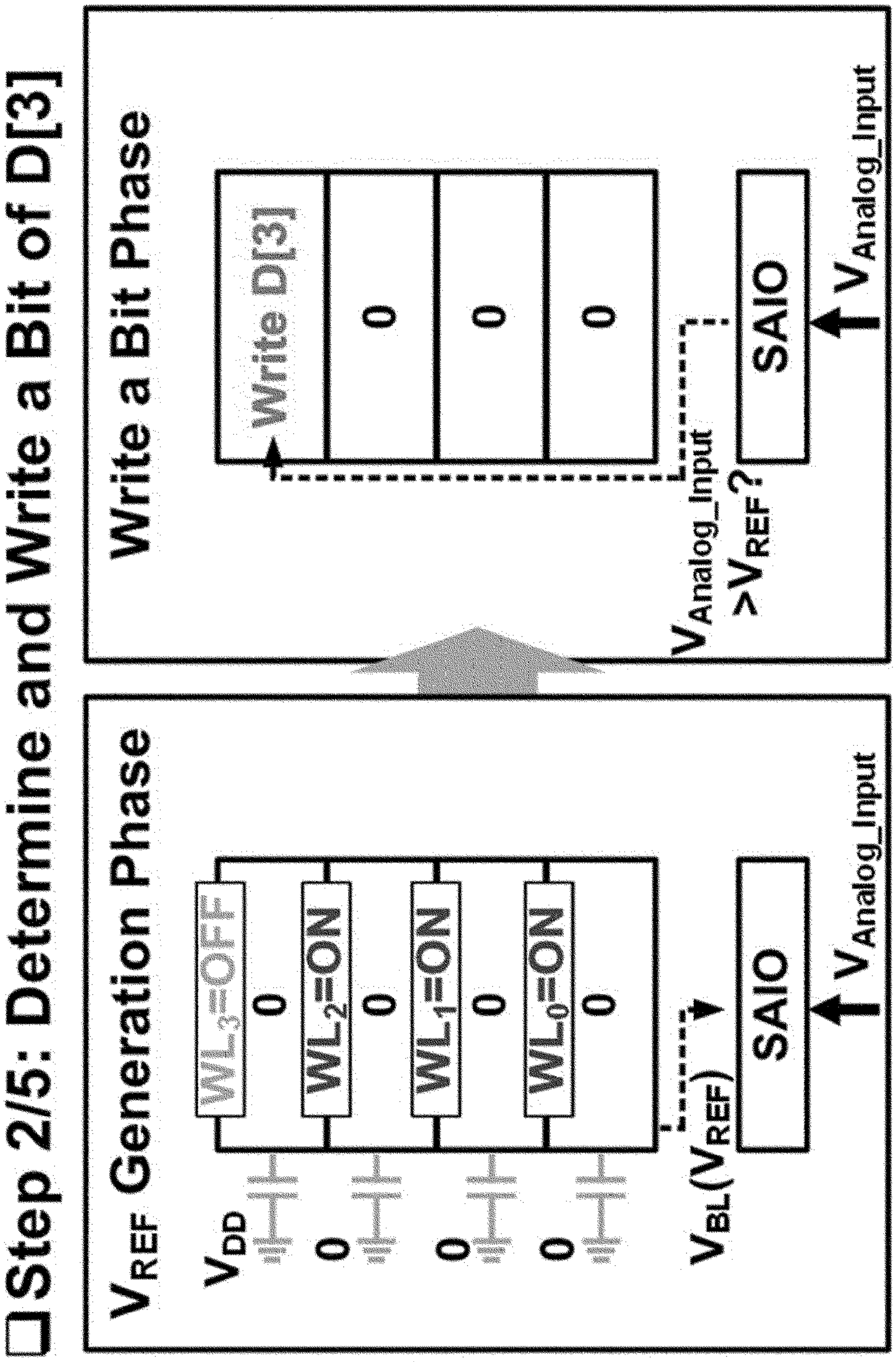
[도12]


V
Step
V_{IN}
V_{IN} < 1000(2)
→ D[3]=0
V_{IN} > 0100(2)
→ D[2]=1
V_{IN} < 0110(2)
→ D[1]=0
V_{IN} > 1001(2)
→ D[0]=1
$1/2V_{REF}$
$1/4V_{REF}$
$3/8V_{REF}$
$5/16V_{REF}$
D[3]=0
D[2]=1
D[1]=0
D[0]=1

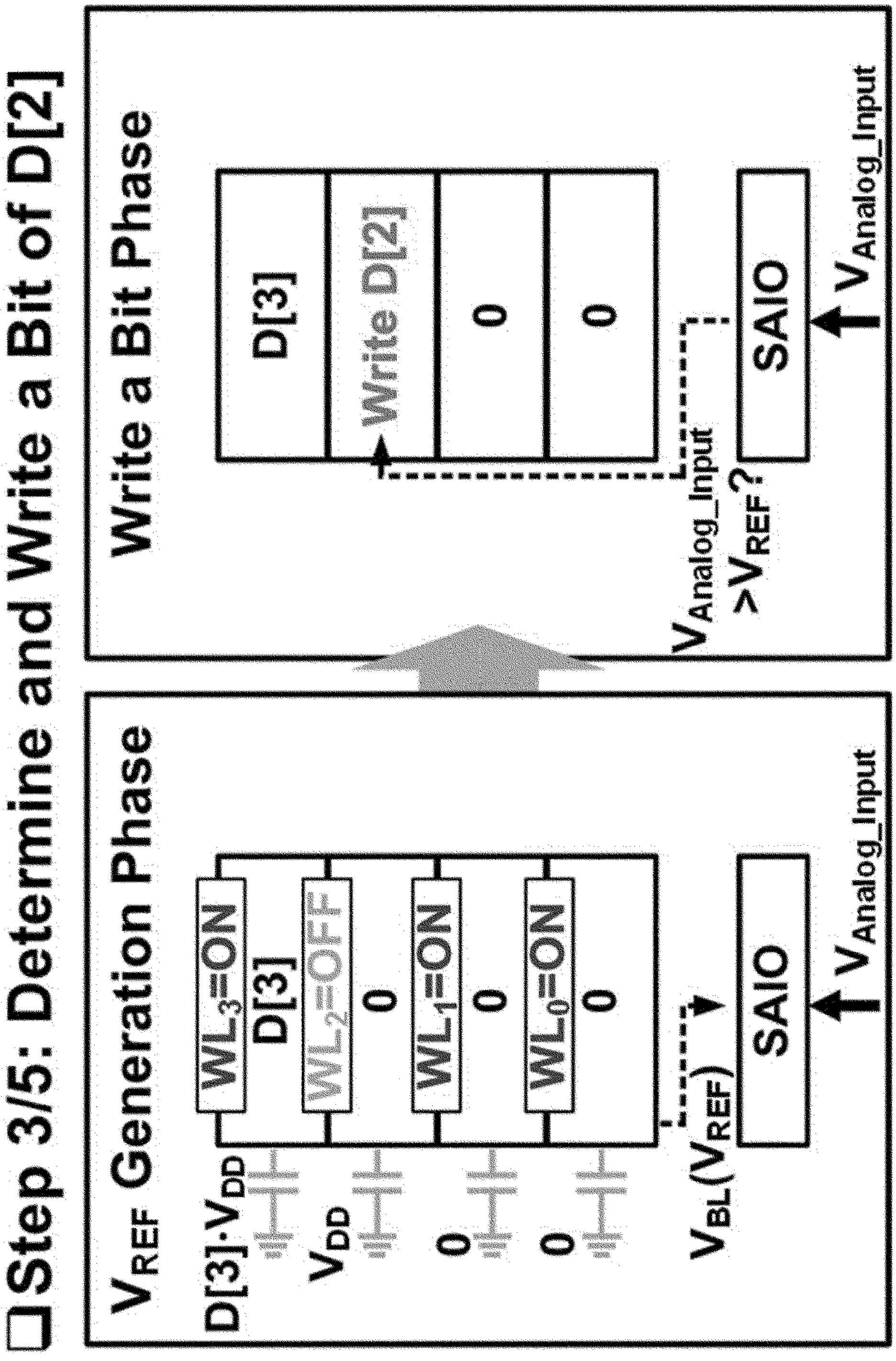
[도13]


Step 1/5: Reset the Allocated Bit Cells
Reset Allocated 4 Cells
Write 0
Write 0
Write 0
Write 0
8C
4C
2C
8C
BL
BLB
SAIO
110
150
500
An Allocated Cell for D[3]
WL_3=ON
Write 0
BL=0
$8C_{Local_BL}$

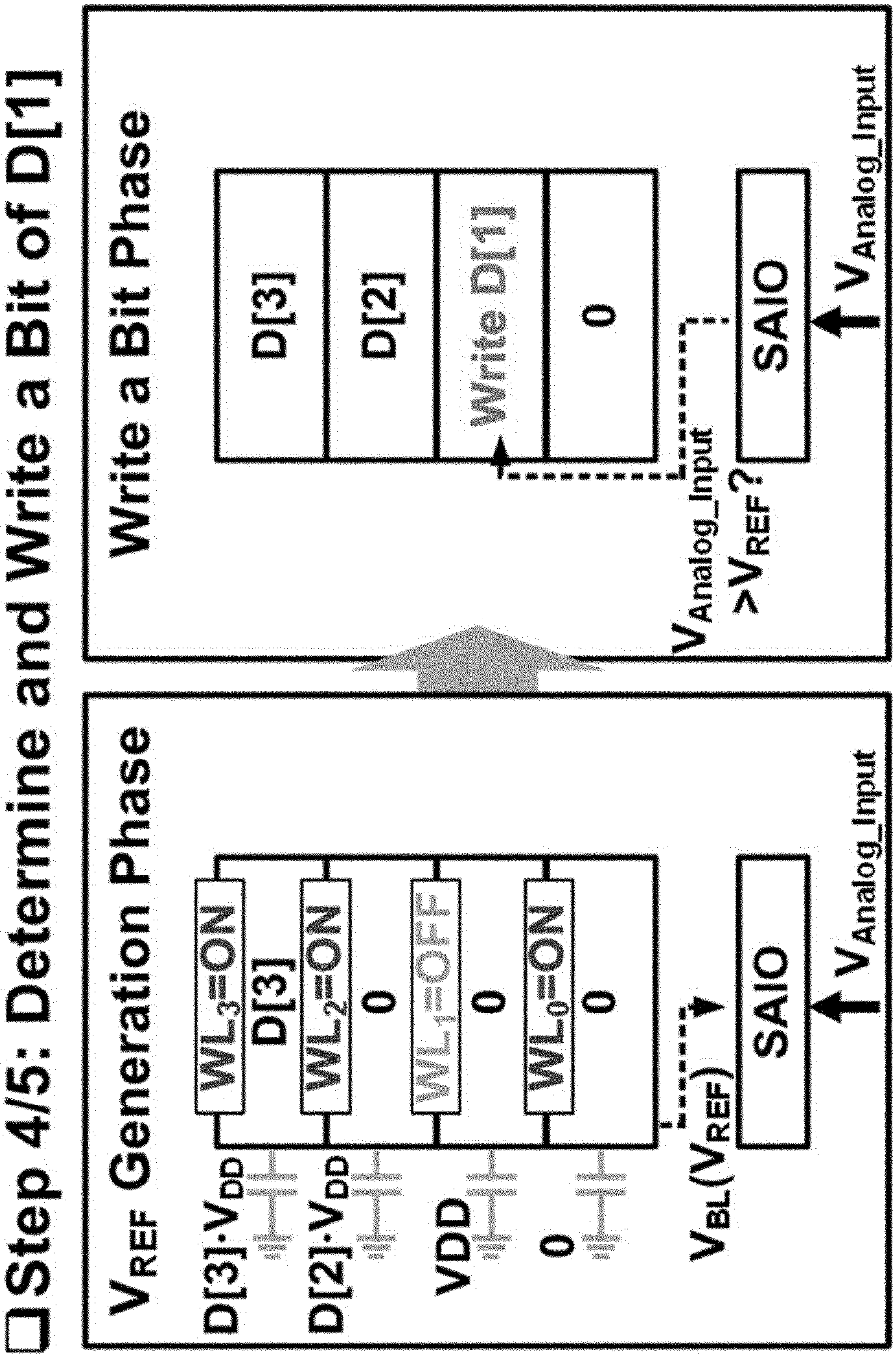
[도14]


Step 2/5: Determine and Write a Bit of D[3]
V_REF Generation Phase
V_DD
0
0
0
WL_3=OFF
WL_2=ON
WL_1=ON
WL_0=ON
0
0
0
0
V_BL(V_REF)
SAIO
V_Analog_Input
Write a Bit Phase
Write D[3]
0
0
0
V_Analog_Input
>V_REF?
SAIO
V_Analog_Input

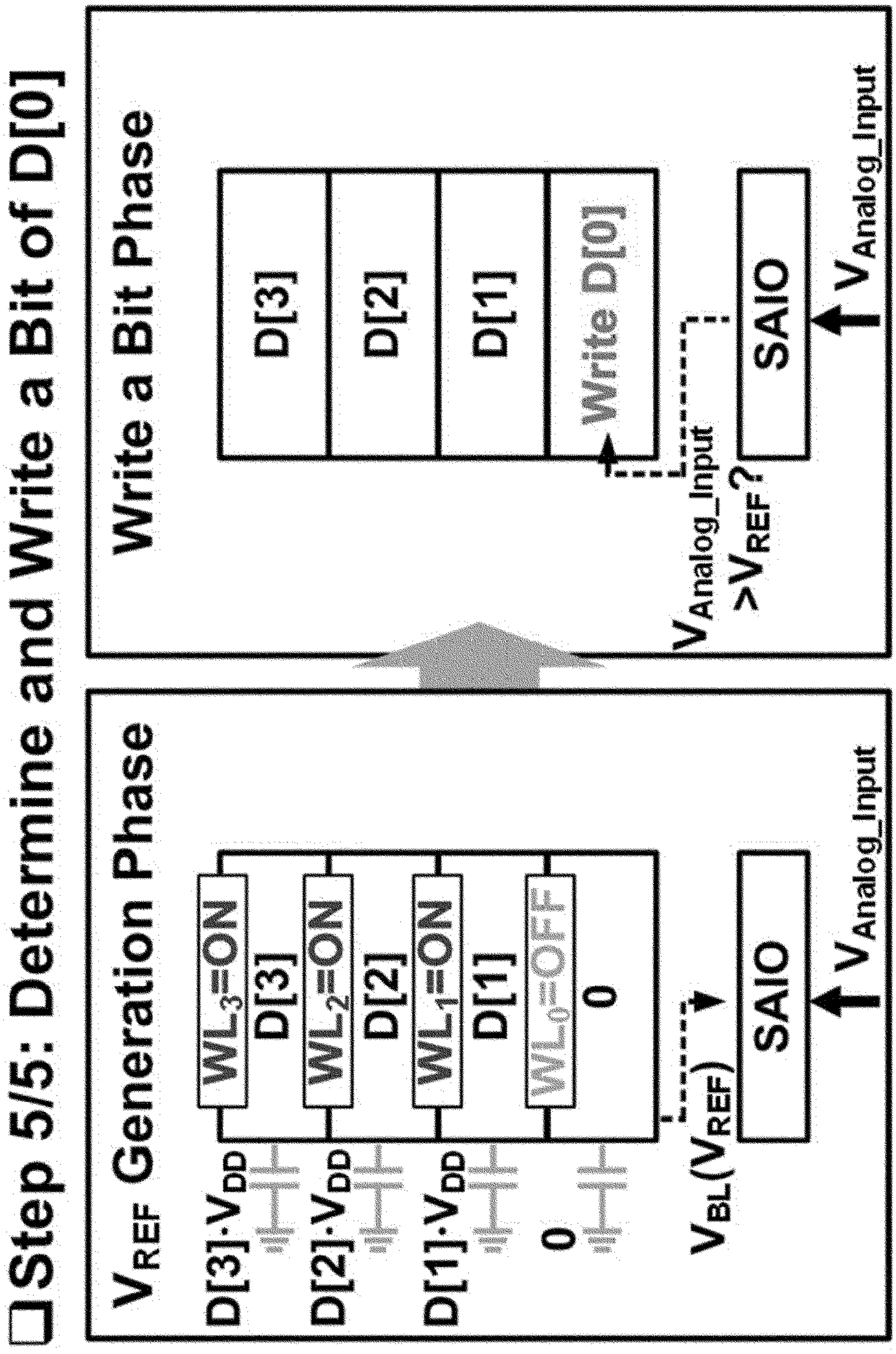
[도15]


Step 3/5: Determine and Write a Bit of D[2]
V_{REF} Generation Phase
$D[3]\cdot V_{DD}$
V_{DD}
0
0
WL_3=ON
D[3]
WL_2=OFF
0
WL_1=ON
0
WL_0=ON
0
$V_{BL}(V_{REF})$
SAIO
V_{Analog_Input}
Write a Bit Phase
D[3]
Write D[2]
0
0
$V_{Analog_Input} > V_{REF}$?
SAIO
V_{Analog_Input}

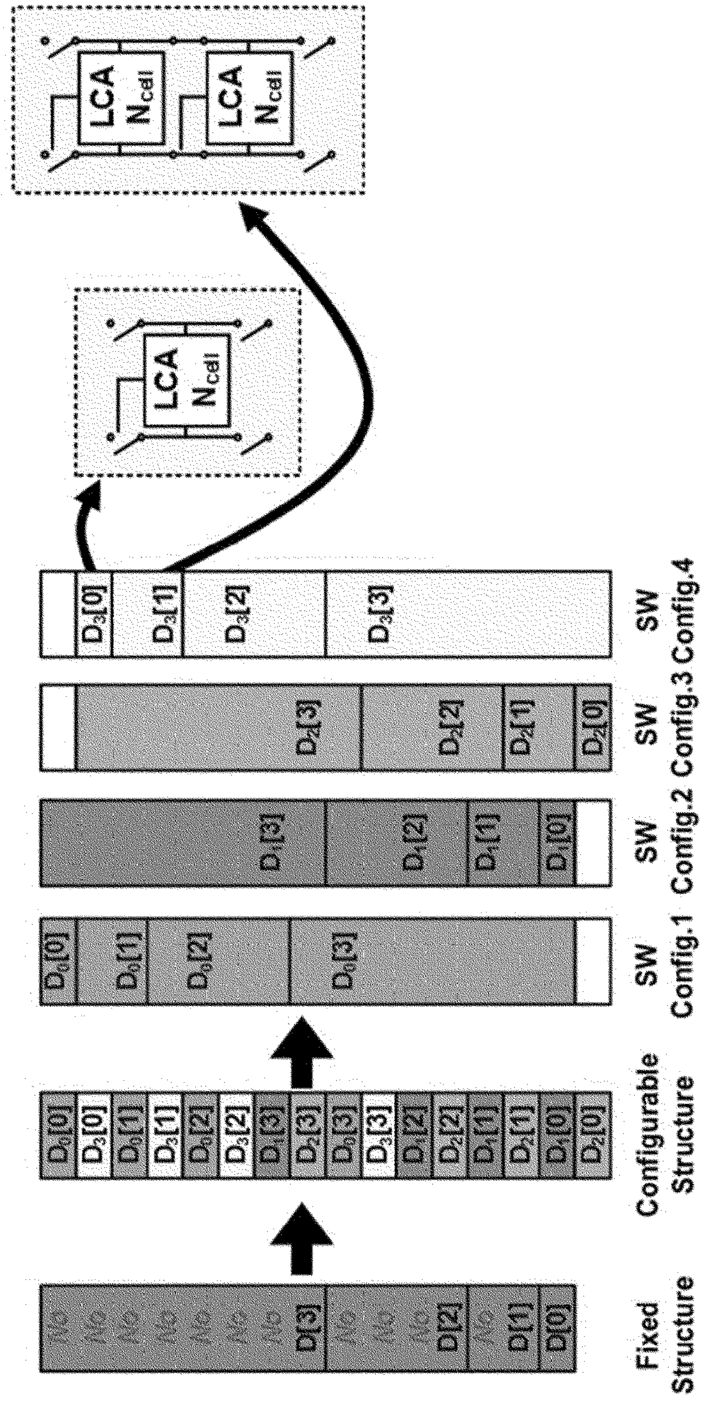
[도16]


Step 4/5: Determine and Write a Bit of D[1]
VREF Generation Phase
D[3]·VDD
D[2]·VDD
VDD
0
WL3=ON
D[3]
WL2=ON
0
WL1=OFF
0
WL0=ON
0
VBL(VREF)
SAIO
VAnalog_Input
Write a Bit Phase
D[3]
D[2]
Write D[1]
0
VAnalog_Input >VREF?
SAIO
VAnalog_Input

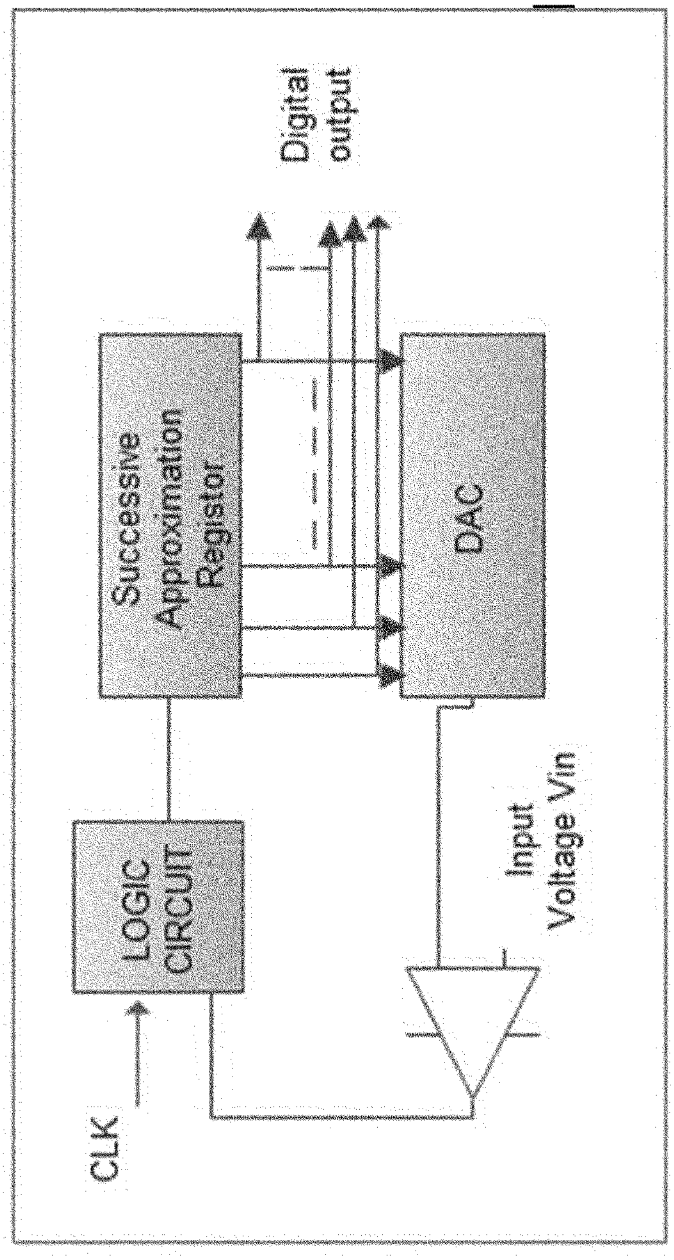
[도17]


Step 5/5: Determine and Write a Bit of D[0]
V_REF Generation Phase
D[3]·V_DD
D[2]·V_DD
D[1]·V_DD
0
WL_3=ON
D[3]
WL_2=ON
D[2]
WL_1=ON
D[1]
WL_0=OFF
0
V_BL(V_REF)
SAIO
V_Analog_Input
Write a Bit Phase
D[3]
D[2]
D[1]
Write D[0]
V_Analog_Input >V_REF?
SAIO
V_Analog_Input

[도18]


Fixed Structure
Configurable Structure
SW Config.1
SW Config.2
SW Config.3
SW Config.4
LCA
Ncell

[도19]


Digital
output
Successive
Approximation
Registor
DAC
LOGIC
CIRCUIT
Input
Voltage Vin
CLK

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2017/007097

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/419(2006.01)i, G11C 11/413(2006.01)i, G11C 7/16(2006.01)i, G11C 8/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C 11/419; H03M 1/10; G11C 16/04; H03M 1/40; G06F 13/38; H03M 1/12; H04N 1/40; G11C 11/413; G11C 7/16; G11C 8/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: memory, device, analog, digital, interface, successive, approximation, register, ADC, decoder, switch, and similar terms.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011-0289254 A1 (ROOHPARVAR, Frankie F. et al.) 24 November 2011 See paragraph [0027]; and figure 1.	1-5
A	US 2011-0128790 A1 (SARIN, Vishal et al.) 02 June 2011 See paragraphs [0023]-[0046]; and figures 1-3.	1-5
A	US 6594036 B1 (WONG, Sau C. et al.) 15 July 2003 See column 4, line 16-column 6, line 32; and figures 2-4.	1-5
A	US 2015-0029048 A1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 29 January 2015 See paragraphs [0020]-[0050]; and figures 1-2.	1-5
A	US 2015-0194980 A1 (MEDIATEK INC.) 09 July 2015 See paragraphs [0021]-[0032]; and figures 1-4B.	1-5

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 OCTOBER 2017 (30.10.2017)	**30 OCTOBER 2017 (30.10.2017)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. +82-42-481-8578	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/007097

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2011-0289254 A1	24/11/2011	TW 201019121 A	16/05/2010
		TW I411919 B	11/10/2013
		US 2010-0122103 A1	13/05/2010
		US 8004887 B2	23/08/2011
		US 8526243 B2	03/09/2013
		WO 2010-053593 A1	14/05/2010
US 2011-0128790 A1	02/06/2011	CN 101755305 A	23/06/2010
		CN 101755305 B	12/03/2014
		CN 103730166 A	16/04/2014
		CN 103730166 B	12/04/2017
		EP 2171720 A1	07/04/2010
		EP 2171720 B1	21/08/2013
		EP 2469539 A1	27/06/2012
		JP 2010-533930 A	28/10/2010
		JP 2013-152777 A	08/08/2013
		JP 5464526 B2	09/04/2014
		JP 5534064 B2	25/06/2014
		KR 10-2010-0034045 A	31/03/2010
		TW 200915329 A	01/04/2009
		TW I390539 B	21/03/2013
		US 2009-0021987 A1	22/01/2009
		US 7898885 B2	01/03/2011
		US 8976582 B2	10/03/2015
		WO 2009-012209 A1	22/01/2009
US 6594036 B1	15/07/2003	JP 2000-041172 A	08/02/2000
		TW 426845 B	21/03/2001
US 2015-0029048 A1	29/01/2015	KR 10-2015-0012112 A	03/02/2015
		US 8933830 B1	13/01/2015
US 2015-0194980 A1	09/07/2015	CN 104779957 A	15/07/2015
		EP 2894787 A1	15/07/2015
		US 9172389 B2	27/10/2015

국제조사보고서

국제출원번호 **PCT/KR2017/007097**

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G11C 11/419(2006.01)i, G11C 11/413(2006.01)i, G11C 7/16(2006.01)i, G11C 8/10(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G11C 11/419; H03M 1/10; G11C 16/04; H03M 1/40; G06F 13/38; H03M 1/12; H04N 1/40; G11C 11/413; G11C 7/16; G11C 8/10

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: memory, device, analog, digital, interface, successive, approximation, register, ADC, decoder, switch, 및 유사 용어.

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 2011-0289254 A1 (ROOHPARVAR, FRANKIE F. 등) 2011.11.24 단락 [0027]; 및 도면 1 참조.	1-5
A	US 2011-0128790 A1 (SARIN, VISHAL 등) 2011.06.02 단락 [0023]-[0046]; 및 도면 1-3 참조.	1-5
A	US 6594036 B1 (WONG, SAU C. 등) 2003.07.15 컬럼 4, 라인 16 - 컬럼 6, 라인 32; 및 도면 2-4 참조.	1-5
A	US 2015-0029048 A1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 2015.01.29 단락 [0020]-[0050]; 및 도면 1-2 참조.	1-5
A	US 2015-0194980 A1 (MEDIATEK INC.) 2015.07.09 단락 [0021]-[0032]; 및 도면 1-4B 참조.	1-5

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.　　☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2017년 10월 30일 (30.10.2017)	2017년 10월 30일 (30.10.2017)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
이달경
전화번호 +82-42-481-8440

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/007097

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2011-0289254 A1	2011/11/24	TW 201019121 A	2010/05/16
		TW I411919 B	2013/10/11
		US 2010-0122103 A1	2010/05/13
		US 8004887 B2	2011/08/23
		US 8526243 B2	2013/09/03
		WO 2010-053593 A1	2010/05/14
US 2011-0128790 A1	2011/06/02	CN 101755305 A	2010/06/23
		CN 101755305 B	2014/03/12
		CN 103730166 A	2014/04/16
		CN 103730166 B	2017/04/12
		EP 2171720 A1	2010/04/07
		EP 2171720 B1	2013/08/21
		EP 2469539 A1	2012/06/27
		JP 2010-533930 A	2010/10/28
		JP 2013-152777 A	2013/08/08
		JP 5464526 B2	2014/04/09
		JP 5534064 B2	2014/06/25
		KR 10-2010-0034045 A	2010/03/31
		TW 200915329 A	2009/04/01
		TW I390539 B	2013/03/21
		US 2009-0021987 A1	2009/01/22
		US 7898885 B2	2011/03/01
		US 8976582 B2	2015/03/10
		WO 2009-012209 A1	2009/01/22
US 6594036 B1	2003/07/15	JP 2000-041172 A	2000/02/08
		TW 426845 B	2001/03/21
US 2015-0029048 A1	2015/01/29	KR 10-2015-0012112 A	2015/02/03
		US 8933830 B1	2015/01/13
US 2015-0194980 A1	2015/07/09	CN 104779957 A	2015/07/15
		EP 2894787 A1	2015/07/15
		US 9172389 B2	2015/10/27