

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 29/48 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610093675.0

[43] 公开日 2006年12月20日

[11] 公开号 CN 1881478A

[22] 申请日 2006.6.14

[21] 申请号 200610093675.0

[30] 优先权

[32] 2005.6.14 [33] US [31] 11/151650

[71] 申请人 英飞凌科技股份有限公司

地址 德国慕尼黑

[72] 发明人 C·魏斯 S·卡尔姆斯

H·鲁克鲍尔

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王岳梁 永

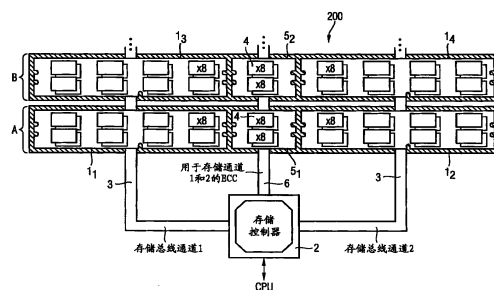
权利要求书 1 页 说明书 7 页 附图 6 页

[54] 发明名称

存储器件

[57] 摘要

一种存储器件包括至少两个 DRAM 存储模块、至少一个外部 ECC 模块、和存储控制器。外部 ECC 模块为存储模块提供 ECC 功能性。每个存储模块通过相应的存储通道连接到存储控制器。外部 ECC 模块通过公共 ECC 通道连接到存储控制器。每个外部 ECC 模块被分配给存储模块组。一组存储模块以及相应的 ECC 模块被存储控制器同步操作。



1. 一种存储器件，包括：
至少两个动态随机存取存储器存储模块；
为存储模块提供纠错码功能性的至少一个外部纠错码模块，以及存储控制器，
其中存储模块通过相应的存储通道连接到存储控制器，外部纠错码模块通过公共纠错码通道连接到存储控制器，每个外部纠错码模块被分配给存储模块组，以及一组存储模块连同相应的纠错码模块一起可被存储控制器同步操作。
2. 根据权利要求1的存储器件，其中存储模块组的存储模块的存储密度与分配给该存储模块组的外部纠错码模块的存储密度基本相同。
3. 根据权利要求1的存储器件，其中存储模块的存储芯片与分配给存储模块组的外部纠错码模块的存储芯片基本相同。
4. 根据权利要求1的存储器件，其中存储模块组的存储模块以及分配给该存储模块组的外部纠错码模块的存储芯片显示出×8存储体系结构。
5. 根据权利要求1的存储器件，其中每个存储模块包括四行列的存储芯片。
6. 根据权利要求5的存储器件，其中每个存储模块的第一存储行列借助点对点CA总线连接连接到存储控制器。
7. 根据权利要求1的存储器件，其中至少一组存储模块包括两个存储模块。
8. 根据权利要求1的存储器件，其中至少一组存储模块包括四个存储模块。
9. 根据权利要求8的存储器件，其中存储模块组的存储模块的电连接配置与分配给该存储模块组的外部纠错码模块的电连接配置基本相同。
10. 根据权利要求8的存储器件，其中存储模块组的存储模块与分配给该存储模块组的外部纠错码模块基本相同。

存储器件

技术领域

本发明涉及存储器件。

背景技术

DRAM（动态随机存取存储器）存储模块常常用作诸如个人计算机或服务器之类的计算机系统的部件。为了改善 DRAM 存储模块操作的可靠性，在存储模块中集成了 ECC（纠错码）功能性。通常，ECC 功能性的集成通过向 DRAM 存储模块添加额外的 DRAM 芯片或者通过将 ECC 功能性直接集成到 DRAM 存储模块的 DRAM 存储芯片中来实现。

包括 ECC 功能性的 DRAM 存储模块的缺点在于 DRAM 存储模块的布局比“普通”存储模块的布局更复杂。通常，包括 ECC 功能性的 DRAM 存储模块的插塞接触显示出比不具有 ECC 功能性的存储模块的插塞接触更多的引脚。

具有 ECC 功能性的存储器件是所希望的，其类似具有 ECC 功能性的普通存储器件那样具有更透明且简单的体系结构。

发明内容

根据本发明的存储器件包括至少两个 DRAM 存储模块、为存储模块提供 ECC 功能性的至少一个外部 ECC 模块、和存储控制器。存储模块通过相应的存储通道连接到存储控制器。外部 ECC 模块通过公共 ECC 通道连接到存储控制器。每个外部 ECC 模块被分配给存储模块组。一组存储模块以及相应的 ECC 模块被存储控制器同步操作。

不同存储模块组的第一存储模块通过公共存储通道连接到存储控制器。上述情况也可适用于不同存储模块组的第二、第三等存储模块。在这种情况下，为了同步操作一个存储模块组的各存储模块，存储控制器同时使用多个存储通道以便从这些存储模块中读取数据或将数据写入其中。

根据本发明的存储器件并不具有复杂的具有 ECC 功能性的 DRAM 存储模块。另外，也可以使用标准 DRAM 存储模块。ECC 功能性集中在外

部 ECC 模块内。因此，不必为存储模块的插塞接触提供另外的引脚（与 ECC 功能性相关的）。根据本发明，ECC 资源被不同的 DRAM 存储模块共享。由此，节省了 ECC 资源。

存储模块组的存储模块的存储密度与分配给该存储模块组的外部 ECC 模块的存储密度基本相同。或者，外部 ECC 模块的存储密度是相应存储模块的存储密度的一半。一般说来，存储密度（存储模块）与存储密度（外部 ECC 模块）的比率取决于分配给相应 ECC 模块的存储模块的数量、存储模块所用存储芯片的类型、外部 ECC 模块、以及“所用 ECC 功能性/现有 ECC 功能性”的比率。

在本发明的另一实施例中，存储模块组的存储模块的存储芯片与分配给该存储模块组的外部 ECC 模块的存储芯片基本相同。

在本发明的示例性实施例中，存储模块组的存储模块以及分配给该存储模块组的外部 ECC 模块的存储芯片显示出“×8”存储体系结构。

在本发明的另一实施例中，每个存储模块包括四行列（rank）的存储芯片。然而，可以使用更多或更少行列的存储芯片。

根据本发明的另一示例性实施例，每个存储模块的第一存储行列借助点对点 CA 总线连接连接到存储控制器。

在本发明的另一实施例中，至少一组存储模块包括两个存储模块。在本发明的另一实施例中，至少一组存储模块包括四个存储模块。

在存储模块组包括四个存储模块的情况下，例如，这些存储模块的插塞接触的所选配置与外部 ECC 模块的插塞接触的配置基本相同。另外，对于存储模块和外部 ECC 模块两者来说可以使用基本相同的模块。

附图说明

下面将借助实例同时参考附图来解释本发明，其中：

图 1 示出根据现有技术的存储器件。

图 2 示出根据本发明的存储器件的第一实施例。

图 3 示出说明图 2 所示存储器件的数据存取方案的示意图。

图 4 示出根据本发明的存储器件的第二实施例。

图 5 示出说明根据本发明的存储器件的实施例中使用的存储模块的体系结构的示意图。

图 6 示出说明根据本发明的存储器件的实施例中使用的存储模块的体系结构的示意图。

图 7 示出说明根据本发明的存储器件的实施例中使用的存储模块的体系结构的示意图。

图 8 示出用于存取根据本发明的存储器件的外部 ECC 模块的可能的存取方案。

在图中，相同元件/零件或彼此对应的元件/零件用相同参考数字表示。

具体实施方式

图 1 示出根据现有技术的存储器件 100。存储器件 100 具有四个 DRAM 存储模块 1 和存储控制器 2。每个存储模块 1 通过相应存储通道 3 连接到存储控制器 2。在该实施例中，至少两个存储模块 1 连接到每个存储通道 3。每个存储模块 1 具有两行列的 DRAM 存储芯片 4，即八个存储芯片。存储控制器 2 连接到中央处理器（CPU）（未示出）并用作存储模块 1 和 CPU 之间的接口。

存储器件 100 没有显示出任何 ECC 功能性。构成本发明的基础的问题是发现一种用以为存储器件 100 或类似存储器件提供 ECC 功能性的容易且透明的方式。

参考图 2，根据本发明的存储器件 200 的示例性实施例包括四个 DRAM 存储模块 1 和为存储模块 1 提供 ECC 功能性的两个外部 ECC 模块 5。每个存储模块 1 通过存储通道 3 连接到存储控制器 2。ECC 模块 5 通过公共 ECC 通道 6 连接到存储控制器 2。ECC 模块 5 是外部模块，即 ECC 模块 5 不是存储模块 1 的部分。更确切地说，ECC 模块 5 具有它们自己的电插塞接触。每个外部 ECC 模块 5 被分配给存储模块 1 组。在该实例中，第一存储模块组 A 包括第一存储模块 1₁ 和第二存储模块 1₂。第二存储模块组 B 包括第三存储模块 1₃ 和第四存储模块 1₄。第一外部 ECC 模块 5₁ 被分配给第一存储模块组 A，以及第二 ECC 模块 5₂ 被分配给第二存储模块组 B。第一 ECC 模块 5₁ 的资源被第一存储模块 1₁ 和第二存储模块 1₂ 两者使用。第二 ECC 模块 5₂ 的资源被第三存储模块 1₃ 和第四存储模块 1₄ 使用。

在该实例中，安装在存储模块 1 上的存储芯片 4 和安装在 ECC 模

块 5 上的存储芯片 4 具有基本相同的存储密度和“×8”存储体系结构（“×8”）。由此，存储模块 1 和 ECC 模块 5 所使用的存储芯片 4 可以是相同的。

存储模块组的各存储模块被同步操作，即每次从特定存储模块读取数据时，也从相同存储模块组的其它存储模块读取数据。这样，没有浪费 ECC 模块 5 的任何资源。

图 3 示出在一个存储存取循环期间从每个存储模块 1 或存储模块组 A、B 以及相应的 ECC 模块 5 中读取了多少位。正如从图 3 可以得出的，在一个存储存取间隔期间读取了 72 位（72 位来自每个存储模块 1 以及 8 位来自相应的 ECC 模块 5）。

在图 4 中，示出根据本发明的存储器件的第二实施例。在该实施例中，使用了四个存储通道 3。存储控制器 2 连接到至少四个存储模块 1。每个存储模块通过单独的存储通道 3，即借助点对点 CA 总线连接连接到存储控制器 2。

该示例性实施例的存储模块组 C 包括第一、第二、第三、和第四存储模块 1₁、1₂、1₃、1₄。ECC 模块 5₁ 被分配给该存储模块组 C。另外，存储模块组 D 包括第五、第六、第七、和第八存储模块 1₅、1₆、1₇、1₈，第二 ECC 模块 5₂ 被分配给该存储模块组 D。

如图 4 所示，可以添加另外的存储模块组（以及与其对应的另外的 ECC 模块）。另外的存储模块组（以及与其对应的另外的 ECC 模块）也可以添加到图 2 所示的实施例。

由此，第一存储模块 1₁、1₅ 通过第一存储通道 3₁ 连接到存储控制器 2，每个存储模块组 C、D 的第二存储模块 1₂、1₆ 通过第二存储通道 3₂ 连接到存储控制器 2，等等。

在插塞接触（其使模块与存储通道 3 相连）和存储芯片 4 的设计方面 ECC 模块 5 与存储模块 1 基本相同。或者，留下每个 ECC 模块 5 的一行列的存储芯片 4，或者使用存储模块 1 所用的存储密度的一半。

如图 5-7 所示，每个存储模块 1 在前侧设有存储芯片 4（行列 0 和行列 1）。或者，每个存储模块 1 的后侧设有两行列的存储芯片 4（行列 2 和行列 3）。对于本发明的每个示例性实施例来说，这种变化是可以的。采用相同的方式，ECC 模块 5 的后侧具有存储芯片。

参考图 8，ECC 模块 5 可以用多种方式来处理。

根据第一方面，本发明涉及在多存储通道系统中具有标准模块的 ECC 支持，该标准模块具有采用“×8”结构的 4 芯片行列。大多数现行标准 DRAM 模块使用八个 DRAM 芯片，它们被配置成×8 (×8) 结构，即每个芯片传送 8 位数据，以及每一存取和单位间隔（数据位时间）模块传送总共 64 个数据位。如果需要 ECC，则一般将使用“×8”结构的第九 DRAM 芯片添加到模块以提供 ECC 功能性。

新存储技术例如 NMT 使用具有每一行列四个 DRAM（数据）芯片的 DRAM 模块。将 ECC 添加到这种结构传统上利用内部 ECC 解决方案来实现。在每一行列四个芯片的结构中，添加使用“×8”结构的第五 DRAM 芯片，即添加使用“×4”结构的第五 DRAM 芯片，或者通过利用使用“×9”结构的四个 DRAM 芯片。这三种 ECC 方法具有缺点。第一种方法使用第五芯片的一半。第二和第三种方法需要用于“×4”和“×9”结构的单独芯片设计。另外，与无 ECC 的模块相比，对于 ECC 模块，内部 ECC 解决方案在连接器上需要更高的引脚数，即 ECC 模块需要单独的连接器。

根据本发明的实施例，不需要专门的连接器。代替地，使用用以从外部存储四个数据 DRAM 模块的 ECC 数据的、具有采用“×8”结构的每一行列四个芯片的、附加的标准无 ECC 的 DRAM DIMM。该解决方案要求系统配有多个 4+1 模块。另外，对于这些模块（4 个数据 + 1 个 ECC 模块），需要 4+1 存储通道来获得类似的等待时间和响应性能。对于每一存储存取（RD/WR 等），存储控制器将该存取发送给数据模块，并同时发送给 ECC 模块。为了能够与通道并行地实现上述，第一行列中的每个芯片具有与存储控制器的点对点 CA 总线连接。该实施例尤其可应用于服务器市场。如上所述，在该实施例中，使用标准 DIMM 模块代替专门的 ECC 模块来存储 ECC 信息。为了实现上述，四个（存储）通道一起使用。

根据本发明的另一实施例，对具有五个存储通道的系统结构实施 ECC 解决方案。四个通道用于数据以及一个附加通道用于 ECC 信息。在行列 0 的每个芯片和存储控制器之间存在点对点 CA 总线连接。

参考图 5 和 7，为了简单起见，双侧模块的两个侧合并在一幅图中。或者，对于两个侧，可以使用堆叠芯片代替如图所示的两个分开的芯片。

根据第二方面，本发明涉及在双存储通道系统中用于采用“×8”结构的4芯片行列的外部ECC支持。在双存储通道系统中不需要“×4”DRAM芯片设计。对于每个DRAM数据模块对，代替使用两个外部ECC模块，而使用采用“×8”结构的一个ECC模块，由此节省了一半数量的ECC模块。外部ECC模块具有两倍于“×4”结构ECC模块的密度。单个“×8”ECC模块被两个DRAM数据模块共享。为了能够实现上述，两个通道以同步方式操作，即两个通道内的模块基本同时被使用，并类似具有两倍总线宽度的一个模块那样起作用。

根据本发明的第二方面，使用单个外部“×8”ECC模块来代替使用每一行列四个数据DRAM芯片的同步操作双通道系统中的两个外部“×4”ECC模块。

根据图5-7，存储模块是例如双侧的：

前侧：两个行列，每个具有四个采用“×8”体系结构的芯片。

后侧：两个行列，每个具有四个采用“×8”体系结构的芯片。

由此，在DRAM模块上提供总共四个行列。短语“×8结构”意味着每一芯片每一存取每一单位间隔（数据位时间）DRAM芯片传送8位。

例如对双存储通道系统结构实施ECC解决方案。这种结构同时使用两个模块用于存储存取（读或写等）。这意味着两个模块基本同时被使用，并类似具有两倍总线宽度的一个模块那样起作用。

来自每个DRAM芯片的数据位例如被集中，如图3所示。8个ECC位的分开根据数据位与ECC位的同步容易性来完成。用以将ECC位分布到两个存储通道的可能的方法在图8中示出。

尽管已经参考本发明的具体实施例详细描述了本发明，但是对于本领域的技术人员来说显然，在不脱离本发明的精神和范围的情况下可在其中进行各种改变和修改。因此，本发明旨在覆盖本发明的各修改和变型，只要它们在所附权利要求及其等同替换物的范围内。

参考标记列表:

100、200、300: 存储器件

1: 存储模块

2: 存储控制器

3: 存储通道

4: 存储芯片

5: ECC 模块

6: ECC 通道

A、B、C、D: 存储模块组

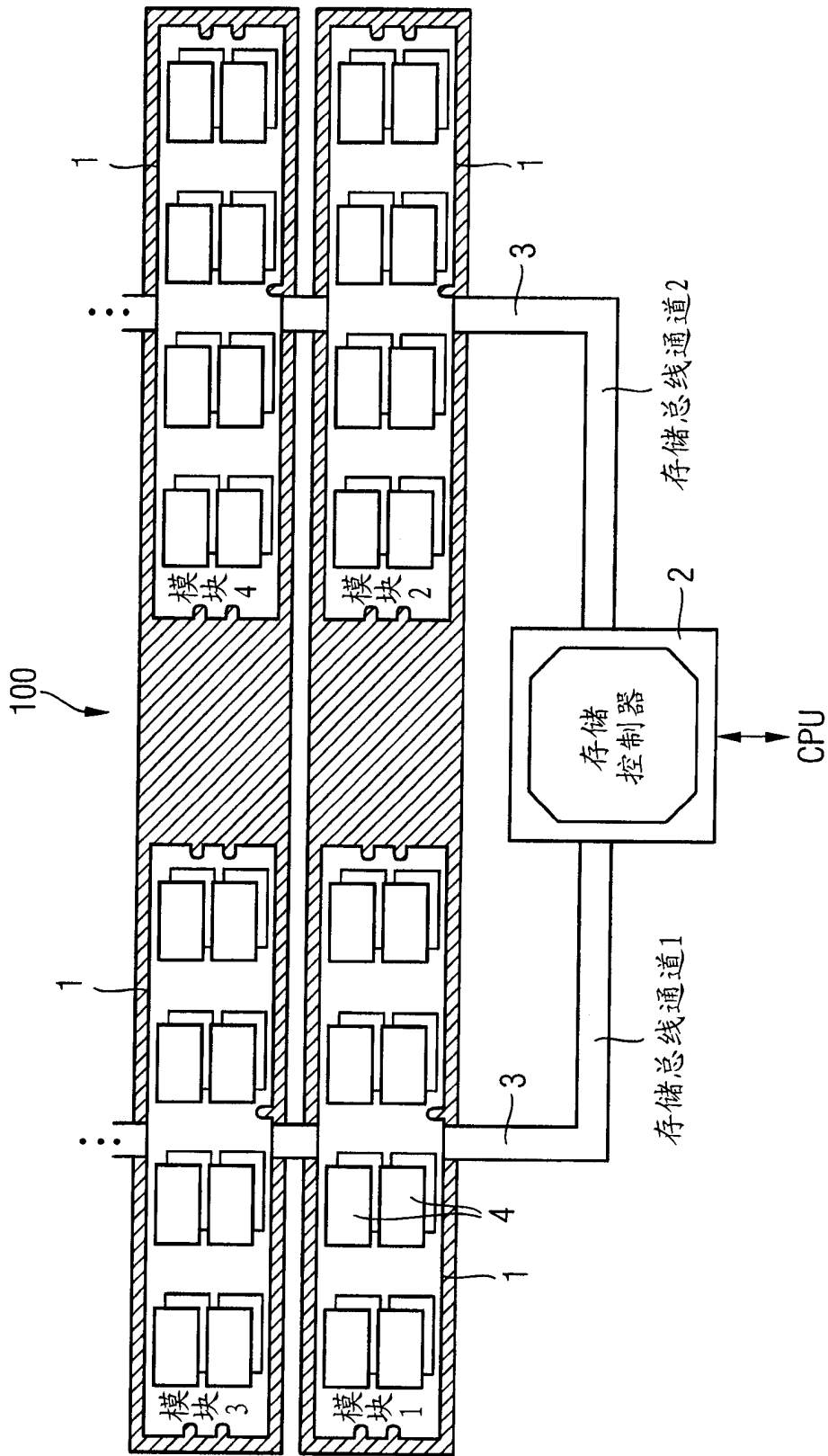


图 1

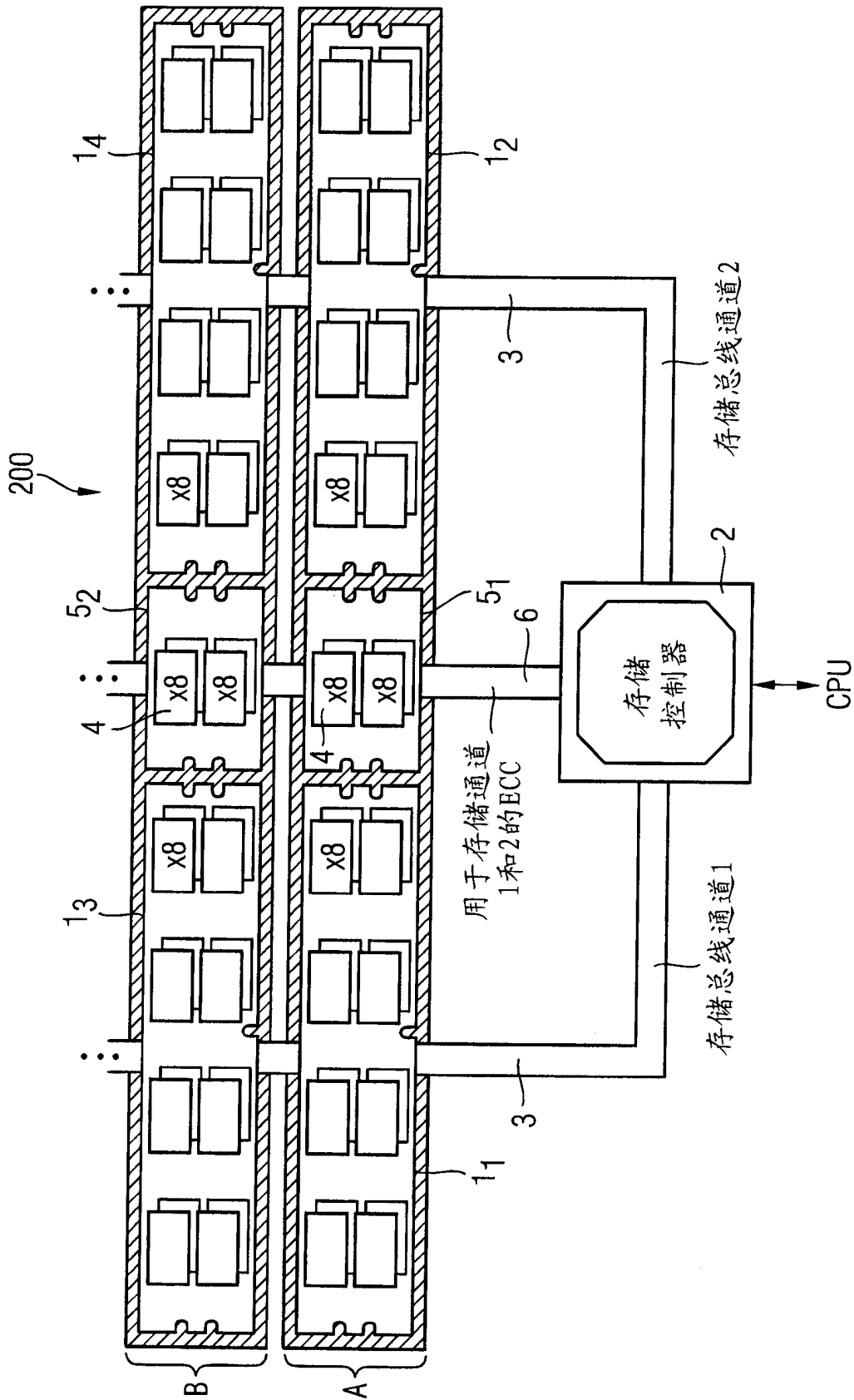


图 2

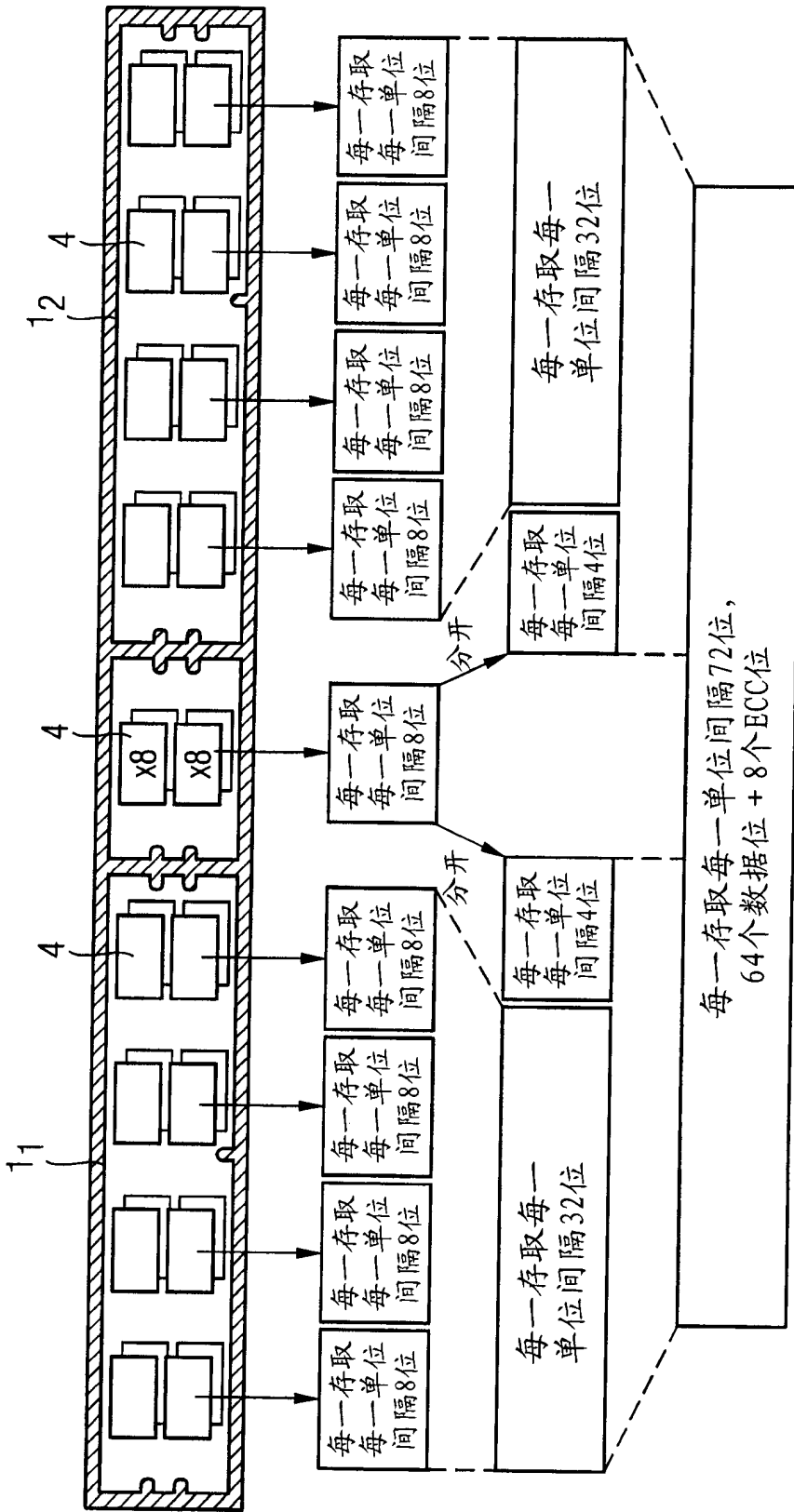


图 3

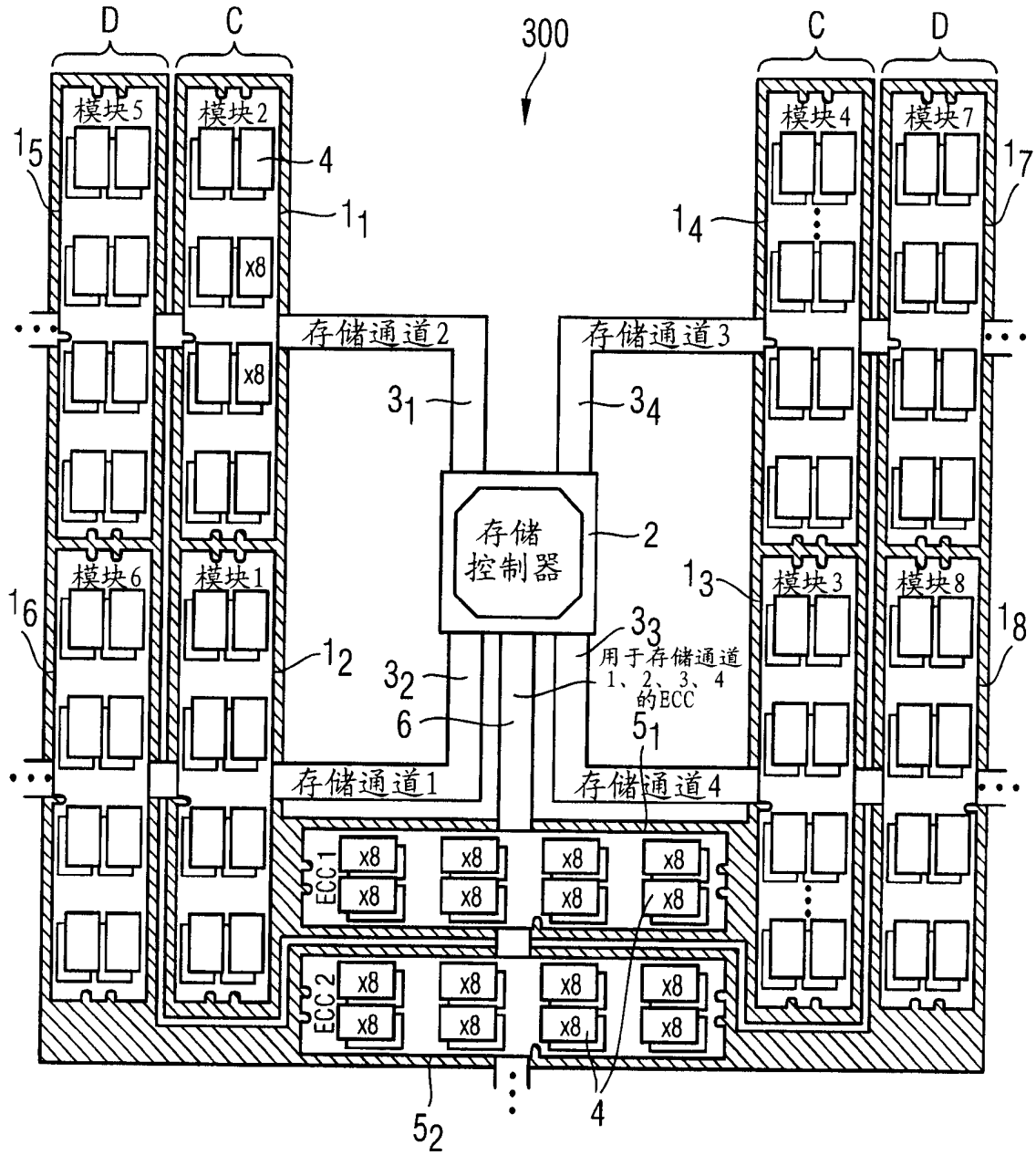


图 4

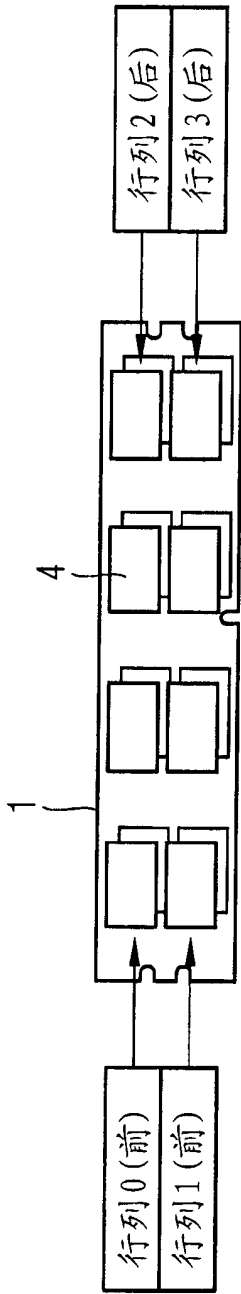


图 5

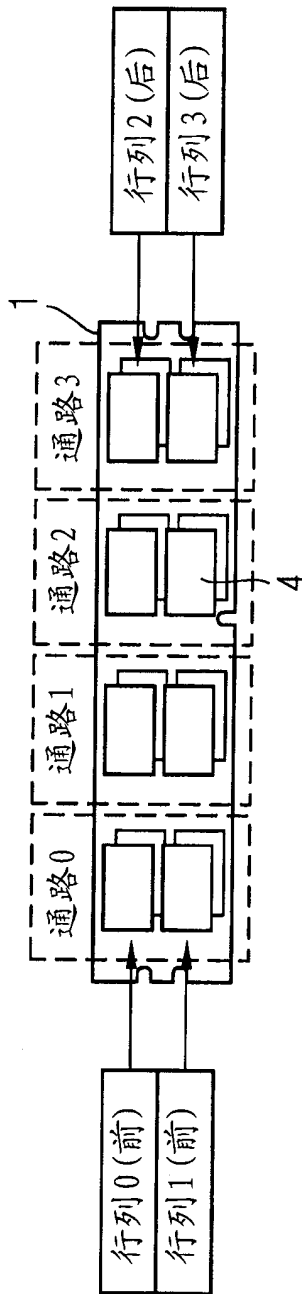


图 6

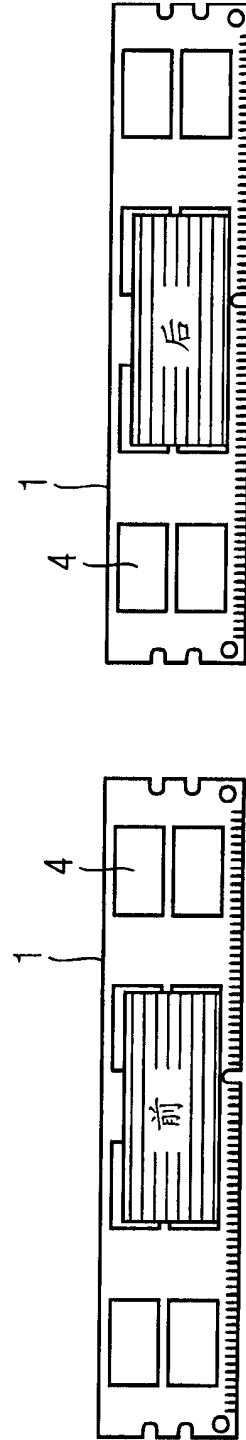


图 7

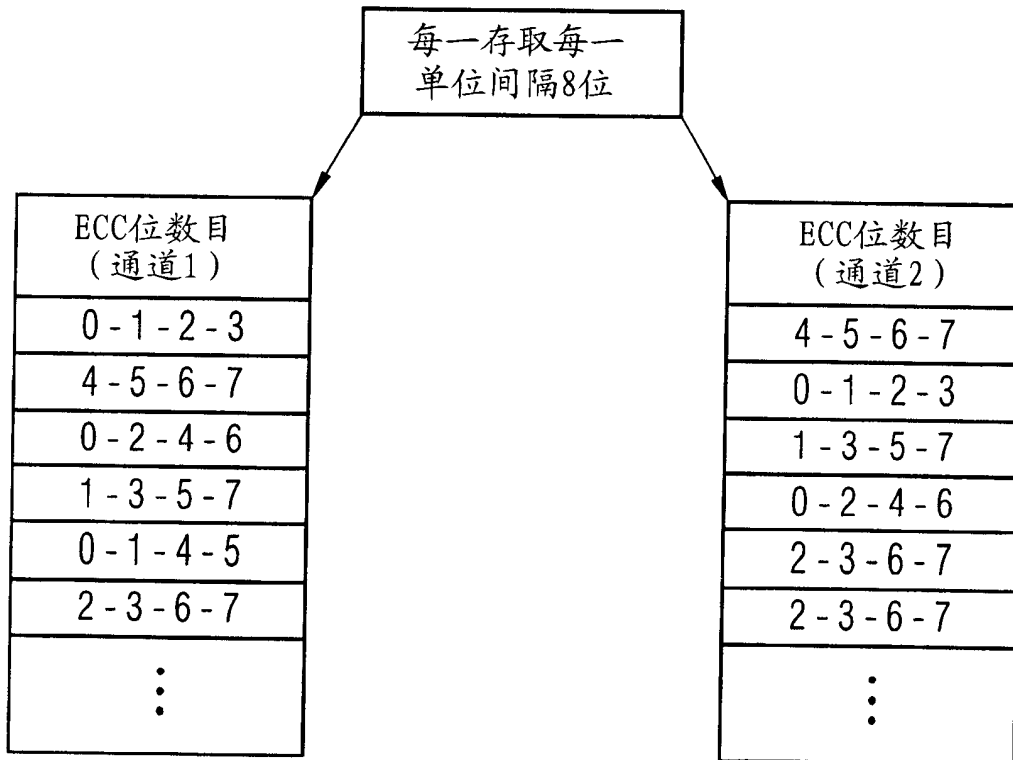


图 8