

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5383460号
(P5383460)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 P

請求項の数 9 (全 15 頁)

<p>(21) 出願番号 特願2009-276554 (P2009-276554)</p> <p>(22) 出願日 平成21年12月4日 (2009.12.4)</p> <p>(65) 公開番号 特開2011-119520 (P2011-119520A)</p> <p>(43) 公開日 平成23年6月16日 (2011.6.16)</p> <p>審査請求日 平成24年10月24日 (2012.10.24)</p>	<p>(73) 特許権者 000190688 新光電気工業株式会社 長野県長野市小島田町80番地</p> <p>(74) 代理人 100070150 弁理士 伊東 忠彦</p> <p>(72) 発明者 牧 啓悟 長野県長野市小島田町80番地 新光電気 工業株式会社内</p> <p>(72) 発明者 伊藤 大介 長野県長野市小島田町80番地 新光電気 工業株式会社内</p> <p>審査官 今井 拓也</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

所定の局所領域に複数の接続端子を有する半導体集積回路素子と、配線と、前記複数の接続端子の一部または全部の接続端子と前記配線とを電気的に接続するための金属バンプとを有する半導体装置の製造方法であって、

前記局所領域のインピーダンスの入力点と出力点との間のインピーダンス値を測定するインピーダンス値測定工程と、

前記インピーダンス値と設計仕様値との差が許容範囲内にあるかどうかを判定するインピーダンス値判定工程と、

前記インピーダンス値判定工程での判定結果に基づいて、前記複数の接続端子のうち、金属バンプを形成すべき接続端子の位置を決定するバンプ位置決定工程と、

前記バンプ位置決定工程において位置が決定された前記接続端子上に、前記金属バンプを形成するバンプ形成工程と、

前記バンプ形成工程の後、前記半導体集積回路素子を覆うように絶縁層を形成する絶縁層形成工程と、

前記絶縁層上に前記配線を形成する配線形成工程と、を有し、

前記局所領域のインピーダンスの入力点と出力点は、前記複数の接続端子に含まれる一対の接続端子であり、

前記インピーダンス値判定工程で前記差が許容範囲を超えたと判定された場合に、測定された前記インピーダンス値は所定のインピーダンス値に変換され、

10

20

前記バンプ位置決定工程では、前記所定のインピーダンス値が設計仕様値に対して許容範囲内となるように、前記金属バンプを形成すべき前記接続端子の位置を決定することを特徴とする半導体装置の製造方法。

【請求項 2】

前記バンプ位置決定工程では、前記局所領域のインピーダンスの入力点と出力点との間のインピーダンス値が所望の値となるように、前記金属バンプを形成すべき前記接続端子の位置を決定することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記所望の値は、所望の抵抗値を含むことを特徴とする請求項 2 記載の半導体装置の製造方法。

10

【請求項 4】

前記所望の値は、所望のキャパシタンス値を含むことを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 5】

前記所望の値は、所望のインダクタンス値を含むことを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 6】

前記バンプ形成工程において、ワイヤボンダ装置を使用することを特徴とする請求項 1 乃至 5 の何れか一項記載の半導体装置の製造方法。

【請求項 7】

前記配線上に外部接続端子を形成する工程を含む請求項 1 乃至 6 の何れか一項記載の半導体装置の製造方法。

20

【請求項 8】

前記配線は、前記金属バンプを形成すべき前記接続端子の位置を決定後、前記金属バンプ上に形成される請求項 1 乃至 7 の何れか一項記載の半導体装置の製造方法。

【請求項 9】

前記金属バンプを形成すべき前記接続端子の位置を決定後に配線構造が決定される請求項 1 乃至 8 の何れか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体集積回路の製造過程において、集積回路の抵抗値等の回路の特性値の調整をするため、集積回路の要素のトリミング加工が行われている。トリミング加工は、集積回路面と同一平面にあるトリミング用素子の、回路が開放した状態または短絡した状態を、変化させることにより行われる。例えば、回路にツェナーダイオードを使用して、開放状態から短絡状態に変化させるツェナーザップ法、ポリシリコンのヒューズを、短絡状態から開放状態に変化させるポリシリコンヒューズ法、または、レーザカット法等の加工法が用いられている。

40

【0003】

図 1 は、従来のトリミング加工の方法を模式的に例示した図である。図 1 の (a) は、ツェナーザップ法によるトリミング加工を示す図である。上段の図において P N 接合ダイオード 1 1 に逆電圧をかけ、過電圧によりツェナー降伏を生じさせると、下段の図のように、ダイオードの箇所 1 2 が恒久的に導通状態となるので、集積回路の配線の所定の箇所の導通状態を要する場合には、その箇所に P N 接合ダイオード 1 1 を設けておき、トリミング加工を行うことができる。

【0004】

図 1 の (b) は、ポリシリコンヒューズ法によるトリミング加工を示す図である。ポリ

50

シリコンヒューズ法は、シリコン酸化膜上に形成されたポリシリコンの抵抗体 1 3 に過電流を流して、融点以上に加熱することによって、下段の図のように、溶断するものである。集積回路の配線の所定の箇所の開放状態を要する場合には、その箇所にポリシリコンヒューズ 1 3 を設けておき、トリミング加工を行うことができる。

【 0 0 0 5 】

図 1 の (c) は、レーザカット法によるトリミング加工を示す図である。集積回路の配線の一部に設けられたヒューズ素子 1 4 を選択してレーザビーム照射 1 5 により切断し、開放状態とするトリミング加工を行うことができる (例えば、特許文献 1 参照) 。

【 0 0 0 6 】

図 2 は、従来の、レーザカット法によるトリミング加工の方法を示す図である。図中のヒューズの No. 2 と No. 4 を溶断することによって開放して、半導体集積回路素子における抵抗値を、設計許容値に収めることができる。

【 0 0 0 7 】

また、ヒューズ等の加熱溶断以外の方法としては、半導体集積回路において抵抗間の接続配線を新たに形成して、抵抗値等を調整する技術がある。すなわち、半導体集積回路素子の製造プロセスの途中において、拡散、蒸着等による半導体素子の形成後、測定した集積回路素子の抵抗値等に基づいて、抵抗値等を調整するために、複数種のマスクの中から選択したマスクを用いて、層間絶縁膜、スルーホール等の形成及びアルミニウム膜の蒸着・加工を行って、抵抗間の接続配線を、集積回路素子上に形成する技術が開示されている (例えば、特許文献 2 参照) 。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 0 1 - 2 3 0 3 7 4 号公報

【 特許文献 2 】 特開 2 0 0 7 - 2 2 7 4 7 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

従来のツェナーザップ法、ポリシリコンヒューズ法等のトリミング加工の方法は、半導体集積回路と同一面に形成されたトリミング素子に対して、高電圧を印加し、また、大電流を流すことにより、素子の電氣的破壊等を生じさせるものである。これらのトリミング素子の集積回路における配置に関しては、他の回路素子への電氣的、熱的影響を避けるため、十分な間隔をとる等の配慮を要し、半導体集積回路の面積が広くなり、高密度集積化を十分に行えないことがあった。

【 0 0 1 0 】

また、レーザカット法においては、素子の要素の破壊のための高電圧、大電流は要しないものの、半導体集積回路面との同一面上に、レーザ照射のための位置合せ用領域、レーザ光線通過のための開口等の集積回路以外の領域が必要で、半導体集積回路素子の面積を十分には小さくすることができなかつた。また、トリミング加工用設備の導入や、トリミング加工の工程を要するため、製造コストの低減、生産工程の簡素化において困難を生じる場合があった。加熱溶断以外の方法を使用する場合であっても、例えば、半導体集積回路において、抵抗間のアルミニウム等の接続配線を新たに形成する製造方法等においては、複数のマスクの準備及び配線工程を要するので、製造コスト、生産工程の簡素化の点で問題が生じることがあった。

【 0 0 1 1 】

さらに、半導体集積回路素子を実装して、ウエハレベルパッケージ (W L P) のようなパッケージを形成して、再配線の構造を変える方法がある。しかし、再配線の構造を変えて、特性値を設計値の許容範囲に収めようとする場合には、複数のマスクの準備及びめっき等の配線工程を要するので、製造コストの低減が難しく、また、工程の簡素化が困難な場合があった。

10

20

30

40

50

【 0 0 1 2 】

本発明は、これらの問題点を解決するためになされたものであって、製品品質の向上、生産工程の簡素化及び製造コストの低減を目的とする。

【課題を解決するための手段】

【 0 0 1 3 】

本半導体装置の製造方法は、所定の局所領域に複数の接続端子を有する半導体集積回路素子と、配線と、前記複数の接続端子の一部または全部の接続端子と前記配線とを電氣的に接続するための金属バンプとを有する半導体装置の製造方法であって、前記局所領域のインピーダンスの入力点と出力点との間のインピーダンス値を測定するインピーダンス値測定工程と、前記インピーダンス値と設計仕様値との差が許容範囲内にあるかどうかを判定するインピーダンス値判定工程と、前記インピーダンス値判定工程での判定結果に基づいて、前記複数の接続端子のうち、金属バンプを形成すべき接続端子の位置を決定するバンプ位置決定工程と、前記バンプ位置決定工程において位置が決定された前記接続端子の上に、前記金属バンプを形成するバンプ形成工程と、前記バンプ形成工程の後、前記半導体集積回路素子を覆うように絶縁層を形成する絶縁層形成工程と、前記絶縁層上に前記配線を形成する配線形成工程と、を有し、前記局所領域のインピーダンスの入力点と出力点は、前記複数の接続端子に含まれる一対の接続端子であり、前記インピーダンス値判定工程で前記差が許容範囲を超えたと判定された場合に、測定された前記インピーダンス値は所定のインピーダンス値に変換され、前記バンプ位置決定工程では、前記所定のインピーダンス値が設計仕様値に対して許容範囲内となるように、前記金属バンプを形成すべき前記接続端子の位置を決定することを要件とする。

10

20

【発明の効果】

【 0 0 1 4 】

製品品質の向上、生産工程の簡素化及び製造コストの低減を図ることができる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】従来の、トリミング加工の方法を示す図である。

【図 2】従来の、レーザカット法によるトリミング加工の方法を示す図である。

【図 3】本発明の第 1 の実施の形態に係る、半導体装置の製造方法を例示する図である。

30

【図 4】本発明の第 1 の実施の形態に係る、パッケージ内バンプ位置決定工程を例示する図である。

【図 5】本発明の第 1 の実施の形態に係る、半導体装置の製造方法の、各ステップにおける代表的なウエハレベルパッケージの形状を例示する図である。

【図 6】本発明の第 1 の実施の形態に係る、半導体集積回路素子における端子及びウエハレベルパッケージにおける接続バンプ位置を例示する図である。

【図 7】本発明の第 2 の実施の形態に係る、半導体装置の製造方法により形成されたウエハレベルパッケージの構造を例示する図である。

【図 8】本発明の第 3 の実施の形態に係る、半導体装置の製造方法により形成されたウエハレベルパッケージの構造を例示する図である。

40

【発明を実施するための形態】

【 0 0 1 6 】

以下、図面を参照して、本発明を実施するための最良の実施の形態を説明する。なお、各図の説明において、各図に共通している同一構成部分については、その部分に同一の符号を付し、重複する場合にはその説明を省く。

【 0 0 1 7 】

第 1 の実施の形態

(製造方法のステップ)

図 3 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を例示する図である。半導体装置の製造方法の工程は、パッケージ内バンプ位置決定工程 (S 1 0 1)、バンプ

50

形成工程 (S 1 0 2) 及び配線層形成工程 (S 1 0 3) を有する。

【 0 0 1 8 】

図 4 は、 S 1 0 1 の工程におけるステップの詳細を示す。また、図 4 においては、各ステップにおいて得られるデータ、情報 (D 4 0 1 ~ D 4 0 5) を示している。

【 0 0 1 9 】

図 5 は、ウエハレベルパッケージ (W L P) の製造方法の各ステップにおける、代表的な W L P の形状を例示する図である。

【 0 0 2 0 】

図 6 は、半導体集積回路素子における端子及び W L P における接続バンプ位置を例示する図である。図中の端子群は、半導体集積回路の局所領域のインピーダンス値に関連して

10

いる端子の集合である。

【 0 0 2 1 】

以下、図 5 の W L P の形状と図 6 の端子群の配置等を参照しながら、図 3 及び図 4 に示す各製造工程の詳細を説明する。

【 0 0 2 2 】

(S 1 0 1 . パッケージ内バンプ位置決定工程)

図 3 のパッケージ内バンプ位置を決定する工程 (S 1 0 1) の詳細ステップは、図 4 の、インピーダンス値修正要否判定ステップ (S 1 0 1 1) 、 W L P のパッケージの領域毎のインピーダンス値への変換演算ステップ (S 1 0 1 2) 、修正領域情報のボンディング条件情報への変換演算ステップ (S 1 0 1 3) 、ワイヤボンダ装置プログラム設定ステップ (S 1 0 1 4) を有している。

20

【 0 0 2 3 】

(S 1 0 1 1 . インピーダンス値修正要否判定ステップ)

図 4 の S 1 0 1 1 は、インピーダンス値修正要否判定ステップを示している。修正要否を判定する基となるインピーダンス値は、半導体集積回路素子のファイナル・テスト (F T) において、対象の各領域における 2 端子の対毎に測定されたインピーダンス値である。各領域は、設計仕様の詳細に基づいて、インピーダンス値等の設計特性値が定められている。それぞれの端子の属する測定対象の局所領域 E (m) (自然数 m は、局所領域の番号を示す。) における、半導体集積回路のインピーダンス値 R (m) と、半導体集積回路の設計仕様値 S (m) とを比較し、許容範囲に基づきインピーダンス値の修正要否を判定

30

する。設計仕様値 S (m) に対する許容範囲は、半導体素子の物性、半導体集積回路素子の使用条件等に基づいて設定される。設計仕様値 S (m) に対する許容値 (m) に対して、例えば、

$$| R (m) - S (m) | \leq C (m) . (式 1)$$

等の判定式を使用して、局所領域のインピーダンス値の修正要否を判定する。(式 1) を満たさない場合、すなわち、ある局所領域 E (m a) における F T のインピーダンス値 R X (m a) と、設計仕様値 S (m a) との差が、許容範囲 C (m a) を超える場合には、その局所領域 E (m a) におけるインピーダンス値 R X (m a) を、修正を要する局所領域のインピーダンス値のリストとして、要修正のインピーダンス値情報 (D 4 0 2) に格納する。

40

【 0 0 2 4 】

なお、「局所領域」 E (m) の「局所」の語句については、半導体集積回路を構成するそれぞれの回路素子が、「それぞれの領域において固有のインピーダンス値を有する」意味を強調して用いた。単に「領域」と表現する場合においても、特に限定しない限り、「局所領域」と同様の意味を有するものとする。

【 0 0 2 5 】

情報 D 4 0 2 は、次のステップ S 1 0 1 2 における W L P の領域毎のインピーダンス値への変換演算に使用される。また、ある領域の F T インピーダンス値が、設計仕様値の許容範囲内にある場合には、修正が不要なインピーダンスの値 R (c) のリストとして、設計仕様内のインピーダンス値情報 (D 4 0 3) に格納する。

50

【 0 0 2 6 】

(S 1 0 1 2 . W L P のパッケージの領域毎のインピーダンス値への変換演算ステップ)

図 4 の S 1 0 1 2 は、要修正のインピーダンス値情報 (D 4 0 2) に基づいて、W L P のパッケージの領域毎のインピーダンス値への変換演算を行うステップを示している。ここに、「W L P のパッケージの領域」とは、インピーダンス値を測定した半導体集積回路素子の測定対象の局所領域 $E (m)$ に対応する、W L P の配線構造を介して生じるインピーダンス値を有する、W L P の個々の局所的部分を指している。

【 0 0 2 7 】

図 6 の (a) は、ウエハ 5 1 上の半導体集積回路 5 2 における端子の例である。M 行、N 列の格子状に配置された端子のうち、2 つの端子 $P 1 (i , j)$ 及び $P 2 (k , l)$ の間について、F T のインピーダンス値 $R (m)$ が測定される ($0 \leq i , k \leq N - 1 , 0 \leq j , l \leq M - 1$)。ここに、端子 $P 1 (i , j) , P 2 (i , j)$ は、局所領域 $E (m)$ のインピーダンス値を測定するために設けられた測定端子である。下段の図は、上段の図の矢視 X - X の断面図である。

10

【 0 0 2 8 】

図 6 の (b) は、半導体集積回路 5 2 を実装して得られるウエハレベルパッケージ (W L P) 5 0 における端子及び接続パンプを例示する図である。下段の図は、上段の図の矢視 Y - Y の位置における、W L P 全体の断面図である。M 行、N 列の格子状に配置された 2 端子 $Q 1 (p , q) , Q 2 (r , s)$ が、配線接続用の端子である。図 6 の (b) において、W L P の形態において所定のインピーダンス値を得るために、金属パンプ $B 1 (p , q) , B 2 (r , s)$ が、端子 $Q 1 (p , q) , Q 2 (r , s)$ に接続されている ($0 \leq p , r \leq N - 1 , 0 \leq q , s \leq M - 1$)。なお、設計条件等によって、半導体集積回路の測定端子と、W L P のパッケージにおける接続端子とは同一の場合も、異なる場合も生じうる。

20

【 0 0 2 9 】

図 6 の (c) は、(b) の A 部の詳細を示している。端子 $Q 1 (p , q) , Q 2 (r , s)$ は、金属パンプ $B 1 (p , q) , B 2 (r , s)$ を介して、配線 5 8 と接続されることにより、W L P のパッケージ形態において、端子 $Q 1 , Q 2$ の間の所定のインピーダンスが構成される。W L P のパッケージ形態におけるこのインピーダンス値が、設計仕様値を満足するように、金属パンプを形成する。

30

【 0 0 3 0 】

半導体集積回路素子における測定対象の局所領域 $E (m)$ のインピーダンス値と、W L P のパッケージにおける各領域のインピーダンス値との対応は、具体的には、以下のように、対応づけることができる。すなわち、半導体集積回路素子上の (M 行、N 列) の格子状に配置された端子のうち、2 端子間のインピーダンス値と、W L P のパッケージにおける (M 行、N 列) の格子状に配置された端子のうち、2 端子間のインピーダンス値との対応関係を、配線構造等の設計条件に応じて、1 対 1 対応させて、数式等によって表現することができる。半導体集積回路素子と W L P のそれぞれの、2 端子の対は、同一であっても、異なってもよい。この対応関係に従って、半導体集積回路素子の測定対象の局所領域 $E (m)$ 毎のインピーダンス値と、W L P の配線構造によって生じる領域毎のインピーダンス値とを、相互に変換することができる。このように、金属パンプを用いて、W L P のパッケージにおける配線の構造を変えることによって、W L P における半導体集積回路素子のインピーダンス値を変えることができる。

40

【 0 0 3 1 】

なお、上述の端子等の設定、配置については、格子状の配置に限る必要はなく、半導体集積回路素子及び W L P の設計条件に応じて、適切な形態の設定、配置が可能である。

【 0 0 3 2 】

以上のような (S 1 0 1 2) の変換演算によって、要修正のインピーダンス値情報 D 4 0 2 における各値 $R X (m)$ から、パッケージ内の要修正の領域のインピーダンス値 B (

50

n) (自然数 n は、WLP の領域の番号を示す。) を得ることができ、要修正の領域の情報 D404 が得られる。

【0033】

(S1013 . 修正領域情報のボンディング条件情報への変換演算ステップ)

図4のS1013は、要修正の領域の情報(D404)に基づいて、WLPのパッケージ内の金属バンプ位置を決定するステップである。要修正の領域のインピーダンス値 $B(n)$ に基づいて、変換演算によって、修正領域のボンディング位置 $BD(i, j)$ を求める ($0 \leq i \leq N-1, 0 \leq j \leq M-1$)。変換演算は、配線構造等の設計条件に応じて、WLPのパッケージの配線構造のインピーダンス等を反映した関係式を用いて行うことができる。

10

【0034】

(S1014 . パッケージ内ボンディングプログラム設定ステップ)

図4のS1014は、ステップ(S1013)で得られた、修正領域のボンディング位置 $BD(i, j)$ の情報(D405)に基づいて、WLPのバンプボンディングプログラムを設定するステップである。金属バンプ位置は、図5の(a)の半導体集積回路52上の接続端子53の位置のうち、後に形成される配線58(図5の(d))と接続すべき位置を指している。金属バンプ接続による配線接続の構造の変化によって、半導体集積回路素子のインピーダンス値を、設定すべき値にすることができる。

【0035】

半導体集積回路素子の局所領域のインピーダンス値に対応して、WLPのパッケージ内における領域に関わるバンプ接合をすべき位置が、D405により確定するので、ワイヤボンダ装置の作動プログラムに、ボンディング位置 $P(i, j)$ を設定する。ステップ(S1014)の終了で、パッケージ内バンプ位置決定工程(S101)が終了する。

20

【0036】

(S102 . バンプ形成工程)

図3のS102は、バンプ形成工程を示している。作動プログラムにボンディング位置 $P(i, j)$ (図4のS1014)が設定されたワイヤボンダ装置を使用して、WLPの目標のバンプ位置に、ボール形状の金属バンプを形成する。

【0037】

金属バンプの形状は、例えば、円筒形を重ねた形状をしている。図5の(a)の、ウエハ51上の半導体集積回路52における、所定の接続端子53の位置に形成された金属バンプ55のように形成される。素材には、金のボンディングワイヤ等が用いられる。接続端子53には、アルミニウムの材質等が使用される。

30

【0038】

(S103 . 配線層形成工程)

図3のS103は、配線層形成工程を示している。配線層の形成は、周知の、絶縁層の形成、配線の形成、外部接続端子形成を行うことに得られる。配線層形成工程における製造の各ステップにおけるWLPの代表的な形状を、図5の(b)~(e)に示す。

【0039】

図5の(b)は、絶縁層56を、半導体集積回路52を保護するパッシベーション膜54の上に積層形成した状態を示している。絶縁層56の材質としては、例えば、エポキシ系またはポリイミド系の樹脂等を使用する。絶縁層56の形成は、液状樹脂のコーティング、または、フィルム状樹脂のラミネーション等により行う。金属板等(図示せず)を樹脂面に押圧して、金属バンプ55の頂点の部分55aを樹脂表面に露出させ、平坦化させることができる。同時に、樹脂の表層を平坦に形成することができる。

40

【0040】

図5の(c)は、シード層を形成した状態を示している。絶縁層56の表面に、スパッタ装置等を用いて、配線を形成するための電解めっき用のシード層57aを形成する。

【0041】

図5の(d)は、フォトレジスト層と配線が形成された状態を示している。シード層5

50

7 a上に、電解めっきにより配線58を形成する。配線58は、シード層57 a上に、フォトレジスト層57 bを塗布し、配線を形成すべき空間を設けるための露光・現像・剥離を施した後、得られた空間に、銅等の金属材料を電解めっきすることにより、形成する。

【0042】

図5の(e)は、配線58の形状を示している。配線58の形状は、図(d)に示すフォトレジスト57 bを剥離した後、配線58の箇所以外のシード層57 aを剥離して、形成することができる。

【0043】

図5の(f)は、外部接続端子60が形成されたウエハレベルパッケージ(WLP)50のパッケージ全体の状態を示している。前述の図(e)における配線58上に、さらに、ソルダレジスト層59を形成し、外部接続端子60のための空間を開口し、外部接続端子60を設けて、ウエハ51上の半導体集積回路52をパッケージ化したWLPを形成する。

【0044】

第1の実施の形態の効果

半導体集積回路素子の素子形成の過程において測定されたインピーダンス値が、半導体集積回路におけるある局所領域において、製品の設計仕様の値の許容範囲から外れている場合であっても、本発明によって、WLPのパッケージ化の過程において、インピーダンス値を許容範囲内の値に修正することが可能となった。すなわち、半導体集積回路素子を実装するWLPのパッケージ実装工程において、半導体集積回路素子とパッケージの配線とを接続する金属バンプの設定位置を適切に選んでパッケージ内の配線構造を定め、パッケージ後の半導体集積回路の製品インピーダンス値を、製品の設計値の許容範囲に収めることができる。金属バンプの設定位置を選択して、配線構造を決定する製造方法により、従来の工程で必要とした、配線のための新たな複数のマスクの準備や、新たなめっき工程を省けることとなった。従って、生産工程の簡素化及び製造コストの低減を図ることができる。また、従来のトリミング方法に見られるような、電氣的または熱的な影響を半導体回路素子に与えることがないので、半導体装置の製品品質の向上を図ることができる。

【0045】

第2の実施の形態

図7は、本発明の第2の実施の形態に係る、半導体装置の製造方法により形成されたWLPの構造を例示する図である。

【0046】

図7の(a)は、半導体素子のWLPの、金属バンプ77を含む切断面における、パッケージの断面図である。ウエハ71上に形成された半導体集積回路72の抵抗値について、半導体集積回路の形成過程を経た後であっても、WLPのパッケージ形成過程において、端子73と端子74の間の抵抗値を、設計仕様値の許容範囲の値に、選択し設定することができる。

【0047】

図7の(b)は、半導体集積回路の局所領域における抵抗値の等価回路図を示している。半導体集積回路においては、端子73と端子74の間に、抵抗R1, R2, R3及びR4と、接続端子75 a, 75 b, 75 c及び75 dが設けられている。実製品の局所領域のインピーダンス(抵抗)値が、設計仕様値の許容範囲に収まるように、調整代として設けられた複数の接続端子のうちから、適した接続端子を選択してパッケージ内に接続し、抵抗値を定める。接続端子75 a ~ 75 dは、それぞれ、金属バンプを接合することができる接続端子の形態を有している。破線76は、半導体素子を実装するWLPのパッケージにおける配線の一部を示している。なお、端子73, 74, 75 a, 75 b, 75 c, 75 d及び配線76が、この箇所のインピーダンス(抵抗)に関する局所領域に含まれる。

【0048】

WLPのパッケージ全体から見た、この局所領域のインピーダンス(抵抗)の入力点及

10

20

30

40

50

び出力点は、端子73及びパッケージの配線76となる。図7の(b)において、接続端子75bの位置におけるWLPの金属パンプ77の接続によって、半導体集積回路素子の端子73と端子74の間の抵抗値を、WLPのパッケージにおける、端子73と端子75bとの製品抵抗値($R1 + R2$)に設定することができる。同様にして、金属パンプを75a, 75c又は75dの位置において接続すれば、半導体集積回路素子のWLPのパッケージにおける製品抵抗値を、 $R1$, ($R1 + R2 + R3$)又は($R1 + R2 + R3 + R4$)に設定することができる。局所領域のインピーダンス(抵抗)の、実測値と設計仕様値の許容範囲との比較に基づき、これらの抵抗値から最も適した値を選択して、対応する金属パンプ位置を設定することができる。

【0049】

なお、抵抗素子の値の範囲、精度、個数は、対象となる半導体集積回路の使用条件等設計条件に応じて、自由に設計することができる。また、図7においては、端子73, 74と接続端子75a, 75b等とを区別して示したが、半導体集積回路の設計、使用条件によっては、端子と接続端子を同一視して使用する場合もある。

【0050】

第2の実施の形態の効果

半導体集積回路素子の素子形成過程において形成された回路抵抗値を、次工程であるWLPのパッケージの形成過程において金属パンプを形成して、修正することによって、所定の実製品抵抗値を設定することができる。従来の工程で必要とした、配線のための新たな複数のマスクの準備や、新たなめっき工程を省くことができるので、生産工程の簡素化及び製造コストの低減を図ることができる。また、従来のトリミング方法において見られるような、電氣的または熱的な影響を半導体回路素子に与えることがないので、半導体装置の製品品質の向上を図ることができる。

【0051】

第2の実施の形態の変形例

図7の(c)は、本発明の第2の実施の形態の変形例に係る、半導体装置の製造方法により形成されたWLPパッケージの構造を例示する図である。前出の図7の(b)の抵抗 $R1 \sim R4$ の直列配置に対して、図(c)は、局所領域の抵抗に関し、抵抗 $R5$, $R6$ 及び $R7$ を並列に配置した例を示している。図(c)のように、WLPのパッケージにおいて、金属パンプ78を接続端子75gにおいて形成する場合には、半導体集積回路素子の局所領域の製品抵抗値を、 $R7$ と設定することができる。また、例えば、金属パンプを、接続端子75e, 75f及び75gの全てに形成する場合には、これら3つの抵抗の並列配置の回路として設定されるので、WLPのパッケージ後の半導体集積回路の製品抵抗値を、 $1 / (1 / R5 + 1 / R6 + 1 / R7)$ と定めることができる。

【0052】

第2の実施の形態の変形例の効果

抵抗値の並列配置を使用し、WLPのパッケージにおける金属パンプを形成することにより、WLPのパッケージ後の半導体集積回路の製品抵抗値を、きめ細かく設定することができ、製品品質の向上、製造コスト低減及び生産性の向上を図ることができる。

【0053】

第3の実施の形態

図8は、本発明の第3の実施の形態に係る、半導体装置の製造方法により形成されたWLPのパッケージの構造を例示する図である。

【0054】

図8の(a)は、半導体集積回路素子のWLPの、金属パンプ87を含む切断面における、パッケージの断面図である。ウエハ81上に形成された半導体集積回路82のキャパシタンスについて、半導体集積回路の形成過程後であっても、WLPのパッケージ形成過程において、コンデンサの端子83と端子84の間の製品キャパシタンス値を、設計仕様値の許容値範囲に収めるよう、選択し設定することができる。

【0055】

10

20

30

40

50

図8の(b)は、局所領域におけるコンデンサの構造の等価回路図を示している。半導体集積回路82上のコンデンサの端子83と端子84の間に、コンデンサC1, C2, C3及びC4と、それぞれの端部に接続端子85a, 85b, 85c及び85dとが設けられている。実製品の局所領域のインピーダンス(キャパシタンス)値が、設計仕様値の許容範囲に収まるように、調整代として設けられた複数の接続端子のうちから、適した接続端子選択してパッケージ内に接続し、キャパシタンス値を定める。接続端子85a~85dは、それぞれ、金属バンプを接合することができる接続端子の形態を有している。破線86は、半導体素子を実装するWLPのパッケージにおける配線の一部を示している。端子83, 84, 85a, 85b, 85c, 85d及び配線86が、この箇所のインピーダンス(キャパシタンス)に関する局所領域に含まれる。WLPのパッケージ全体から見た、この局所領域のインピーダンス(キャパシタンス)の入力点及び出力点は、端子83及びパッケージの配線86となる。図8の(b)において、接続端子85bの位置におけるWLPの金属バンプ87の接続によって、集積回路素子の端子83と端子84の間の製品キャパシタンス値を、端子83と85bとの製品キャパシタンス値($1 / (1 / C1 + 1 / C2)$)に設定することができる。同様にして、金属バンプを85a, 85c又は85dの位置において接続すれば、集積回路素子の製品キャパシタンス値をC1, $1 / (1 / C1 + 1 / C2 + 1 / C3)$ 又は $1 / (1 / C1 + 1 / C2 + 1 / C3 + 1 / C4)$ に設定することができる。局所領域のインピーダンス(キャパシタンス)の、実測値と設計仕様値の許容範囲との比較に基づき、これらのキャパシタンス値から最も適した値を選択して、対応する金属バンプ位置を設定することができる。

【0056】

なお、第2及び第3の実施に例示した、抵抗素子に関する配置及びコンデンサ素子に関する配置以外にも、半導体集積回路素子のインピーダンス値の状況に応じて、他の種類の素子の配置が可能である。例えば、半導体集積回路素子の形成過程において、他の誘導コイル素子を配置し、これらの誘導コイル、コンデンサまたは抵抗の素子を配置し、または、その複合した組合せの状態に配置した後、WLPのパッケージの形成過程において金属バンプを選択的に形成して、これらの素子の特性を發揮させることができる。従って、半導体集積回路素子が、WLPのパッケージに実装される過程において、当初の設計インピーダンス値を有することができる。

【0057】

なお、各インピーダンス素子等の値の範囲、精度、個数は、対象となる半導体集積回路の使用条件等の設計条件に応じて、自由に設計することができる。

【0058】

第3の実施の形態の効果

半導体集積回路素子の素子形成過程において形成された回路キャパシタンス値を、次工程のWLPのパッケージの工程において、修正または変更して、パッケージ後の半導体集積回路の製品キャパシタンス値を設定することができるので、製品品質の向上、製造コスト低減及び生産性の向上を図ることができる。

【0059】

本発明に係る他の実施の形態

以上、本発明に係る好ましい実施の形態について説明したが、本発明は、上述した実施の形態に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

【0060】

(複数の配線層を有する半導体集積回路素子のパッケージ)

WLPのパッケージについて、ウエハ形状のシリコン基板上の再配線の形態が、1層の配線層である場合について例示したが、半導体集積回路素子上に、絶縁層及び配線層を交互に積層し、各配線層を、ビアまたは金属バンプにより接続する、複数の配線層を有する半導体集積回路素子のパッケージの形態としてもよい。この場合、インピーダンス値等について、より自由度の高い選択的設定を行うことができる。

【 0 0 6 1 】

(パッケージ側への素子形成)

前述した実施の形態においては、半導体集積回路上に形成された抵抗、コンデンサ等の素子を、金属バンプによって選択的に接続し、所定のインピーダンス値を得る例を示したが、抵抗等の素子を、半導体集積回路素子のパッケージ側に形成してもよい。金属バンプをパッケージ側の素子に選択的に接続して、所定のインピーダンス値を得ることができる。

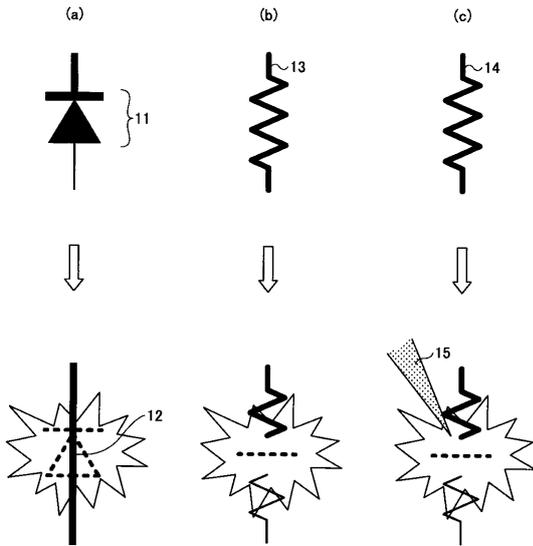
【符号の説明】

【 0 0 6 2 】

1 1	P N接合ダイオード	10
1 3	ポリシリコンヒューズ	
1 4	ヒューズ素子	
1 5	レーザビーム照射	
5 0	ウエハレベルパッケージ (W L P)	
5 1 , 7 1 , 8 1	ウエハ	
5 2 , 7 2 , 8 2	半導体集積回路	
5 3 , 7 5 a , 7 5 b , 7 5 c , 7 5 d , 7 5 e , 7 5 f , 7 5 g , 8 5 a , 8 5 b , 8 5 c , 8 5 d	接続端子	
5 4	パッシベーション膜	
5 5 , 7 7 , 7 8	金属バンプ	20
5 5 a	金属バンプ 5 5 の頂点の部分	
5 6	絶縁層	
5 7 a	シード層	
5 7 b	フォトレジスト	
5 8	配線	
5 9	ソルダレジスト層	
6 0	外部接続端子	
7 3 , 7 4 , 8 3 , 8 4	端子	
7 6	半導体素子を実装する W L P パッケージにおける配線の一部	
8 6	半導体素子を実装する W L P パッケージにおける配線の一部	30
C 1 , C 2 , C 3 , C 4	製品のキャパシタンス	
E (m)	測定対象の局所領域	
R 1 , R 2 , R 3 , R 4 , R 5 , R 6 , R 7	製品の抵抗	

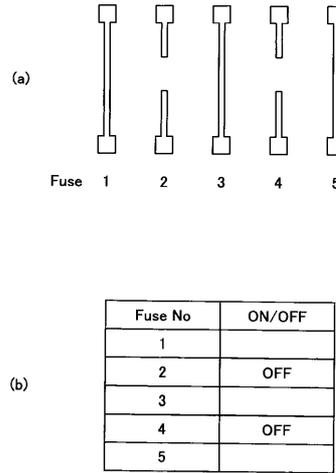
【図1】

従来の、トリミング加工の方法を示す図



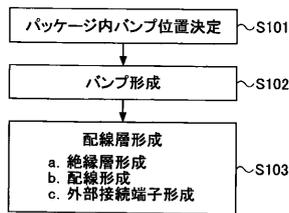
【図2】

従来の、レーザカット法によるトリミング加工の方法を示す図



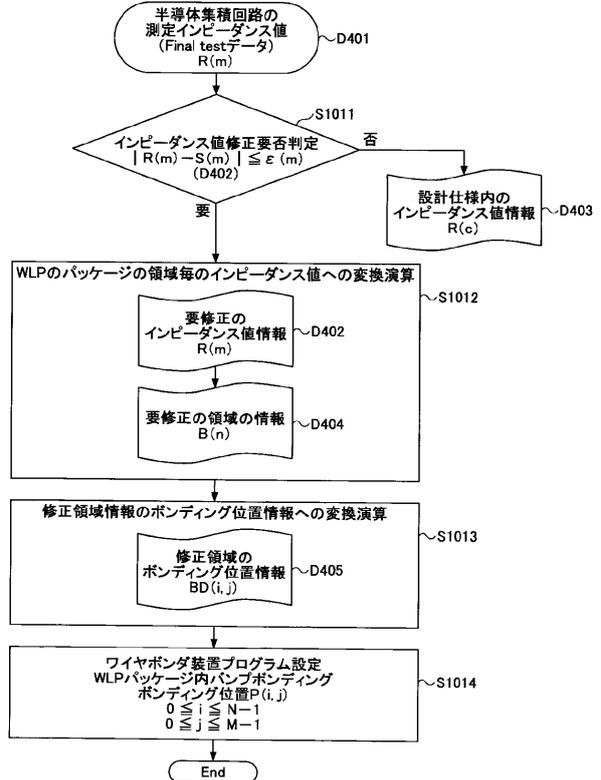
【図3】

本発明の第1の実施の形態に係る、半導体装置の製造方法を例示する図



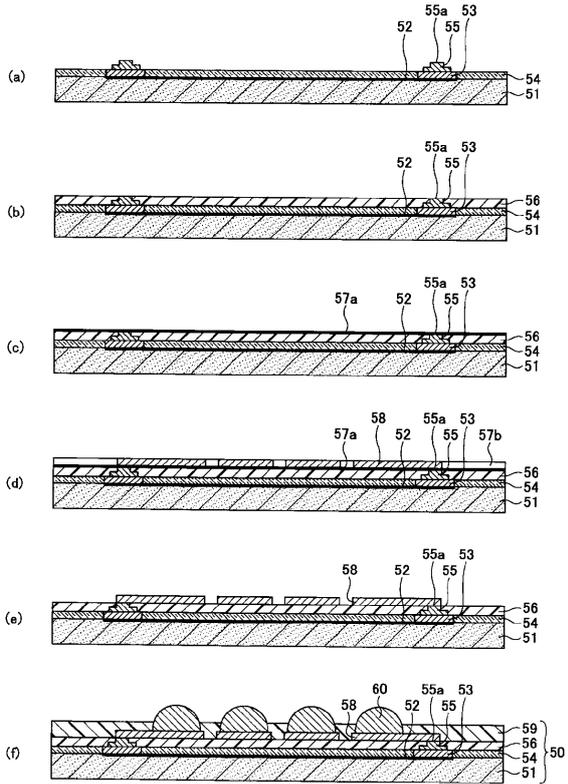
【図4】

本発明の第1の実施の形態に係る、パッケージ内バンブ位置決定工程を例示する図



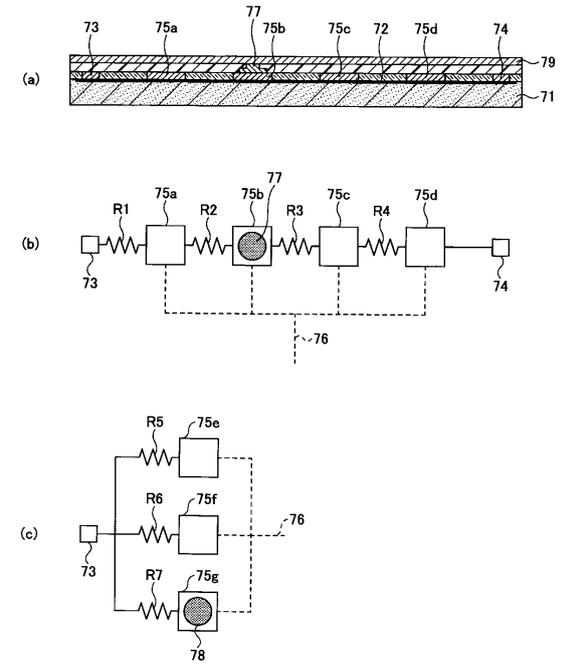
【図5】

本発明の第1の実施の形態に係る、半導体装置の製造方法の、各ステップにおける代表的なウエハレベルパッケージの形状を例示する図



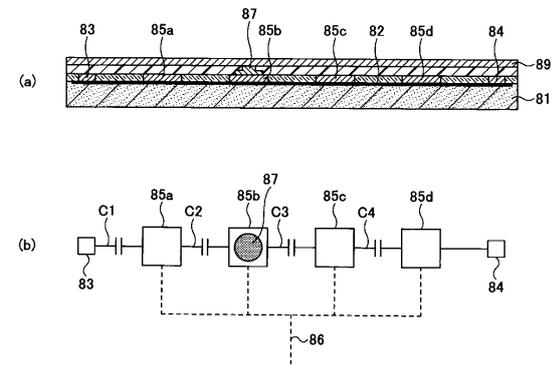
【図7】

本発明の第2の実施の形態に係る、半導体装置の製造方法により形成されたウエハレベルパッケージの構造を例示する図



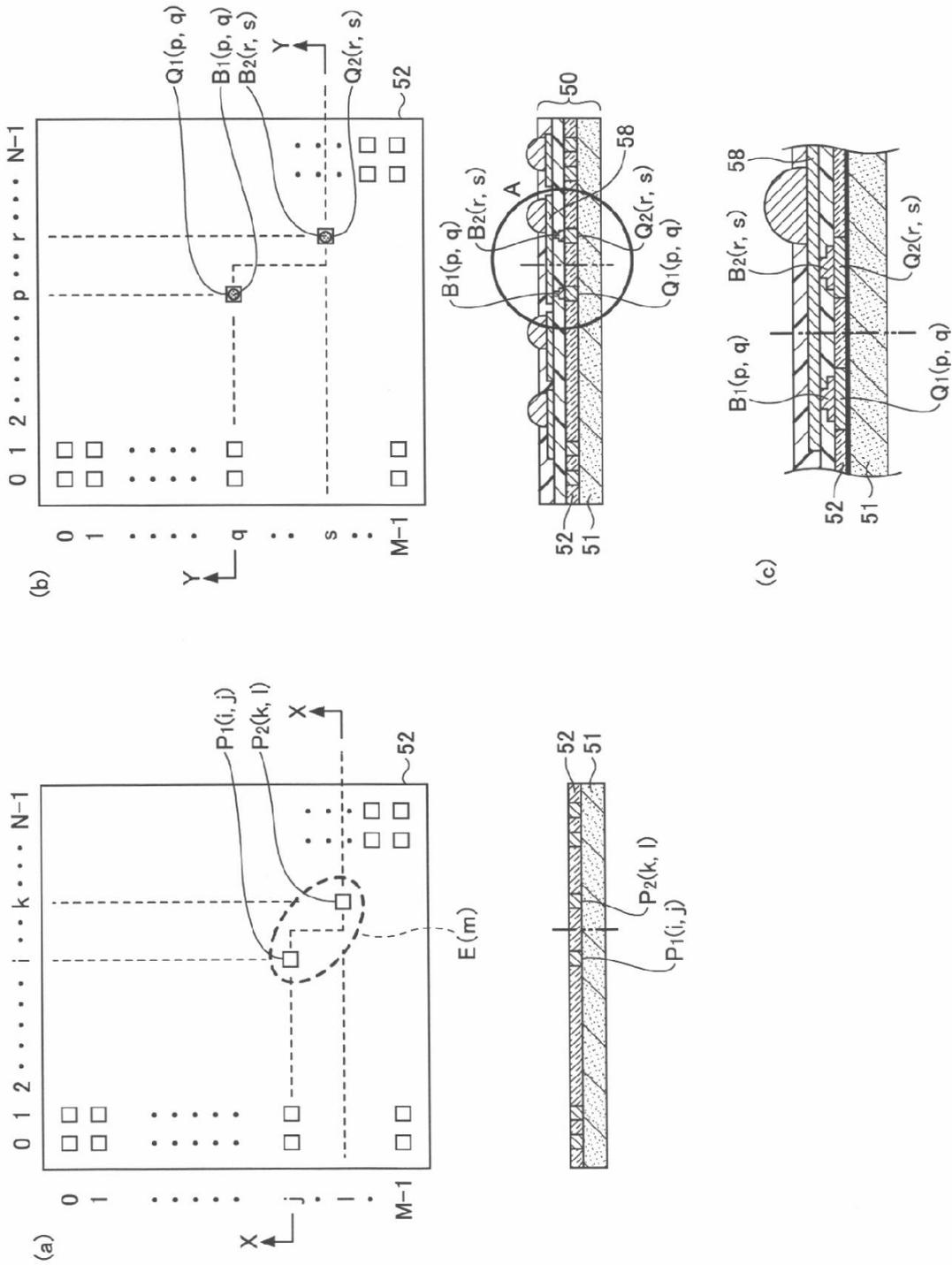
【図8】

本発明の第3の実施の形態に係る、半導体装置の製造方法により形成されたウエハレベルパッケージの構造を例示する図



【図6】

本発明の第1の実施の形態に係る、半導体集積回路素子における端子及びWLPにおける接続バンプ位置を例示する図



フロントページの続き

- (56)参考文献 特開平10-326827(JP,A)
特開2009-049134(JP,A)
特開2003-086731(JP,A)
特開2001-230374(JP,A)
特開2007-227478(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 23/12