



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0037208  
(43) 공개일자 2010년04월09일

(51) Int. Cl.

H01L 27/146 (2006.01)

(21) 출원번호 10-2008-0096404

(22) 출원일자 2008년10월01일

심사청구일자 2008년10월01일

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

이한춘

서울 송파구 풍납동 413-1번지 현대아파트  
102-1808

정오진

경기 부천시 오정구 내동 25-5번지 202호

(74) 대리인

서교준

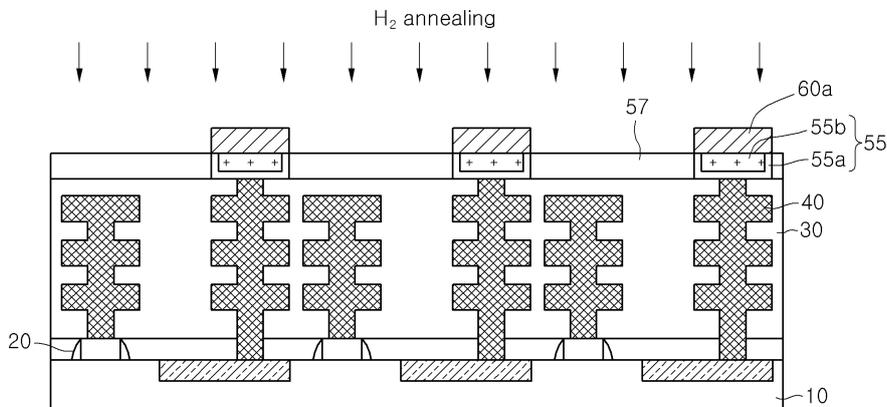
전체 청구항 수 : 총 11 항

(54) 이미지 센서 및 그 제조 방법

(57) 요약

실시예는 이미지 센서 및 그 제조 방법에 관한 것이다. 실시예에 따른 이미지 센서는, 반도체 기판 상에 형성된 리드아웃(leadout) 회로, 상기 반도체 기판 상에 금속 배선을 포함하여 형성된 층간 절연막, 상기 층간 절연막 상에 형성되며 상기 금속 배선과 연결된 하부 전극, 상기 하부 전극 상에 형성된 제 1 도전형 전도층 패턴, 상기 제 1 도전형 전도층 패턴을 덮으며 상기 반도체 기판 상부 전면에 형성된 진성층 및 상기 진성층 상에 형성된 제 2 도전형 전도층을 포함하는 것을 특징으로 한다. 실시예는 n형 비정질 실리콘층을 패터닝한 다음 N<sub>2</sub>O 플라즈마 트리트먼트를 통해 패터닝된 n형 비정질 실리콘층을 큐어링하여 계면의 디펙트 성분을 제거하여 공정 안정도 및 수율을 향상시키는 효과가 있다.

대표도 - 도7



**특허청구의 범위**

**청구항 1**

반도체 기판 상에 형성된 리드아웃(leadout) 회로;  
 상기 반도체 기판 상에 금속 배선을 포함하여 형성된 층간 절연막;  
 상기 층간 절연막 상에 형성되며 상기 금속 배선과 연결된 하부 전극;  
 상기 하부 전극 상에 형성된 제 1 도전형 전도층 패턴;  
 상기 제 1 도전형 전도층 패턴을 덮으며 상기 반도체 기판 상부 전면에 형성된 진성층; 및  
 상기 진성층 상에 형성된 제 2 도전형 전도층을 포함하는 것을 특징으로 하는 이미지 센서.

**청구항 2**

제 1항에 있어서,  
 상기 제 2 도전형 전도층 상에 형성된 상부 투명전극층을 더 포함하는 것을 특징으로 하는 이미지 센서.

**청구항 3**

제 1항에 있어서,  
 상기 제 1 도전형 전도층 패턴은 n형 비정질 실리콘을 포함하며, 상기 제 2 도전형 전도층은 p형 비정질 실리콘을 포함하며, 상기 진성층은 비정질 실리콘을 포함하는 것을 특징으로 하는 이미지 센서.

**청구항 4**

제 1항에 있어서,  
 상기 제 1 도전형 전도층 패턴은 100~200Å의 두께로 형성되고, 상기 진성층은 2000~4500Å의 두께로 형성되고, 상기 제 2 도전형 전도층은 500~1000Å의 두께로 형성되는 것을 특징으로 하는 이미지 센서.

**청구항 5**

반도체 기판 상에 리드아웃 서킷을 형성하는 단계;  
 상기 리드아웃 서킷이 형성된 상기 반도체 기판 상에 금속 배선을 포함하는 층간 절연막을 형성하는 단계;  
 상기 층간 절연막 상에 상부 절연막을 형성하는 단계;  
 상기 상부 절연막에 상기 금속 배선과 연결되는 하부 전극을 형성하는 단계;  
 상기 하부 전극 및 상기 상부 절연막 상에 제 1 도전형 전도층을 형성하는 단계;  
 상기 제 1 도전형 전도층을 패터닝하여 상기 하부 전극 상에 제 1 도전형 전도층 패턴을 형성하는 단계;  
 상기 제 1 도전형 전도층 패턴을 N<sub>2</sub>O 플라즈마 처리하는 단계;  
 상기 제 1 도전형 전도층 패턴을 덮으며 상기 상부 절연막 상에 진성층을 형성하는 단계; 및  
 상기 진성층 상에 제 2 도전형 전도층을 형성하는 단계를 포함하는 이미지 센서의 제조 방법.

**청구항 6**

제 5항에 있어서,  
 상기 제 1 도전형 전도층 패턴을 N<sub>2</sub>O 플라즈마 처리하는 단계 이후에,  
 상기 제 1 도전형 전도층 패턴을 H<sub>2</sub> 어닐링(annealing)하여 상기 제 1 도전형 전도층 패턴을 수소화하는 단계를 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

**청구항 7**

반도체 기판 상에 리드아웃 서킷을 형성하는 단계;  
 상기 리드아웃 서킷이 형성된 상기 반도체 기판 상에 금속 배선을 포함하는 층간 절연막을 형성하는 단계;  
 상기 층간 절연막 상에 상부 절연막을 형성하는 단계;  
 상기 상부 절연막에 상기 금속 배선과 연결되는 하부 전극을 형성하는 단계;  
 상기 하부 전극 및 상기 상부 절연막 상에 제 1 도전형 전도층을 형성하는 단계;  
 상기 제 1 도전형 전도층을 패터닝하여 상기 하부 전극 상에 제 1 도전형 전도층 패턴을 형성하는 단계;  
 상기 제 1 도전형 전도층 패턴을 H<sub>2</sub> 어닐링(annealing)하여 상기 제 1 도전형 전도층 패턴을 수소화하는 단계;  
 상기 제 1 도전형 전도층 패턴을 덮으며 상기 상부 절연막 상에 진성층을 형성하는 단계; 및  
 상기 진성층 상에 제 2 도전형 전도층을 형성하는 단계를 포함하는 이미지 센서의 제조 방법.

**청구항 8**

제 7항에 있어서,  
 상기 제 1 도전형 전도층 패턴을 H<sub>2</sub> 어닐링(annealing)하는 단계 이전에,  
 상기 제 1 도전형 전도층 패턴을 N<sub>2</sub>O 플라즈마 처리하는 단계를 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

**청구항 9**

제 5항 또는 제 7항에 있어서,  
 상기 하부 전극 및 상기 상부 절연막 상에 H<sub>2</sub>, H<sub>2</sub>/He 및 NH<sub>3</sub> 중 어느 하나를 사용하여 플라즈마 처리를 하는 단계를 더 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

**청구항 10**

제 5항 또는 제 7항에 있어서,  
 상기 제 1 도전형 전도층 패턴은 n형 비정질 실리콘을 포함하며, 상기 제 2 도전형 전도층은 p형 비정질 실리콘을 포함하며, 상기 진성층은 비정질 실리콘을 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

**청구항 11**

제 5항 또는 제 7항에 있어서,  
 상기 상부 절연막에 상기 금속 배선과 연결되는 하부 전극을 형성하는 단계는,  
 상기 상부 절연막을 패터닝하여 상기 금속 배선을 노출하는 비아홀을 형성하는 단계;  
 상기 비아홀이 형성된 상기 상부 절연막 상에 배리어막 및 금속막을 차례로 증착하는 단계; 및  
 상기 금속막 및 상기 배리어막을 연마하여 상기 비아홀 내에 상기 금속 배선과 연결되는 상기 하부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

실시예는 이미지 센서 및 그 제조 방법에 관한 것이다.

[0001]

### 배경 기술

- [0002] 이미지 센서는 광학적 영상(Optical Image)을 전기 신호로 변환시키는 반도체 소자로서, 크게 전하결합소자(charge coupled device:CCD) 이미지 센서와 씨모스(Complementary Metal Oxide Silicon:CMOS) 이미지 센서(CIS)를 포함한다.
- [0003] 씨모스 이미지 센서는 단위 화소 내에 포토 다이오드와 모스트랜지스터를 형성시킴으로써 스위칭 방식으로 각 단위 화소의 전기적 신호를 순차적으로 검출하여 영상을 구현한다.
- [0004] 씨모스 이미지 센서는 빛 신호를 받아서 전기신호로 바꾸어 주는 포토 다이오드(Photo diode) 영역과 이 전기신호를 처리하는 트랜지스터 영역이 수평으로 배치되는 구조이다. 즉, 수평형 씨모스 이미지 센서에 의하면 포토 다이오드와 트랜지스터가 기판 상에 상호 수평으로 인접하여 형성된다.
- [0005] 이에 따라, 포토 다이오드 형성을 위한 추가적인 영역이 요구된다. 따라서, 수평형 이미지 센서는 포토 다이오드의 필 팩터(fill factor) 영역을 감소시키고 레졸루션(Resolution)의 가능성을 제한한다.

### 발명의 내용

#### 해결 하고자하는 과제

- [0006] 실시예는 트랜지스터 회로와 포토 다이오드의 수직형 집적을 제공할 수 있는 이미지 센서의 제조방법을 제공한다.
- [0007] 실시예는 층간 절연막 상부에 형성된 n형 비정질 실리콘층을 패터닝하여 단위픽셀 사이에서 발생하는 노이즈(noise)를 제거하고 크로스토크(cross talk)를 방지할 수 있는 이미지 센서 및 그 제조 방법을 제공한다.
- [0008] 실시예는 n형 비정질 실리콘층을 패터닝한 다음 N<sub>2</sub>O 플라즈마 트리트먼트를 통해 패터닝된 n형 비정질 실리콘층을 큐어링하여 계면의 디펙트 성분을 제거하는 이미지 센서의 제조 방법을 제공한다.
- [0009] 실시예는 n형 비정질 실리콘층의 산소 플라즈마 데미지를 큐어링하기 위하여 수소 어닐링을 실시하는 이미지 센서의 제조 방법을 제공한다.

#### 과제 해결수단

- [0010] 실시예에 따른 이미지 센서는, 반도체 기판 상에 형성된 리드아웃(leadout) 회로, 상기 반도체 기판 상에 금속 배선을 포함하여 형성된 층간 절연막, 상기 층간 절연막 상에 형성되며 상기 금속 배선과 연결된 하부 전극, 상기 하부 전극 상에 형성된 제 1 도전형 전도층 패턴, 상기 제 1 도전형 전도층 패턴을 덮으며 상기 반도체 기판 상부 전면에 형성된 진성층 및 상기 진성층 상에 형성된 제 2 도전형 전도층을 포함하는 것을 특징으로 한다.
- [0011] 실시예에 따른 이미지 센서의 제조 방법은, 반도체 기판 상에 리드아웃 서킷을 형성하는 단계, 상기 리드아웃 서킷이 형성된 상기 반도체 기판 상에 금속 배선을 포함하는 층간 절연막을 형성하는 단계, 상기 층간 절연막 상에 상부 절연막을 형성하는 단계, 상기 상부 절연막에 상기 금속 배선과 연결되는 하부 전극을 형성하는 단계, 상기 하부 전극 및 상기 상부 절연막 상에 제 1 도전형 전도층을 형성하는 단계, 상기 제 1 도전형 전도층을 패터닝하여 상기 하부 전극 상에 제 1 도전형 전도층 패턴을 형성하는 단계, 상기 제 1 도전형 전도층 패턴을 N<sub>2</sub>O 플라즈마 처리하는 단계, 상기 제 1 도전형 전도층 패턴을 덮으며 상기 상부 절연막 상에 진성층을 형성하는 단계 및 상기 진성층 상에 제 2 도전형 전도층을 형성하는 단계를 포함한다.
- [0012] 실시예에 따른 이미지 센서의 제조 방법은, 반도체 기판 상에 리드아웃 서킷을 형성하는 단계, 상기 리드아웃 서킷이 형성된 상기 반도체 기판 상에 금속 배선을 포함하는 층간 절연막을 형성하는 단계, 상기 층간 절연막 상에 상부 절연막을 형성하는 단계, 상기 상부 절연막에 상기 금속 배선과 연결되는 하부 전극을 형성하는 단계, 상기 하부 전극 및 상기 상부 절연막 상에 제 1 도전형 전도층을 형성하는 단계, 상기 제 1 도전형 전도층을 패터닝하여 상기 하부 전극 상에 제 1 도전형 전도층 패턴을 형성하는 단계, 상기 제 1 도전형 전도층 패턴을 H<sub>2</sub> 어닐링(annealing)하여 상기 제 1 도전형 전도층 패턴을 수소화하는 단계, 상기 제 1 도전형 전도층 패턴을 덮으며 상기 상부 절연막 상에 진성층을 형성하는 단계 및 상기 진성층 상에 제 2 도전형 전도층을 형성하는 단계를 포함한다.

**효 과**

- [0013] 실시예에 따른 이미지 센서는 하부 기판 상의 리드아웃 회로를 덮는 층간 절연막 상부에 형성된 n형 비정질 실리콘층을 패터닝하여 단위픽셀 사이에서 발생하는 노이즈(noise)를 제거하고 크로스토크(cross talk)를 방지하여 이미지 특성을 향상시키는 효과가 있다.
- [0014] 실시예는 n형 비정질 실리콘층을 패터닝한 다음 N<sub>2</sub>O 플라즈마 트리트먼트를 통해 패터닝된 n형 비정질 실리콘층을 큐어링하여 계면의 디펙트 성분을 제거하여 공정 안정도 및 수율을 향상시키는 효과가 있다.
- [0015] 실시예는 n형 비정질 실리콘층의 식각 공정시 발생하는 산소 플라즈마 데미지에 의한 소자 특성 저하를 방지하고 광전자의 전달 특성을 향상시킬 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- [0016] 실시예에 따른 이미지 센서의 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.
- [0017] 실시예의 설명에 있어서, 각 층의 "상위(on/over)"에 형성되는 것으로 기재되는 경우에 있어, 상/위(on/over)는 직접(directly)와 또는 다른 층을 개재하여(indirectly) 형성되는 것을 모두 포함한다.
- [0018] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.
- [0019] 도 1 내지 도 9는 실시예에 따른 이미지 센서의 제조방법을 설명한다.
- [0020] 도 1에 도시한 바와 같이, 리드아웃 회로(20)를 반도체 기판(10) 상에 금속배선(40)을 포함하는 층간 절연막(30)이 형성된다.
- [0021] 상기 반도체 기판(10) 상에는 후술되는 포토 다이오드와 연결되어 수광된 광전하를 전기신호를 변환하는 리드아웃 회로(20)가 단위픽셀 별로 형성될 수 있다. 예를 들어, 상기 리드아웃 회로(20)는 3Tr, 4Tr 및 5Tr 중의 하나일 수 있다.
- [0022] 상기 리드아웃 회로(20)는 복수의 트랜지스터를 포함할 수 있다.
- [0023] 상기 복수의 트랜지스터는 트랜스퍼트랜지스터(Transfer transistor), 리셋트랜지스터(Reset transistor), 드라이브트랜지스터(Drive transistor), 셀렉트트랜지스터(Select transistor)를 포함하여 형성할 수 있다.
- [0024] 또한, 상기 리드아웃 회로(20)는 상기 반도체 기판(10)에 불순물 이온이 주입되어 형성된 플로팅디퓨전영역(Floating Diffusion area) 및 상기 각 트랜지스터에 대한 소스/드레인 영역을 포함하는 액티브 영역을 포함할 수 있다.
- [0025] 상기 리드아웃 회로(20)가 형성된 상기 반도체 기판(10) 상에 PMD(pre metal dielectric)막이 형성될 수 있다.
- [0026] 상기 리드아웃 회로(20)를 포함하는 상기 반도체 기판(10) 상부에는 전원라인 또는 신호라인과의 접속을 위하여 금속배선(40)을 포함하는 층간 절연막(30)이 형성되어 있다.
- [0027] 상기 층간 절연막(30)은 복수의 층으로 형성될 수 있다. 예를 들어, 상기 층간 절연막(30)은 질화막, 산화막 또는 산질화막으로 형성될 수 있다.
- [0028] 상기 금속배선(40)은 포토 다이오드에서 생성된 전자를 하부의 리드아웃 회로(20)로 전달하는 역할을 한다. 상기 금속배선(40)은 상기 반도체 기판(10)의 하부의 불순물 영역과 접속될 수 있다.
- [0029] 상기 금속배선(40)은 상기 층간 절연막(30)을 관통하여 복수개로 형성될 수 있다. 상기 금속배선(40)은 금속, 합금 또는 살리사이드를 포함하는 다양한 전도성 물질로 형성될 수 있다. 예를 들어, 상기 금속배선(40)은 알루미늄, 구리, 코발트 또는 텅스텐 등으로 형성될 수 있다.
- [0030] 도 2에 도시한 바와 같이, 상기 층간 절연막(30) 상에 상부 절연막(50)을 형성한다.
- [0031] 상기 상부 절연막(50)은 질화막, 산질화막 및 산화막 중 적어도 하나를 포함하며, 상기 상부 절연막(50)은 단일 막일 수도 있고, 복수의 막이 적층된 막일 수도 있다.
- [0032] 예를 들어, 상기 상부 절연막(50)은 실리콘 산화막일 수 있다. 다른 예를 들면, 상기 상부 절연막(50)은 질화막/산질화막/질화막일 수 있다.

- [0033] 도 3에 도시한 바와 같이, 상기 상부 절연막(50)을 패터닝하여 금속 배선(40)을 노출시키는 비아홀을 갖는 상부 절연막 패턴(57)을 형성한다.
- [0034] 상기 상부 절연막(50) 상에 포토레지스트막을 형성하고, 상기 포토레지스트막을 선택적으로 노광한 후 현상하여 포토 레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 마스크로 상기 상부 절연막을 선택적으로 식각한 후 상기 포토레지스트 패턴은 제거하여 상부 절연막 패턴(57)을 형성한다.
- [0035] 이후, 상기 상부 절연막 패턴(57) 상에 배리어막(55a)을 증착하고 상기 배리어막(55a) 상에 금속막(55b)을 형성한다.
- [0036] 상기 배리어막(55a)은 상기 상부 절연막 패턴(57) 상면 및 상기 비아홀 내부를 따라 형성되며, 상기 비아홀에 의해 드러난 금속 배선(40)과 접촉한다.
- [0037] 상기 배리어막(55a)은 Ta, TaN, TaAlN, TaSiN, Ti, TiN, WN, TiSiN, TCu 등의 그룹에서 선택되어진 적어도 하나의 물질로 이루어질 수 있다.
- [0038] 상기 배리어막(55a)은 이중막으로 이루어질 수도 있으며 예를 들어, Ti/TiN막들로 이루어질 수 있다.
- [0039] 상기 배리어막(55a)의 두께는 50~300Å일 수 있다.
- [0040] 상기 금속막(55b)은 알루미늄, 타이타늄, 구리, 텅스텐 및 알루미늄 합금으로 이루어진 그룹으로부터 적어도 하나를 포함할 수 있다.
- [0041] 상기 금속막(55b)은 상기 비아홀 내에 형성되며 상기 금속 배선(40)과 상기 배리어막(55a)을 통해 전기적으로 연결된다.
- [0042] 도 4에 도시한 바와 같이, 상기 금속막(55b)을 CMP(Chemical Mechanical Polishing)법을 이용하여 상기 상부 절연막 패턴(57)의 상면이 드러나도록 연마한다.
- [0043] 이로써, 상기 비아홀 내에 배리어막(55a) 패턴 및 금속막(55b) 패턴이 형성되어 상기 금속 배선(40)과 추후 형성될 실리콘층을 서로 연결시키는 하부 전극(55)을 형성할 수 있다.
- [0044] 상기 하부 전극(55)은 단위 픽셀별로 하나씩 구비될 수 있다.
- [0045] 상기 하부 전극(55)의 두께는 500~3000Å일 수 있다.
- [0046] 상기 하부 전극(55) 및 상부 절연막 패턴(57)의 표면에 대한 플라즈마 트리트먼트(Plasma treatment) 공정을 진행한다. 상기 플라즈마 트리트먼트는 포토 다이오드와 층간 절연막(30)의 접촉특성을 향상시키기 위한 것이다.
- [0047] 상기 플라즈마 트리트먼트는 O<sub>2</sub>, He 및 NH<sub>3</sub> 중 어느 하나를 사용하여 진행될 수 있으며, 3분 ~ 5분 동안 진행될 수 있다.
- [0048] 상기 층간 절연막(30)에 대한 플라즈마 트리트먼트 공정을 진행하면 상기 층간 절연막(30)과 접촉하는 막의 접촉특성이 향상될 수 있다.
- [0049] 도 5에 도시한 바와 같이, 상기 하부 전극(55) 및 상기 상부 절연막 패턴(57) 상에 n형 비정질 실리콘층 패턴, 진성 비정질 실리콘층, p형 비정질 실리콘층을 차례로 증착하여, NIP 다이오드(NIP diode)로 이루어진 포토 다이오드를 형성한다.
- [0050] 상기 NIP 다이오드는 p형 실리콘층과 금속 사이에 순수한 반도체인 진성 비정질 실리콘층이 접합된 구조의 광 다이오드로서, 상기 p형과 금속 사이에 형성되는 진성 비정질 실리콘층이 모두 공핍영역이 되어 전하의 생성 및 보관에 유리하게 된다.
- [0051] 또한, 상기 층간 절연막 상부에 형성된 n형 비정질 실리콘층을 패터닝하여 n형 비정질 실리콘층 패턴을 형성함으로써 단위픽셀 사이에서 발생하는 노이즈(noise)를 제거하고 크로스토크(cross talk)를 방지할 수 있다.
- [0052] 실시예에서는 포토 다이오드로서 NIP 다이오드를 사용하며 상기 다이오드의 구조는 P-I-N 또는 N-I-P, I-P 등의 구조로 형성될 수 있다. 실시예에서는 N-I-P 구조의 포토 다이오드가 사용되는 것을 예로 하며, 상기 n형 비정질 실리콘층은 제1 도전형 전도층(60), 진성 비정질 실리콘층은 진성층(70), 상기 p형 비정질 실리콘층은 제2 도전형 전도층(80)이라 칭하도록 한다.
- [0053] 상기 포토 다이오드를 형성하는 방법에 대하여 보다 구체적으로 설명하면 다음과 같다.

- [0054] 상기 상부 절연막 패턴(57) 및 하부 전극(55) 상에 제1 도전형 전도층(60)이 형성된다. 경우에 따라서, 상기 제1 도전형 전도층(60)은 형성되지 않고 이후의 공정이 진행될 수도 있다.
- [0055] 상기 제1 도전형 전도층(60)은 실시예에서 채용하는 N-I-P 다이오드의 N층의 역할을 할 수 있다. 즉, 상기 제1 도전형 전도층(60)은 N 타입 도전형 전도층일 수 있으나 이에 한정되는 것은 아니다.
- [0056] 상기 제1 도전형 전도층(60)은 화학기상증착(CVD) 특히, PECVD에 의해 형성될 수 있다. 예를 들어, 상기 제1 도전형 전도층(60)은 실란가스(SiH<sub>4</sub>)에 PH<sub>3</sub>, P<sub>2</sub>H<sub>6</sub> 등을 혼합하여 PECVD에 의해 약 100~400℃에서 증착하여 N 도핑된 비정질 실리콘으로 형성될 수 있다. 상기 제1 도전형 전도층(60)은 100~200Å의 두께로 형성될 수 있다.
- [0057] 도 6에 도시한 바와 같이, 상기 제1 도전형 전도층(60)을 패터닝하여 상기 하부 전극(55) 상에서 상기 하부 전극(55)과 접촉하는 제1 도전형 전도층 패턴(60a)을 형성한다.
- [0058] 상기 제1 도전형 전도층(60) 상에 포토 레지스트 패턴을 형성하고, 상기 포토 레지스트 패턴을 마스크로 상기 제1 도전형 전도층(60)을 플라즈마 식각하여 상기 제1 도전형 전도층 패턴(60a)을 형성할 수 있다. 이후, 상기 포토 레지스트 패턴은 제거한다.
- [0059] 상기 제1 도전형 전도층 패턴은 단위픽셀별로 형성될 수 있으며, 서로 분리되어 있어 제1 도전형 전도층 패턴들에 의해 크로스토크(cross talk)가 발생하는 것을 방지하여 이미지 센서의 이미지 특성을 향상시킬 수 있다.
- [0060] 도 7에 도시한 바와 같이, 상기 제1 도전형 전도층 패턴(60a)이 형성된 기판 전면에서 N<sub>2</sub>O 플라즈마 처리를 하여 상기 제1 도전형 전도층 패턴(60a)의 측벽이 플라즈마 식각에 의해 받은 데미지를 큐어링할 수 있다.
- [0061] 도 8에 도시한 바와 같이, 상기 제1 도전형 전도층 패턴(60a)이 형성된 기판 전면에서 H<sub>2</sub> 어닐링(annealing)을 진행하여 상기 제1 도전형 전도층 패턴(60a)을 수소화된 비정질 실리콘(hydrogenated amorphous silicon, a-Si:H)으로 형성할 수 있다.
- [0062] 상기 N<sub>2</sub>O 플라즈마 처리 공정 및 H<sub>2</sub> 어닐링(annealing)공정은 선택적으로 어느 하나만 이루어질 수도 있으며, 두 공정 모두 진행할 수도 있다.
- [0063] 도 9에 도시한 바와 같이, 상기 제1 도전형 전도층 패턴(60a) 상에 진성층(intrinsic layer)(70)이 형성된다. 상기 진성층(70)은 실시예에서 채용하는 N-I-P 다이오드의 I층의 역할을 할 수 있다. 상기 진성층(70)은 비정질 실리콘(intrinsic amorphous silicon)을 이용하여 형성될 수 있다.
- [0064] 상기 진성층(70)은 화학기상증착(CVD) 특히, PECVD 등에 의해 형성될 수 있다. 예를 들어, 상기 진성층(70)은 실란가스(SiH<sub>4</sub>) 등을 이용하여 PECVD에 의해 비정질 실리콘으로 형성될 수 있다. 상기 진성층(70)은 2000~4500Å의 두께로 형성될 수 있다.
- [0065] 여기서, 상기 진성층(70)은 상기 제1 도전형 전도층(60)의 두께보다 두꺼운 두께로 형성될 수 있다. 이는 상기 진성층(70)의 두께가 두꺼울수록 핀 다이오드의 공핍영역이 늘어나 많은 양의 광전하를 보관 및 생성하기에 유리하기 때문이다.
- [0066] 상기 진성층(70) 상에 제2 도전형 전도층(80)이 형성된다. 상기 제2 도전형 전도층(80)은 상기 진성층(70)의 형성과 연속공정으로 형성될 수 있다. 상기 제2 도전형 전도층(80)은 실시예에서 채용하는 N-I-P 다이오드의 P층의 역할을 할 수 있다. 즉, 상기 제2 도전형 전도층(80)은 P 타입 도전형 전도층일 수 있으나 이에 한정되는 것은 아니다.
- [0067] 상기 제2 도전형 전도층(80)은 화학기상증착(CVD) 특히, PECVD 등에 의해 형성될 수 있다. 예를 들어, 상기 제2 도전형 전도층(80)은 실란가스(SiH<sub>4</sub>)에 BH<sub>3</sub> 또는 B<sub>2</sub>H<sub>6</sub> 등의 가스를 혼합하여 PECVD에 의해 약 100~400℃에서 증착하여 P 도핑된 비정질 실리콘으로 형성될 수 있다. 상기 제2 도전형 전도층(80)은 500~1000Å의 두께로 형성될 수 있다.
- [0068] 상기 반도체 기판(10) 상에 상기 리드아웃 회로(20)와 상기 포토 다이오드가 수집형 집적을 이루어 상기 포토 다이오드의 필팩터를 100%에 근접시킬 수 있다.
- [0069] 상기 포토 다이오드가 형성된 반도체 기판(10) 상에 상부전극이 형성된다. 상기 상부전극은 빛의 투과성이 좋고 전도성이 높은 투명전극으로 형성될 수 있다. 예를 들어, 상기 상부전극은 PVD 방법에 의하여 ITO(indium tin

oxide), CTO(cardium tin oxide), ZnO<sub>2</sub> 중 어느 하나로 형성될 수 있다. 상기 상부전극은 100~1000Å으로 형성될 수 있다.

[0070] 도시되지는 않았지만, 추가적으로 상기 상부전극 상에 컬러필터 및 마이크로 렌즈가 형성될 수 있다.

[0071] 이와 같이, 실시예에 따른 이미지 센서는 하부 기판 상의 리드아웃 회로를 덮는 층간 절연막 상부에 형성된 n형 비정질 실리콘층을 패터닝하여 단위픽셀 사이에서 발생하는 노이즈(noise)를 제거하고 크로스토크(cross talk)를 방지하여 이미지 특성을 향상시키는 효과가 있다.

[0072] 실시예는 n형 비정질 실리콘층을 패터닝한 다음 N<sub>2</sub>O 플라즈마 트리트먼트를 통해 패터닝된 n형 비정질 실리콘층을 큐어링하여 계면의 디펙트 성분을 제거하여 공정 안정도 및 수율을 향상시키는 효과가 있다.

[0073] 실시예는 n형 비정질 실리콘층의 식각 공정시 발생하는 산소 플라즈마 데미지에 의한 소자 특성 저하를 방지하고 광전자의 전달 특성을 향상시킬 수 있는 효과가 있다.

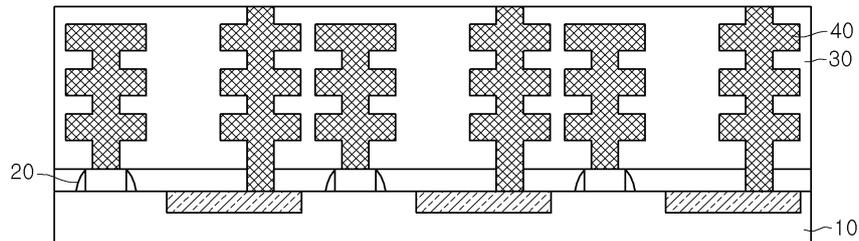
[0074] 이상에서 설명한 실시예는 전술한 실시예 및 도면에 의해 한정되는 것이 아니고, 본 실시예의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경할 수 있다는 것은 본 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 도면의 간단한 설명

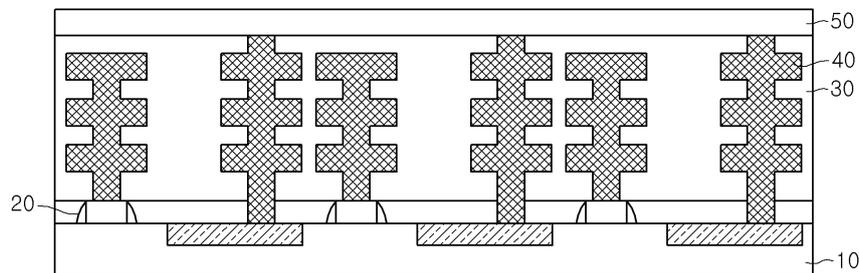
[0075] 도 1 내지 도 9는 실시예에 따른 이미지 센서의 제조방법을 설명한다.

### 도면

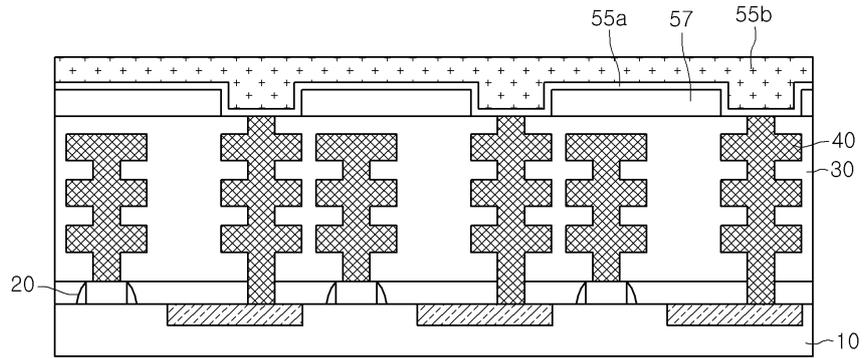
#### 도면1



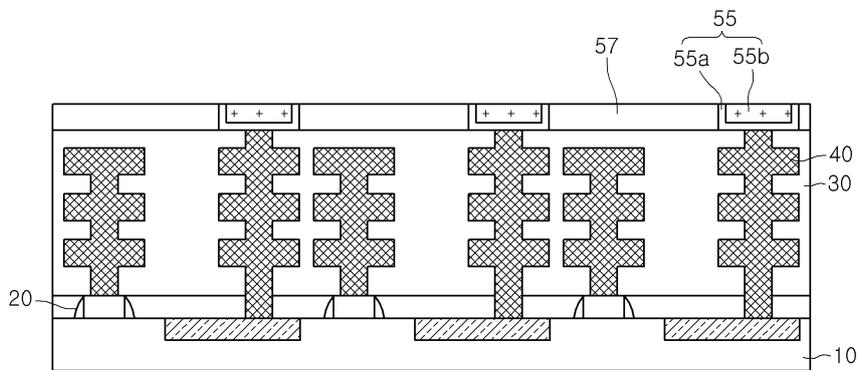
#### 도면2



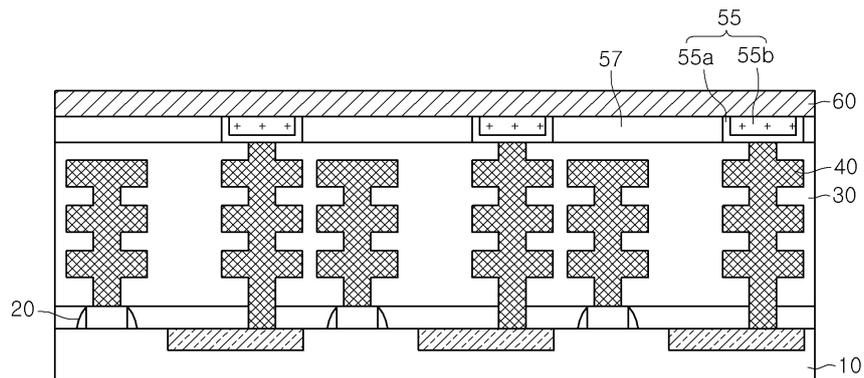
도면3



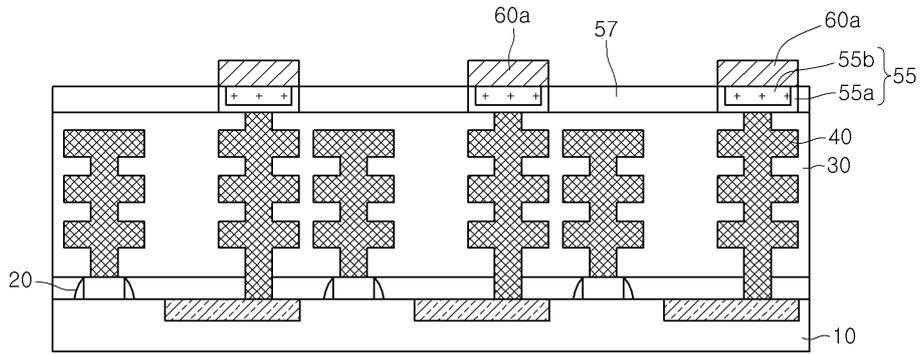
도면4



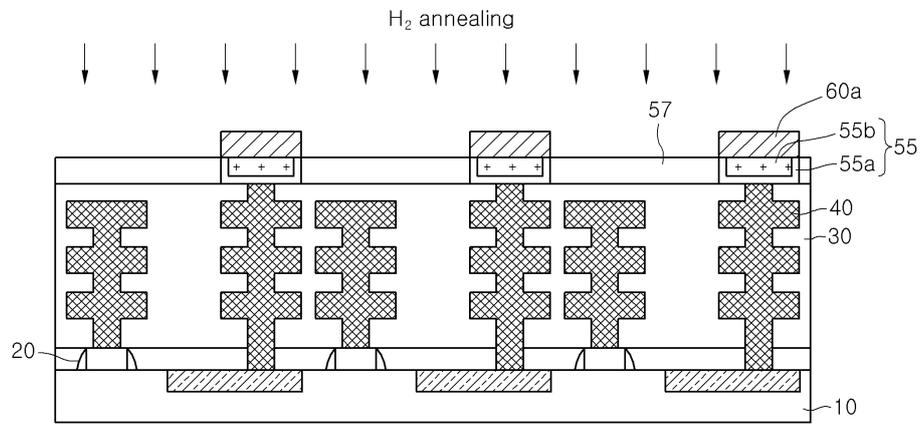
도면5



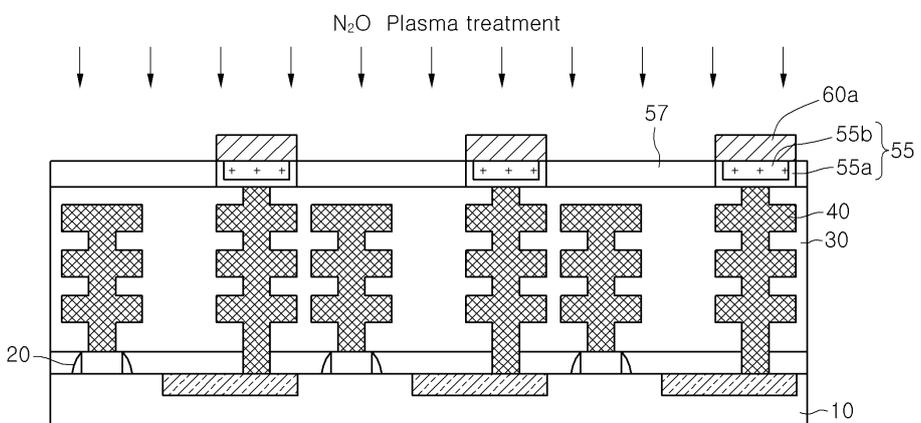
도면6



도면7



도면8



도면9

