



(12) 发明专利申请

(10) 申请公布号 CN 103545342 A

(43) 申请公布日 2014. 01. 29

(21) 申请号 201310468513. 0

(22) 申请日 2009. 08. 28

(30) 优先权数据

2008-241307 2008. 09. 19 JP

(62) 分案原申请数据

200980137844. 8 2009. 08. 28

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 秋元健吾 小森茂树

鱼地秀贵 和田理人 千叶阳子

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 张金金 王忠忠

(51) Int. Cl.

H01L 27/32 (2006. 01)

H01L 27/12 (2006. 01)

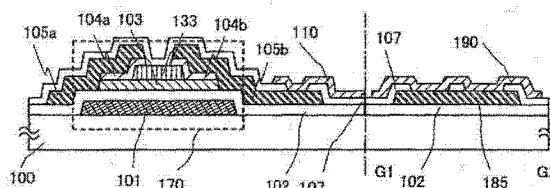
权利要求书3页 说明书33页 附图30页

(54) 发明名称

半导体装置

(57) 摘要

本公开涉及半导体装置。一种显示装置包括其中像素以矩阵状排列的像素部,该像素包括:具有含氧量不同的至少两种氧化物半导体层的组合并在与栅电极层重叠的成为沟道形成区的半导体层上具有沟道保护层的反交错型薄膜晶体管;以及与该反交错型薄膜晶体管电连接的像素电极层。在该显示装置中的该像素部的周边,设置有包括由与所述像素电极层相同材料而形成的导电层的焊盘部。并且,所述导电层电连接到形成在对置衬底上的共同电极层。



1. 一种半导体装置,包括:

第一导电层;

第二导电层;

第三导电层;

第四导电层;

第五导电层;

第六导电层;

第七导电层;

第一绝缘层;

第二绝缘层;

第三绝缘层;以及

氧化物半导体层,

其中所述第一导电层和所述第二导电层通过蚀刻第一导电膜的步骤来形成,

所述第一导电层具有作为晶体管的栅电极的功能,

所述第一绝缘层设置在所述第一导电层和所述第二导电层之上,

所述氧化物半导体层设置在所述第一绝缘层之上,

所述氧化物半导体层包含隔着所述第一绝缘层与所述第一导电层重叠的区域,

所述氧化物半导体层包含所述晶体管的沟道形成区,

所述第二绝缘层设置在所述氧化物半导体层之上,

所述第三导电层和所述第四导电层设置在所述第二绝缘层之上,

所述第三导电层、所述第四导电层和所述第五导电层通过蚀刻第二导电膜的步骤来形成,

所述第三导电层和所述第四导电层的其中之一具有作为所述晶体管的源电极和漏电极的其中之一功能,

所述第三导电层和所述第四导电层的其中另一个具有作为所述晶体管的源电极和漏电极的其中另一个功能,

所述第三绝缘层设置在所述第三导电层、所述第四导电层和所述第五导电层之上,

所述第六导电层和所述第七导电层设置在所述第三绝缘层之上,

所述第六导电层和所述第七导电层通过蚀刻第三导电膜的步骤来形成,

所述第三导电膜具有透光性质,

所述第六导电层电连接至所述第四导电层,

所述第六导电层具有作为像素电极的功能,

所述第七导电层电连接至所述第五导电层,

所述第七导电层电连接至柔性印刷电路,

所述第二导电层包含隔着所述第一绝缘层与所述第五导电层重叠的区域,并且

所述第二导电层的电位是浮置的。

2. 一种半导体装置,包括:

第一导电层;

第二导电层；
第三导电层；
第四导电层；
第五导电层；
第六导电层；
第七导电层；
第一绝缘层；
第二绝缘层；
第三绝缘层；以及
氧化物半导体层；

其中所述第一导电层和所述第二导电层通过蚀刻第一导电膜的步骤来形成，
所述第一导电层具有作为晶体管的栅电极的功能，
所述第一绝缘层设置在所述第一导电层和所述第二导电层之上，
所述氧化物半导体层设置在所述第一绝缘层之上，
所述氧化物半导体层包含隔着所述第一绝缘层与所述第一导电层重叠的区域，
所述氧化物半导体层包含所述晶体管的沟道形成区，
所述第二绝缘层设置在所述氧化物半导体层之上，
所述第三导电层和所述第四导电层设置在所述第二绝缘层之上，
所述第三导电层、所述第四导电层和所述第五导电层通过蚀刻第二导电膜的步骤来形成，

所述第三导电层和所述第四导电层的其中之一具有作为所述晶体管的源电极和漏电极的其中之一功能，

所述第三导电层和所述第四导电层的其中另一个具有作为所述晶体管的源电极和漏电极的其中另一个功能，

所述第三绝缘层设置在所述第三导电层、所述第四导电层和所述第五导电层之上，
所述第六导电层和所述第七导电层设置在所述第三绝缘层之上，
所述第六导电层和所述第七导电层通过蚀刻第三导电膜的步骤来形成，
所述第三导电膜具有透光性质，
所述第六导电层电连接至所述第四导电层，
所述第六导电层具有作为像素电极的功能，
来自柔性印刷电路的信号通过所述第七导电层被传送至所述第五导电层，
所述第二导电层包含隔着所述第一绝缘层与所述第五导电层重叠的区域，并且
所述第二导电层的电位是浮置的。

3. 一种半导体装置，包括：

第一导电层；
第二导电层；
第三导电层；
第四导电层；

第五导电层；
第六导电层；
第七导电层；
第一绝缘层；
第二绝缘层；
第三绝缘层；以及
氧化物半导体层，

其中所述第一导电层和所述第二导电层通过蚀刻第一导电膜的步骤来形成，
所述第一导电层具有作为晶体管的栅电极的功能，
所述第一绝缘层设置在所述第一导电层和所述第二导电层之上，
所述氧化物半导体层设置在所述第一绝缘层之上，
所述氧化物半导体层包含隔着所述第一绝缘层与所述第一导电层重叠的区域，
所述氧化物半导体层包含所述晶体管的沟道形成区，
所述第二绝缘层设置在所述氧化物半导体层之上，
所述第三导电层和所述第四导电层设置在所述第二绝缘层之上，
所述第三导电层、所述第四导电层和所述第五导电层通过蚀刻第二导电膜的步骤来形成，

所述第三导电层和所述第四导电层的其中之一具有作为所述晶体管的源电极和漏电极的其中之一功能，

所述第三导电层和所述第四导电层的其中另一个具有作为所述晶体管的源电极和漏电极的其中另一个功能，

所述第三绝缘层设置在所述第三导电层、所述第四导电层和所述第五导电层之上，
所述第六导电层和所述第七导电层设置在所述第三绝缘层之上，
所述第六导电层和所述第七导电层通过蚀刻第三导电膜的步骤来形成，
所述第三导电膜具有透光性质，
所述第六导电层电连接至所述第四导电层，
所述第六导电层具有作为像素电极的功能，
来自柔性印刷电路的电位通过所述第七导电层被供应至所述第五导电层，
所述第二导电层包含隔着所述第一绝缘层与所述第五导电层重叠的区域，并且
所述第二导电层的电位是浮置的。

半导体装置

技术领域

[0001] 本发明涉及一种使用氧化物半导体的显示装置及其制造方法。

背景技术

[0002] 在液晶显示装置中典型看到的形成在玻璃衬底等的平板上的薄膜晶体管使用非晶硅或多晶硅制造。使用非晶硅的薄膜晶体管具有低的场效应迁移率,但是可以在大玻璃衬底上形成。另一方面,使用结晶硅的薄膜晶体管具有高的场效应迁移率,但是由于需要进行激光退火等的晶化工序,因此其并不总是能在大玻璃衬底上形成。

[0003] 根据前述,使用氧化物半导体制造薄膜晶体管并将其应用于电子装置或光学装置的技术受到注目。专利文献 1 及专利文献 2 公开这些技术的例子,其中使用氧化锌、或 In-Ga-Zn-O 类氧化物半导体用于氧化物半导体膜来制造薄膜晶体管,并将其用于图像显示装置的开关元件等。

[0004] [专利文献 1] 日本专利申请公开 2007-123861 号公报

[0005] [专利文献 2] 日本专利申请公开 2007-96055 号公报

[0006] 在沟道形成区中使用氧化物半导体的薄膜晶体管可以实现比使用非晶硅的薄膜晶体管更高的场效应迁移率。作为氧化物半导体膜,可以利用溅射法等 300°C 或以下的温度下形成,其制造工序比使用多晶硅的薄膜晶体管简单。

[0007] 期待使用上述氧化物半导体在玻璃衬底、塑料衬底等上形成薄膜晶体管,并可以期待将其应用于液晶显示器、电致发光显示器或电子纸等。

[0008] 氧化物半导体薄膜晶体管工作特性优良且可以在低温下制造。然而不为了有效利用这些特征,需要对元件的结构和制造条件进行最优化,还需要顾虑到信号的输入和输出所必要的布线结构和布线的连接结构。虽然氧化物半导体膜可以在低温下形成,但是当形成布线或电极的金属等的薄膜、例如层间绝缘膜等的绝缘膜出现分离现象时,则造成产品缺陷。另外,还存在当设置在显示面板的元件衬底侧的共同连接部的电极的连接电阻高时,显示屏幕出现斑点且亮度降低的问题。

发明内容

[0009] 本发明的一个实施方式的目的之一在于提供一种适用于设置在显示面板中的共同连接部的结构。

[0010] 本发明的一个实施方式的另一目的在于:在使用氧化物半导体、绝缘膜及导电膜的叠层而制造的各种显示装置中,防止薄膜的分离所引起的缺陷。

[0011] 本发明的一个实施方式的显示装置,包括像素部,其中扫描线与信号线交叉且像素电极层以矩阵形状排列,对应于该像素电极层设置具有含氧量不同的至少两种氧化物半导体层的组合和沟道保护层的反交错型薄膜晶体管。在该显示装置中的像素部的外侧区域中,设置焊盘部,其使用与扫描线、信号线相同的材料制成的导电层电连接到相对于像素电极层的共同电极层。

[0012] 本发明的一个示例方式的显示装置,包括像素部,其具有连接到像素电极的薄膜晶体管,和与相对于像素电极的共同电极电连接的焊盘部,并且显示装置包括以下结构。在像素部中,扫描线和信号线交叉,像素电极层以矩阵形状排列。对应于像素电极层设置薄膜晶体管,其包括:与扫描线连接的栅电极层,覆盖栅电极层的栅极绝缘层,成为沟道形成区的第一氧化物半导体层,覆盖与栅电极层重叠的第一氧化物半导体层的沟道保护层,第一氧化物半导体层和沟道保护层上的成为源区和漏区的第二氧化物半导体层,第一氧化物半导体层、沟道保护层以及第二氧化物半导体层上的源电极层和漏电极层。

[0013] 焊盘部设置在像素部的外侧区域,焊盘部包括使用与栅极绝缘层相同的层形成的绝缘层、绝缘层上使用与源电极层和漏电极层相同的层形成的导电层,和在导电层上的层间绝缘层。焊盘部通过层间绝缘层中的开口部电连接到相对于像素电极层的共同电极层。

[0014] 根据本发明的一个示例方式,设置在像素部的外侧区域的焊盘部可具有另一结构:由与栅电极层相同的层形成的第一导电层、由与栅极绝缘层相同的层形成的绝缘层、由与源电极层和漏电极层相同的层形成的第二导电层按此顺序堆叠。该焊盘部可以通过设置在第二导电层上的层间绝缘层的开口部电连接到相对于像素电极层的共同电极层。

[0015] 在上述结构中,焊盘部可以具有其中在由与栅极绝缘层相同的层形成的绝缘层和第二导电层之间设置由与第二氧化物半导体层相同的层形成的氧化物半导体层的一种结构。

[0016] 用作半导体层的沟道形成区的氧化物半导体层(第一氧化物半导体层)比用作源区和漏区的氧化物半导体层(第二氧化物半导体层)氧浓度高。可以认为第一氧化物半导体层为氧过剩氧化物半导体层,

[0017] 而第二氧化物半导体层为氧缺欠氧化物半导体层。

[0018] 第二氧化物半导体层为n型导电型,并且比第一氧化物半导体层电导率高。所以,使用第二氧化物半导体层的源区和漏区比使用第一氧化物半导体层的半导体层电阻低。

[0019] 在一些情况下,第一氧化物半导体层具有非晶结构,第二氧化物半导体层在非晶结构中包含晶粒(纳米晶体)。注意该第二氧化物半导体层中的晶粒(纳米晶体)的直径为1nm至10nm,典型的为大约2nm至4nm。

[0020] 注意,为了方便起见在说明书中使用“第一”、“第二”等序数词,但其并不表示工序顺序或层叠顺序,也不表示用来指定发明的特定名词。

[0021] 作为成为沟道形成区的第一氧化物半导体层及/或成为源区和漏区的第二氧化物半导体层,可以使用包含In、Ga及Zn的氧化物半导体膜。可以使用钨、钼、钛、镍或铝来取代In、Ga及Zn中的任意一个。

[0022] 在本说明书中,将使用包含In、Ga及Zn的氧化物半导体膜形成的半导体层也记作“IGZO半导体层”。IGZO半导体层是指非单晶半导体层并且至少包含非晶成分。

[0023] 将表面上形成有像素电极层及与该像素电极层电连接的薄膜晶体管的衬底使用称为密封材料的粘结材料固定到对置衬底。

[0024] 在液晶显示装置中,使用密封材料在两个衬底之间密封液晶材料。

[0025] 向密封材料混入多个导电粒子(镀金的塑料粒子等),以使设置在对置衬底上的对置电极(也称为第一共同电极)与设置在另一方的衬底上的第二共同电极或共同电位线电连接。

[0026] 可以在与薄膜晶体管的制造工序相同的制造工序中在同一衬底上形成共同电位线。

[0027] 另外,可将共同电位线与密封材料的导电粒子重叠的部分称为共同连接部,也可以认为共同电位线与导电粒子重叠的部分为共同电极。

[0028] 与薄膜晶体管在同一衬底上形成的共同电位线可以认为是当对液晶交流驱动时供给成为基准的电压的线。

[0029] 除了与对置电极连接的共同电位线之外,与存储电容的一方的电极连接的电容布线也称为共同电位线的一种变型,同样地也可以形成在与薄膜晶体管相同的衬底上。

[0030] 使用电泳显示元件的也被称为电子纸的显示装置具有以下结构,其中在一对衬底之间容纳白色粒子、带有与白色粒子相反的极性的黑色粒子以及使它们分散的分散介质(气体或液体)。设置在一对衬底中的一个衬底上的电极是共同电极。在另一个衬底上与该共同电极相对地设置有像素电极,并且在该衬底上设置有多个与像素电极电连接的薄膜晶体管。例如,在使用该电泳显示元件的显示装置的操作中,对于用于将白色显示变成黑色显示的像素电极,对其施加相对于施加到共同电极的基准电位的正的电压,而对用于将黑色显示变成白色显示的像素电极,对其施加相对于施加到共同电极的基准电位的负的电压,至于不使显示发生变化的像素电极,将其设定为与共同电位相同的电位。

[0031] 与薄膜晶体管在相同衬底上形成的共同电位线也可以认为是当操作电泳显示元件时供给成为基准的电压的线。

[0032] 注意使用电泳显示元件的显示装置包括由一对衬底及在该对衬底之间设置的分隔壁形成的具有一致尺寸的多个独立空间,一个独立空间用作单位像素而进行部分图像显示。独立空间包含多个白色粒子、具有与白色粒子相反的极性的黑色粒子以及使它们分散的分散介质(气体或液体)。

[0033] 而且,在使用电泳显示元件的显示装置中,带有不同极性的多个有色粒子以及使它们分散的分散介质被密封材料密封在两个衬底之间。另外,在使用电泳显示元件的显示装置中,设置在一个衬底上的共同电极与形成在另一个衬底上的共同电位线通过共同连接部中的导电粒子电连接。

[0034] 在液晶显示装置或使用电泳显示元件的显示装置中,根据制造过程的温度,作为使用的一对衬底的材料,可以使用塑料膜。

[0035] 可以使用溅射(溅射法)来形成栅极绝缘层、成为沟道形成区的第一氧化物半导体层、成为源区和漏区的第二氧化物半导体层,以及源电极层和漏电极层。

[0036] 溅射法示例包括如下方法:作为溅射电源使用高频电源的 RF 溅射法、DC 溅射法以及以脉冲方式施加偏压的脉冲 DC 溅射法。RF 溅射法主要用于形成绝缘膜,而 DC 溅射法主要用于形成金属膜的例子。

[0037] 另外,也有可以设置材料不同的多个靶的多源溅射装置。多源溅射装置既可以在同一反应室中层叠地沉积不同的材料膜,又可以在同一反应室中同时进行放电来沉积多种材料。

[0038] 另外,也有使用磁控管溅射法的溅射装置和使用 ECR 溅射法的溅射装置:在使用磁控管溅射法的溅射装置中,在反应室内部具备磁铁系统;而在使用 ECR 溅射法的溅射装置中,不使用辉光放电而利用使用微波产生的等离子体。

[0039] 另外,作为使用溅射法的沉积方法,还有反应溅射法、偏压溅射法:在反应溅射法中,当进行沉积时使靶物质和溅射气体成分起化学反应而形成它们的化合物薄膜;而在偏压溅射法中,当进行沉积时对衬底还施加电压。

[0040] 使用任意上述各种溅射法形成栅极绝缘层、半导体层、源区和漏区以及源电极层和漏电极层。

[0041] 当使用 IGZO 半导体层作为第一氧化物半导体层(氧过剩氧化物半导体层)和第二氧化物半导体层(氧缺乏氧化物半导体层)时,在不同的沉积条件下形成第一氧化物半导体层和第二氧化物半导体层。成为源区和漏区的第二氧化物半导体层通过以下条件沉积:刚沉积后含有直径为 1nm 以上且 10nm 以下的晶粒。例如,如果使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 的靶,并利用 DC 溅射法以氩气体流量:氧流量为 2:1 的比例引入,或者只引入氩气体来沉积第二氧化物半导体层时,在刚沉积后一些情况下获得含有直径为 1nm 以上且 10nm 以下的晶粒的膜。注意意图性地设计 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 的靶为该比例是为了获得非晶状的氧化物半导体膜,所以可以对靶的组成比进行变更以便形成结晶性更高的源区和漏区。优选使用相同的靶并仅通过变更引入的气体来分别形成成为沟道形成区的第一氧化物半导体层和成为源区和漏区的第二氧化物半导体层,以便实现工序简化和低成本化。

[0042] 源电极层和漏电极层优选使用钛膜。

[0043] 至于溅射法,因为对靶施加 Ar 离子的强能量,所以可以认为:在沉积的氧化物半导体层(典型的 IGZO 半导体层)中存在着强应变能。优选进行 200℃至 600℃,典型地为 300℃至 500℃的温度下的热处理,以释放该应变能。通过进行该热处理,进行原子能级的重新排列。由于通过进行该热处理而释放阻碍载流子迁移的应变能,所以沉积和热处理(包括光退火)是重要的。

[0044] 注意,在本说明书中的半导体装置是指通过利用半导体特性而能够工作的所有装置,因此电光装置、半导体电路以及电子设备都是半导体装置。

[0045] 根据本发明的一个实施方式,可以提供适用于设置在显示面板上的焊盘部的结构。

[0046] 根据本发明的一个实施方式,在设置在像素部的外侧区域的焊盘部中,层叠氧化物半导体层和导电层,由此可以防止由于薄膜的分离造成的缺陷。另外,通过采用层叠氧化物半导体层和导电层的结构,焊盘部厚度增加,其电阻降低,而可以具有强度增加的结构。

[0047] 另外,根据本发明的一个实施方式,可以制造光电流少、寄生电容小、导通截止比高、具有良好的动态特性的薄膜晶体管。

[0048] 由此,根据本发明的一个实施方式,可以提供电特性高且可靠性好的显示装置。

附图说明

[0049] 在附图中:

[0050] 图 1A 和 1B 是说明半导体装置的图;

[0051] 图 2A 和 2B 是说明半导体装置的图;

[0052] 图 3A 和 3B 是说明半导体装置的图;

[0053] 图 4A 至 4C 是说明半导体装置的制造方法的图;

[0054] 图 5A 至 5C 是说明半导体装置的制造方法的图;

- [0055] 图 6 是说明半导体装置的制造方法的图；
- [0056] 图 7 是说明半导体装置的制造方法的图；
- [0057] 图 8 是说明半导体装置的制造方法的图；
- [0058] 图 9 是说明半导体装置的图；
- [0059] 图 10A 至 10D 是说明半导体装置的图；
- [0060] 图 11 是说明半导体装置的图；
- [0061] 图 12 是说明半导体装置的图；
- [0062] 图 13A 和 13B 是半导体装置的框图；
- [0063] 图 14 是说明信号线驱动电路的配置的图；
- [0064] 图 15 是说明信号线驱动电路的工作的时序图；
- [0065] 图 16 是说明信号线驱动电路的工作的时序图；
- [0066] 图 17 是说明移位寄存器的配置的图；
- [0067] 图 18 是说明图 17 所示的触发器的连接结构的图；
- [0068] 图 19 是半导体装置的像素的等效电路的图；
- [0069] 图 20A 至 20C 是说明半导体装置的图；
- [0070] 图 21A 至 21C 是说明半导体装置的图；
- [0071] 图 22 是说明半导体装置的图；
- [0072] 图 23A 和 23B 是说明半导体装置的图；
- [0073] 图 24A 和 24B 是说明电子纸的应用的图；
- [0074] 图 25 是示出电子书阅读器的一例的外观图；
- [0075] 图 26A 和 26B 是分别示出电视装置及数码相框的外观图；
- [0076] 图 27A 和 27B 是示出游戏机的例子的外观图；
- [0077] 图 28 是示出蜂窝电话的外观图；
- [0078] 图 29A 和 29B 是说明半导体装置的图；
- [0079] 图 30A 和 30B 是说明半导体装置的图；
- [0080] 图 31A 和 31B 是说明半导体装置的图；
- [0081] 图 32 是说明半导体装置的图。

具体实施方式

[0082] 下面,参照附图对本发明的实施方式进行详细说明。但是,本发明不局限于以下的说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是,其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。在以下说明的本发明的结构中,使用相同的附图标记来标明具有类似功能的相同部分,而省略对其的说明。

[0083] 实施方式 1

[0084] 本实施方式示出液晶显示装置的例子,其中在第一衬底和第二衬底之间封入有液晶层,将用于与设置在第二衬底上的对置电极电连接的共同连接部(焊盘部)形成在第一衬底上。注意,在第一衬底上形成有用作开关元件的薄膜晶体管,并且共同连接部在与像素部的开关元件相同的制造工序中制造,从而可以不使工序复杂而获得。

[0085] 共同连接部设置在与用于贴合第一衬底和第二衬底的密封材料重叠的位置,并通过密封材料所含有的导电粒子与对置电极电连接。或者,在不与密封材料重叠的位置(除了像素部)设置共同连接部,将含有导电粒子的膏剂与密封材料另行设置以与共同连接部重叠,由此共同连接部可以通过膏剂中的导电粒子与对置电极电连接。

[0086] 图 1A 是在同一衬底上形成薄膜晶体管和共同连接部的半导体装置的截面结构图。注意图 1A 所示的薄膜晶体管为具有沟道保护层的反交错型薄膜晶体管,在半导体层 103 的沟道形成区上设置沟道保护层 133,并在半导体层 103 和沟道保护层 133 上隔着源区和漏区 104a、104b 设置有源电极层和漏电极层 105a、105b。

[0087] 在本实施方式中,具有沟道形成区的半导体层 103 是包含 In、Ga、Zn 以及 O 的非单晶半导体层(第一氧化物半导体层),其至少包含非晶成分。源区和漏区 104a、104b 是包含 In、Ga、Zn 以及 O 的氧化物半导体层(第二氧化物半导体层),并且其在与半导体层 103 不同条件下形成,比半导体层 103 含有的氧浓度低,比半导体层 103 的电阻低。源区和漏区 104a、104b 具有 n 型导电型,其活化能(ΔE)为 0.01eV 以上 0.1eV 以下,也称为 n+ 区。注意源区和漏区 104a、104b 是包含 In、Ga、Zn 以及 O 的非单晶半导体层,其至少包含非晶成分。所以,用于半导体层 103 的氧化物半导体层为氧过剩氧化物半导体层,用作源区和漏区的氧化物半导体层为氧缺欠半导体层。

[0088] 当将氧缺欠氧化物半导体层作为源区和漏区 104a、104b 来设置,使为金属层的源电极层和漏电极层 105a、105b 和半导体层 103(氧过剩氧化物半导体层)之间具有良好的结,且与肖特基结相比具有更高热稳定性。另外,为了供给沟道载流子(源极侧)、稳定地吸收来自沟道的载流子(漏极侧)或者防止在与源电极层(或漏电极层)的界面产生电阻,积极地设置源区和漏区是有效的。通过低电阻化,即使在高漏极电压下也可以保持良好的迁移率。

[0089] 由于在半导体层 103 的沟道形成区上设置沟道保护层 133,所以可以防止半导体层 103 的沟道形成区在工序中损伤(可以防止蚀刻时产生的等离子体或蚀刻剂造成的厚度降低、氧化等)。由此可以提高薄膜晶体管 170 的可靠性。

[0090] 图 1B 示出共同连接部的俯视图的一个例子,图 1B 中的虚线 G1-G2 相当于图 1A 的共同连接部的截面。注意,在图 1B 中与图 1A 类似的部分使用相同的附图标记来标明。

[0091] 共同电位线 185 设置在栅极绝缘层 102 上,并由与源电极层和漏电极层 105a、105b 相同的材料及在相同的工序中制造。

[0092] 共同电位线 185 由保护绝缘层 107 覆盖,保护绝缘层 107 在与共同电位线 185 重叠的位置具有多个开口部。该开口部通过与连接源电极层或漏电极层 105a、105b 和像素电极层 110 的接触孔相同的工序而制造。

[0093] 注意,由于其尺寸差异很大,所以将其区分称为像素部中的接触孔和共同连接部中的开口部。在图 1A 中,像素部和共同连接部不是使用相同的缩尺来图示的,例如共同连接部的虚线 G1-G2 的长度为 500 μm 左右,而薄膜晶体管的宽度小于 50 μm ,因此,共同连接部面积是薄膜晶体管的 10 倍或以上,但是为了进行简化,在图 1A 中改变了像素部和共同连接部的缩尺。

[0094] 共同电极层 190 设置在保护绝缘层 107 上,并由与像素部的像素电极层 110 相同的材料和在相同的工序中制造。

[0095] 如此,在与像素部的开关元件的相同的制造工序中制造共同连接部。

[0096] 然后,使用密封材料将设置有像素部和共同连接部的第一衬底 100 固定到具有对置电极的第二衬底。

[0097] 当密封材料包含导电粒子时,对一对的衬底(第一衬底以及第二衬底)进行对准以使密封材料和共同连接部重叠。例如,在小型的液晶面板中,在像素部的对角等处与密封材料重叠地配置两个共同连接部。在大型的液晶面板中,与密封材料重叠地配置四个或以上的共同连接部。

[0098] 注意共同电极层 190 是与包含在密封材料中的导电粒子接触的电极,并与第二衬底的对置电极电连接。

[0099] 当使用液晶注入法时,在使用密封材料固定一对衬底之后,将液晶注入到一对衬底之间。当使用液晶滴落法时,在第二衬底或第一衬底上涂画密封材料,在使液晶滴落在其上后,在减压下将一对衬底贴合。

[0100] 在本实施方式中,虽然示出与对置电极电连接的共同连接部的例子,但是本发明不特别局限于此例子,还可以用于与其他的布线连接的连接部或与外部连接端子等连接的连接部。

[0101] 例如,当制造发光显示装置时,其与液晶显示装置不同而没有用于与对置电极连接的连接部分,但是发光显示装置具有将发光元件的阴极(负电极)连接到共同布线的部分,该部分可具有与图 1A 所示的相同的连接结构。对于每个像素,发光元件的阴极可以具有连接部,或者在像素部和驱动电路部之间设置连接部。

[0102] 实施方式 2

[0103] 在本实施方式中,图 2A 和 2B 示出其中使用由与栅极布线相同的材料以及在相同的工序中形成的布线用作共同电位线的制造共同连接部(焊盘部)的例子。

[0104] 图 2B 示出共同连接部的俯视图的一个例子,图 2B 中的虚线 E1-E2 相当于图 2A 的共同连接部的截面。

[0105] 注意如图 2A 所示,像素部中的薄膜晶体管的结构与实施方式 1 相同,所以与图 1A 类似的部分使用相同的附图标记,而在这里省略其详细说明。

[0106] 共同电位线 181 设置在第一衬底 100 上,并由与栅电极层 101 相同的材料以及在相同的工序中制造。

[0107] 另外,共同电位线 181 由栅极绝缘层 102 和保护绝缘层 107 覆盖,栅极绝缘层 102 和保护绝缘层 107 在与共同电位线 181 重叠的位置具有多个开口部。该开口部与实施方式 1 不同,具有相当于两层绝缘层厚度的大的深度。注意,在通过与连接源电极层 105a 或漏电极层 105b 和像素电极层 110 的接触孔相同的工序中的蚀刻、然后进一步对栅极绝缘层 102 进行选择性的蚀刻而制造该开口部。

[0108] 共同电极层 190 设置在保护绝缘层 107 上,并由与像素部中的像素电极层 110 相同的材料以及在相同的工序中制造。

[0109] 如此,由与像素部的开关元件相同的制造工序制造共同连接部。

[0110] 然后,使用密封材料将设置有像素部和共同连接部的第一衬底 100 固定至具有对置电极的第二衬底。

[0111] 当密封材料中包含导电粒子时,对一对的衬底进行对准以使密封材料和共同连接

部重叠。

[0112] 注意共同电极层 190 是与包含在密封材料中的导电粒子接触的电极,并与第二衬底的对置电极电连接。

[0113] 当使用液晶注入法时,在使用密封材料固定一对衬底之后,将液晶注入到一对衬底之间。当使用液晶滴落法时,在第二衬底或第一衬底上涂画密封材料,在使液晶滴落在其上后,在减压下将一对衬底进行贴合。

[0114] 在本实施方式中,虽然示出与对置电极电连接的共同连接部的例子,但是本发明不特别局限于此例子,还可以用于与其他的布线连接的连接部或与外部连接端子等连接的连接部。

[0115] 实施方式 3

[0116] 在该实施方式中,图 3A 和图 3B 示出制造共同连接部(焊盘部)的例子,在共同连接部(焊盘部)中形成由与栅极布线相同的材料以及在相同的工序中形成的电极,以及作为电极上的共同电位线,提供由与源电极层相同的材料以及在相同的工序中形成的布线。

[0117] 图 3B 是示出共同连接部的俯视图的一个例子的图,图 3B 中的虚线 F1-F2 相当于图 3A 的共同连接部的截面。

[0118] 注意,如图 3A 所示像素部的薄膜晶体管的结构与实施方式 1 相同,所以与图 1A 相似的部分使用相同的附图标记,而在这里省略其详细说明。

[0119] 连接电极层 191 设置在第一衬底 100 上,并由与栅电极层 101 相同的材料以及在相同的工序中制造。

[0120] 另外,连接电极层 191 由栅极绝缘层 102 和保护绝缘层 107 覆盖,栅极绝缘层 102 和保护绝缘层 107 在与共同电极层 190 重叠的位置具有开口部。该开口部与实施方式 1 不同,具有相当于两层绝缘层厚度的大的深度。注意,在通过与连接源电极层 105a 或漏电极层 105b 和像素电极层 110 的接触孔相同的工序中的蚀刻、之后进一步对栅极绝缘层 102 进行选择性的蚀刻而制造该开口部。

[0121] 共同电位线 185 设置在栅极绝缘层 102 上,并由与源电极层和漏电极层 105a、105b 相同的材料以及在相同的工序中制造。

[0122] 共同电位线 185 由保护绝缘层 107 覆盖,保护绝缘层 107 在与共同电位线 185 重叠的位置具有多个开口部。该开口部通过与连接源电极层 105a 或漏电极层 105b 和像素电极层 110 的接触孔相同的工序而制造。

[0123] 共同电极层 190 设置在保护绝缘层 107 上,并由与像素部的像素电极层 110 相同的材料以及在相同的工序中制造。

[0124] 如此,由与像素部的开关元件的制造工序制造共同连接部。

[0125] 然后使用密封材料将设置有像素部和共同连接部的第一衬底 100 固定至具有对置电极的第二衬底。

[0126] 注意,在本实施方式中,在栅极绝缘层 102 的开口部选择性地设置多个导电粒子。即,在共同电极层 190 与连接电极层 191 接触的区域中设置多个导电粒子。与连接电极层 191 和共同电位线 185 的双方都连接的共同电极层 190 通过导电粒子与第二衬底的对置电极电连接。

[0127] 当使用液晶注入法时,在使用密封材料固定一对衬底之后,将液晶注入到一对衬

底之间。当使用液晶滴落法时,在第二衬底或第一衬底上涂画密封材料,在使液晶滴落在其上后,在减压下将一对衬底进行贴合。

[0128] 在本实施方式中,虽然示出与对置电极电连接的共同连接部的例子,但是本发明不特别局限于此例子,还可以用于与其他的布线连接的连接部或与外部连接端子等连接的连接部。

[0129] 实施方式 4

[0130] 在此实施方式中,图 29A 和 29B 示出实施方式 1 中示出显示装置的另一个例子,其中源电极层和漏电极层及源区和漏区使用相同的掩模进行蚀刻而形成。

[0131] 图 29A 是其中将薄膜晶体管和共同连接部(焊盘部)制造在同一衬底上的半导体装置的截面结构图。图 29A 所示的薄膜晶体管 172 是具有沟道保护层的反交错型薄膜晶体管,在半导体层 103 的沟道形成区上设置沟道保护层 133,并在半导体层 103 和沟道保护层 133 上隔着源区和漏区 104a、104b 设置有源电极层和漏电极层 105a、105b。在薄膜晶体管 172 中,使用相同的掩模来蚀刻形成源区和漏区 104a、104b 的氧化物半导体层和形成源电极层和漏电极层 105a、105b 的导电层。

[0132] 由此,在薄膜晶体管 172 中,源电极层和漏电极层 105a、105b 和源区和漏区 104a、104b 具有相同的形状,源区和漏区 104a、104b 在源电极层和漏电极层 105a、105b 的下方。

[0133] 所以,在共同连接部中,在栅极绝缘层 102 和共同电位线 185 之间形成有由与源区和漏区 104a、104b 相同的材料以及在相同的工序中制造的氧化物半导体层 186。

[0134] 注意图 29B 示出共同连接部的俯视图的一个例子,图 29B 中的虚线 G1-G2 相当于图 29A 的共同连接部的截面。

[0135] 注意如图 29B 所示,共同连接部的俯视图具有与实施方式 1 相同的结构,所以与图 1B 相似的部分使用相同的附图标记,而在这里省略其详细说明。

[0136] 根据本实施方式,在设置在像素部的外侧区域的共同连接部(焊盘部)中,层叠氧化物半导体层和导电层,由此可以防止由于薄膜的分离造成的缺陷。另外,通过采用层叠氧化物半导体层和导电层的结构,焊盘部厚度增加,其电阻降低,而可以具有强度增加的结构。

[0137] 实施方式 5

[0138] 在本实施方式中,图 30A 和 30B 示出实施方式 3 中示出的显示装置的另一个例子,其中源电极层和漏电极层及源区和漏区使用相同的掩模进行蚀刻而形成。

[0139] 图 30A 是其中薄膜晶体管和共同连接部(焊盘部)制造在同一衬底上的半导体装置的截面结构图。

[0140] 注意,如图 30A 所示像素部的薄膜晶体管的结构与实施方式 4 相同,所以与图 29A 相似的部分使用相同的附图标记,而在这里省略其详细说明。

[0141] 在薄膜晶体管 172 中,使用相同的掩模蚀刻形成源区和漏区 104a、104b 的氧化物半导体层,和形成源电极层和漏电极层 105a、105b 的导电层。由此,在薄膜晶体管 172 中,源电极层和漏电极层 105a、105b 和源区和漏区 104a、104b 具有相同的形状,源区和漏区 104a、104b 在源电极层和漏电极层 105a、105b 的下方。

[0142] 在共同连接部中,在栅极绝缘层 102 和共同电位线 185 之间形成有由与源区和漏区 104a、104b 相同的材料以及在相同的工序中制造的氧化物半导体层 186。

[0143] 图 30B 示出共同连接部的俯视图的一个例子,图 30B 中的虚线 F1-F2 相当于图 30A 的共同连接部的截面。

[0144] 注意如图 30B 所示,共同连接部的俯视图的结构与实施方式 3 相同,所以与图 3B 相似的部分使用相同的附图标记,而在这里省略其详细说明。

[0145] 根据该实施方式,在设置在像素部的外侧区域的共同连接部(焊盘部)中,层叠氧化物半导体层和导电层,由此可以防止由于薄膜的分离造成的缺陷。另外,通过采用层叠氧化物半导体层和导电层的结构,焊盘部厚度增加,其电阻降低,而可以具有强度增加的结构。

[0146] 实施方式 6

[0147] 在本实施方式中,参照图 4A 至 4C、图 5A 至 5C、图 6-图 9、图 10A 和 10B 以及图 11 对包括本发明的一个实施方式的薄膜晶体管的显示装置的制造工序进行说明。本发明显示装置所包括的薄膜晶体管为具有沟道保护层的反交错型薄膜晶体管。

[0148] 在图 4A 中,作为具有透光性的第一衬底 100,可以使用以康宁公司制造的 #7059 玻璃、或 #1737 玻璃等为代表的钡硼硅酸盐玻璃或铝硼硅酸盐玻璃等的玻璃衬底。

[0149] 在将导电层形成在第一衬底 100 的整个表面上之后,进行第一光刻工序形成抗蚀剂掩模,然后通过蚀刻去除不需要的部分来形成布线及电极(包括栅电极层 101 的栅极布线、电容布线 108 以及第一端子 121)。在此,进行蚀刻,使得将至少栅电极层 101 的端部(edge)形成为锥形。图 4A 示出该阶段的截面图。注意图 6 是该阶段的俯视图。

[0150] 包括栅电极层 101 的栅极布线、电容布线 108、以及端子部的第一端子 121 优选使用铝 (Al) 或铜 (Cu) 等的低电阻导电材料形成,然而,单独 Al 有耐热性低及容易腐蚀等缺点,所以其与耐热性导电材料组合来使用。耐热性导电材料可以使用选自钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、钪 (Sc) 中的元素、以任意上述元素为成分的合金、任意上述元素的组合的合金或者以任意上述元素为成分的氮化物。

[0151] 接着,在栅电极层 101 的整个表面上形成栅极绝缘层 102。栅极绝缘层 102 利用溅射法等并以 50nm 至 250nm 的厚度形成。

[0152] 例如,通过溅射法并以 100nm 的厚度形成氧化硅膜作为栅极绝缘层 102。当然,栅极绝缘层 102 不局限于这种氧化硅膜,也可以使用例如氧氮化硅膜、氮化硅膜、氧化铝膜、或氧化钽膜等的其他绝缘膜以构成单层结构或多层结构。

[0153] 可以在形成成为沟道形成区的氧化物半导体层 (IGZO 半导体层) 之前,利用等离子体处理对栅极绝缘层的表面进行清洗。进行去除存在于栅极绝缘层的表面的有机物等的碎屑的等离子体处理是有效的。另外,有效的是:栅极绝缘层表面经等离子体处理而成为用作氧的供给源的氧过剩区域,其在热处理 (200°C 至 600°C) 中对栅极绝缘层和 IGZO 半导体层之间的界面改性以在后面的工序中提高可靠性。

[0154] 优选在等离子体处理之后不暴露于大气地利用溅射法沉积氧化物半导体层。如果在沉积氧化物半导体层之前,沉积靶衬底接触到大气,则沉积靶衬底可能会附着有水分等,而可能对界面状态有不良影响,从而导致阈值的不均匀、电特性的劣化或变成常开 (nonnally on) TFT 等。等离子体处理使用氧气体或氩气体来进行。还可以使用其它的稀有气体替代氩气体。

[0155] 为了在等离子体处理之后不暴露于大气地利用溅射法沉积成为沟道形成区的氧

化物半导体层,优选进行称为反溅射处理的等离子体处理的一种,该反溅射处理可以在与形成氧化物半导体层的同一个反应室中进行。反溅射处理是指不向靶侧施加电压,而在氧气氛或氧以及氩气氛下对衬底侧施加电压而产生等离子体来对衬底上的薄膜表面进行改性的方法。

[0156] 当在使用氧气体填充的反应室中进行等离子体处理时,通过对栅极绝缘层的表面照射氧自由基,从而将栅极绝缘层的表面改性成氧过剩区域,从而提高与后面沉积的成为沟道形成区的氧化物半导体层的界面的氧浓度。也就是说,如果对栅极绝缘层进行氧自由基处理,其上层叠氧化物半导体层,之后进行加热处理,则也可以使成为沟道形成区的氧化物半导体层的在栅极绝缘层侧的氧浓度增加。因此,在栅极绝缘层与成为沟道形成区的氧化物半导体层的界面处具有氧浓度的峰值,并且栅极绝缘层的氧浓度具有浓度梯度,该梯度朝着接近栅极绝缘层与成为沟道形成区的氧化物半导体层的界面而增加。包括氧过剩区域的栅极绝缘层与成为氧过剩氧化物半导体层的沟道形成区的氧化物半导体层的亲和性高,使得栅极绝缘层与氧过剩氧化物半导体层之间可以得到良好的界面特性。

[0157] 既可利用包含氧的气体通过等离子体产生装置产生氧自由基,又可通过臭氧产生装置产生氧自由基。通过将所产生的氧自由基或氧照射到薄膜,能够对膜进行表面改性。

[0158] 等离子体处理也可以使用氩和氧的自由基来进行,而不局限于使用氧自由基的等离子体处理。使用氩和氧的自由基的处理是指通过引入氩气体和氧气体而产生等离子体以对薄膜进行表面改性的处理。

[0159] 在施加电场而产生放电等离子体的反应空间中的 Ar 原子 (Ar) 被放电等离子体中的电子 (e) 激发或电离,而成为氩自由基 (Ar^{*})、氩离子 (Ar⁺) 或电子 (e)。氩自由基 (Ar^{*}) 处于能量高的准稳定状态,其与周围的同种或异种原子起反应而回到稳定状态(通过使该原子激发或电离),由此发生如雪崩现象那样的反应。此时,若周围存在有氧,则氧原子 (O) 被激发或电离而成为氧自由基 (O^{*})、氧离子 (O⁺) 或氧 (O)。该氧自由基 (O^{*}) 与被处理的薄膜表面的材料起反应而对表面进行改性,并且氧自由基还与表面上的有机物起反应而去去除有机物,由此进行等离子体处理。注意,与反应性气体(氧气体)的自由基相比,氩气体的自由基具有更长时间地维持准稳定状态的特性,因此通常使用氩气体以产生等离子体。

[0160] 接下来,在栅极绝缘层 102 上形成第一氧化物半导体膜(在本实施方式中第一 IGZO 膜)。在等离子体处理后,不暴露于大气地沉积第一 IGZO 膜,这在不使栅极绝缘层与半导体膜之间的界面处附着尘屑或水分这点上是有利的。这里,使用直径为 8 英寸的包含 In、Ga 及 Zn 的氧化物半导体靶 (In₂O₃:Ga₂O₃:ZnO=1:1:1),衬底与靶之间的距离设定为 170mm、压力 0.4Pa、直流 (DC) 电源 0.5kW、在氩或氧气氛下进行沉积。注意,优选使用脉冲直流 (DC) 电源可以减少尘屑且使膜的厚度分布均匀。将第一 IGZO 膜的厚度设定为 5nm 至 200nm。在本实施方式中,将第一 IGZO 膜的厚度设定为 100nm。

[0161] 通过利用溅射法并适当地改变引入反应室内的气体或反应室中设置的靶,可以使栅极绝缘层和第一 IGZO 膜不暴露于大气地连续地沉积。当不使暴露于大气并连续沉积这些膜,可以防止杂质进入膜中。在不使暴露于大气并连续沉积这些膜的情况下,优选使用多室型制造装置。

[0162] 接着,在与第一 IGZO 膜的沟道形成区重叠地形成沟道保护层 133。也可以以不暴露于大气的方式在栅极绝缘层 102、第一 IGZO 膜之后连续地沉积沟道保护层 133。当以不

暴露于大气的方式连续沉积层叠的层时可以提高生产率。

[0163] 作为沟道保护层 133, 可以使用无机材料(氧化硅、氮化硅、氧氮化硅、氮氧化硅等)通过例如等离子体 CVD 法或热 CVD 法等的气相沉积法或溅射法来制成。沟道保护层 133 通过处理沉积膜的形状来获得。这里, 通过溅射法形成氧化硅膜, 然后使用通过光刻形成的掩模进行蚀刻而获得沟道保护层 133。

[0164] 接下来, 利用溅射法在第一 IGZO 膜和沟道保护层 133 上沉积第二氧化物半导体膜(本实施方式的第二 IGZO 膜)。这里, 使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 的靶, 并在如下条件下进行溅射沉积: 压力 0.4Pa; 功率 500W; 温度为室温; 氩气体流量为 40sccm。虽然意图性地使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 的靶, 但在一些情况下在刚沉积后形成有包含直径为 1nm 至 10nm 的晶粒的 IGZO 膜。可以说通过适当地调整靶材的成分比、沉积压力(0.1Pa 至 2.0Pa)、功率(250W 至 3000W; 8 英寸 ϕ)、或温度(室温至 100°C)等反应性溅射的沉积条件, 可以控制晶粒的有无、晶粒的密度以及直径。将晶粒直径控制为 1nm 至 10nm 的范围内。第二 IGZO 膜的厚度为 5nm 至 20nm。当然, 如果在膜中包括晶粒, 晶粒的直径不超过膜的厚度。在本实施方式中, 第二 IGZO 膜的厚度为 5nm。

[0165] 使第一 IGZO 膜的沉积条件与第二 IGZO 膜的沉积条件相异, 使得第一 IGZO 膜中比第二 IGZO 膜中的氧浓度更高。例如, 与第二 IGZO 膜的沉积条件中的氧气与氩气流量比相比, 第一 IGZO 膜的沉积条件中的氧气与氩气流量比更高。具体地, 第二 IGZO 膜在稀有气体(氩或氦等)气氛下(或含氧 10% 或以下、含氩气体 90% 或以上的气氛)沉积, 第一 IGZO 膜在氧气氛下(或氧气体的流量与氩气体的流量相等或大于氩气体的流量)沉积。当更多的氧包含在第一 IGZO 膜中, 可以使得第一 IGZO 膜的电导率低于第二 IGZO 膜电导率。另外, 当更多的氧包含在第一 IGZO 膜中可以实现第一 IGZO 膜截止电流的降低, 所以可以得到导通截止比高的薄膜晶体管。

[0166] 第二 IGZO 膜可以使用与之前反溅射处理所使用的反应室同一反应室沉积, 或者只要可以在不暴露于大气地进行沉积的情况下, 也可以在与之前进行反溅射处理所使用的反应室不同的反应室中沉积。

[0167] 接下来, 优选以 200°C 至 600°C, 典型的是 300°C 至 500°C 进行热处理。在此在炉中, 在氮气氛下以 350°C 进行 1 小时的热处理。该热处理使得 IGZO 膜的原子能级的重新排列。在此步骤的热处理(包括光退火)因为可以释放阻碍载流子迁移的应变能而所以是重要的。注意, 进行热处理的时序没有特别的限制, 该热处理可以在沉积第二 IGZO 膜之后任意时间进行, 例如可以在形成像素电极之后进行。

[0168] 接着, 进行第二光刻工序形成抗蚀剂掩模, 并且对第一 IGZO 膜及第二 IGZO 膜进行蚀刻。在此, 通过使用 IT007N(日本关东化学株式会社制造)的湿蚀刻去除不需要的部分, 来形成氧过剩型第一 IGZO 膜的半导体层 103 及氧缺欠型第二 IGZO 膜的 IGZO 膜 111。注意, 此蚀刻步骤不局限于湿蚀刻, 也可以进行干蚀刻。图 4B 示出该阶段中的截面图。另外, 图 7 是该阶段的俯视图。

[0169] 接下来, 利用溅射法或真空蒸镀法在半导体层 103 以及 IGZO 膜 111 上形成由金属材料制成的导电膜 132。图 4C 示出该阶段中的俯视图。

[0170] 作为导电膜 132 的材料, 可以举出选自 Al、Cr、Ta、Ti、Mo、W 中的元素或以任意上述元素为成分的合金、包含任意上述元素的组合的合金等。如果进行 200°C 至 600°C 的热处

理,优选使导电膜具有承受该热处理的耐热性。由于单独铝具有耐热性很低且容易腐蚀等缺点,所以与耐热导电材料组合来使用。作为与Al组合的耐热导电材料,可以使用选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、Sc(钪)中的元素、以任意上述元素为成分的合金、包含任意上述元素的组合的合金或者以任意上述元素为成分的氮化物。

[0171] 在此,作为导电膜132使用钛膜的单层结构。导电膜132还可以采用其中在铝膜上层叠钛膜的双层结构。或者,导电膜132还可以采用如下三层结构:按顺序堆叠的Ti膜、包含钕的铝膜(Al-Nd膜)以及Ti膜。另外或者是,导电膜132还可以采用包含硅的铝膜的单层结构。

[0172] 接着,进行第三光刻工序形成抗蚀剂掩模131,并通过蚀刻去除不必要的部分来形成源电极层和漏电极层105a、105b以及源区和漏区104a、104b。该蚀刻步骤使用湿蚀刻或干蚀刻来进行。例如,在作为导电膜132使用铝膜或铝合金膜情况下,可以进行使用了将磷酸、醋酸以及硝酸混合的溶液的湿蚀刻。这里,通过使用了过氧化氢氨水混合物(过氧化氢:氨水:水=5:2:2),对Ti制成的导电膜132进行湿蚀刻来形成源电极层和漏电极层105a、105b,并对IGZO膜111进行湿蚀刻来形成源区和漏区104a、104b。在该蚀刻工序中,由于沟道保护层133用作半导体层103的蚀刻停止层,所以半导体层103不被蚀刻。在图5A中,由于利用过氧化氢氨水混合物对源电极层和漏电极层105a、105b以及源区和漏区104a、104b同时蚀刻,所以源电极层和漏电极层105a、105b的端部与源区和漏区104a、104b的端部对准,从而具有连续的结构。此外,由于使用湿蚀刻允许这些层被各向同性地蚀刻,所以源电极层和漏电极层105a、105b的端部比抗蚀剂掩模131更缩退。通过上述工序可以制造包括IGZO半导体层103用作沟道形成区,并在沟道形成区上具有沟道保护层133的薄膜晶体管170。图5A示出该阶段中的截面图。注意图8相当于该阶段的俯视图。

[0173] 由于在半导体层103的沟道形成区上设置沟道保护层133,所以可以防止在工序中损伤(可以防止蚀刻时产生的等离子体或蚀刻剂造成的厚度降低、氧化等)半导体层103的沟道形成区。由此可以提高薄膜晶体管170的可靠性。

[0174] 在该第三光刻工序中,在端子部中留有由与源电极层和漏电极层105a、105b相同材料制成的第二端子122。注意,第二端子122与源极布线(包括源电极层和漏电极层105a、105b的源极布线)电连接。

[0175] 如果使用利用多级灰度掩模而形成的具有不同厚度(典型的是两种厚度)的多个区域的抗蚀剂掩模,可以减少抗蚀剂掩模的数目,所以可以谋求工序的简化以及低成本化。

[0176] 接下来,去除抗蚀剂掩模131,形成覆盖薄膜晶体管170的保护绝缘层107。保护绝缘层107可以使用利用溅射法等获得的氮化硅膜、氧化硅膜、氧氮化硅膜、氧化铝膜或氧化钽膜等来形成。

[0177] 接着,进行第四光刻工序,形成抗蚀剂掩模,通过保护绝缘层107的蚀刻以形成到达源电极层105a或漏电极层105b的接触孔125。另外,通过该同一蚀刻工序还形成到达第二端子122的接触孔127。为了减少掩模数,优选使用同一掩模对栅极绝缘层进行蚀刻,使得使用同一抗蚀剂掩模形成到达栅电极的接触孔126。图5B示出该阶段中的截面图。

[0178] 接下来,去除抗蚀剂掩模,然后形成透明导电膜。作为透明导电膜,利用溅射法或真空蒸镀法等使用氧化铟(In_2O_3)、氧化铟-氧化锡合金(缩写为ITO的 $\text{In}_2\text{O}_3\text{-SnO}_2$)来形成。使用盐酸类的溶液进行上述材料的蚀刻。但是,因为ITO的蚀刻尤其容易产生残渣,所

以也可以使用氧化铟-氧化锌合金 ($\text{In}_2\text{O}_3\text{-ZnO}$), 以改善蚀刻加工性。

[0179] 接着, 进行第五光刻工序, 形成抗蚀剂掩模, 通过蚀刻去除不需要的部分, 而形成像素电极层 110。

[0180] 在该第五光刻工序中, 以在电容部中的栅极绝缘层 102 及保护绝缘层 107 为电介质, 在电容布线 108 和像素电极层 110 之间形成存储电容。

[0181] 另外, 在该第五光刻工序中, 使用抗蚀剂掩模覆盖第一端子和第二端子使得在端子部中留有透明导电膜 128、129。透明导电膜 128、129 成为与 FPC 连接的电极或布线。形成在第二端子 122 上的透明导电膜 129 是用作源极布线的输入端子的连接用端子电极。

[0182] 接着, 去除抗蚀剂掩模, 图 5C 示出该阶段中的截面图。另外, 图 9 是该阶段的俯视图。

[0183] 图 10A 和 10B 分别是该阶段的栅极布线端子部的俯视图和截面图。图 10A 是沿着图 10B 中的 C1-C2 线的截面图。在图 10A 中, 形成在保护绝缘膜 154 上的透明导电膜 155 是用作输入端子的连接用端子电极。另外, 在图 10A 中, 在端子部中, 由与栅极布线相同材料形成的第一端子 151 与由与源极布线相同材料形成的连接电极层 153 隔着栅极绝缘层 152 重叠, 并通过透明导电膜 155 电连接。注意, 图 5C 的透明导电膜 128 与第一端子 121 所接触的部分对应于图 10A 的透明导电膜 155 与第一端子 151 所接触的部分。

[0184] 图 10C 和 10D 分别是与图 5C 所示的源极布线端子部不同的源极布线端子部的截面图和俯视图。图 10C 是沿着图 10D 中的 D1-D2 线的截面图。在图 10C 中, 形成在保护绝缘膜 154 上的透明导电膜 155 是用作输入端子的连接用端子电极。另外, 在图 10C 中, 在端子部中,

[0185] 由与栅极布线相同材料形成的电极层 156, 在与源极布线电连接的第二端子 150 的下方形成且隔着栅极绝缘层 152 与第二端子 150 重叠。电极层 156 不与第二端子 150 电连接, 如果将电极层 156 电位设定为与第二端子 150 不同的电位, 例如浮置、GND、0V 等, 可以形成防止杂波的电容或防止静电的电容。第二端子 150 隔着保护绝缘膜 154 与透明导电膜 155 电连接。

[0186] 根据像素密度设置多个栅极布线、源极布线以及电容布线。另外, 在端子部中, 排列多个与栅极布线同电位的第一端子、多个与源极布线同电位的第二端子、多个与电容布线同电位的第三端子等。各端子的数目没有特别限制, 实施者可以适当地决定端子数目。

[0187] 通过这五次的光刻工序, 使用五个光掩模, 可以完成具有底栅型的 n 沟道型薄膜晶体管的薄膜晶体管 170 的像素薄膜晶体管部以及存储电容。当这些像素薄膜晶体管部和存储电容对应于相应像素以矩阵状排列时, 形成像素部, 并且可以获得用来制造有源矩阵型的显示装置的一个衬底。在本说明书中, 为了方便将该衬底称为有源矩阵衬底。

[0188] 在制造有源矩阵型的液晶显示装置情况下, 在有源矩阵衬底与设置有对置电极的对置衬底之间设置液晶层, 将有源矩阵衬底与对置衬底贴合。注意, 将与设置在对置衬底上的对置电极电连接的共同电极设置在有源矩阵衬底上, 并将与共同电极电连接的第四端子设置在端子部。该第四端子是用来将共同电极固定在预定电位, 例如 GND、或 0V 等。

[0189] 本发明的一个实施方式不局限于图 9 的像素结构, 图 11 示出与图 9 不同的俯视图的例子。图 11 示出其中不设置电容布线, 像素电极层与相邻的像素的栅极布线隔着保护绝缘膜以及栅极绝缘层而重叠以形成存储电容的例子。在此情况下, 可以省略电容布线以及

与电容布线连接的第三端子。注意在图 11 中,与图 9 类似的部分使用相同的附图标记标明。

[0190] 在有源矩阵型的液晶显示装置中,驱动排列为矩阵状的像素电极,以在屏幕上形成显示图案。具体地,对选择的像素电极和对应于该像素电极的对置电极之间施加电压,使得对设置在像素电极与对置电极之间的液晶层进行光学调制,该光学调制由观察者认出是显示图案。

[0191] 当液晶显示装置显示运动图像时,由于液晶分子本身长的响应时间,所以液晶显示装置存在出现余像或出现运动图像模糊的问题。为了改善液晶显示装置的运动图像特性,采用被称为黑插入的驱动方法,其中每隔一个帧期进行整个屏幕的黑显示。

[0192] 或者,可采用被称为倍帧速率驱动的驱动方法,其中将垂直周期设定为通常的 1.5 倍或 2 倍长来改善运动图像特性。

[0193] 另外或者是,为了改善液晶显示装置的运动图像特性,可采用一种驱动方法,其中作为背光灯,使用多个 LED(发光二极管)或多个 EL 光源构成面光源,将面光源的各个光源独立地在一个帧期内进行脉冲方式驱动。作为面光源,可以使用三种或以上的 LED 或白色发光 LED。由于可以独立地控制多个 LED,所以可以使 LED 的发光时序与液晶层的光学调制的时序同步进行。根据该驱动方法,可以将 LED 部分地关断,所以尤其是在显示大部分是黑显示的图像情况下,可以实现低耗电量的效果。

[0194] 通过组合上述驱动方法,可以相比现有液晶显示装置改善液晶显示装置的运动图像特性等的显示特性。

[0195] 通过本实施方式得到的 n 沟道型晶体管在沟道形成区中包含 IGZO 半导体层,并具有良好的动态特性,所以对该实施例的 n 沟道晶体管可以组合地应用这些驱动方法。

[0196] 在制造发光显示装置情况下,将有机发光元件的一个电极(也称为阴极)设定为低电源电位,例如 GND、0V 等,所以在端子部设置有用来将阴极设定为低电源电位、例如 GND、0V 等的第四端子。另外,在制造发光显示装置情况下,除源极布线和栅极布线之外还设置电源供给线。所以,在端子部中设置有与电源供给线电连接的第五端子。

[0197] 如果不设置源区和漏区(包含 In、Ga 及 Zn 的氧缺欠氧化物半导体层)而堆叠栅电极层、栅极绝缘层、半导体层(含有 In、Ga 以及 Zn 的氧过剩氧化物半导体层)、源电极层和漏电极层,栅电极层与源和漏电极层之间的距离被降低,从而导致在其之间产生的寄生电容增加。此外,该寄生电容进一步因半导体层的厚度降低而增加。在本实施方式中,薄膜晶体管采用栅电极层、栅极绝缘层、半导体层、源区和漏区、源电极层和漏电极层的叠层结构,即使半导体层的厚度小也可以抑制寄生电容。

[0198] 根据本实施方式可以制造光电流少、寄生电容小、导通截止比高、具有良好的动态特性的薄膜晶体管。因此,可以提供具有电特性高并可靠性高的薄膜晶体管的半导体装置。

[0199] 实施方式 7

[0200] 在该实施方式中,图 31A 和 31B 示出在实施方式 3 中的显示装置的另一例子,其包括其中源电极层和漏电极层与半导体层接触的薄膜晶体管。

[0201] 图 31A 是在同一衬底上制造薄膜晶体管和共同连接部(焊盘部)的半导体装置的截面结构图。图 31A 所示的薄膜晶体管 171 为具有沟道保护层的反交错型薄膜晶体管。在半导体层 103 的沟道形成区上设置沟道保护层 133,并在半导体层 103 和沟道保护层 133 上接触于半导体层 103 地设置源电极层和漏电极层 105a、105b。

[0202] 在薄膜晶体管 171 中,优选利用等离子体处理来对半导体层 103 与源电极层和漏电极层 105a、105b 之间的接触区域进行改性。在本实施方式中,在形成用作源电极层和漏电极层的导电膜之前,对氧化物半导体层(本实施方式中的 IGZO 半导体层)进行等离子体处理。

[0203] 作为等离子体处理,使用氩气体、氢气体或氩和氢的混合气体。可以在上述气体中加入氧气体。可以使用其它稀有气体代替氩气体 a

[0204] 如图 32 所示,在半导体层 103 上形成绝缘层 135 以及绝缘层 136 作为层间绝缘层。源电极层和漏电极层 105a、105b,通过形成在绝缘层 135 以及绝缘层 136 中的接触孔,与半导体层 103 接触并电连接。

[0205] 注意在图 32 中,分别利用溅射法形成氧化硅层作为栅极绝缘层 102 以及沟道保护层 133,形成 IGZO 氧过剩半导体层作为半导体层 103,并形成氮化硅层作为绝缘层 135。

[0206] 在图 32 中也优选在形成源电极层和漏电极层 105a、105b 之前对半导体层 103 进行等离子体处理。也可以在半导体层 103 上形成沟道保护层 133 之后进行等离子体处理。或者,可以在绝缘层 135 以及绝缘层 136 中形成接触孔之后,对在每个接触孔底面露出的半导体层 103 上进行等离子体处理。

[0207] 接触通过等离子体处理而改性的半导体层 103 地形成导电层,由此形成源电极层和漏电极层 105a、105b,因此可以降低半导体层 103 与源电极层和漏电极层 105a、105b 之间的接触电阻。

[0208] 通过上述工序,可以制造作为半导体装置可靠性高的显示装置。

[0209] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0210] 实施方式 8

[0211] 在本实施方式中,将说明作为本发明的半导体装置的一个例子的显示装置的例子。在该显示装置中,在一个衬底上至少形成驱动电路的一部分以及设置在像素部的薄膜晶体管。

[0212] 根据实施方式 6 或实施方式 7 形成设置在像素部中的薄膜晶体管。此外,实施方式 6 或实施方式 7 所示的薄膜晶体管是 n 沟道型 TFT,因此将驱动电路中可以包括 n 沟道型 TFT 的驱动电路的一部分形成在与像素部中的薄膜晶体管相同的衬底上。

[0213] 图 13A 示出作为本发明的半导体装置例子的有源矩阵型液晶显示装置的框图的例子。图 13A 所示的显示装置在衬底 5300 上包括:具有多个各自具备显示元件的像素的像素部 5301;选择像素的扫描线驱动电路 5302;以及控制至所选像素的视频信号输入的信号线驱动电路 5303。

[0214] 像素部 5301 通过从信号线驱动电路 5303 在列方向上延伸的多个信号线 S1-Sm(未图示)与信号线驱动电路 5303 连接,并且通过从扫描线驱动电路 5302 在行方向上延伸的多个扫描线 G1-Gn(未图示)与扫描线驱动电路 5302 连接。像素部 5301 具有配置为矩阵以对应于信号线 S1-Sm 以及扫描线 G1-Gn 的多个像素(未图示)。各个像素与信号线 Sj(信号线 S1-Sm 中之一)和扫描线 Gi(扫描线 G1-Gn 中之一)连接。

[0215] 实施方式 6 或 7 中所示的薄膜晶体管是 n 沟道型 TFT,并且参照图 14 说明包含 n 沟道型 TFT 的信号线驱动电路。

[0216] 图 14 所示的信号线驱动电路包括:驱动器 IC5601;开关群 5602_1 至 5602_M;第

一布线 5611 ;第二布线 5612 ;第三布线 5613 ;以及布线 5621_1 至 5621_M。开关群 5602_1 至 5602_M 中的每个包括第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c。

[0217] 驱动器 IC5601 连接到第一布线 5611、第二布线 5612、第三布线 5613 及布线 5621_1 至 5621_M。开关群 5602_1 至 5602_M 中的每个连接到第一布线 5611、第二布线 5612 和第三布线 5613, 并且开关群 5602_1 至 5602_M 分别连接到布线 5621_1 至 5621_M。布线 5621_1 至 5621_M 中的每个通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到三个信号线。例如, 第 J 列的布线 5621_J (布线 5621_1 至布线 5621_M 中之一) 通过开关群 5602_J 中包含的第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到信号线 s_{j-1} 、信号线 s_j 、信号线 s_{j+1} 。

[0218] 对第一布线 5611、第二布线 5612 与第三布线 5613 中的每个输入信号。

[0219] 注意, 驱动器 IC5601 优选形成在单晶衬底上。再者, 开关群 5602_1 至 5602_M 优选形成在与像素部相同的衬底上。因此, 驱动器 IC5601 优选通过 FPC 等连接到开关群 56021 至 5602M。

[0220] 接着, 参照图 15 的时序图说明图 14 所示的信号线驱动电路的工作。图 15 的时序图示出选择第 i 行扫描线 G_i 的情况。第 i 行扫描线 G_i 的选择期被分为第一子选择期 T1、第二子选择期 T2 及第三子选择期 T3。此外, 图 14 的信号线驱动电路即使在选择其他行的扫描线时也按与图 15 相似的方式工作。

[0221] 注意, 图 15 的时序图示出第 J 列布线 5621J 通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到信号线 S_{j-1} 、信号线 S_j 与信号线 s_{j+1} 的情况。

[0222] 图 15 的时序图示出第 i 行扫描线 G_i 被选择的时序、第一薄膜晶体管 5603a 导通 / 截止的时序 5703a、第二薄膜晶体管 5603b 导通 / 截止的时序 5703b、第三薄膜晶体管 5603c 导通 / 截止的时序 5703c 及输入到第 J 列布线 5621_J 的信号 5721_J。

[0223] 在第一子选择期 T1、第二子选择期 T2 及第三子选择期 T3 中, 对布线 5621_1 至布线 5621_M 输入不同的视频信号。例如, 在第一子选择期 T1 中输入到布线 5621_J 的视频信号被输入到信号线 s_{j-1} , 在第二子选择期 T2 中输入到布线 5621_J 的视频信号被输入到信号线 S_j , 在第三子选择期 T3 中输入到布线 5621_J 的视频信号被输入到信号线 S_{j+1} 。在第一子选择期 T1、第二子选择期 T2 及第三子选择期 T3 中输入到布线 5621J 的视频信号分别表示为 $Dara_{j-1}$ 、 $Dara_j$ 、 $Data_{j+1}$ 。

[0224] 如图 15 所示, 在第一子选择期 T1 中, 第一薄膜晶体管 5603a 导通, 而第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 截止。此时, 输入到布线 5621_J 的 $Dara_{j-1}$ 通过第一薄膜晶体管 5603a 输入到信号线 S_{j-1} 。在第二子选择期 T2 中, 第二薄膜晶体管 5603b 导通, 而第一薄膜晶体管 5603a 及第三薄膜晶体管 5603c 截止。此时, 输入到布线 5621_J 的 $Data_j$ 通过第二薄膜晶体管 5603b 输入到信号线 S_j 。在第三子选择期 T3 中, 第三薄膜晶体管 5603c 导通, 而第一薄膜晶体管 5603a 及第二薄膜晶体管 5603b 截止。此时, 输入到布线 5621_J 的 $Data_{j+1}$ 通过第三薄膜晶体管 5603c 输入到信号线 S_{j+1} 。

[0225] 如上所述, 在图 14 的信号线驱动电路中, 通过将一个栅极选择期分为三个, 可以在一个栅极选择期中将视频信号从一个布线 5621 输入到三个信号线。因此, 在图 14 的信

号线驱动电路中,可以将设置有驱动器 IC5601 的衬底和设置有像素部的衬底之间的连接数减少到信号线数的大约 1/3。在将连接数减少到信号线数的大约 1/3 时,可以提高图 14 的信号线驱动电路的可靠性、成品率等。

[0226] 注意,只要如图 14 所示将一个栅极选择期分为多个子选择期并在相应子选择期中将视频信号从一个布线输入到多个信号线,就不存在对薄膜晶体管的配置、数量、驱动方法等的特别限制。

[0227] 例如,当在三个或更多子选择期中将视频信号从一个布线输入到三个或更多信号线时,只需要追加薄膜晶体管及用于控制薄膜晶体管的布线。注意,当将一个栅极选择期分为四个或更多子选择期时,一个子选择期变得较短。因此,优选将一个栅极选择期分为两个或三个子选择期。

[0228] 作为另一个例子,如图 16 的时序图所示,可以将一个选择期分为预充电期 T_p 、第一子选择期 T_1 、第二子选择期 T_2 和第三子选择期 T_3 。图 16 的时序图示出选择第 i 行扫描线 G_i 的时序、第一薄膜晶体管 5603a 导通 / 截止的时序 5803a、第二薄膜晶体管 5603b 导通 / 截止的时序 5803b、第三薄膜晶体管 5603c 导通 / 截止的时序 5803c 以及输入到第 J 列布线 5621_J 的信号 5821_J。如图 16 所示,在预充电期 T_p 中,第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 导通。此时,输入到布线 5621_J 的预充电电压 V_p 通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 输入到信号线 s_{j-1} 、信号线 s_j 与信号线 s_{j+1} 中的每个。在第一子选择期 T_1 中,第一薄膜晶体管 5603a 导通,第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621_J 的 $Data_{j-1}$ 通过第一薄膜晶体管 5603a 输入到信号线 s_{j-1} 。在第二子选择期 T_2 中,第二薄膜晶体管 5603b 导通,而第一薄膜晶体管 5603a 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621_J 的 $Data_j$ 通过第二薄膜晶体管 5603b 输入到信号线 s_j 。在第三子选择期 T_3 中,第三薄膜晶体管 5603c 导通,而第一薄膜晶体管 5603a 及第二薄膜晶体管 5603b 截止。此时,输入到布线 5621_J 的 $Data_{j+1}$ 通过第三薄膜晶体管 5603c 输入到信号线 s_{j+1} 。

[0229] 如上所述,在应用图 16 中时序图的图 14 的信号线驱动电路中,可以将视频信号高速写入到像素,因为可以通过在子选择期之前提供预充电选择期对信号线进行预充电。注意,在图 16 中,用相同的附图标记来表示与图 15 相似的部分,并且省略对类似部分或具有相似功能的部分的详细说明。

[0230] 此外,说明扫描线驱动电路的结构。扫描线驱动电路包括移位寄存器和缓冲器。此外,在一些情况中,扫描线驱动电路可以包括电平转移器 (level shifter)。在扫描线驱动电路中,在对移位寄存器输入时钟信号 (CLK) 及起始脉冲信号 (SP) 时,生成选择信号。所生成的选择信号通过缓冲器缓冲和放大,并将所得信号供给到对应的扫描线。一条线的像素中的晶体管的栅电极连接到扫描线。由于一条线的像素中的晶体管必须一齐导通,因此使用可提供大电流的缓冲器。

[0231] 参照图 17 和图 18 说明用于扫描线驱动电路的一部分的移位寄存器的一个方式。

[0232] 图 17 示出移位寄存器的电路配置。图 17 所示的移位寄存器包括多个触发器 (触发器 5701₁ 至 5701_n)。移位寄存器通过输入第一时钟信号、第二时钟信号、起始脉冲信号与复位信号而工作。

[0233] 说明图 17 中移位寄存器的连接关系。在图 17 的移位寄存器的第 i 级触发器 5701_i

i (触发器 5701₁ 至 5701_n 中之一) 中, 图 18 所示的第一布线 5501 连接到第七布线 5717_{i-1}, 图 18 所示的第二布线 5502 连接到第七布线 5717_{i+1}, 图 18 所示的第三布线 5503 连接到第七布线 5717_i, 并且图 18 所示的第六布线 5506 连接到第五布线 5715。

[0234] 此外, 图 18 所示的第四布线 5504 在奇数编号级触发器中连接到第二布线 5712, 而在偶数编号级触发器中连接到第三布线 5713。图 18 所示的第五布线 5505 连接到第四布线 5714。

[0235] 注意, 图 18 所示的第一级触发器 5701₁ 中第一布线 5501 连接到第一布线 5711。此外, 图 18 所示的第 n 级触发器 5701_n 中第二布线 5502 连接到第六布线 5716。

[0236] 注意, 第一布线 5711、第二布线 5712、第三布线 5713 和第六布线 5716 可以分别称为第一信号线、第二信号线、第三信号线和第四信号线。第四布线 5714 和第五布线 5715 可以分别称为第一电源线和第二电源线。

[0237] 接着, 图 18 示出图 17 所示的触发器的详细结构。图 18 所示的触发器包括第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578。第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578 中的每个是 n 沟道型晶体管, 并且在栅极-源极电压 (V_{gs}) 超过阈值电压 (V_{th}) 时导通。

[0238] 接着, 下面示出图 18 所示的触发器的连接结构。

[0239] 第一薄膜晶体管 5571 的第一电极 (源电极与漏电极中之一) 连接到第四布线 5504。第一薄膜晶体管 5571 的第二电极 (源电极与漏电极中的另一个) 连接到第三布线 5503。

[0240] 第二薄膜晶体管 5572 的第一电极连接到第六布线 5506。第二薄膜晶体管 5572 的第二电极连接到第三布线 5503。

[0241] 第三薄膜晶体管 5573 的第一电极连接到第五布线 5505, 并且第三薄膜晶体管的第二电极连接到第二薄膜晶体管 5572 的栅电极。第三薄膜晶体管 5573 的栅电极连接到第五布线 5505。

[0242] 第四薄膜晶体管 5574 的第一电极连接到第六布线 5506。第四薄膜晶体管 5574 的第二电极连接到第二薄膜晶体管 5572 的栅电极。第四薄膜晶体管 5574 的栅电极连接到第一薄膜晶体管 5571 的栅电极。

[0243] 第五薄膜晶体管 5575 的第一电极连接到第五布线 5505。第五薄膜晶体管 5575 的第二电极连接到第一薄膜晶体管 5571 的栅电极。第五薄膜晶体管 5575 的栅电极连接到第一布线 5501。

[0244] 第六薄膜晶体管 5576 的第一电极连接到第六布线 5506。第六薄膜晶体管 5576 的第二电极连接到第一薄膜晶体管 5571 的栅电极。第六薄膜晶体管 5576 的栅电极连接到第二薄膜晶体管 5572 的栅电极。

[0245] 第七薄膜晶体管 5577 的第一电极连接到第六布线 5506。第七薄膜晶体管 5577 的第二电极连接到第一薄膜晶体管 5571 的栅电极。第七薄膜晶体管 5577 的栅电极连接到第二布线 5502。第八薄膜晶体管 5578 的第一电极连接到第六布线 5506。第八薄膜晶体管 5578 的第二电极连接到第二薄膜晶体管 5572 的栅电极。第八薄膜晶体管 5578 的栅电极连

接到第一布线 5501。

[0246] 注意,第一薄膜晶体管 5571 的栅电极、第四薄膜晶体管 5574、的栅电极、第五薄膜晶体管 5575 的第二电极、第六薄膜晶体管 5576 的第二电极以及第七薄膜晶体管 5577 的第二电极相连接的点分别称为节点 5543。第二薄膜晶体管 5572 的栅电极、第三薄膜晶体管 5573 的第二电极、第四薄膜晶体管 5574 的第二电极、第六薄膜晶体管 5576 的栅电极及第八薄膜晶体管 5578 的第二电极相连接的点分别称为节点 5544。

[0247] 注意,第一布线 5501、第二布线 5502、第三布线 5503 以及第四布线 5504 可以分别称为第一信号线、第二信号线、第三信号线和第四信号线。第五布线 5505 和第六布线 5506 可以分别称为第一电源线和第二电源线。

[0248] 此外,可以仅使用实施方式 6 所述的 n 沟道型 TFT 形成信号线驱动电路及扫描线驱动电路。因为实施方式 6 所述的 n 沟道型 TFT 的高迁移率,所以可以提高驱动电路的驱动频率。另外,在实施方式 6 所述的 n 沟道型 TFT 中,由于通过作为包含铟、镓以及锌的氧欠缺氧化物半导体层的源区或漏区而减少寄生电容,因此可获得高频率特性(称为 F 特性)。例如,使用实施方式 6 所述的 n 沟道型 TFT 的扫描线驱动电路可以高速工作,因此可以提高帧频率并且实现黑屏图像插入等。

[0249] 再者,在增大扫描线驱动电路中晶体管的沟道宽度或提供多个扫描线驱动电路时,可以实现更高的帧频率。在提供多个扫描线驱动电路时,将用于驱动偶数编号扫描线的扫描线驱动电路提供在一侧,并将用于驱动奇数编号扫描线的扫描线驱动电路提供在相反一侧,因此可以实现帧频率的提高。

[0250] 此外,在制造作为本发明的半导体装置的例子有源矩阵型发光显示装置时,在至少一个像素中配置多个薄膜晶体管,因此优选配置多个扫描线驱动电路。图 13B 是有源矩阵型发光显示装置的框图的例子。

[0251] 图 13B 所示的发光显示装置在衬底 5400 上包括:具有多个各自具备显示元件的像素的像素部 5401;选择像素的第一扫描线驱动电路 5402 及第二扫描线驱动电路 5404;以及控制至所选像素的视频信号输入的信号线驱动电路 5403。

[0252] 在输入到图 13B 所示发光显示装置的像素的视频信号为数字方式时,通过切换晶体管导通/截止,像素发光或不发光。因此,可以采用面积灰度级法或时间灰度级法进行灰度级显示。面积灰度级法指的是其中将一个像素分为多个子像素并根据视频信号分别驱动相应子像素使得进行灰度级显示的一种驱动法。此外,时间灰度级法指的是其中控制像素发光的时段使得进行灰度级显示的一种驱动法。

[0253] 因为发光元件的响应时间比液晶元件等的高,所以与液晶元件相比发光元件更适合于时间灰度级法。具体而言,在采用时间灰度级法进行显示的情况下,将一个帧期分为多个子帧期。然后,根据视频信号,在各子帧期中使像素的发光元件处于发光状态或非发光状态。通过将一个帧期分割为多个子帧期,在一个帧期中像素实际发光的总时间长度可受视频信号控制,使得可以显示灰度级。

[0254] 在图 13B 所示的发光显示装置中,在其中在一个像素中配置开关 TFT 和电流控制 TFT 的两个 TFT 的情况下,第一扫描线驱动电路 5402 生成输入到第一扫描线的信号,第一扫描线用作开关 TFT 的栅极布线,而第二扫描线驱动电路 5404 生成输入到第二扫描线的信号,第二扫描线用作电流控制 TFT 的栅极布线;但是,一个扫描线驱动电路可以生成输入到

第一扫描线的信号和输入到第二扫描线的信号二者。此外,例如,根据开关元件中包含的晶体管的数量,存在在各像素中设置用来控制开关元件的工作的多个第一扫描线的可能性。在此情况下,一个扫描线驱动电路可生成输入到多个第一扫描线的所有信号,或者多个扫描线驱动电路可生成输入到多个第一扫描线的信号。

[0255] 同样,在发光显示装置中,可以将驱动电路中可包括 n 沟道型 TFT 的驱动电路的一部分形成在与像素部中薄膜晶体管相同的衬底上。备选地,也可以仅使用实施方式 6 或 7 所述的 n 沟道型 TFT 形成信号线驱动电路及扫描线驱动电路。

[0256] 此外,上述驱动电路可以用于利用与开关元件电连接的元件来驱动电子墨水的电子纸,而限于对液晶显示装置或者发光显示装置的应用。电子纸也称为电泳显示装置(电泳显示器),并其优点在于:它具有与普通纸相同的易读性水平,它与其他显示装置相比具有更低功耗,并且它可形成得薄且轻。

[0257] 电泳显示器可具有各种方式。电泳显示器含有分散在溶剂或溶质中的多个微囊,每个微囊含有带正电的第一粒子和带负电的第二粒子。通过对微囊施加电场,微囊中的粒子互相沿相反方向移动,并且仅显示集合在一侧的粒子的颜色。注意,第一粒子和第二粒子各自包含色素,且在无电场时不移动。此外,第一粒子和第二粒子具有不同颜色(可为无色)。

[0258] 因此,电泳显示器是利用所谓的介电电泳效应的显示器,通过介电电泳效应,具有高介电常数的物质移动到高电场区。电泳显示装置不需要液晶显示装置中所需的偏振片或对置衬底,并且电泳显示装置的厚度和重量厚度可以减少到液晶显示装置一半。

[0259] 将在溶剂中分散有上述微囊的溶液称作电子墨水,该电子墨水可以印刷到玻璃、塑料、布、纸等的表面上。另外,通过使用彩色滤光片或具有色素的粒子,还可以获得彩色显示。

[0260] 此外,如果在有源矩阵衬底上适当地设置多个上述微囊以使其夹在两个电极之间,则完成有源矩阵型显示装置,并且通过对微囊施加电场可以执行显示。例如,可以使用实施方式 6 或 7 所述的薄膜晶体管而获得的有源矩阵衬底。

[0261] 注意,微囊中的第一粒子及第二粒子可以各自自由选自导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电性材料、电致发光材料、电致变色材料与磁泳材料中的单个材料制成,或者由这些材料中任意材料的复合材料制成。

[0262] 通过上述过程,可以制造作为半导体装置的高可靠性显示装置。

[0263] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0264] 实施方式 9

[0265] 在本发明的一个实施方式的薄膜晶体管被制造并用于像素部以及进一步用于驱动电路时,可制造具有显示功能的半导体装置(也称为显示装置)。此外,在将使用本发明的一个实施方式的薄膜晶体管的驱动电路的部分或全部形成在与像素部相同的衬底上时,可获得板上系统(system-on-panel)。

[0266] 显示装置包括显示元件。作为显示元件,可以使用液晶元件(也称为液晶显示元件)或发光元件(也称为发光显示元件)。发光元件在其类别中包括其亮度受电流或电压控制的元件,具体而言,包括无机电致发光(EL)元件、有机 EL 元件等。此外,也可以使用通过电作用而改变其对比度的显示介质,例如电子墨水。

[0267] 此外,显示装置包括其中密封显示元件的面板和其中在面板上安装包括控制器的 IC 等的模块。本发明的一个实施方式还涉及相当于在显示装置的制造过程中在显示元件完成之前的一个方式的元件衬底,并且该元件衬底设置有用于将电流供给到在多个像素的每个中的显示元件的单元。具体而言,元件衬底可以处于只形成显示元件的像素电极之后的状态、形成成为像素电极的导电膜之后且蚀刻导电膜以形成像素电极之前的状态或其他状态中的任何状态。

[0268] 注意,本说明书中的显示装置是指图像显示器件、显示器件或光源(包括照明装置)。另外,显示装置在其类别中还包括以下模块:附连有诸如柔性印刷电路(FPC)、载带自动键合(TAB)带或载带封装 TCP(TCP)的连接器的模块;具有其端部设置印刷线路板的 TAB 带或 TCP 的模块;以及通过玻璃上芯片(COG)将集成电路(IC)直接安装在显示元件上的模块。

[0269] 在本实施方式中,参照图 21A 至 21C 说明作为本发明的半导体装置的一个实施方式的液晶显示面板的外观及截面。图 21A 和 21B 是一种面板的俯视图,其中利用密封材料 4005 将薄膜晶体管 4010、4011 及液晶元件 4013 密封在第一衬底 4001 与第二衬底 4006 之间。图 21C 是沿着图 21A 和 21B 的线 M-N 的截面图。

[0270] 密封材料 4005 设置成围绕设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004。在像素部 4002 和扫描线驱动电路 4004 上设置第二衬底 4006。因此,像素部 4002 和扫描线驱动电路 4004 通过第一衬底 4001、密封材料 4005 和第二衬底 4006 与液晶层 4008 密封在一起。在第一衬底 4001 上的与由密封材料 4005 围绕的区域不同的区域中安装信号线驱动电路 4003,该信号线驱动电路 4003 使用单晶半导体膜或多晶半导体膜形成在另外准备的衬底上。

[0271] 注意对于另外形成的驱动电路的连接方法没有特别的限制,而可以采用 COG、引线键合或 TAB 等。图 21A 图示通过 COG 安装信号线驱动电路 4003 的例子,而图 21B 图示通过 TAB 安装信号线驱动电路 4003 的例子。

[0272] 设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 各包括多个薄膜晶体管。图 21C 图示像素部 4002 所包括的薄膜晶体管 4010 和扫描线驱动电路 4004 所包括的薄膜晶体管 4011。薄膜晶体管 4010、4011 上设置有绝缘层 4020、4021。

[0273] 作为薄膜晶体管 4010、4011,可以使用包含作为沟道形成区的氧过剩氧化物半导体层以及作为源区和漏区的氧缺欠氧化物半导体层的可靠性高的实施方式 6 所示的薄膜晶体管。备选地,可以使用实施方式 7 所示的薄膜晶体管作为薄膜晶体管 4010、4011。在本实施方式中,薄膜晶体管 4010、4011 是 n 沟道型薄膜晶体管。

[0274] 液晶元件 4013 所具有的像素电极层 4030 与薄膜晶体管 4010 电连接。液晶元件 4013 的对置电极层 4031 形成在第二衬底 4006 上。像素电极层 4030、对置电极层 4031 和液晶层 4008 重叠的部分相当于液晶元件 4013。注意,像素电极层 4030、对置电极层 4031 分别设置有各用作取向膜的绝缘层 4032 和绝缘层 4033。隔着绝缘层 4032、4033 将液晶层 4008 夹在像素电极层 4030 和对置电极层 4031。

[0275] 注意,第一衬底 4001、第二衬底 4006 可以使用玻璃、金属(典型的是不锈钢)、陶瓷、或塑料制成。作为塑料,可以使用纤维增强塑料(FRP)板、聚氟乙烯(PVF)膜、聚酯膜或丙烯酸树脂膜。备选地,可以使用具有将铝箔夹在 PVF 膜或聚酯膜之间的结构的薄片。

[0276] 附图标记 4035 表示通过对绝缘膜选择性地蚀刻而获得的柱状间隔物,并且它是为控制像素电极层 4030 和对置电极层 4031 之间的距离(单元间隙)而设置的。备选地,可以使用球状间隔物。对置电极层 4031 与薄膜晶体管 4010 设置在同一衬底上的共同电位线电连接。使用实施方式 1 至实施方式 3 中所示的任一共同连接部,通过配置在一对衬底间的导电粒子,对置电极层 4031 与共同电位线电连接。注意,导电粒子包含在密封材料 4005 中。

[0277] 备选地,可以使用不需要取向膜的显示为蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾相液晶的温度上升时即将从胆甾相转变到均质相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将含有 5 重量%或以上的手性试剂的液晶组成物用于液晶层 4008。包含显示为蓝相的液晶和手性试剂的液晶组成物的响应时间短,即为 $10\ \mu\text{s}$ 至 $100\ \mu\text{s}$,并且由于其具有光学各向同性而不需要取向处理且视角依赖性小。

[0278] 虽然本实施方式示出透射型液晶显示装置的例子,但是本发明的实施方式可以用于反射型液晶显示装置,或可以用于半透射型液晶显示装置。

[0279] 在本实施方式中,示出其中在衬底的外表面(在观察者侧)上设置偏振片并在衬底的内表面上依次设置着色层和用于显示元件的电极层的液晶显示装置例子;但是,可以在衬底的内表面上设置偏振片。偏振片和着色层的叠层结构不局限于本实施方式所示的结构,并且根据偏振片和着色层的材料或制造工序条件适当地设定。另外,还可以设置用作黑矩阵的遮光膜。

[0280] 在本实施方式中,使用用作保护膜或平坦化绝缘膜的绝缘层(绝缘层 4020 与绝缘层 4021)覆盖通过实施方式 6 得到的薄膜晶体管,以降低薄膜晶体管的表面粗糙度并提高薄膜晶体管的可靠性。注意,保护膜设置成防止悬浮在大气中的例如有机物质、金属物质或者水蒸气的杂质的侵入,并且优选为致密膜。通过溅射法将保护膜形成为氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜 / 和或氮氧化铝膜的单层膜或多层膜。虽然本实施方式示出通过溅射法形成保护膜的例子,但是本发明并不局限于该方法,而可以使用各种方法。

[0281] 在本实施方式中,形成具有多层结构的绝缘层作为保护膜。作为绝缘层 4020 的第一层,通过溅射法形成氧化硅膜。将氧化硅膜用作保护膜具有防止用作源电极层和漏电极层的铝膜的小丘的效果。

[0282] 还形成绝缘层作为保护膜的第三层。在本实施方式中,作为绝缘层 4020 的第二层,通过溅射法形成氮化硅膜。将氮化硅膜用作保护膜可以抑制例如钠离子的可动离子侵入到半导体区中,从而抑制 TFT 的电特性变化。

[0283] 在形成保护膜之后,可以将 IGZO 半导体层退火(在 300°C 至 400°C)。

[0284] 形成绝缘层 4021 作为平坦化绝缘膜。对于绝缘层 4021,可以使用具有耐热性的有机材料,例如聚酰亚胺、丙烯酸、聚酰亚胺、苯并环丁烯、聚酰胺或环氧树脂。除了上述有机材料之外,还可以使用低介电常数材料(低 k 材料)、硅氧烷基树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)或者诸如此类。硅氧烷基树脂可以包括氟、烷基和芳基中的至少一种作为取代基,还包括氢。注意,可以通过层叠多个由这些材料形成的绝缘膜来形成绝缘层 4021。

[0285] 注意,硅氧烷基树脂是由作为起始材料的硅氧烷材料形成的并且包含 Si-O-Si 键

的树脂。硅氧烷基树脂可以包括氟、烷基和芳香烃中的至少一种作为取代基,还包括氢。

[0286] 对形成绝缘层 4021 的方法没有特别限制,绝缘层 4021 可以根据材料通过溅射法、SOG、旋涂、浸渍、喷涂、液滴喷射法(例如喷墨法、丝网印刷、或胶版印刷)、刮刀、辊涂机、帘涂机、刮刀涂布机或者诸如此类来形成。在使用材料液形成绝缘层 4021 的情况下,可以在焙烧工序的同时将 IGZO 半导体层的退火(在 300℃至 400℃)。绝缘层 4021 的焙烧工序还用作 IGZO 半导体层的退火工序,从而可以高效地制造半导体装置。

[0287] 像素电极层 4030 和对置电极层 4031 可以由诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面表示为 ITO)、氧化铟锌或者添加有氧化硅的氧化铟锡的透光导电材料制成。

[0288] 可以将包含导电高分子(也称为导电聚合物)的导电组成物用于像素电极层 4030 和对置电极层 4031。由导电组成物制成的像素电极优选具有 10000 Ω / \square 或更小的薄层电阻以及在波长 550nm 的 70%或更高的透光率。另外,导电组成物所包含的导电高分子的电阻率优选为 0.1 $\Omega \cdot \text{cm}$ 或更小。

[0289] 作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以使用聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者上述材料中两种或更多种的共聚物。

[0290] 另外,将各种信号及电位从 FPC4018 供给到另外形成的信号线驱动电路 4003 以及扫描线驱动电路 4004 或像素部 4002。

[0291] 在本实施方式中,连接端子电极 4015 使用与液晶元件 4013 所包含的像素电极层 4030 相同的导电膜形成,并且端子电极 4016 使用与薄膜晶体管 4010、4011 的源电极层和漏电极层相同的导电膜形成。

[0292] 连接端子电极 4015 通过各向异性导电膜 4019 电连接到 FPC4018 所包含的端子。

[0293] 注意,图 21A 至 21C 示出其中另外形成信号线驱动电路 4003 并将其安装在第一衬底 4001 的例子;但是本实施方式不局限于该结构。可以另外形成并安装扫描线驱动电路,或者可以另外仅形成并安装信号线驱动电路的一部分或扫描线驱动电路的一部分。

[0294] 图 22 示出通过使用通过本发明制造的 TFT 衬底 2600 来制成为半导体装置的液晶显示模块的例子。

[0295] 图 22 是液晶显示模块的例子,其中利用密封材料 2602 贴合 TFT 衬底 2600 和对置衬底 2601,并在这些衬底之间设置包括 TFT 或诸如此类的像素部 2603、包括液晶层的显示元件 2604 以及着色层 2605 以形成显示区。执行彩色显示需要着色层 2605。在 RGB 系统的情况下,对于相应像素设置对应于红色、绿色与蓝色的相应着色层。在 TFT 衬底 2600 和对置衬底 2601 外配置偏振片 2606 与 2607 以及漫射片 2613。光源包括冷阴极管 2610 和反射板 2611。电路板 2612 通过柔性布线板 2609 与 TFT 衬底 2600 的布线电路部 2608 连接,且包含例如控制电路或电源电路的外部电路。偏振片和液晶层可以层叠有置于其间的延迟板。

[0296] 对于液晶显示模块,可以采用 TN(扭曲向列;Twisted Nematic)模式、IPS(平面内转换;In-Plane-Switching)模式、FFS(边缘场转换;Fringe Field Switching)模式、MVA(多畴垂直取向;Multi-domain Vertical Alignment)模式、PVA(垂直取向构型;Patterned Vertical Alignment)模式、ASM(轴对称排列微单元;Axially Symmetric

aligned Micro-cell) 模式、OCB(光学补偿双折射;Optical Compensated Birefringence) 模式、FLC(铁电性液晶;Ferroelectric Liquid Crystal) 模式、AFLC(反铁电性液晶;Anti Ferroelectric Liquid Crystal) 模式或者诸如此类。

[0297] 通过上述过程,可以制造作为半导体装置的高可靠性液晶显示面板。

[0298] 本实施方式可以与其他实施方式所描述的结构适当地组合而实施。

[0299] 实施方式 10

[0300] 在本实施方式中,将电子纸的例子描述为本发明的一个实施方式的半导体装置。

[0301] 图 12 将有源矩阵型电子纸示出为应用本发明的半导体装置的例子。可以按与实施方式 6 中所示薄膜晶体管类似的方式制造用于半导体装置的薄膜晶体管 581,并且该薄膜晶体管 581 是包括作为沟道形成区的氧过剩氧化物半导体层以及作为源区和漏区的氧缺乏氧化物半导体层的高可靠性薄膜晶体管。实施方式 7 所示的薄膜晶体管也可以用作本实施方式的薄膜晶体管 581。

[0302] 图 12 的电子纸是采用扭转球显示系统的显示装置的例子。扭转球显示系统是指如下的方法:其中,将各自以黑色与白色着色的球形粒子配置在作为用于显示元件的电极层的第一电极层与第二电极层之间,并且在第一电极层与第二电极层之间产生电位差以控制球形粒子的方向,使得执行显示。

[0303] 介于衬底 580 与衬底 596 之间的薄膜晶体管 581 是底栅薄膜晶体管,并且源电极层或漏电极层通过形成在绝缘层 585 中的开口与第一电极层 587 接触,从而将薄膜晶体管 581 电连接到第一电极层 587。在第一电极层 587 和第二电极层 588 之间设置球形粒子 589,球形粒子 589 各自具有黑色区 590a、白色区 590b 以及在这些区周围的填充有液体的空洞 594。球形粒子 589 周围的空间用例如树脂的填充材料 595 填充(参见图 12)。在本实施方式中,第一电极层 587 相当于像素电极,而第二电极层 588 相当于共同电极。第二电极层 588 电连接到与薄膜晶体管 581 设置在同一衬底上的共同电位线。通过使用实施方式 1 至 3 中任一个所示的共同连接部,第二电极层 588 通过配置在一对衬底间的导电粒子与共同电位线电连接。

[0304] 还可以使用电泳元件来代替扭转球。使用直径为 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 左右的微囊,在微囊中封入有透明液体、带正电的白色微粒以及带负电的黑色微粒。在设置在第一电极层和第二电极层之间的微囊中,在第一电极层和第二电极层之间施加电场时,白色微粒和黑色微粒相互移动到相反侧,使得可以显示白色或黑色。使用这种原理的显示元件是电泳显示元件,并且一般被称为电子纸。电泳显示元件具有比液晶显示元件高的反射率,因而不需要辅助灯,功耗低,并且在昏暗的地方能够辨别显示部。另外,甚至在不给显示部供应电源时,也能够保持显示过一次的图像。因此,即使具有显示功能的半导体装置(其可简单地称为显示装置或设置有显示装置的半导体装置)远离电波源,也能够储存显示过的图像。

[0305] 通过上述工序,可以制造作为半导体装置的高可靠性电子纸。

[0306] 本实施方式可以与实施方式 1 至 5 中任一个所记载的共同连接部的结构适当地组合而实施。

[0307] 实施方式 11

[0308] 在本实施方式中,将发光显示装置的例子描述为本发明的一个实施方式的半导体装置。作为显示装置所包含的显示元件,这里描述利用电致发光的发光元件。利用电致发

光的发光元件根据发光材料是有机化合物还是无机化合物进行分类。一般来说,前者被称为有机 EL 元件,而后者被称为无机 EL 元件。

[0309] 在有机 EL 元件中,通过对发光元件施加电压,电子和空穴从一对置电极分别注入到包含发光有机化合物的层,并且电流流过。然后,这些载流子(电子和空穴)重新结合,使得发光有机化合物被激发。发光有机化合物从激发态返回到基态,从而发光。由于这种机理,该发光元件被称为电流激发型发光元件。

[0310] 无机 EL 元件根据其元件结构分类为分散型无机 EL 元件和薄膜无机 EL 元件。分散型无机 EL 元件具有其中在粘合剂中分散有发光材料粒子的发光层,且其发光机理是利用供体能级和受体能级的供体-受体重新结合型发光。薄膜型无机 EL 元件具有其中发光层夹在电介质层之间、它们进而夹在电极之间的结构,且其发光机理是利用金属离子的内壳电子跃迁的定域型发光。注意,在此使用有机 EL 元件作为发光元件进行说明。

[0311] 图 19 示出作为本发明的半导体装置例子的可以通过数字时间灰度级方法驱动的像素结构的例子。

[0312] 对可以通过数字时间灰度级方法驱动的像素的结构以及工作进行说明。这里示出其中一个像素包含两个 n 沟道型的晶体管(其在沟道形成区中使用氧化物半导体层(IGZO 半导体层))的例子。

[0313] 像素 6400 包括开关晶体管 6401、驱动晶体管 6402、发光元件 6404 以及电容元件 6403。开关晶体管 6401 的栅极与扫描线 6406 连接,开关晶体管 6401 的第一电极(源电极以及漏电极中之一)与信号线 6405 连接,并且开关晶体管 6401 的第二电极(源电极以及漏电极中的另一个)与驱动晶体管 6402 的栅极连接。驱动晶体管 6402 的栅极通过电容器 6403 与电源线 6407 连接,驱动晶体管 6402 的第一电极与电源线 6407 连接,并且驱动晶体管 6402 的第二电极与发光元件 6404 的第一电极(像素电极)连接。发光元件 6404 的第二电极相当于共同电极 6408。共同电极 6408 与设置在同一衬底上的共同电位线电连接,并且可以将连接部分用作共同连接部而获得图 1A、图 2A 或图 3A 所示的结构。

[0314] 注意,将发光元件 6404 的第二电极(共同电极 6408)设定为低电源电位。低电源电位低于供应给电源线 6407 的高电源电位。例如,可以将低电源电位设定为 GND 或 0V。将高电源电位与低电源电位之差施加到发光元件 6404,以使电流在发光元件 6404 中流过,由此发光元件 6404 发光。因此,设定每个电位,使得高电源电位与低电源电位之差等于或高于正向阈值电压。

[0315] 在驱动晶体管 6402 的栅极电容用作电容器 6403 的替代时,可省略电容器 6403。驱动晶体管 6402 的栅极电容可以形成在沟道区与栅电极之间。

[0316] 在采用电压输入电压驱动方法的情况下,对驱动晶体管 6402 的栅极输入使驱动晶体管 6402 完全导通或截止的视频信号。即,驱动晶体管 6402 工作在线性区域,并且因此将比电源线 6407 的电压高的电压施加到驱动晶体管 6402 的栅极。注意,对信号线 6405 施加高于或等于(电源线电压 + 驱动晶体管 6402 的 V_{th}) 的电压。

[0317] 在使用模拟灰度级方法代替数字时间灰度级方法的情况下,通过以不同方式输入信号可以使用与图 19 相同的像素结构。

[0318] 在使用模拟灰度级方法的情况下,对驱动晶体管 6402 的栅极施加高于或等于(发光元件 6404 的正向电压 + 驱动晶体管 6402 的 V_{th}) 的电压。发光元件 6404 的正向电压是

指获得所希望亮度的电压,并且至少包含正向阈值电压。通过输入允许驱动晶体管 6402 工作在饱和区的视频信号,电流可以在发光元件 6404 中流过。为了允许驱动晶体管 6402 工作在饱和区,电源线 6407 的电位高于驱动晶体管 6402 的栅极电位。因为视频信号为模拟信号,所以根据视频信号的电流在发光元件 6404 中流过并且可以执行模拟灰度级方法。

[0319] 注意,像素结构不局限于图 19 中所示。例如,图 26 中的像素还可以包括开关、电阻器、电容器、晶体管、逻辑电路或诸如此类。

[0320] 接着,参照图 20A 至 20C 说明发光元件的结构。通过把 n 沟道驱动 TFT 作为例子来说明像素的截面结构。用于图 20A 至 20C 所示的半导体装置的驱动 TFT7001、7011 和 7021 可以按与实施方式 6 中所述的薄膜晶体管类似的方式进行制造,并且是各自包括作为沟道形成区的氧过剩氧化物半导体层以及作为源区和漏区的氧缺欠氧化物半导体层的高可靠性薄膜晶体管。备选地,可以将实施方式 7 中所述的薄膜晶体管用作驱动 TFT7001、7011、7021。

[0321] 为了取出从发光元件发出的光,要求阳极与阴极中至少之一透射光。在衬底上形成薄膜晶体管及发光元件。发光元件可具有其中通过与衬底相反的表面取出光的顶部发射结构、其中通过衬底侧上的表面取出光的底部发射结构,或通过与衬底相反的表面和衬底侧上的表面取出光的双发射结构。本发明实施方式的像素结构可以应用于具有任何这些发射结构的发光元件。

[0322] 参照图 20A 说明具有顶部发射结构的发光元件。

[0323] 图 20A 是在驱动 TFT7001 为 n 型且光从发光元件 7002 发射到阳极 7005 侧的情况下像素的截面图。在图 20A 中,发光元件 7002 的阴极 7003 与驱动 TFT7001 电连接,并且在阴极 7003 上按顺序层叠发光层 7004 和阳极 7005。阴极 7003 可以由各种导电材料制成,只要它们具有低功函数且反射光即可。例如,优选采用 Ca、Al、CaF、MgAg、AlLi 或者诸如此类。发光层 7004 可以使用单层或层叠的多层构成。在发光层 7004 使用多层构成时,通过在阴极 7003 上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层与空穴注入层来构成发光层 7004。不需要设置所有这些层。阳极 7005 由例如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面表示为 ITO)、氧化铟锌、或添加有氧化硅的氧化铟锡的透光导电材料形成。

[0324] 发光元件 7002 相当于阴极 7003 与阳极 7005 将发光层 7004 夹在中间的区域。在图 20A 所示像素的情况下,光从发光元件 7002 发射到阳极 7005 侧,如箭头所示。

[0325] 接着,参照图 20B 说明具有底部发射结构的发光元件。图 20B 是在驱动 TFT7011 是 n 型且光从发光元件 7012 发射到阴极 7013 侧的情况下像素的截面图。在图 20B 中,在与驱动 TFT7011 电连接的透光导电膜 7017 上形成发光元件 7012 的阴极 7013,并且在阴极 7013 上按顺序层叠发光层 7014 和阳极 7015。在阳极 7015 具有透光属性时,可以形成用来反射光或阻挡光的光阻挡膜 7016 以覆盖阳极 7015。至于阴极 7013,与图 20A 的情况类似,可以使用各种材料,只要它们是具有低功函数的导电材料即可。注意,将阴极 7013 形成为具有可透射光的厚度(优选为 5nm 至 30nm 左右)。例如,可以将厚度为 20nm 的铝膜用作阴极 7013。与图 20A 的情况类似,发光层 7014 可以使用单层或层叠的多层构成。阳极 7015 不需要透射光,但是可以由与图 20A 的情况类似的透光导电材料形成。作为光阻挡膜 7016,例如可以使用反射光的金属;但是,它不局限于金属膜。例如,也可以使用添加有黑色色素

的树脂等。

[0326] 发光元件 7012 相当于阴极 7013 及阳极 7015 将发光层 7014 夹在中间的区域。在图 20B 所示像素的情况下,光从发光元件 7012 发射到阴极 7013 侧,如箭头所示。

[0327] 接着,参照图 20C 说明具有双发射结构的发光元件。在图 20C 中,在与驱动 TFT7021 电连接的透光导电膜 7027 上形成发光元件 7022 的阴极 7023,在阴极 7023 上按顺序层叠发光层 7024 与阳极 7025。与图 20A 的情况类似,阴极 7023 可由各种导电材料制成,只要它们具有低功函数即可。注意,阴极 7023 形成为具有可以透射光的厚度。例如,可以将具有 20nm 厚度的 Al 膜用作阴极 7023。与图 20A 中一样,发光层 7024 可以使用单层或层叠的多层构成。阳极 7025 可以由与图 20A 的情况类似的透光导电材料形成。

[0328] 发光元件 7022 相当于阴极 7023、发光层 7024 和阳极 7025 相互重叠的区域。在图 20C 所示像素的情况下,光从发光元件 7022 发射到阳极 7025 侧和阴极 7023 侧这两侧,如箭头所示。

[0329] 虽然在此将有机 EL 元件描述为发光元件,但是也可以将无机 EL 元件设置为发光元件。

[0330] 在本实施方式中,描述了其中控制发光元件的驱动的薄膜晶体管(驱动 TFT)与发光元件电连接的例子;但是,可以采用其中用于电流控制的 TFT 连接在驱动 TFT 和发光元件之间的结构。

[0331] 本实施方式所述的半导体装置的结构不局限于图 20A 至 20C 所示的结构,而可以根据本发明的技术精神以各种方式进行修改。

[0332] 接着,参照图 23A 和 23B 说明作为本发明半导体装置的一个实施方式的发光显示面板的外观及截面。图 23A 是其中利用密封材料将薄膜晶体管及发光元件密封在第一衬底与第二衬底之间的面板的俯视图。图 23B 是沿着图 23A 的线条 H-I 得到的截面图。

[0333] 密封材料 4505 设置成围绕设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a 和 4503b 以及扫描线驱动电路 4504a 和 4504b。此外,在像素部 4502、信号线驱动电路 4503a 和 4503b 以及扫描线驱动电路 4504a 和 4504b 上设置第二衬底 4506。因此,像素部 4502、信号线驱动电路 4503a 和 4503b 以及扫描线驱动电路 4504a 和 4504b 通过第一衬底 4501、密封材料 4505 和第二衬底 4506 与填充材料 4507 一起密封。因此优选的是,用高气密性且少脱气的保护膜(例如贴合膜、或紫外线固化树脂膜)或覆盖材料来封装(密封)显示装置,使得显示装置不暴露于外部空气。

[0334] 形成在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a 和 4503b 及扫描线驱动电路 4504a 和 4504b 各自包括多个薄膜晶体管,并且在图 23B 中作为例子示出包括在像素部 4502 中的薄膜晶体管 4510 和包括在信号线驱动电路 4503a 中的薄膜晶体管 4509。

[0335] 作为薄膜晶体管 4509 和 4510,可以使用实施方式 6 中所述的包括作为沟道形成区的氧过剩氧化物半导体层以及作为源区和漏区的氧缺欠氧化物半导体层的薄膜晶体管。备选地,可以将实施方式 7 所述的薄膜晶体管用作薄膜晶体管 4509 和 4510。在本实施方式中,薄膜晶体管 4509 和 4510 是 n 沟道薄膜晶体管。

[0336] 此外,附图标记 4511 表示发光元件。发光元件 4511 所包含的作为像素电极的第一电极层 4517 与薄膜晶体管 4510 的源电极层或漏电极层电连接。注意,发光元件 4511 的结构不局限于本实施方式所示的叠层结构,其包括第一电极层 4517、电致发光层 4512 和第

二电极层 4513。可以根据将光从发光元件 4511 取出的方向或者诸如此类来适当地改变发光元件 4511 的结构。

[0337] 分隔壁 4520 由有机树脂膜、无机绝缘膜或有机聚硅氧烷制成。特别优选的是,分隔壁 4520 由感光材料形成为在第一电极层 4517 上具有开口使得该开口的侧壁形成为具有连续曲率的倾斜面。

[0338] 电致发光层 4512 可以使用单层或者层叠的多层形成。

[0339] 为了阻止氧、氢、水分、二氧化碳或者诸如此类侵入到发光元件 4511,可以在第二电极层 4513 以及分隔壁 4520 上形成保护膜。作为保护膜,可以形成氮化硅膜、氮氧化硅膜、DLC 膜或者诸如此类。

[0340] 将各种信号及电位从 FPC4518a 和 4518b 供给到信号线驱动电路 4503a 和 4503b、扫描线驱动电路 4504a 和 4504b 或像素部 4502。

[0341] 在本实施方式中,连接端子电极 4515 使用与发光元件 4511 所包含的第一电极层 4517 相同的导电膜形成,并且端子电极 4516 使用与薄膜晶体管 4509 和 4510 所包含的源电极层和漏电极层相同的导电膜形成。

[0342] 连接端子电极 4515 通过各向异性导电膜 4519 电连接到 FPC4518a 的端子。

[0343] 位于将光从发光元件 4511 取出的方向上的第二衬底 4506 需要具有透光属性。在此情况下,使用如玻璃板、塑料板、聚酯膜或丙烯酸膜的透光材料。

[0344] 作为填充材料 4507,除了例如氮或氩的惰性气体之外,还可以使用紫外线固化树脂或热固化树脂。例如,可以使用 PVC(聚氯乙烯)、丙烯酸、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)或 EVA(乙烯-醋酸乙烯酯)。在本实施方式中,将氮用作填充材料 4507。

[0345] 若有需要的话,可以在发光元件的发光面上适当地设置诸如偏振片、圆偏振片(包括椭圆偏振片)、延迟板(四分之一波长片或二分之一波长片)或者彩色滤光片的光学膜。另外,可以给偏振片或圆偏振片设置抗反射膜。例如,可以执行抗眩光处理,通过该处理反射光被表面上的凹凸扩散从而降低眩光。

[0346] 信号线驱动电路 4503a 和 4503b 及扫描线驱动电路 4504a 和 4504b 可以安装为在另行准备的衬底上使用单晶半导体膜或多晶半导体膜形成的驱动电路。备选地,可以另外仅形成并安装信号线驱动电路或其部分或者仅扫描线驱动电路或其部分。本实施方式不局限于图 23A 和 23B 所示的结构。

[0347] 通过上述工序,可以制造作为半导体装置的高可靠性发光显示装置(显示面板)。

[0348] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0349] 实施方式 12

[0350] 本发明的一个实施方式的半导体装置可以应用于电子纸。电子纸可以用于各种领域的电子设备,只要它们可显示数据即可。例如,可以将电子纸应用于电子书阅读器(电子书)、招贴、例如列车的交通工具内的广告或者例如信用卡的各种卡的显示。图 24A 和 24B 以及图 25 中示出电子设备的例子。

[0351] 图 24A 示出使用电子纸的招贴 2631。在其中广告介质是打印纸的情况下,用手替换广告;但是,通过使用应用本发明的电子纸,可以在短时间内改变广告显示。此外,可以在没有显示缺陷的情况下获得稳定的图像。注意,招贴也可以具有能够无线收发数据的配置。

[0352] 图 24B 示出例如列车的交通工具内的广告 2632。在其中广告介质是打印纸的情况下,用手替换广告;但是,通过使用应用本发明的电子纸,可以用较少的人力在短时间内改变广告显示。此外,可以在没有显示缺陷的情况下获得稳定的图像。注意,交通工具内的广告可以具有能够无线收发数据的结构。

[0353] 图 25 示出电子书阅读器 2700 的例子。例如,电子书阅读器 2700 包括两个框体,即框体 2701 及框体 2703。框体 2701 及框体 2703 用铰链 2711 组合,使得电子书阅读器 2700 可以用铰链 2711 作为轴进行开闭。采用这种结构,电子书阅读器 2700 可以如纸质书那样进行操作。

[0354] 框体 2701 与框体 2703 分别合并有显示部 2705 和显示部 2707。显示部 2705 及显示部 2707 可以显示一个图像或不同图像。在其中显示部 2705 及显示部 2707 显示不同图像的情况下,例如在右侧的显示部(图 25 中的显示部 2705)上可以显示文本,而在左侧的显示部(图 25 中的显示部 2707)上可以显示图形。

[0355] 图 25 示出其中框体 2701 设置有操作部等的例子。例如,框体 2701 设置有电源开关 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可以翻页。注意,可以在与框体的显示部相同的面上设置键盘、指点装置等。另外,可以在框体的背面或侧面上设置外部连接端子(耳机端子、USB 端子、可与例如 AC 适配器及 USB 电缆的各种电缆连接的端子或者诸如此类)、记录介质插入部等。再者,电子书阅读器 2700 可以具有电子词典的功能。

[0356] 电子书阅读器 2700 可以具有能够无线收发数据的结构。通过无线通信,可以从电子书籍服务器购买和下载所希望的书籍数据或者诸如此类。

[0357] 实施方式 13

[0358] 本发明的半导体装置可以应用于各种电子设备(包括娱乐机)。电子设备的例子是电视装置(也称为电视或电视接收机)、计算机或诸如此类的监视器、例如数码相机或数码摄像机的相机、数码相框、蜂窝电话(也称为移动电话或移动电话装置)、便携式游戏控制台、便携式信息终端、声音再现装置、例如弹珠机的大型游戏机等。

[0359] 图 26A 示出电视装置 9600 的例子。在电视装置 9600 中,显示部 9603 合并于框体 9601 中。图像可以显示在显示部 9603 上。在此,用支架 9605 支撑框体 9601。

[0360] 可以通过框体 9601 的操作开关或者另外提供的遥控器 9610 操作电视装置 9600。通过遥控器 9610 的操作键 9609 可以控制频道及音量,使得可以控制在显示部 9603 上显示的图像。此外,遥控器 9610 可以设置有显示从遥控器 9610 输出的数据的显示部 9607。

[0361] 注意,电视装置 9600 设置有接收器、调制解调器等。利用接收器可以接收一般的电视广播。再者,在经由调制解调器通过有线或无线连接将电视装置 9600 连接到通信网络时,可以执行单向(从发送器到接收器)或双向(在发送器和接收器之间、在接收器之间或者诸如此类)的数据通信。

[0362] 图 26B 示出数码相框 9700 的例子。例如,在数码相框 9700 中,在框体 9701 中合并有显示部 9703。在显示部 9703 上可以显示各种图像。例如,显示部 9703 可以显示由数码相机或诸如此类拍摄的图像的数据,以发挥一般相框的功能。

[0363] 注意,数码相框 9700 设置有操作部、外部连接部(USB 端子、可以与例如 USB 电缆的各种电缆连接的端子、或者诸如此类)、记录介质插入部等。尽管它们可以设置在与显示部相同的面上,但是优选的是将它们设置在侧面或背面上以便设计数码相框 9700。例如,在

数码相框的记录介质插入部中插入储存由数码相机拍摄的图像的数据的存储器,从而可以下载图像数据并将其显示在显示部 9703 上。

[0364] 数字相框 9700 可以具有能够无线收发数据的配置。通过无线通信,可以下载所希望的图像数据来进行显示。

[0365] 图 27A 示出一种便携式娱乐机,包括两个框体,框体 9881 和框体 9891。框体 9881 和框体 9891 与连接部 9893 连接以进行开闭。框体 9881 和框体 9891 分别合并有显示部 9882 和显示部 9883。另外,图 27A 所示的便携式娱乐机还包括扬声器部 9884、记录介质插入部 9886、LED 灯 9890、输入单元(操作键 9885、连接端子 9887、传感器 9888(传感器具有测定力、位移、位置、速度、加速度、角速度、转动数、距离、光、液体、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射、流量、湿度、倾斜度、振动、气味或红外线的功能)或者麦克风 9889)等。不用说,便携式娱乐机的结构不局限于上文所述,可以采用至少设置有本发明的半导体装置的其它结构。便携式娱乐机可以适当地包括其它附属设备。图 27A 所示的便携式娱乐机具有读出存储在记录介质中的程序或数据以将其显示在显示部上的功能以及通过无线通信与其他便携式娱乐机共享信息的功能。图 27A 所示的便携式娱乐机可以具有不限于上文所述的各种功能。

[0366] 图 27B 示出作为大型娱乐机的自动贩卖机 9900 的例子。在自动贩卖机 9900 中,显示部 9903 合并于框体 9901 中。另外,自动贩卖机 9900 包括如起动机或停止开关的操作单元、投币口、扬声器等。不用说,自动贩卖机 9900 的结构不局限于上文所述,并且可以采用至少设置有本发明的半导体装置的其它结构。自动贩卖机 9900 可以适当地包括其它附属设备。

[0367] 图 28 示出蜂窝电话 1000 的例子。蜂窝电话 1000 设置有合并于框体 1001 中的显示部 1002、操作按钮 1003、外部连接端口 1004、扬声器 1005、麦克风 1006 等。

[0368] 在用手指或者诸如此类触摸图 28 所示的蜂窝电话 1000 的显示部 1002 时,可将数据输入到蜂窝电话 1000。此外,可以通过用手指或者诸如此类触摸显示部 1002 来执行例如打电话和撰写邮件的操作。

[0369] 主要有显示部 1002 的三种屏幕模式。第一种模式是主要用于显示图像的显示模式。第二种模式是主要用于输入例如文本的数据的输入模式。第三种模式是其中组合显示模式和输入模式的两种模式的显示与输入模式。

[0370] 例如,在打电话或撰写邮件的情况下,为显示部 1002 选择主要用于输入文本的文本输入模式,使得可输入在屏幕上显示的文本。在此情况下,优选的是,在显示部 1002 的几乎所有屏幕区域上显示键盘或号码按钮。

[0371] 当在蜂窝电话 1000 内部设置包括例如陀螺仪或加速度传感器的用于检测倾斜度的传感器的检测装置时,通过确定蜂窝电话 1000 的方向(蜂窝电话 1000 对于横向模式或纵向模式被水平放置还是垂直放置),可以自动切换显示部 1002 的屏幕上的显示。

[0372] 屏幕模式通过触摸显示部 1002 或操作框体 1001 的操作按钮 1003 进行切换。备选地,可以根据显示在显示部 1002 上的图像种类切换屏幕模式。例如,当显示在显示部上的图像信号为运动图像的数据时,将屏幕模式切换成显示模式。当信号为文本数据时,将屏幕模式切换成输入模式。

[0373] 另外,在输入模式中,当在显示部 1002 中的光传感器检测信号的同时某个时段内

没有执行通过触摸显示部 1002 的输入时,可以控制屏幕模式以便从输入模式切换到显示模式。

[0374] 可以将显示部 1002 用作图像传感器。例如,通过用手掌或手指触摸显示部 1002,拍摄掌纹、指纹或者诸如此类的图像,从而可以执行个人验证。此外,通过为显示部提供发射近红外光的背光灯或感测光源,还可以拍摄手指静脉、手掌静脉或者诸如此类的图像。

[0375] 本申请基于 2008 年 9 月 19 日提交日本专利局的日本专利申请序号 2008-241307,因此通过引用合并该申请的全部内容。

[0376] 符号的说明

[0377] 100 衬底;101 栅电极层;102 栅极绝缘层;103 半导体层;107 保护绝缘层;108 电容布线;110 像素电极层;111IGZO 膜;121 端子;122 端子;125 接触孔;126 接触孔;127 接触孔;128 透明导电膜;129 透明导电膜;131 抗蚀剂掩模;132 导电膜;133 沟道保护层;135 绝缘层;136 绝缘层;150 端子;151 端子;152 栅极绝缘层;153 连接电极层;154 保护绝缘膜;155 透明导电膜;156 电极层;170 薄膜晶体管;171 薄膜晶体管;172 薄膜晶体管;181 共同电位线;185 共同电位线;186 氧化物半导体层;190 共同电极层;191 连接电极层;580 衬底;581 薄膜晶体管;585 绝缘层;587 电极层;588 电极层;589 球形粒子;594 空洞;595 填充材料;596 衬底;1000 蜂窝电话;1001 框体;1002 显示部;1003 操作按钮;1004 外部连接端口;1005 扬声器;1006 麦克风;104a 源区或漏区;104b 源区或漏区;105a 源电极层或漏电极层;105b 源电极层或漏电极层;2600TFT 衬底;2601 对置衬底;2602 密封材料;2603 像素部;2604 显示元件;2605 着色层;2606 偏振片;2607 偏振片;2608 布线电路部;2609 柔性线路板;2610 冷阴极管;2611 反射板;2612 电路板;2613 扩散板;2631 招贴;2632 车内广告;2700 电子书籍;2701 框体;2703 框体;2705 显示部;2707 显示部;2711 铰链;2721 电源开关;2723 操作键;2725 扬声器;4001 衬底;4002 像素部;4003 信号线驱动电路;4004 扫描线驱动电路;4005 密封材料;4006 衬底;4008 液晶层;4010 薄膜晶体管;4011 薄膜晶体管;4013 液晶元件;4015 连接端子电极;4016 端子电极;4018FPC;4019 各向异性导电膜;4020 绝缘层;4021 绝缘层;4030 像素电极层;4031 对置电极层;4032 绝缘层;4501 衬底;4502 像素部;4505 密封材料;4506 衬底;4507 填充材料;4509 薄膜晶体管;4510 薄膜晶体管;4511 发光元件;4512 电致发光层;4513 电极层;4515 连接端子电极;4516 端子电极;4517 电极层;4519 各向异性导电膜;4520 分隔壁;5300 衬底;5301 像素部;5302 扫描线驱动电路;5303 信号线驱动电路;5400 衬底;5401 像素部;5402 扫描线驱动电路;5403 信号线驱动电路;5404 扫描线驱动电路;5501 布线;5502 布线;5503 布线;5504 布线;5505 布线;5506 布线;5543 节点;5544 节点;5571 薄膜晶体管;5572 薄膜晶体管;5573 薄膜晶体管;5574 薄膜晶体管;5575 薄膜晶体管;5576 薄膜晶体管;5577 薄膜晶体管;5578 薄膜晶体管;5601 驱动 IC;5602 开关群;5611 布线;5612 布线;5613 布线;5621 布线;5701 触发器;5711 布线;5712 布线;5713 布线;5714 布线;5715 布线;5716 布线;5717 布线;5721 信号;5821 信号;590a 黑色区;590b 白色区;6400 像素;6401 开关晶体管;6402 驱动晶体管;6403 电容器;6404 发光元件;6405 信号线;6406 扫描线;6407 电源线;6408 共同电极;7001TFT;7002 发光元件;7003 阴极;7004 发光层;7005 阳极;7011 驱动 TFT;7012 发光元件;7013 阴极;7014 发光层;7015 阳极;7016 遮光膜;7017 导电膜;7021 驱动 TFT;7022 发光元件;7023 阴极;7024 发光层;7025 阳极;7027 导电膜;9600 电视装置;9601 框体;9603 显示部;9605 支

架 ;9607 显示部 ;9609 操作键 ;9610 遥控器 ;9700 数码相框 ;9701 框体 ;9703 显示部 ;9881 框体 ;9882 显示部 ;9883 显示部 ;9884 扬声器部 ;9885 输入单元 ;9886 记录介质插入部 ;9887 连接端子 ;9888 传感器 ;9889 麦克风 ;9890LED 灯 ;9891 框体 ;9893 连接部 ;9900 自动赌博机 ;9901 框体 ;9903 显示部 ;4503a 信号线驱动电路 ;4503b 信号线驱动电路 ;4504a 扫描线驱动电路 ;4504b 扫描线驱动电路 ;4518a FPC ;4518b FPC ;5603a 薄膜晶体管 ;5603b 薄膜晶体管 ;5603c 薄膜晶体管 ;5703a 时序 ;5703b 时序 ;5703c 时序 ;5803a 时序 ;5803b 时序 ;5803c 时序

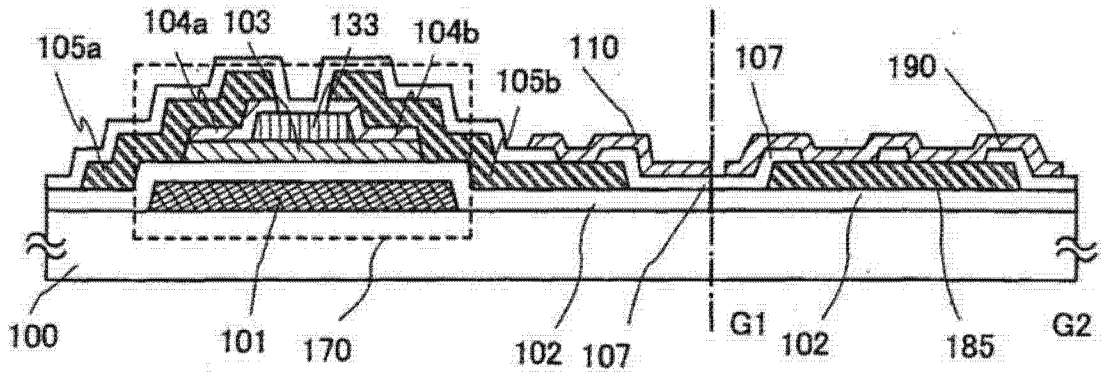


图 1A

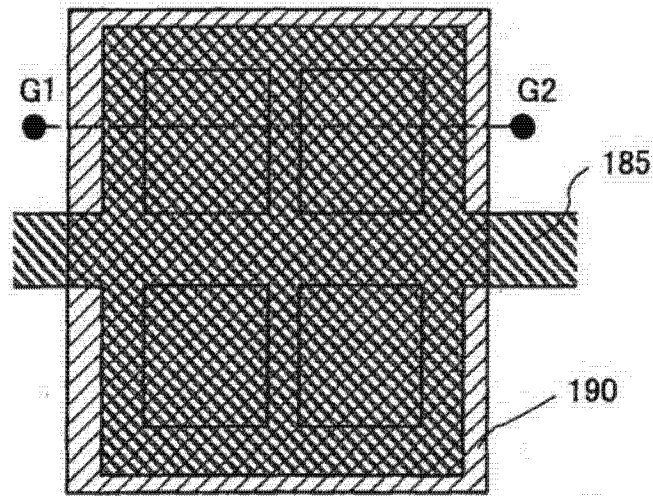


图 1B

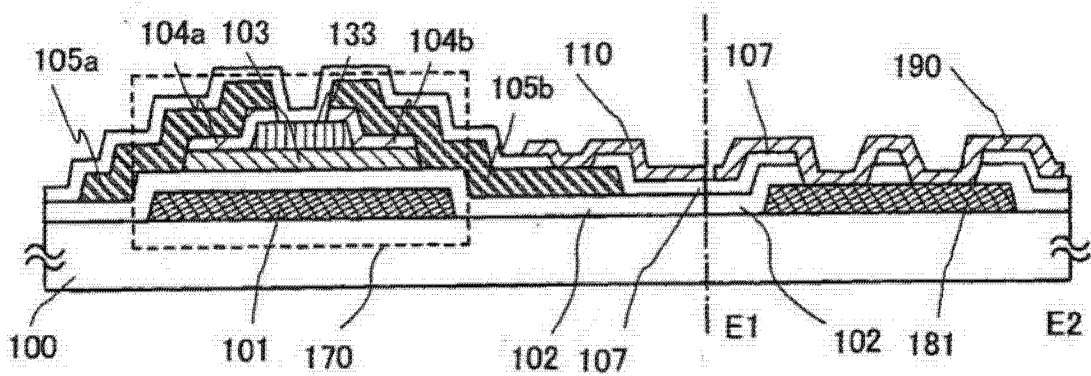


图 2A

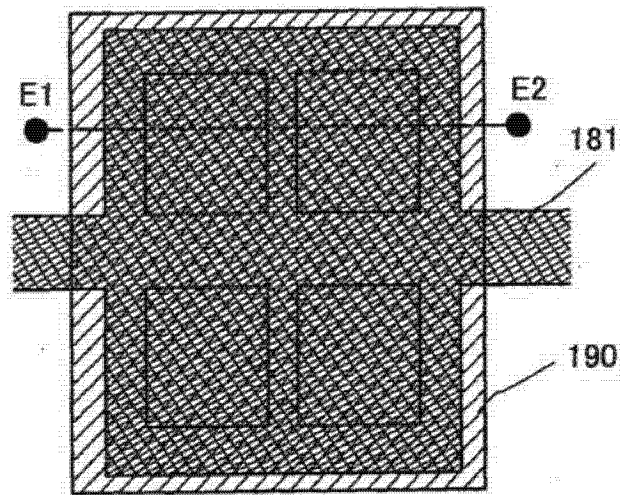


图 2B

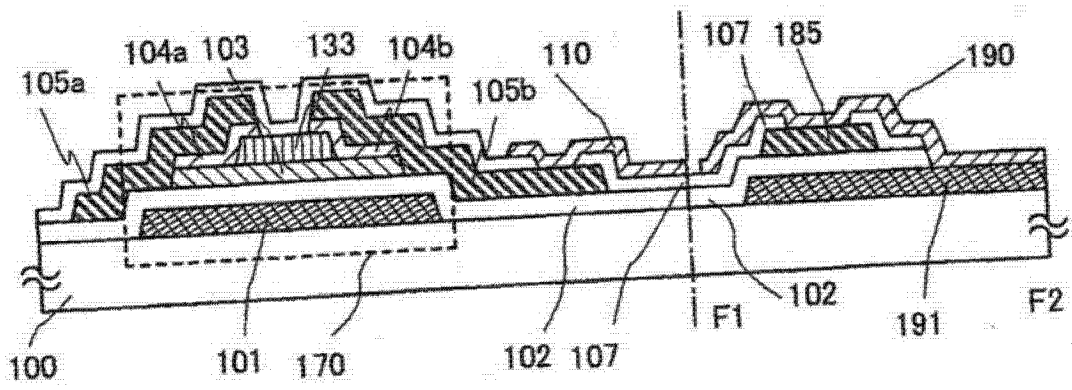


图 3A

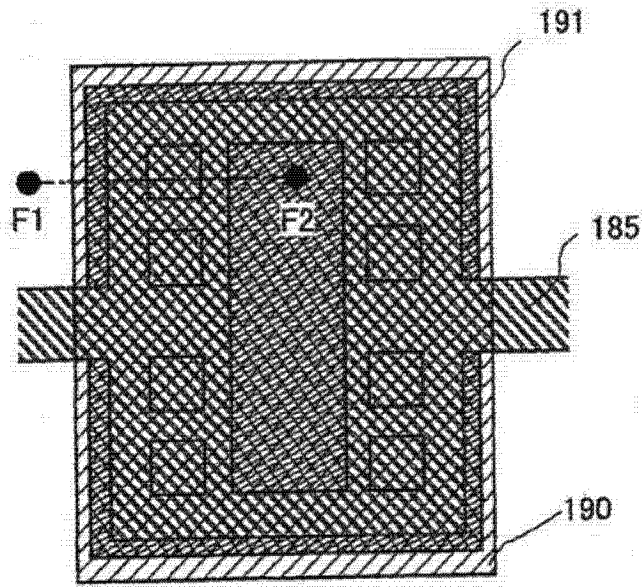
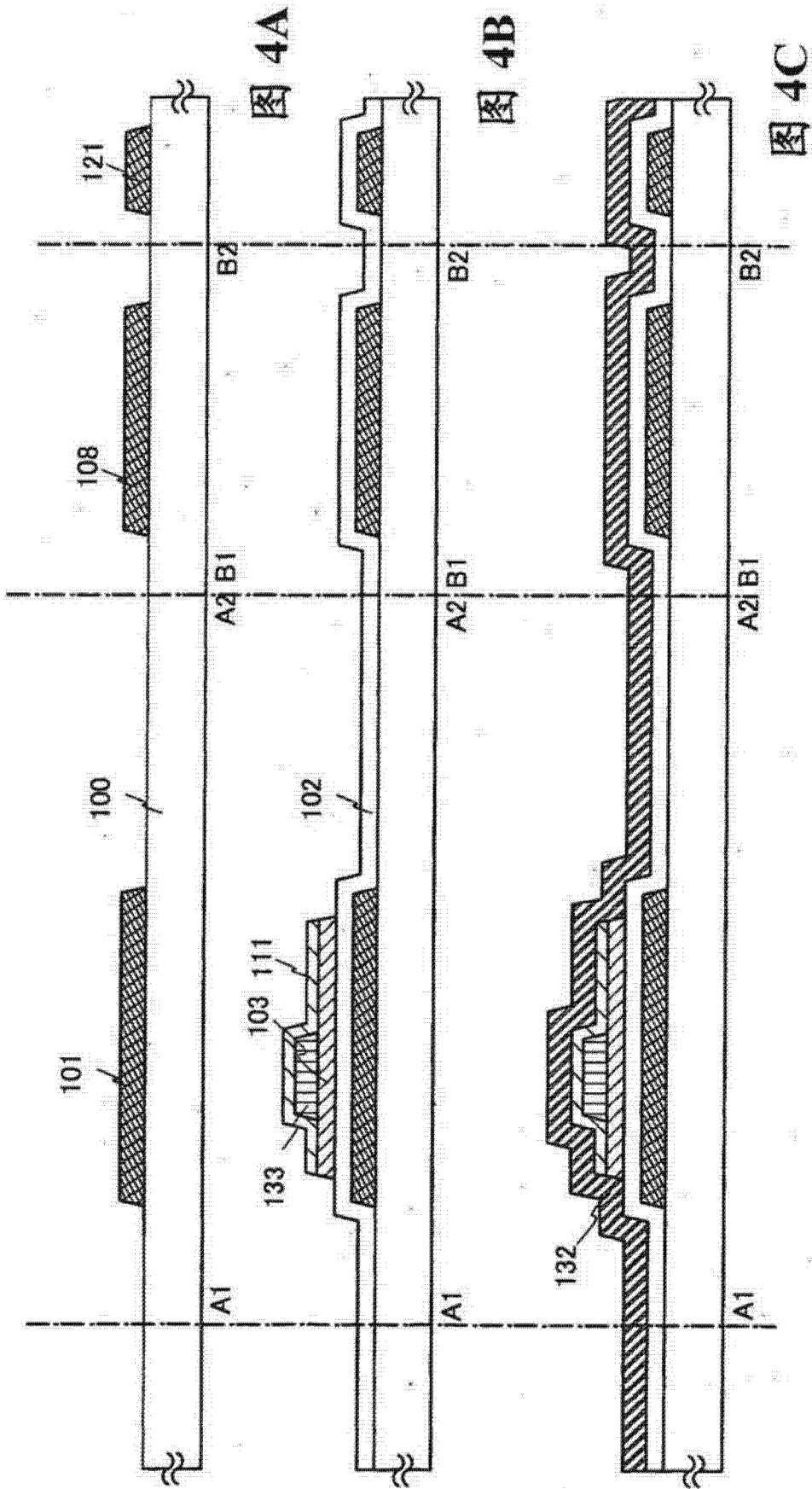
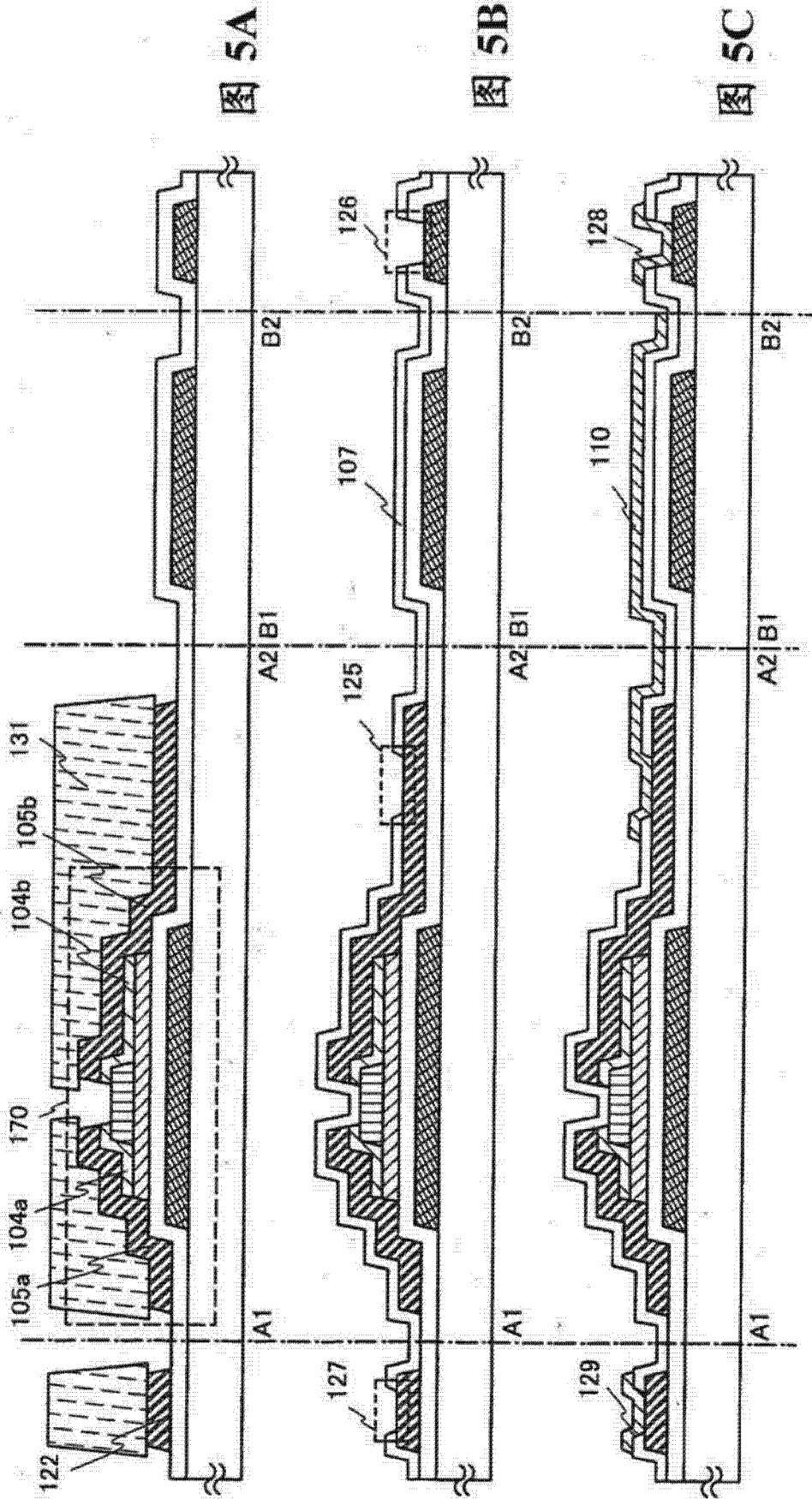


图 3B





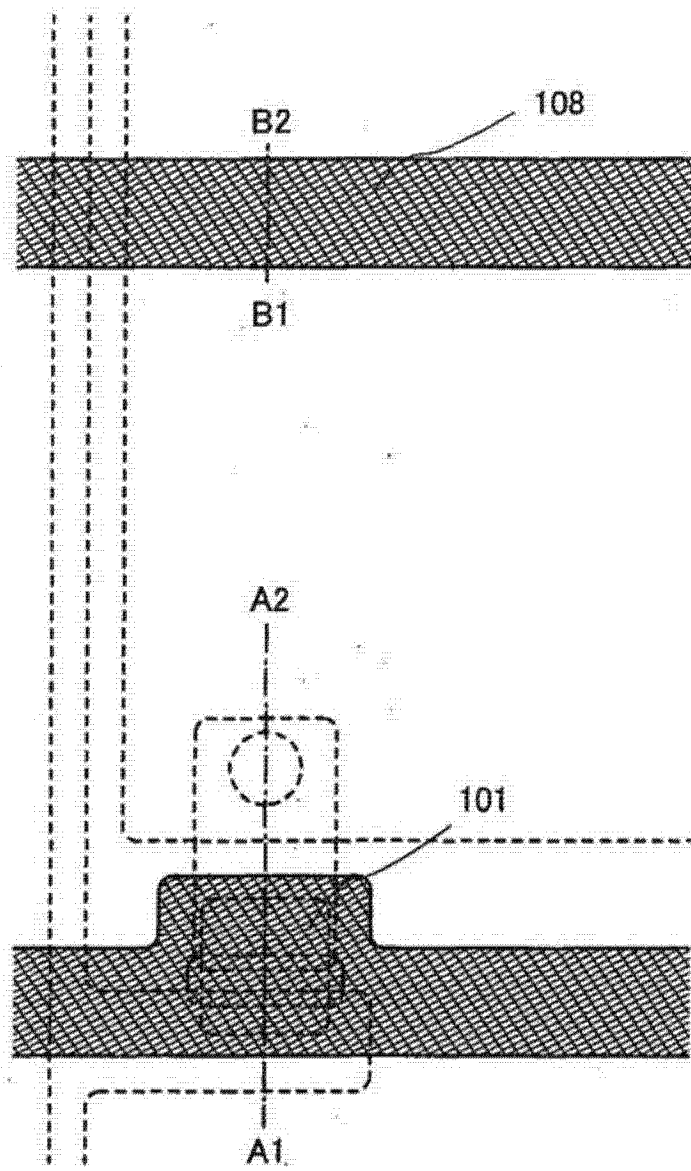


图 6

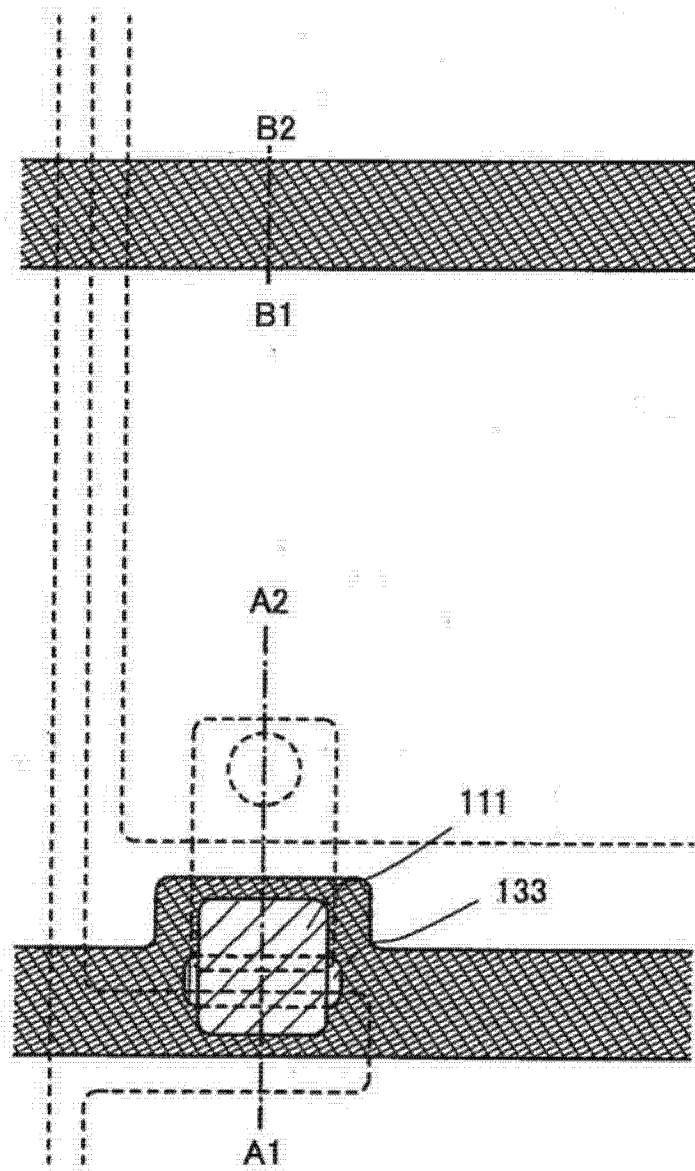


图 7

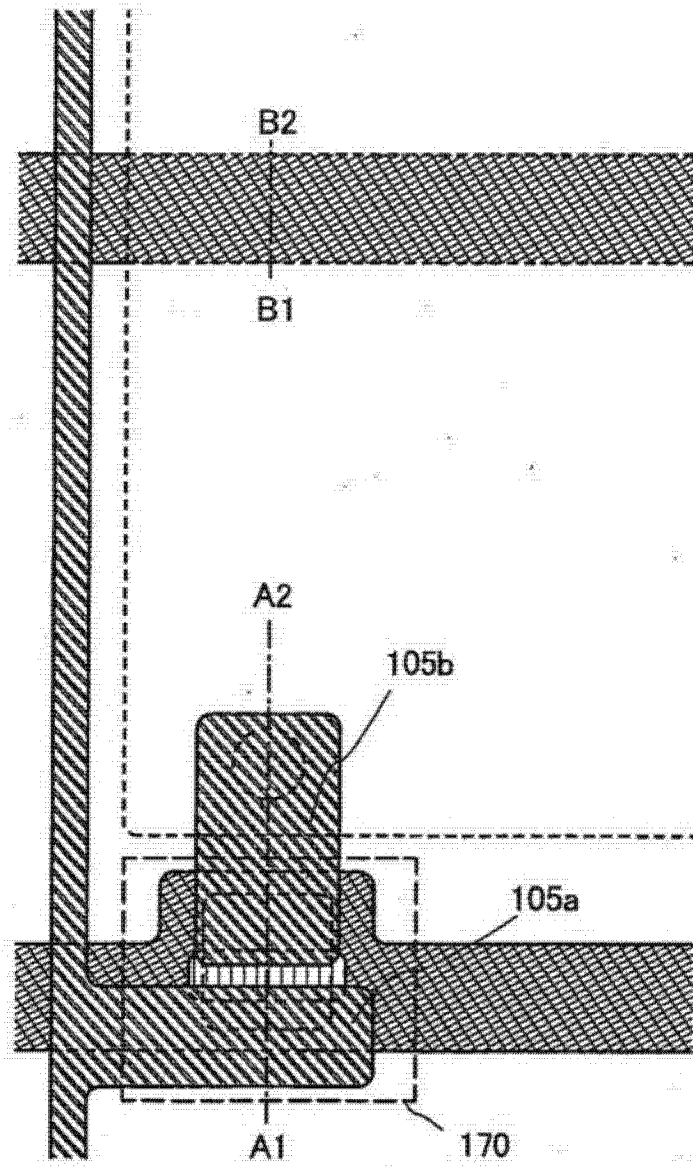


图 8

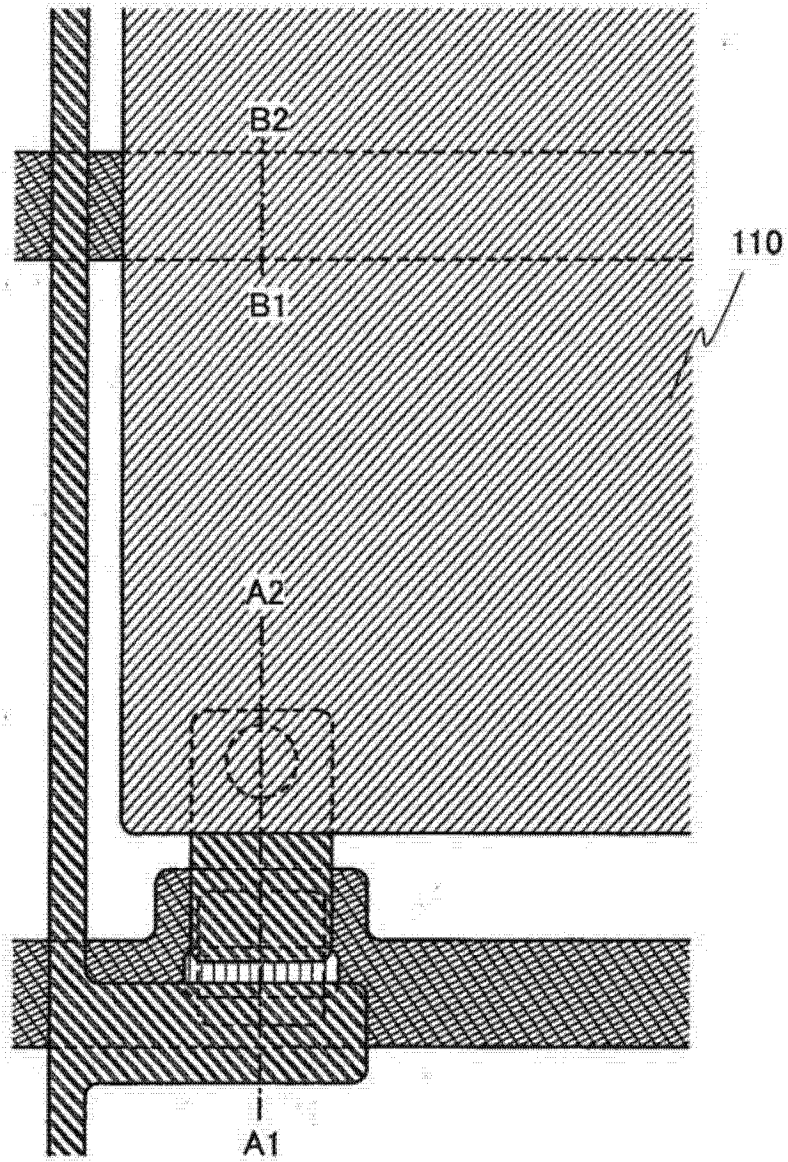


图 9

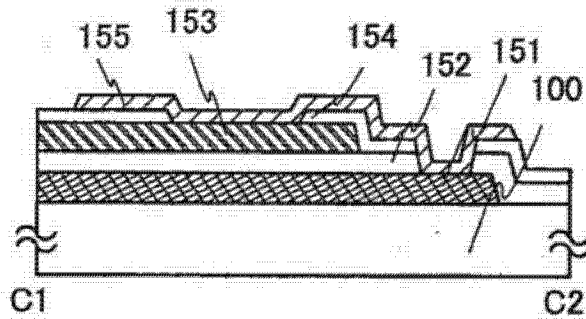


图 10A

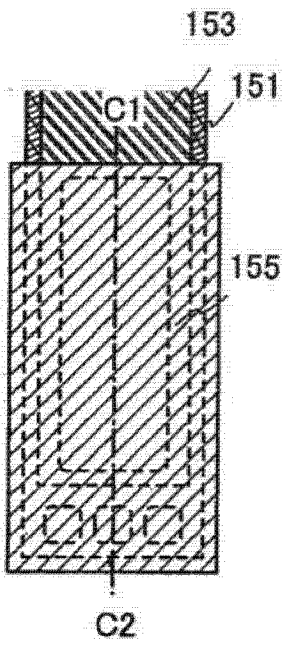


图 10B

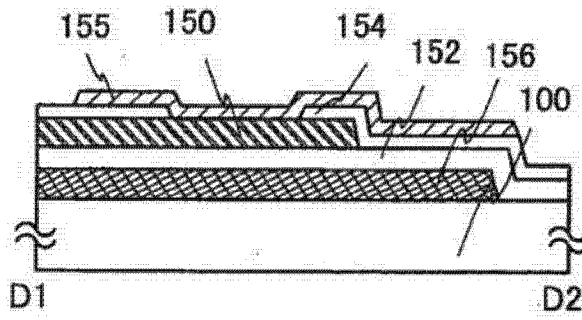


图 10C

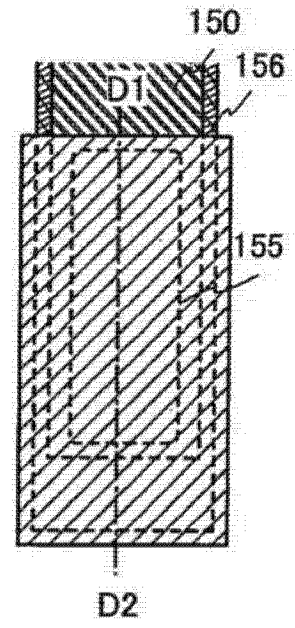


图 10D

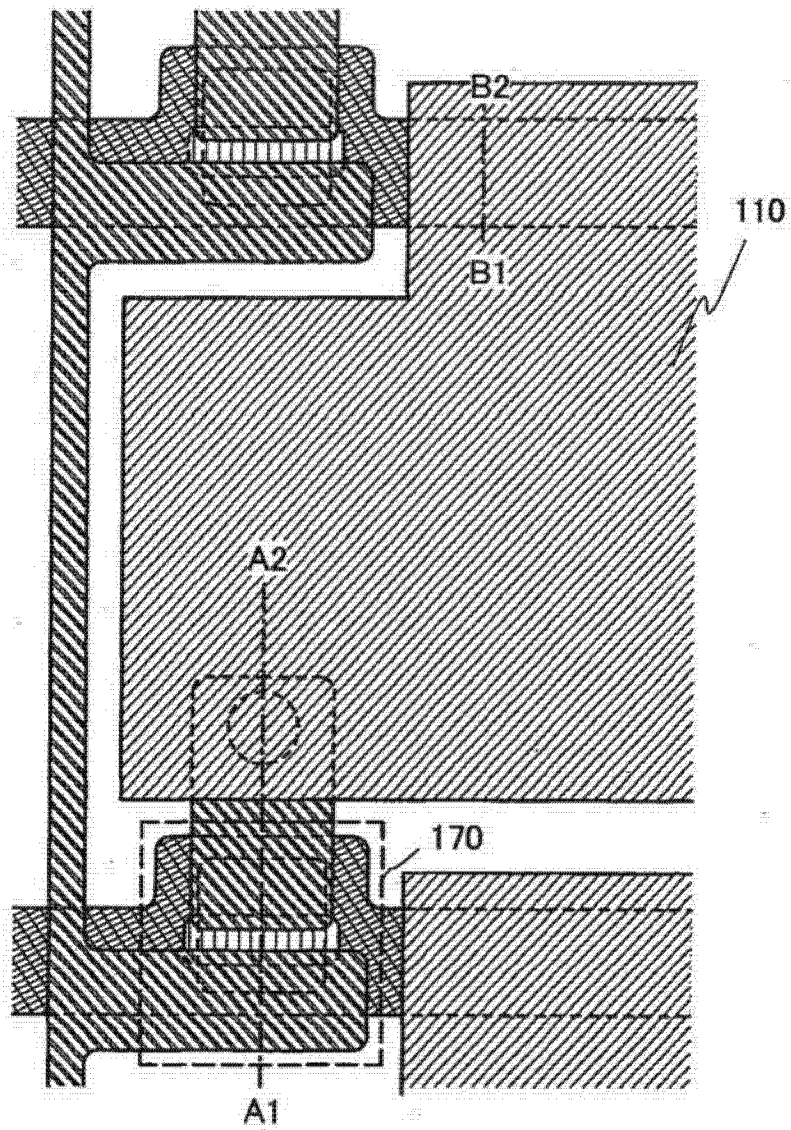


图 11

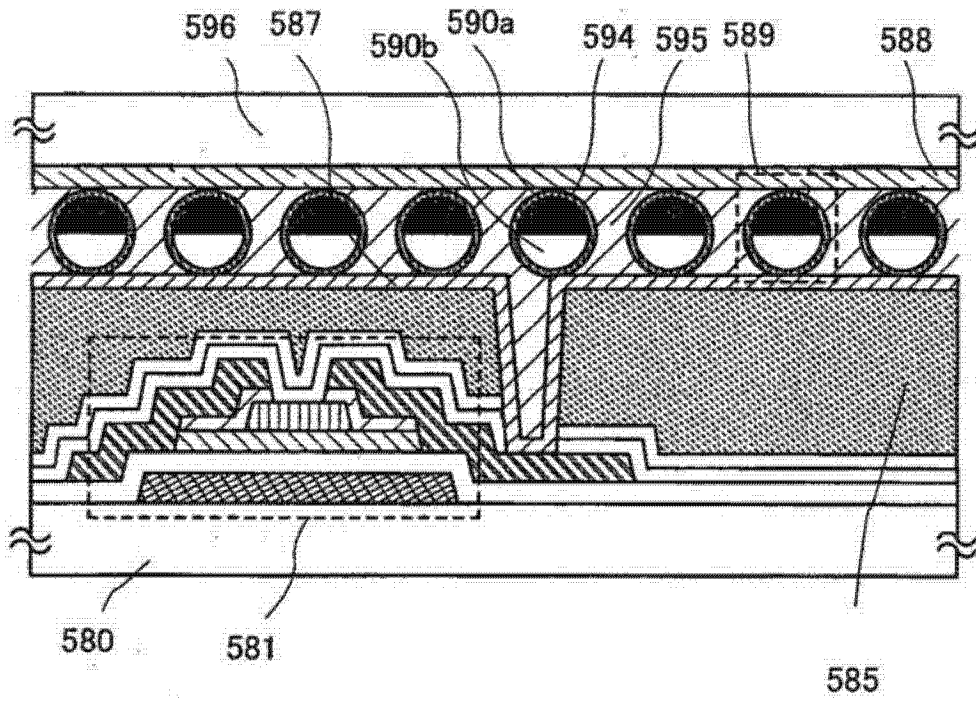


图 12

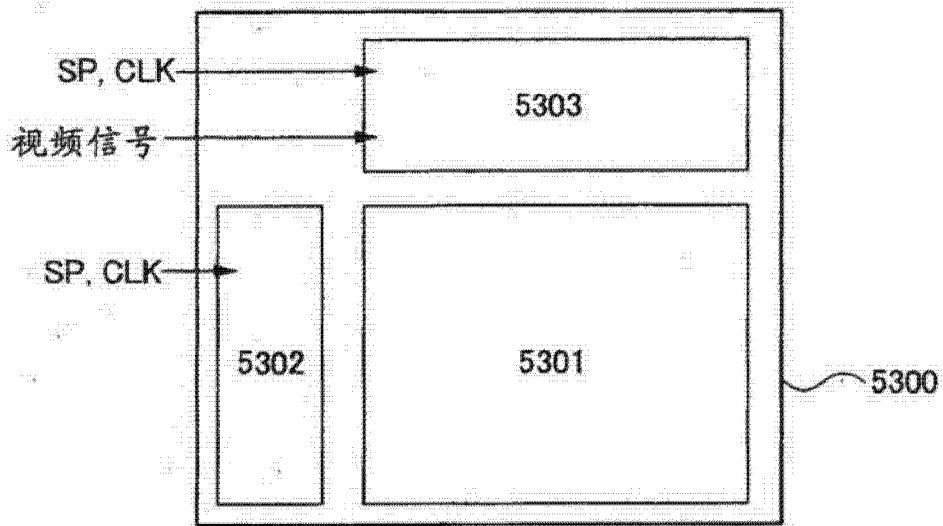


图 13A

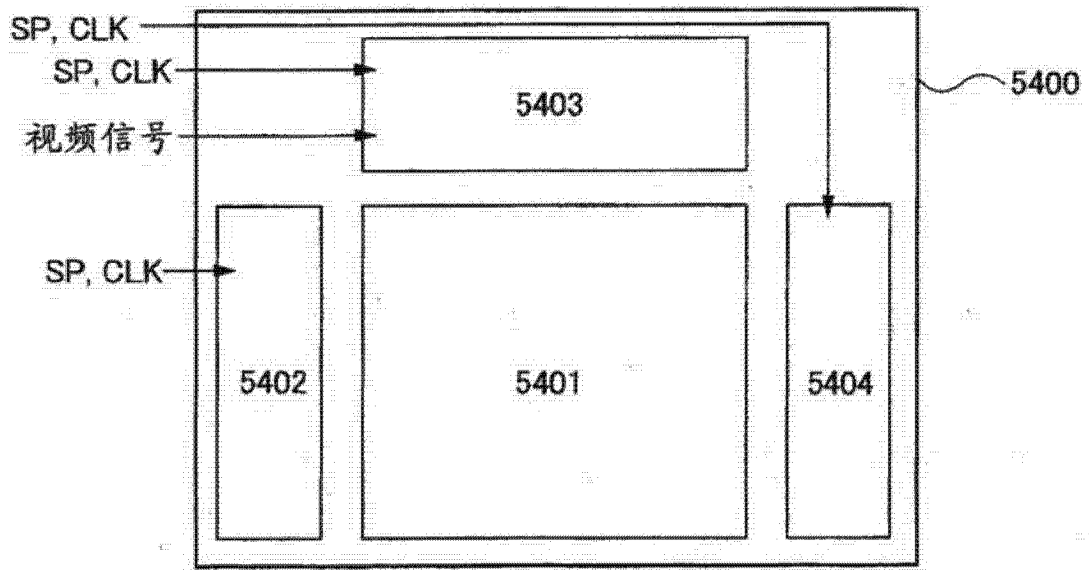


图 13B

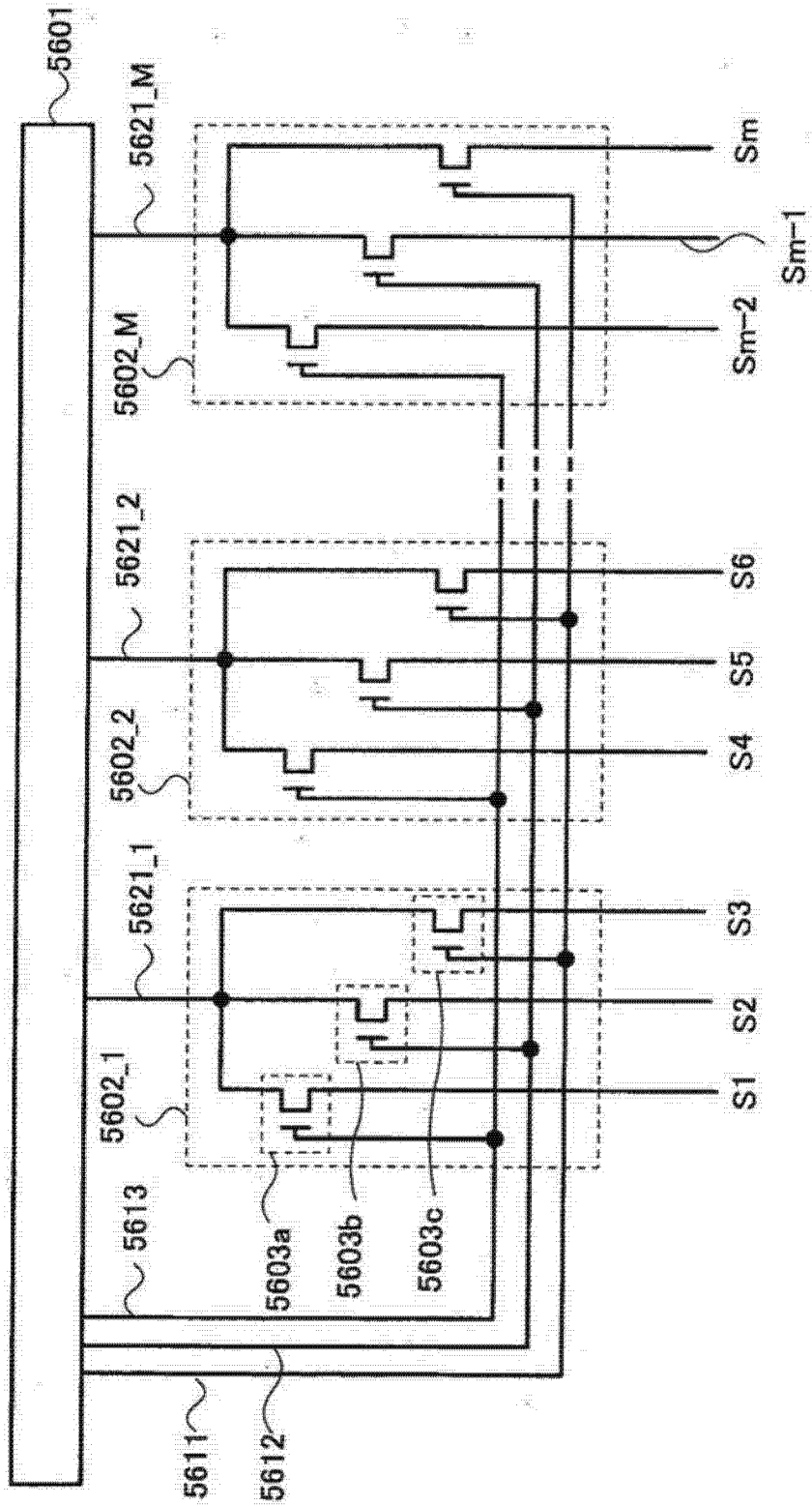


图 14

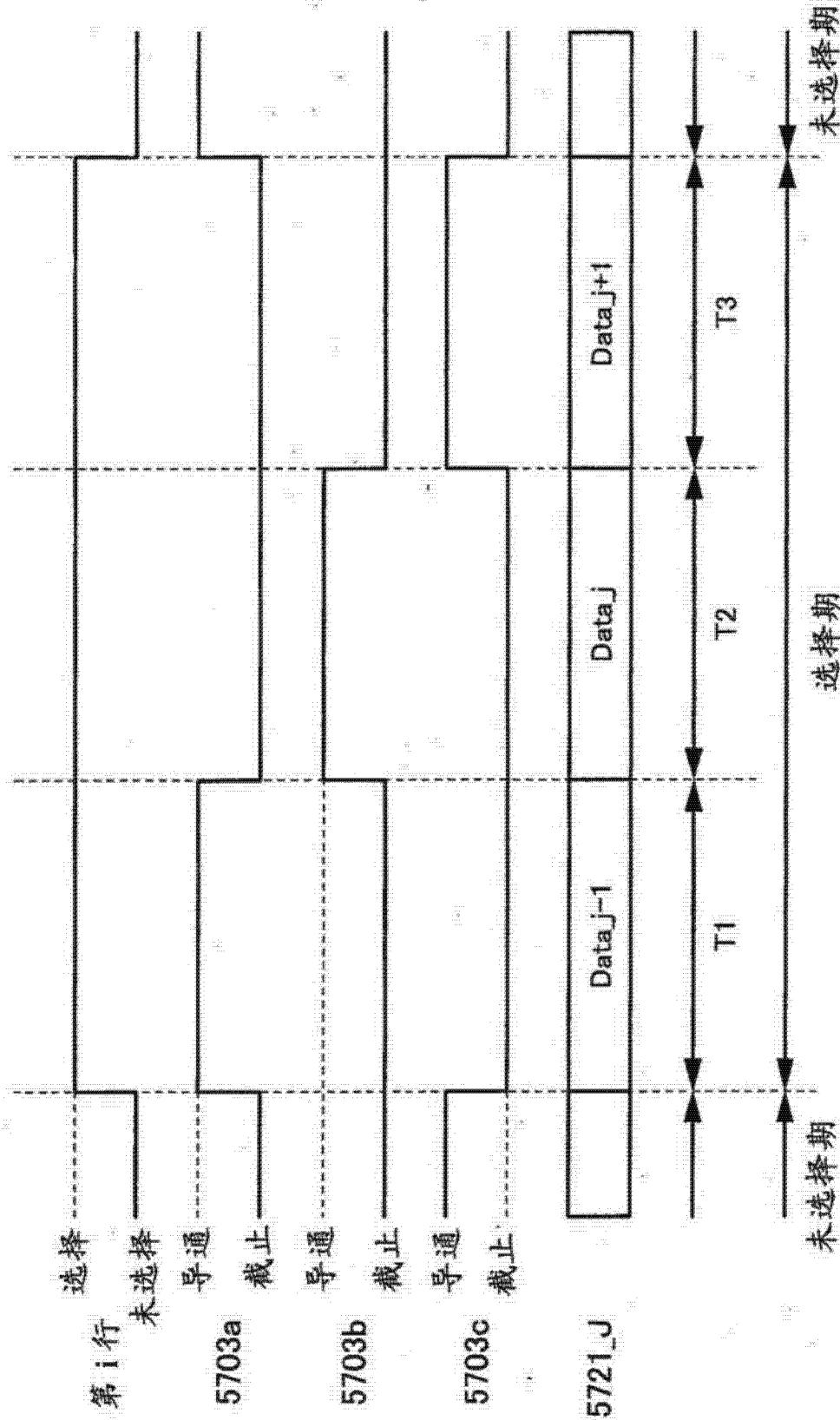


图 15

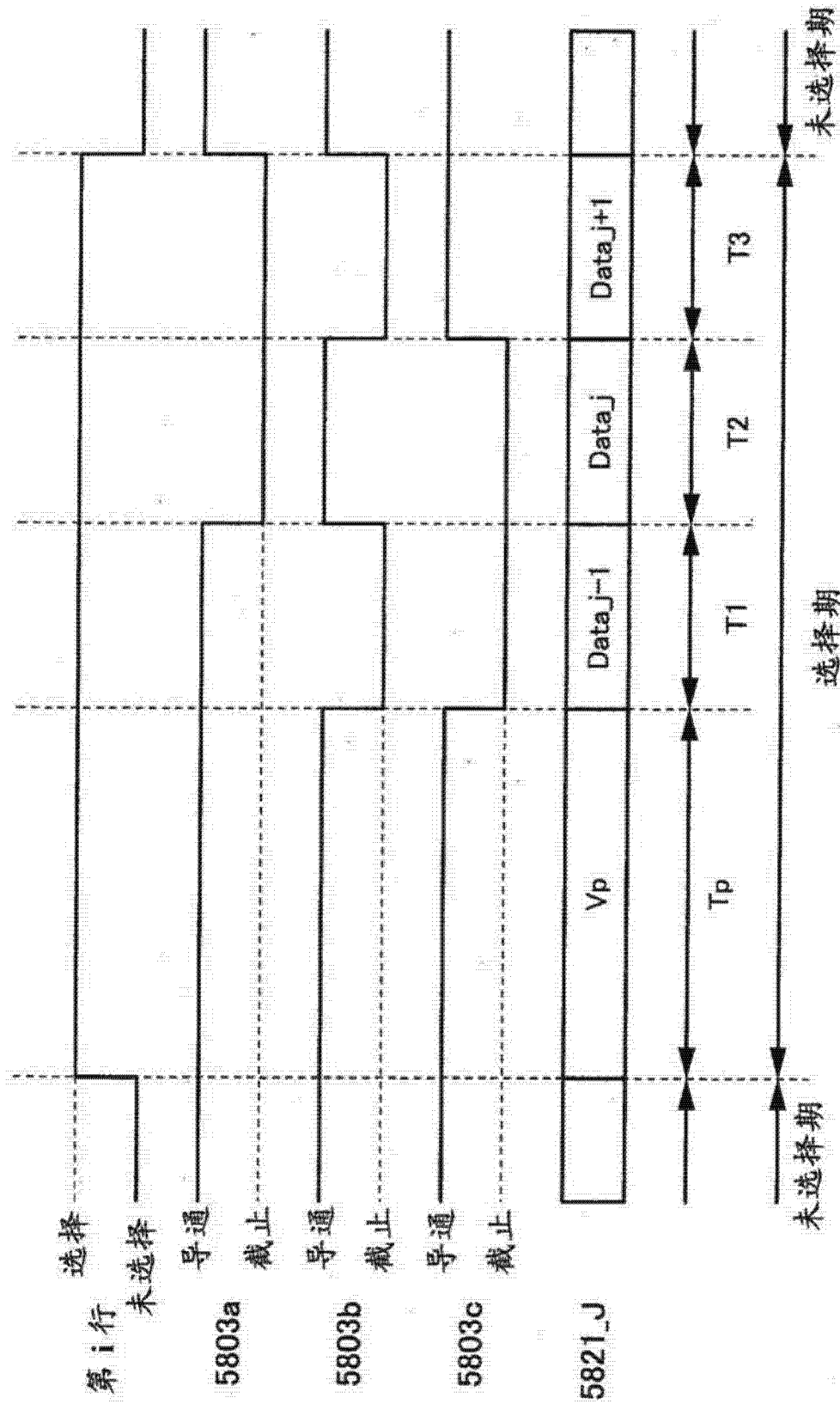


图 16

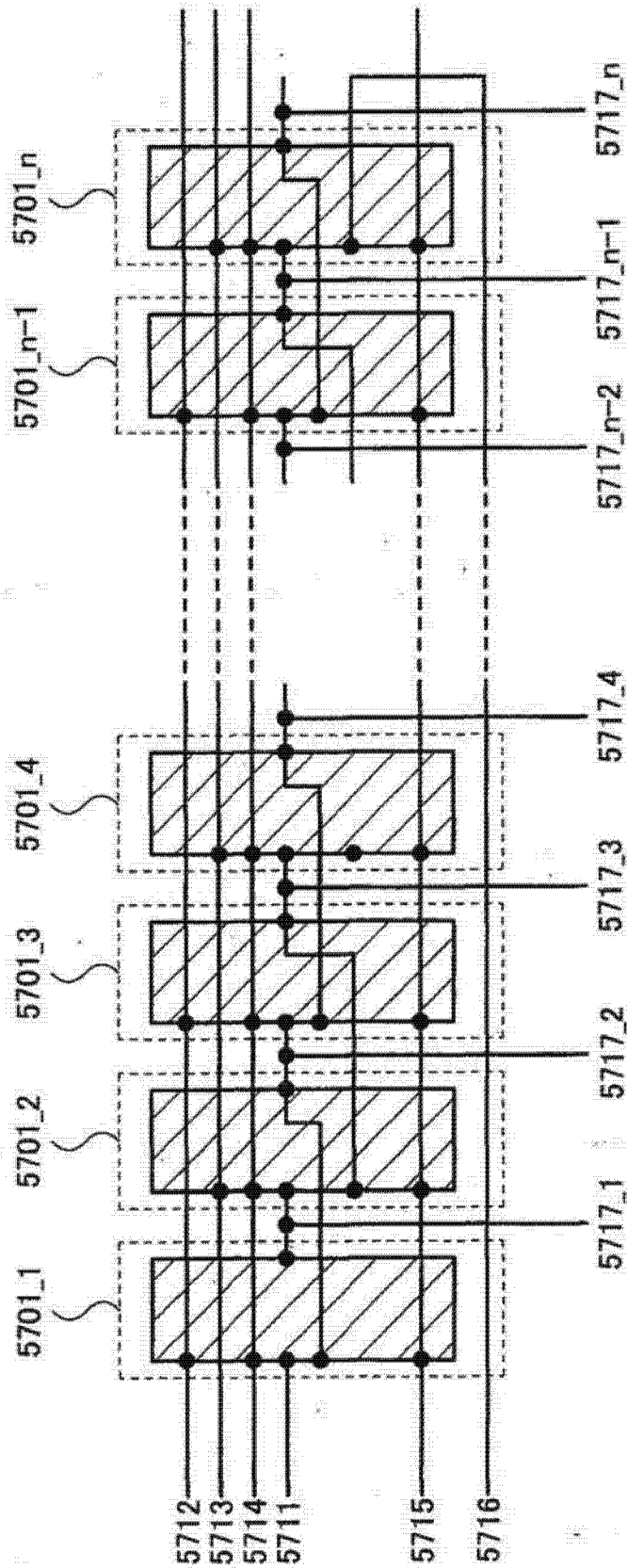


图 17

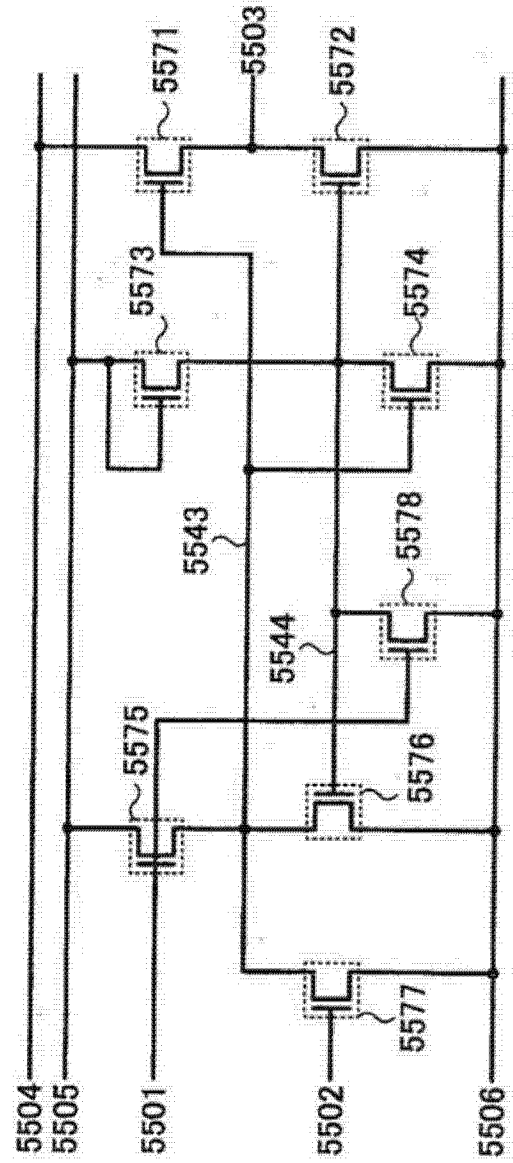


图 18

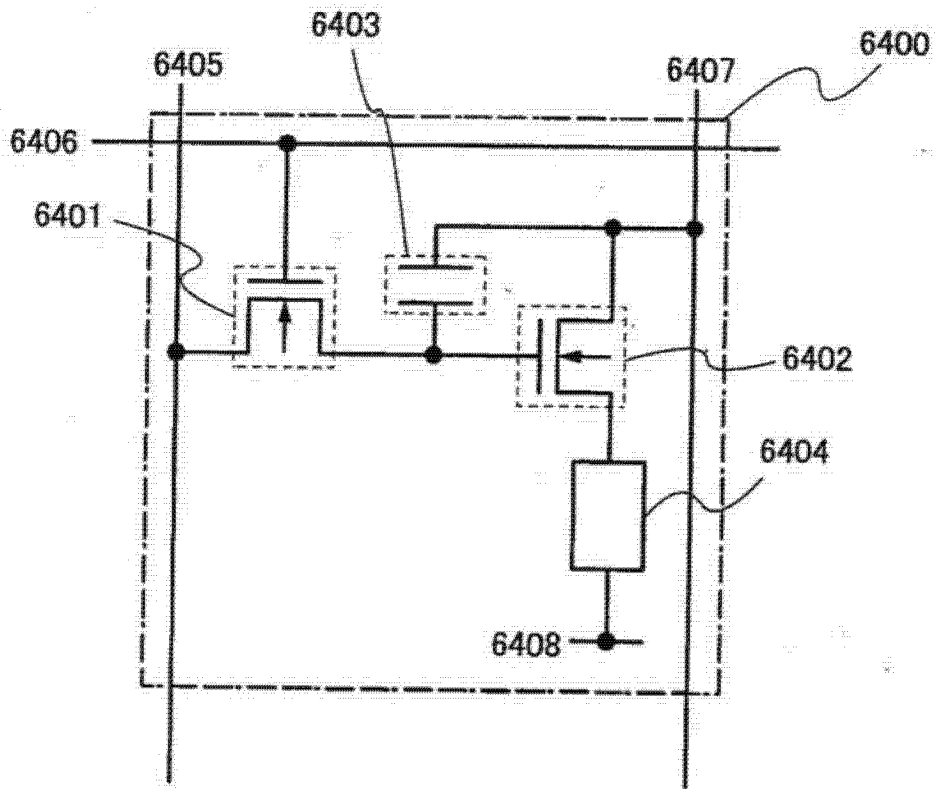


图 19

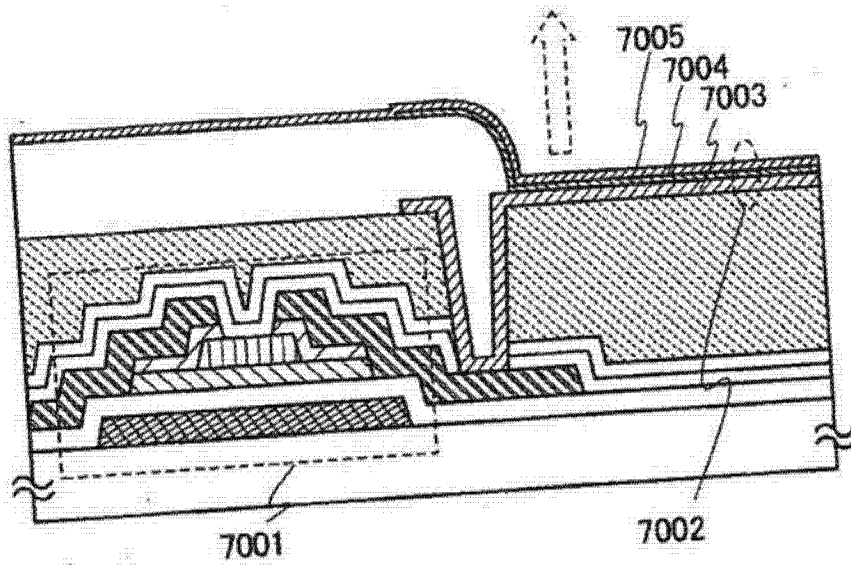


图 20A

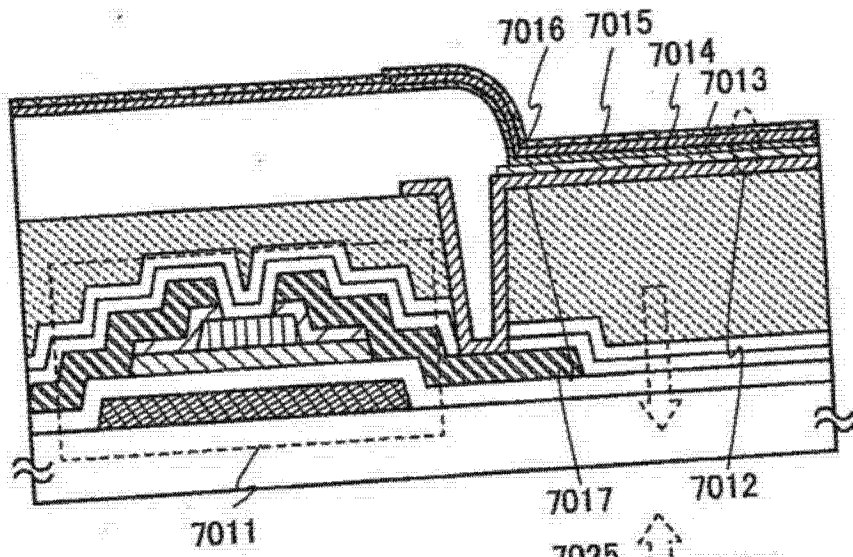


图 20B

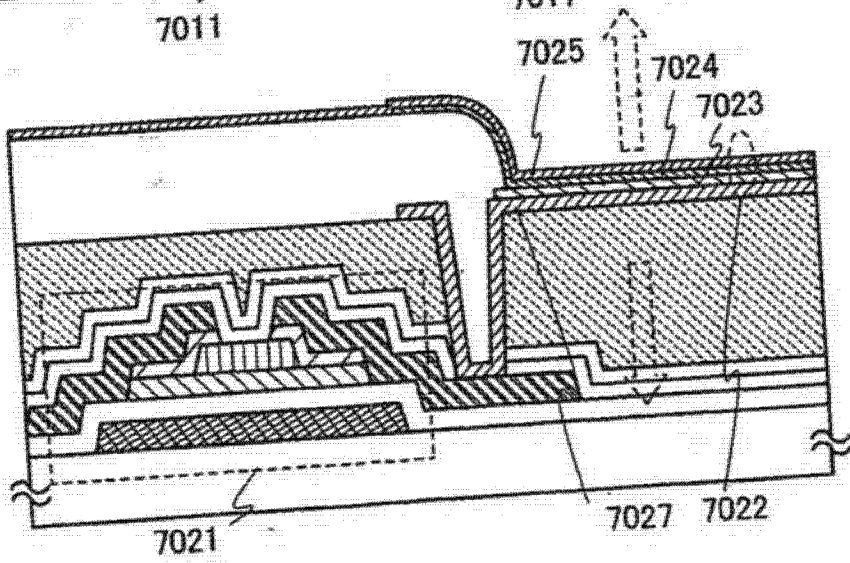


图 20C

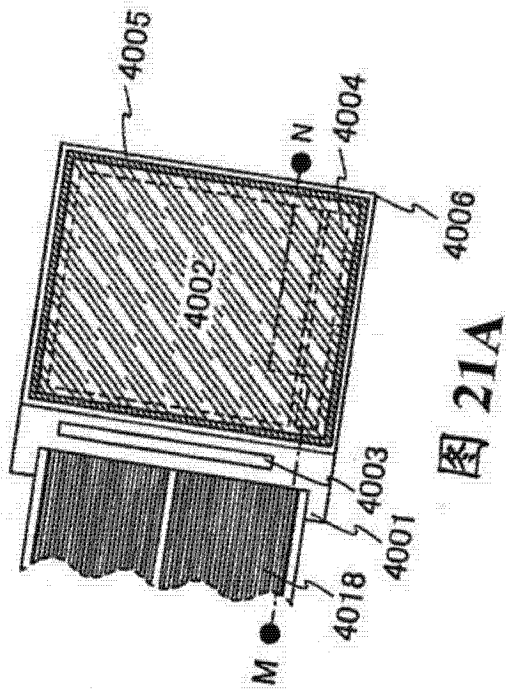


图 21A

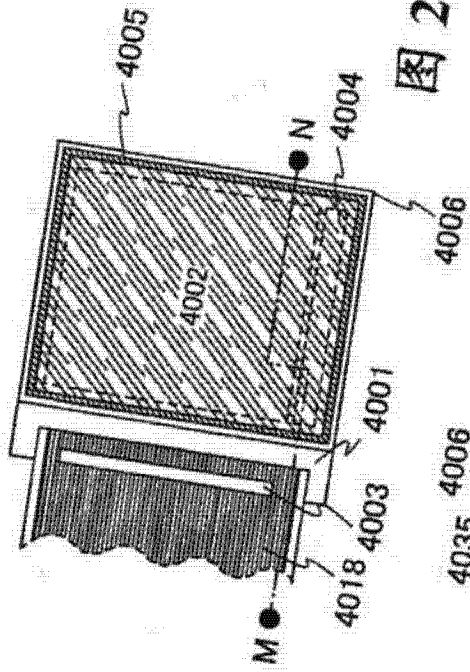


图 21B

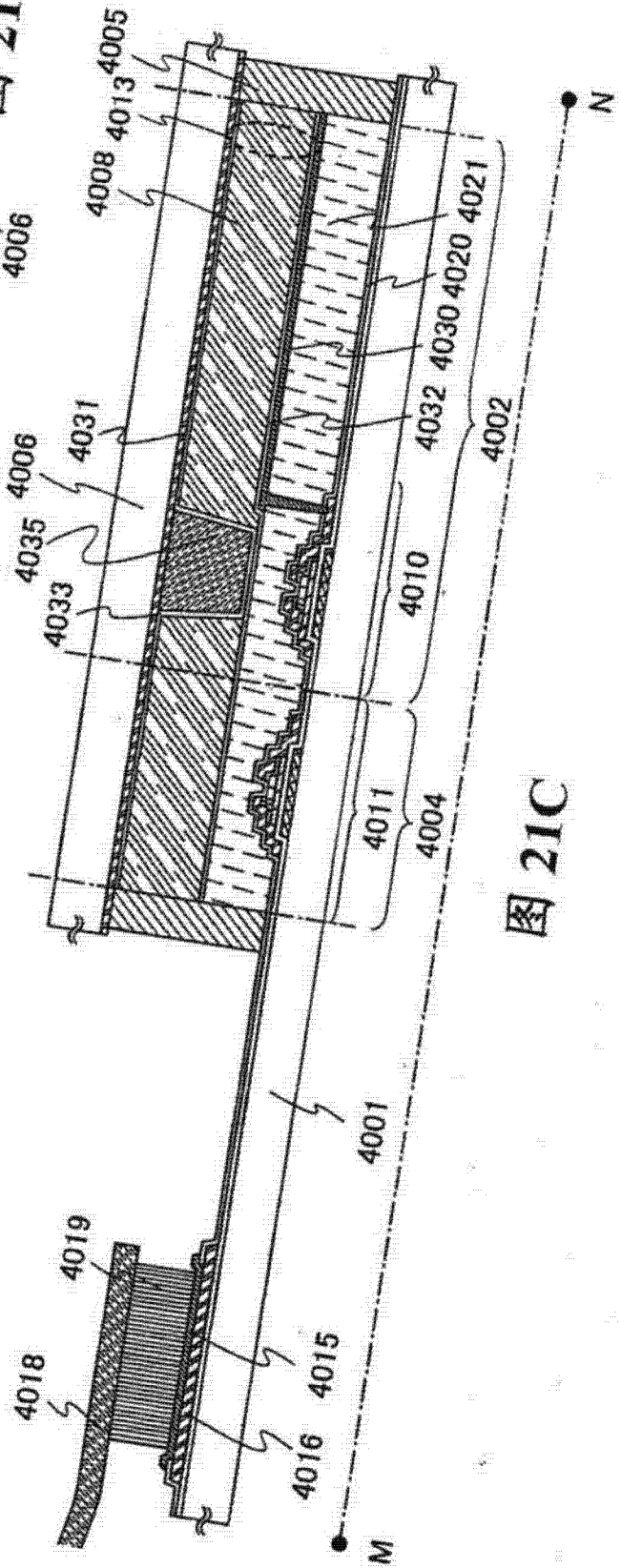


图 21C

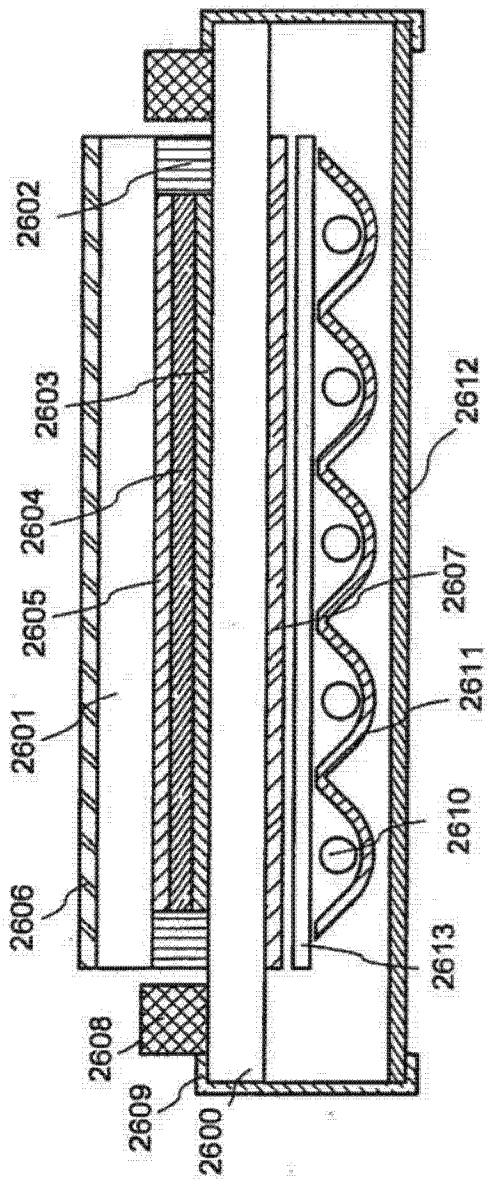


图 22

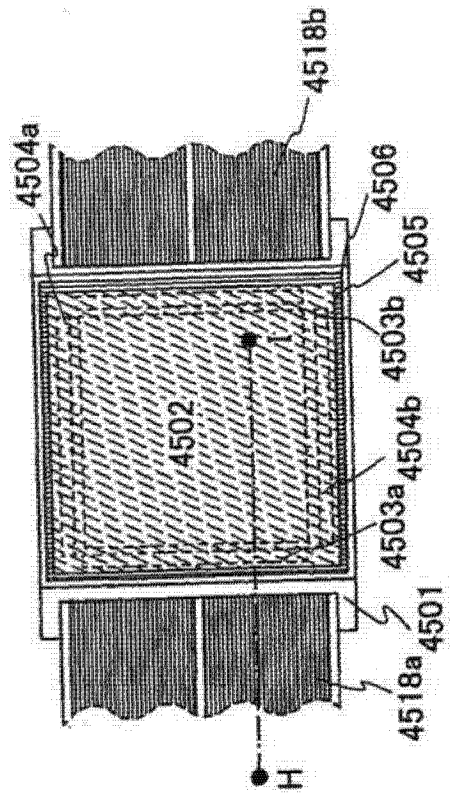


图 23A

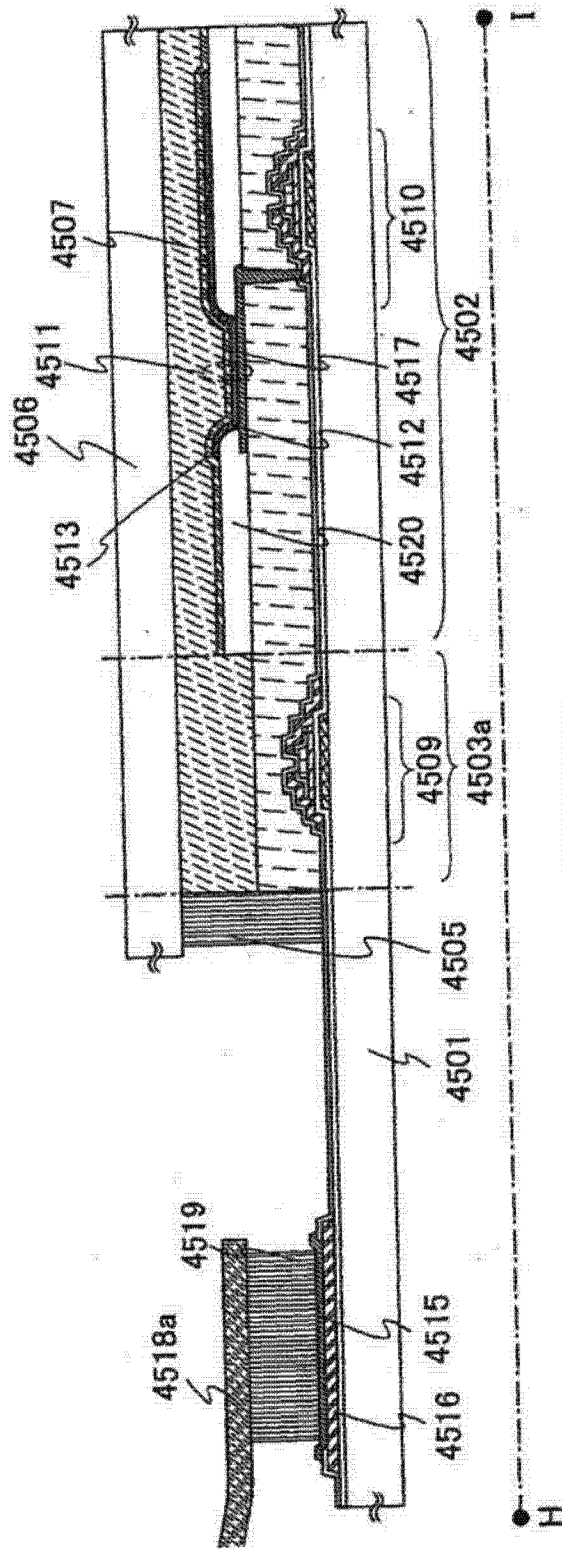


图 23B

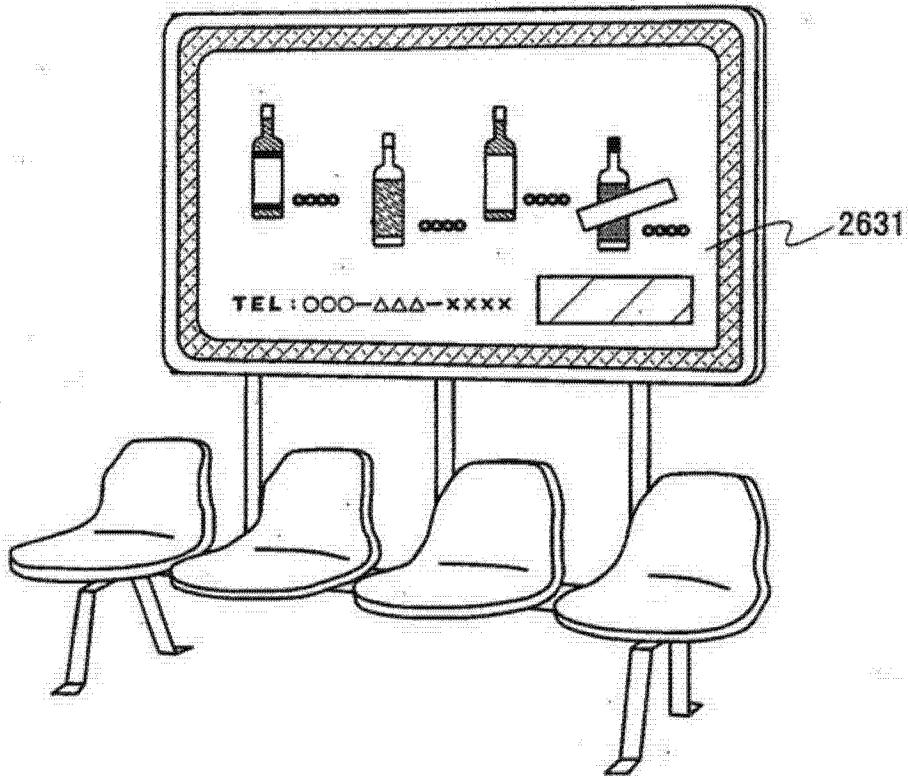


图 24A

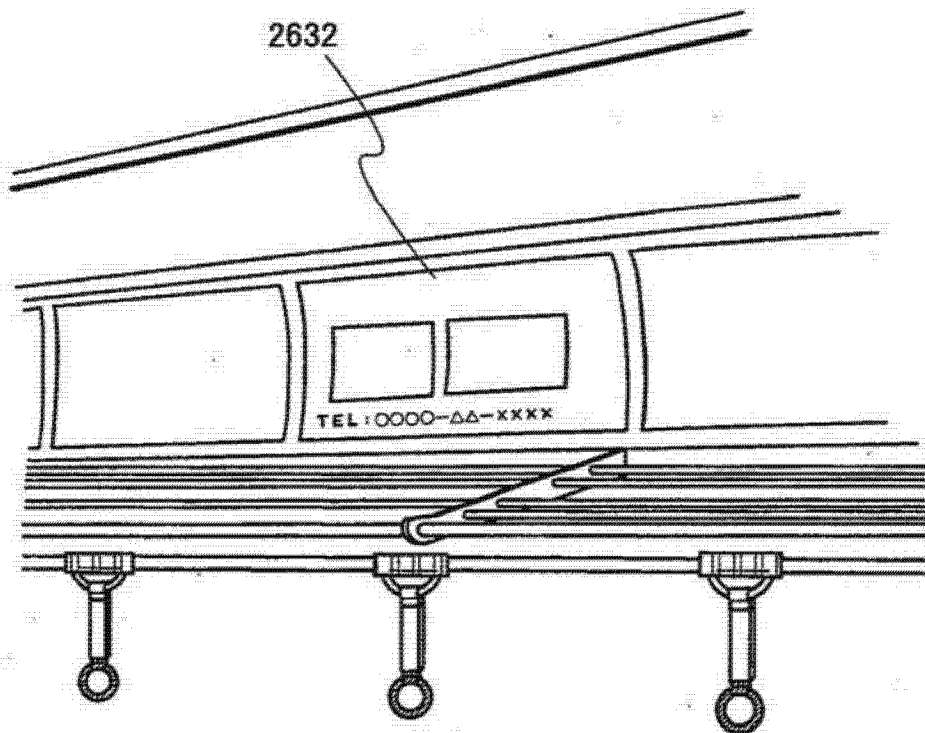


图 24B

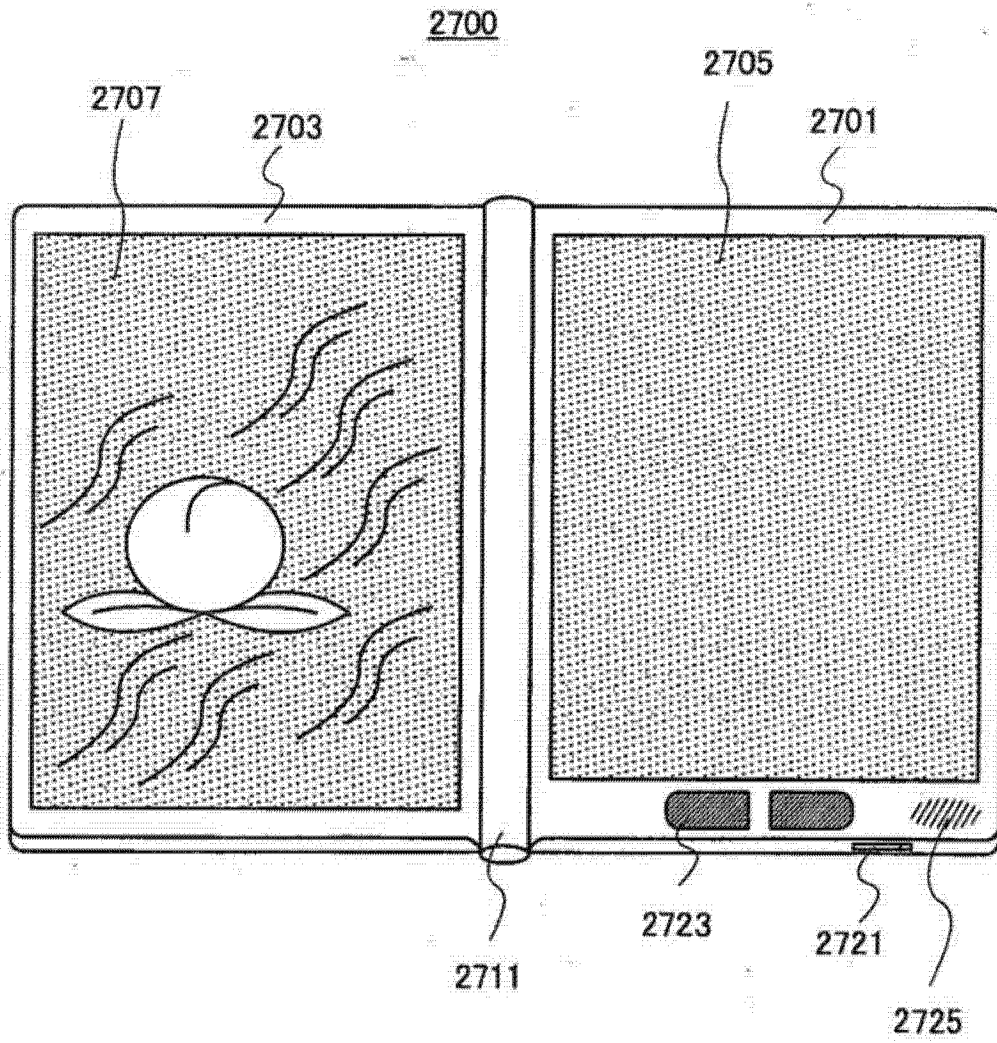


图 25

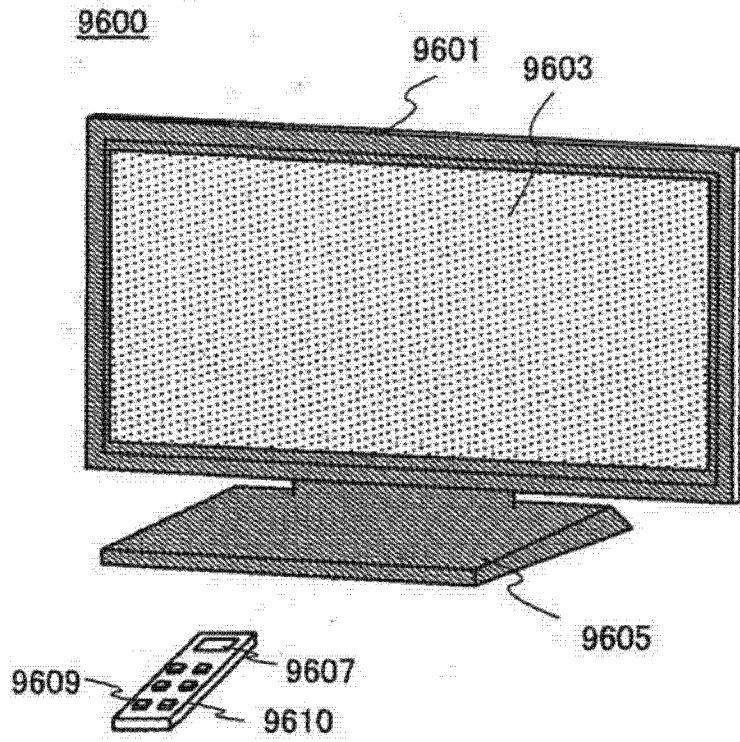


图 26A

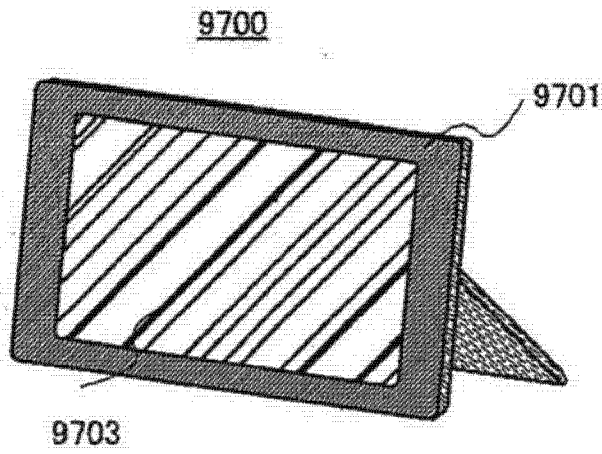


图 26B

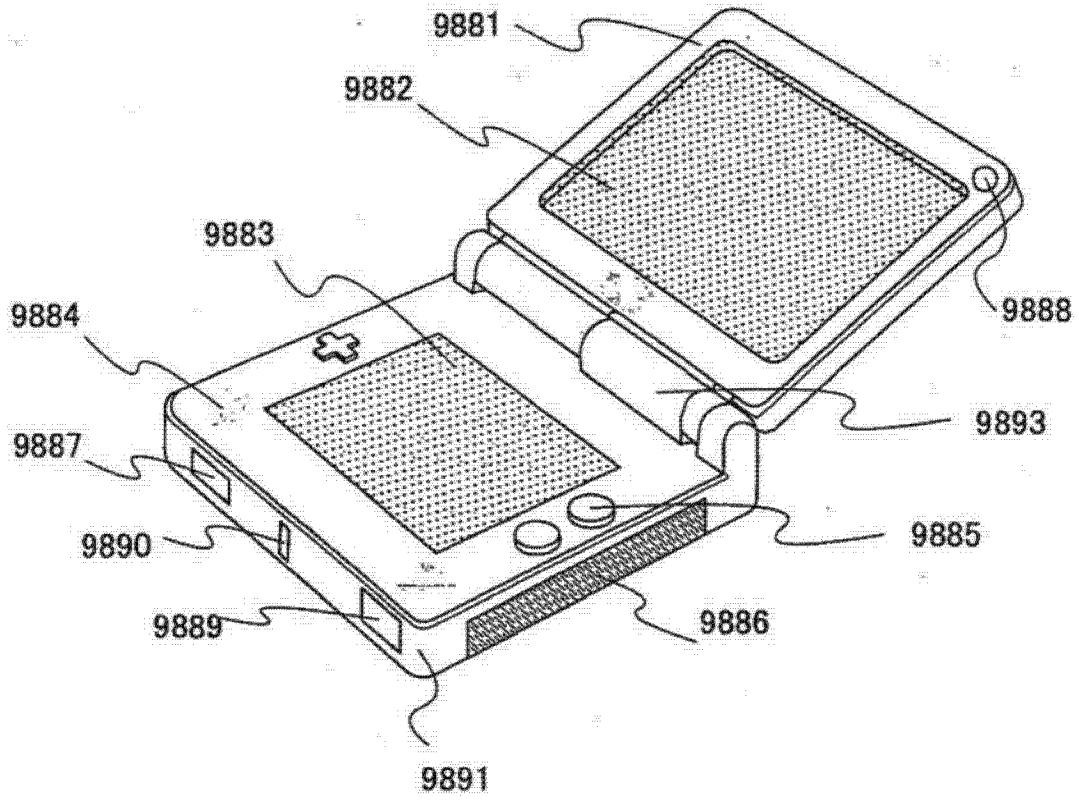


图 27A

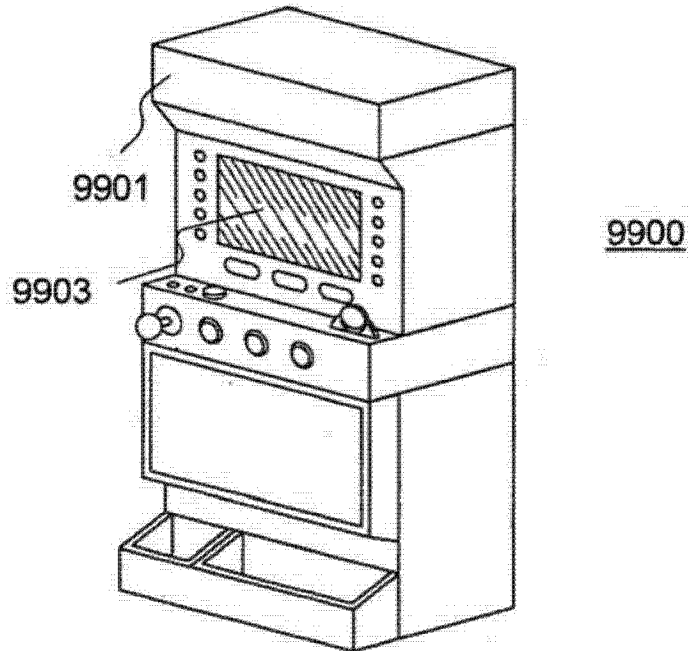


图 27B

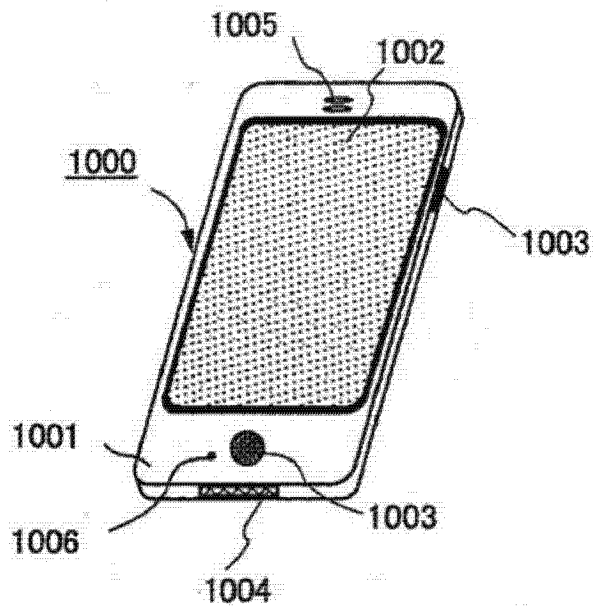


图 28

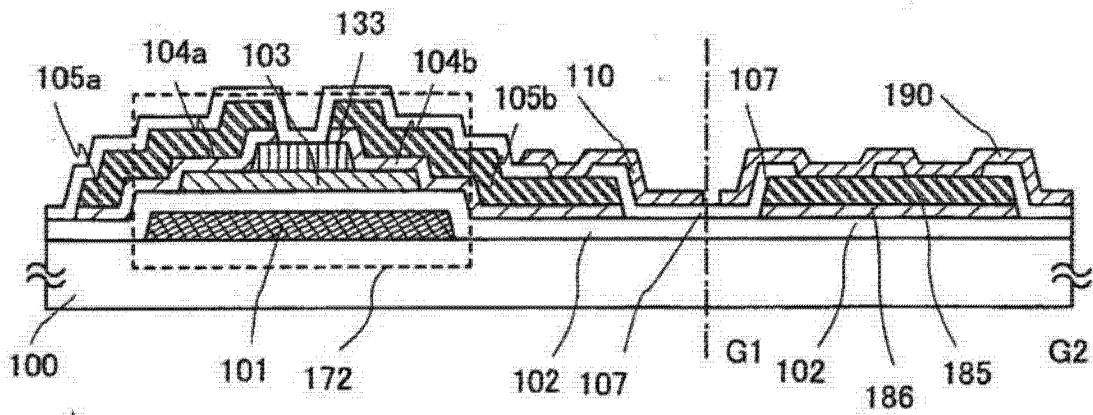


图 29A

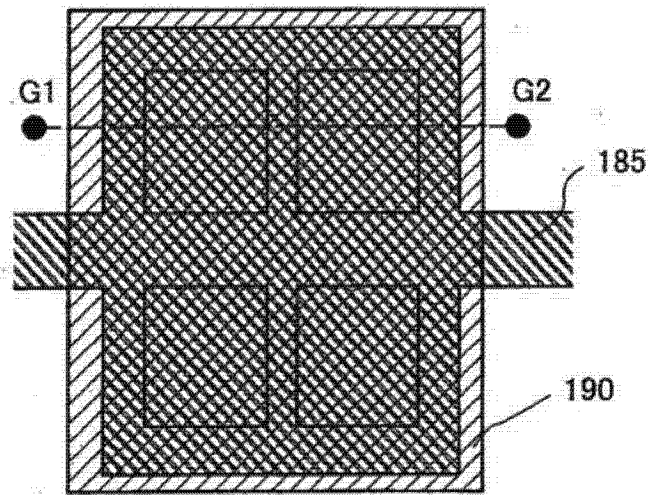


图 29B

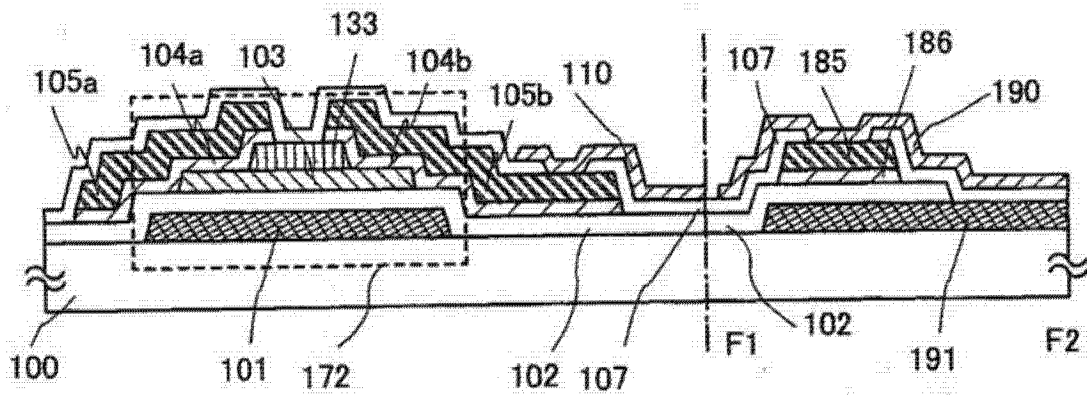


图 30A

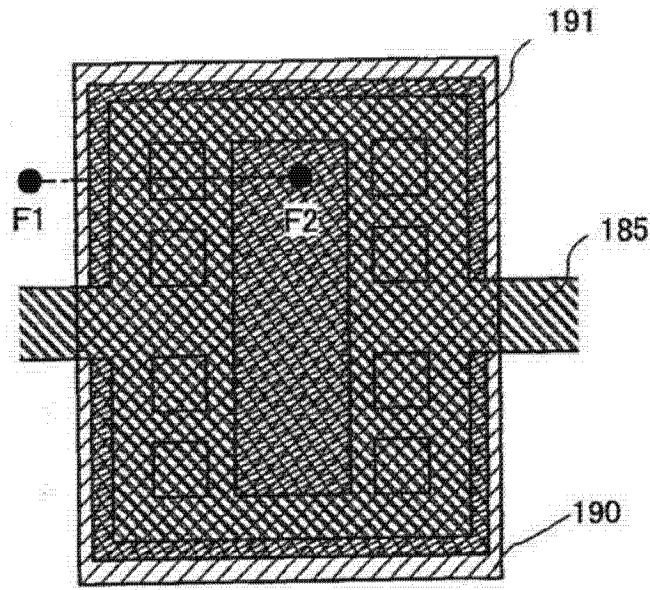


图 30B

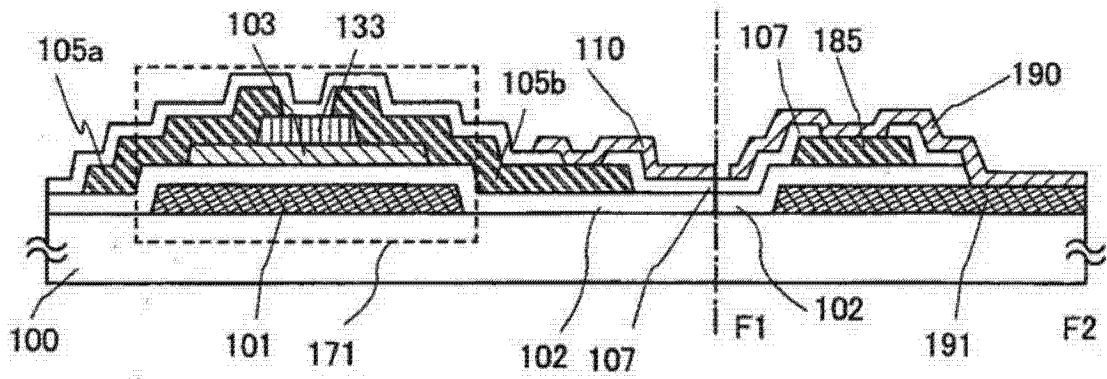


图 31A

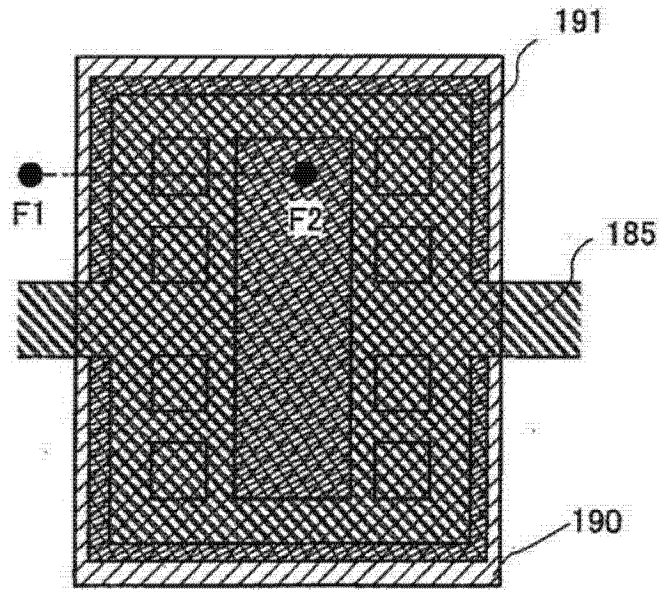


图 31B

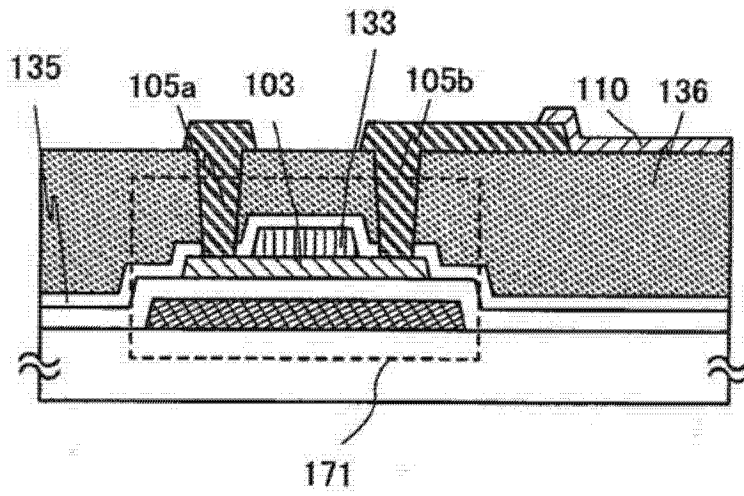


图 32