



(12)发明专利申请

(10)申请公布号 CN 108010847 A

(43)申请公布日 2018.05.08

(21)申请号 201711234704.5

(22)申请日 2017.11.30

(71)申请人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 范让萱

(74)专利代理机构 上海浦一知识产权代理有限
公司 31211

代理人 郭四华

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 29/78(2006.01)

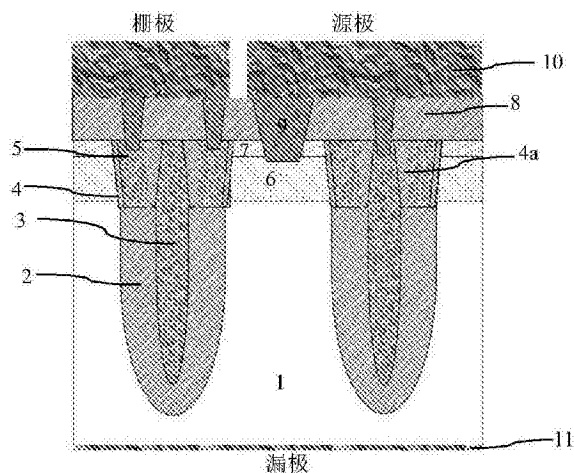
权利要求书3页 说明书9页 附图12页

(54)发明名称

屏蔽栅沟槽MOSFET及其制造方法

(57)摘要

本发明公开了一种屏蔽栅沟槽MOSFET,栅极结构的沟槽中形成有底部氧化层和屏蔽多晶硅,屏蔽多晶硅在将沟槽完全填充的基础上回刻到和沟槽的顶部表面相平,屏蔽多晶硅顶部两侧的底部氧化层被自对准刻蚀后形成的顶部沟槽,顶部沟槽还包括进行硅的各向同性刻蚀后形成扩大结构,硅的各向同性刻蚀将尖角缺陷钝化且使顶部沟槽变换为顶部开口大底部开口小的结构,使和栅氧化层同时形成的多晶硅间隔氧化层在顶部沟槽的底部角落的厚度增加以及使多晶硅栅具有无缝隙填充结构。本发明还提供一种屏蔽栅沟槽MOSFET的制造方法。本发明能消除屏蔽多晶硅的尖角缺陷并防止由尖角缺陷产生的击穿,能降低器件的栅源漏电,还能提高多晶硅栅的可靠性。



1. 屏蔽栅沟槽MOSFET,其特征在于,栅极结构包括:

形成于半导体衬底中的沟槽,在所述沟槽的侧面和底部表面形成有底部氧化层,屏蔽多晶硅将形成有所述底部氧化层的所述沟槽完全填充;

所述屏蔽多晶硅的表面通过多晶硅回刻和所述沟槽的顶部表面相平,所述多晶硅回刻会在所述屏蔽多晶硅表面形成尖角缺陷;

在所述沟槽中形成有所述底部氧化层的顶部部分被自对准刻蚀后形成的顶部沟槽,所述顶部沟槽位于所述屏蔽多晶硅的顶端部分的两侧;

所述顶部沟槽在所述底部氧化层自对准回刻的基础上还包括进行硅的各向同性刻蚀后形成扩大结构,硅的各向同性刻蚀将所述尖角缺陷钝化且使所述顶部沟槽由顶部开口小底部开口大的结构变换为顶部开口大底部开口小的结构;

栅氧化层形成在扩大后的所述顶部沟槽的第一侧面对应的所述半导体衬底表面;

多晶硅间隔氧化层形成在扩大后的所述顶部沟槽的第二侧面对应的所述屏蔽多晶硅表面;

所述栅氧化层和所述多晶硅间隔氧化层采用相同的工艺同时形成,利用所述顶部沟槽的顶部开口大底部开口小的结构使所述顶部沟槽底部角落位置处的所述多晶硅间隔氧化层厚度增加;

多晶硅栅形成于形成有所述栅氧化层和所述多晶硅间隔氧化层的所述顶部沟槽中,利用所述顶部沟槽的顶部开口大底部开口小的结构使所述多晶硅栅具有无缝隙填充结构。

2. 如权利要求1所述的屏蔽栅沟槽MOSFET,其特征在于,屏蔽栅沟槽MOSFET还包括:

形成于所述半导体衬底表面的第二导电类型的阱区,所述半导体衬底具有第一导电类型掺杂;所述阱区的结深小于所述顶部沟槽的深度,所述多晶硅栅从侧面覆盖所述阱区且被所述多晶硅栅侧面覆盖的所述阱区表面用于形成沟道;

形成于所述阱区表面的第一导电类型重掺杂的源区;

层间膜覆盖在所述沟槽的区域表面以及所述沟槽外的所述半导体衬底表面;

在所述源区和所述屏蔽多晶硅顶部分别形成有穿过对应的层间膜的接触孔并都连接到由正面金属层组成的源极;

在所述多晶硅栅的顶部形成有穿过对应的层间膜的接触孔并连接到由正面金属层组成的栅极。

3. 如权利要求2所述的屏蔽栅沟槽MOSFET,其特征在于,屏蔽栅沟槽MOSFET还包括:

第一导电类型重掺杂的漏区,形成于减薄后的所述半导体衬底的背面,在所述漏区的背面形成有背面金属层作为漏极。

4. 如权利要求1所述的屏蔽栅沟槽MOSFET,其特征在于:所述半导体衬底为硅衬底,在所述硅衬底表面形成有硅外延层,所述顶部沟槽和所述底部沟槽都位于所述硅外延层内。

5. 如权利要求2所述的屏蔽栅沟槽MOSFET,其特征在于:在和所述源区相接触的接触孔的底部还包括第二导电类型重掺杂的阱区接触区。

6. 如权利要求1所述的屏蔽栅沟槽MOSFET,其特征在于:扩大后的所述顶部沟槽还包括采用形成牺牲氧化层并去除的工艺处理的缺陷被修复的结构。

7. 如权利要求2或3或5所述的屏蔽栅沟槽MOSFET,其特征在于:屏蔽栅沟槽MOSFET为N型器件,第一导电类型为N型,第二导电类型为P型;或者,屏蔽栅沟槽MOSFET为P型器件,第

一导电类型为P型,第二导电类型为N型。

8. 一种屏蔽栅沟槽MOSFET的制造方法,其特征在于,栅极结构采用如下步骤形成:

步骤一、提供一半导体衬底,所述半导体衬底表面形成硬质掩模层,采用光刻工艺定义出栅极形成区域,采用刻蚀工艺将所述栅极形成区域的所述硬质掩模层去除;

步骤二、以刻蚀后的所述硬质掩模层为掩模对所述半导体衬底进行各向异性刻蚀形成沟槽;之后去除所述硬质掩模层;

步骤三、在所述沟槽的侧面和底部表面形成底部氧化层,所述底部氧化层还延伸到所述沟槽外的表面上;

步骤四、进行第一次多晶硅沉积形成屏蔽多晶硅将形成有所述底部氧化层的所述沟槽完全填充;所述屏蔽多晶硅还延伸到所述沟槽外的表面上;

步骤五、进行多晶硅回刻将所述沟槽外的所述屏蔽多晶硅去除以及将所述沟槽区域的所述屏蔽多晶硅的表面回刻到和所述沟槽的顶部表面相平,所述多晶硅回刻会在所述屏蔽多晶硅表面形成尖角缺陷;

步骤六、对所述底部氧化层进行自对准刻蚀,自对准刻蚀将所述沟槽外的所述底部氧化层被去除,所述沟槽区域中的所述底部氧化层的顶部部分被自对准刻蚀掉后并形成顶部沟槽,所述顶部沟槽位于所述屏蔽多晶硅的顶端部分的两侧;

步骤七、进行硅的各向同性刻蚀将所述顶部沟槽扩大,硅的各向同性刻蚀将所述尖角缺陷钝化且使所述顶部沟槽由顶部开口小底部开口大的结构变换为顶部开口大底部开口小的结构;

步骤八、形成牺牲氧化层之后去除所述牺牲氧化层,实现对所述顶部沟槽的缺陷进行修复;

步骤九、进行氧化层生长同时形成栅氧化层和多晶硅间隔氧化层,所述栅氧化层形成在所述顶部沟槽的第一侧面对应的所述半导体衬底表面;所述多晶硅间隔氧化层形成在所述顶部沟槽的第二侧面对应的所述屏蔽多晶硅表面;利用所述顶部沟槽的顶部开口大底部开口小的结构使所述顶部沟槽底部角落位置处的所述多晶硅间隔氧化层厚度增加;

步骤十、进行第二次多晶硅沉积在所述顶部沟槽中形成多晶硅栅,利用所述顶部沟槽的顶部开口大底部开口小的结构使所述多晶硅栅具有无缝隙填充结构。

9. 如权利要求8所述的屏蔽栅沟槽MOSFET的制造方法,其特征在于:在步骤十之后还包括步骤:

进行第二导电类型离子注入在所述半导体衬底中形成阱区,所述半导体衬底具有第一导电类型掺杂;

进行第一导电类型重掺杂的源注入在所述阱区表面形成源区;

对所述阱区和所述源区进行热退火推进工艺;

形成层间膜,所述层间膜覆盖在所述沟槽的区域表面以及所述沟槽外的所述半导体衬底表面;

形成穿过所述层间膜的接触孔和正面金属层,对所述正面金属层进行光刻刻蚀形成源极和栅极,所述源极通过接触孔和所述源区以及所述屏蔽多晶硅接触,所述栅极通过接触孔和所述多晶硅栅接触;

对所述半导体衬底背面进行减薄并形成重掺杂的漏区,在所述漏区的背面形成背面金

属层作为漏极。

10. 如权利要求8或9所述的屏蔽栅沟槽MOSFET的制造方法,其特征在于:所述半导体衬底为硅衬底,在所述硅衬底表面形成有硅外延层,所述顶部沟槽和所述底部沟槽都位于所述硅外延层内。

11. 如权利要求8所述的屏蔽栅沟槽MOSFET的制造方法,其特征在于:步骤一中所述硬质掩模层由氧化层或氮化层。

12. 如权利要求8所述的屏蔽栅沟槽MOSFET的制造方法,其特征在于:所述栅氧化层采用热氧化工艺形成。

13. 如权利要求8所述的屏蔽栅沟槽MOSFET的制造方法,其特征在于:步骤八中所述牺牲氧化层采用热氧化工艺形成。

14. 如权利要求9所述的屏蔽栅沟槽MOSFET的制造方法,其特征在于:在所述接触孔的开口形成后、金属填充前,还包括在和所述源区相接触的接触孔的底部进行第一导电类型重掺杂注入形成阱区接触区的步骤。

15. 如权利要求8或14所述的屏蔽栅沟槽MOSFET的制造方法,其特征在于:屏蔽栅沟槽MOSFET为N型器件,第一导电类型为N型,第二导电类型为P型;或者,屏蔽栅沟槽MOSFET为P型器件,第一导电类型为P型,第二导电类型为N型。

屏蔽栅沟槽MOSFET及其制造方法

技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别是涉及一种屏蔽栅(ShieldGate Trench,SGT)沟槽MOSFET;本发明还涉及一种屏蔽栅沟槽MOSFET的制造方法。

背景技术

[0002] 如图1A至图10所示,是现有屏蔽栅沟槽MOSFET的制造方法各步骤中的器件结构示意图;这种方法是采用自下而上的方法形成具有屏蔽栅的沟槽分离侧栅结构,包括如下步骤:

[0003] 步骤一、如图1A所示,提供一半导体衬底如硅衬底101;在半导体衬底101的表面形成硬质掩模层201,硬质掩模层201能采用氧化层,或采用氧化层加氮化层。

[0004] 如图1B所示,之后采用光刻工艺对硬质掩模层201进行刻蚀定义出栅极形成区域,之后再以硬质掩模层201为掩模对半导体衬底101进行刻蚀形成沟槽202。

[0005] 如图1C所示,去除所述硬质掩模层201。

[0006] 步骤二、如图1D所示,在沟槽202的侧面和底部表面形成氧化层102。

[0007] 步骤三、如图1E所示,在所述沟槽202中填充源多晶硅103,该源多晶硅103即为屏蔽多晶硅,源多晶硅103一般和源极相连,用于形成屏蔽栅。

[0008] 步骤四、如图1F所示,对源多晶硅103进行回刻,该回刻将沟槽202外的源多晶硅103都去除,沟槽202内的源多晶硅103顶部和半导体衬底101相平。

[0009] 在对源多晶硅103进行回刻后,容易在顶部形成如虚线圈204所示的尖角缺陷,这种尖角缺陷会降低器件栅源隔离效果和可靠性,容易造成栅源漏电。

[0010] 如图1G所示,将沟槽202顶部区域的氧化层102去除,最后形成一顶部沟槽203。

[0011] 步骤五、如图1H所示,进行热氧化工艺同时形成栅氧化层104和多晶硅间隔离氧化层104a。

[0012] 由图1H可以看出,由于通常沟槽202的侧面呈倾斜的结构,使得源多晶硅103的侧面也呈倾斜的结构,这样在形成顶部沟槽203之后在源多晶硅103的侧面和氧化层102的表面之间形成一个小于90度的夹角,夹角位置如虚线圈205所示。这个小于90度的夹角最后会使得多晶硅间隔离氧化层104a在虚线圈205所示位置处的厚度较顶部的更薄,通常虚线圈205所示的角落位置的多晶硅间隔离氧化层104a的厚度只有位置处的多晶硅间隔离氧化层104a厚度的60%左右。再加上,多晶硅间隔离氧化层104a和栅氧化层104同时形成,当栅氧化层104的厚度较薄时,栅源之间的漏电比较大。

[0013] 如图1I所示,形成多晶硅栅105,多晶硅栅105即为沟槽栅。

[0014] 同样,由于多晶硅间隔离氧化层104a在顶部沟槽203的角落位置的厚度较顶部的厚度薄,使得顶部沟槽203呈一个顶部窄底部宽的结构,顶部沟槽203的顶部较窄的结构形成一个多晶硅填充时的瓶颈,会多晶硅栅105填充时形成如标记206所示的缝隙和孔洞。多晶硅栅105的缝隙和孔洞在后续高温工艺时会由于氧化而挤压栅极氧化层,导致器件可靠性变差。

[0015] 如图1I所示,多晶硅栅105仅位于沟槽202顶部的源多晶硅103两侧;由此可知,同一沟槽202的两侧面之间的多晶硅栅105呈分离结构,为了和完全填充于沟槽顶部的多晶硅栅组成的沟槽栅相区别,将这种形成于沟槽侧壁的具有分离式结构的沟槽栅称为沟槽分离侧栅。

[0016] 步骤六、如图1J所示,形成阱区106,源区107。

[0017] 如图1K所示,形成层间膜108;如图1L所示,形成接触孔109的开口109a。较佳为,在刻蚀形成开口109a之后,还需要在源区107顶部所对应的开口109a的底部形成阱区接触区。

[0018] 如图1M所示,之后在开口109a中填充金属形成接触孔109。

[0019] 如图1N所示,形成正面金属层110。

[0020] 如图1N所示,采用光刻刻蚀工艺对正面金属层110进行图形化分别形成源极和栅极,其中源极通过接触孔109和源区107、阱区接触区109以及源多晶硅103接触,栅极通过接触孔109和多晶硅栅105接触。

[0021] 如图1O所示,之后形成在半导体衬底101的背面形成漏区和背面金属层111,由背面金属层111组成漏极。

[0022] 现有方法中,多晶硅栅105的一个侧面通过栅氧化层104和阱区106隔离,阱区106的被多晶硅栅105侧面覆盖的表面用于形成沟道。由图1O所示可知,上述现有方法形成的多晶硅栅105仅位于沟槽顶部的侧壁,这种具有侧壁多晶硅结构的垂直器件能够增加工作电流;同时源多晶硅103填充于整个沟槽中,源多晶硅103能形成良好的屏蔽,具有较小的底部电容,从而能减少源漏或栅漏的输入电容,提高频率特性。

[0023] 由上可知,上述具有侧壁多晶硅结构的多晶硅栅为具有屏蔽栅的分离侧栅结构的沟槽栅MOSFET器件,或称左右结构的屏蔽栅沟槽MOSFET。

[0024] 由前面分析可在,现有技术具有如下缺陷:

[0025] 源多晶硅103的回刻工艺会形成如虚线圈204所示的尖角缺陷,这种尖角缺陷会降低器件栅源隔离效果和可靠性,容易造成栅源漏电。

[0026] 同时,顶部沟槽203中在源多晶硅103的侧面和氧化层102的表面之间会形成一个如虚线圈205所示的小于90度的夹角,这个夹角会使得多晶硅间隔氧化层104a在虚线圈205所示位置处的厚度较顶部的更薄,容易产生较大的栅源之间的漏电。

[0027] 同样,由于顶部沟槽203呈一个顶部窄底部宽的结构,会在多晶硅栅105填充时形成如标记206所示的缝隙和孔洞,最后会导致器件可靠性变差。

发明内容

[0028] 本发明所要解决的技术问题是提供一种屏蔽栅沟槽MOSFET,能消除屏蔽多晶硅的尖角缺陷并防止由尖角缺陷产生的击穿,能降低器件的栅源漏电,还能提高多晶硅栅的可靠性。为此,本发明还提供一种屏蔽栅沟槽MOSFET的制造方法。

[0029] 为解决上述技术问题,本发明提供的屏蔽栅沟槽MOSFET的栅极结构包括:

[0030] 形成于半导体衬底中的沟槽,在所述沟槽的侧面和底部表面形成有底部氧化层,屏蔽多晶硅将形成有所述底部氧化层的所述沟槽完全填充。

[0031] 所述屏蔽多晶硅的表面通过多晶硅回刻和所述沟槽的顶部表面相平,所述多晶硅回刻会在所述屏蔽多晶硅表面形成尖角缺陷。

[0032] 在所述沟槽中形成有所述底部氧化层的顶部部分被自对准刻蚀后形成的顶部沟槽,所述顶部沟槽位于所述屏蔽多晶硅的顶端部分的两侧。

[0033] 所述顶部沟槽在所述底部氧化层自对准回刻的基础上还包括进行硅的各向同性刻蚀后形成扩大结构,硅的各向同性刻蚀将所述尖角缺陷钝化且使所述顶部沟槽由顶部开口小底部开口大的结构变换为顶部开口大底部开口小的结构。

[0034] 栅氧化层形成在扩大后的所述顶部沟槽的第一侧面对应的所述半导体衬底表面。

[0035] 多晶硅间隔氧化层形成在扩大后的所述顶部沟槽的第二侧面对应的所述屏蔽多晶硅表面。

[0036] 所述栅氧化层和所述多晶硅间隔氧化层采用相同的工艺同时形成,利用所述顶部沟槽的顶部开口大底部开口小的结构使所述顶部沟槽底部角落位置处的所述多晶硅间隔氧化层厚度增加。

[0037] 多晶硅栅形成于形成有所述栅氧化层和所述多晶硅间隔氧化层的所述顶部沟槽中,利用所述顶部沟槽的顶部开口大底部开口小的结构使所述多晶硅栅具有无缝隙填充结构。

[0038] 进一步的改进是,屏蔽栅沟槽MOSFET还包括:

[0039] 形成于所述半导体衬底表面的第二导电类型的阱区,所述半导体衬底具有第一导电类型掺杂;所述阱区的结深小于所述顶部沟槽的深度,所述多晶硅栅从侧面覆盖所述阱区且被所述多晶硅栅侧面覆盖的所述阱区表面用于形成沟道。

[0040] 形成于所述阱区表面的第一导电类型重掺杂的源区。

[0041] 层间膜覆盖在所述沟槽的区域表面以及所述沟槽外的所述半导体衬底表面。

[0042] 在所述源区和所述屏蔽多晶硅顶部分别形成有穿过对应的层间膜的接触孔并都连接到由正面金属层组成的源极。

[0043] 在所述多晶硅栅的顶部形成有穿过对应的层间膜的接触孔并连接到由正面金属层组成的栅极。

[0044] 进一步的改进是,屏蔽栅沟槽MOSFET还包括:

[0045] 第一导电类型重掺杂的漏区,形成于减薄后的所述半导体衬底的背面,在所述漏区的背面形成有背面金属层作为漏极。

[0046] 进一步的改进是,所述半导体衬底为硅衬底,在所述硅衬底表面形成有硅外延层,所述顶部沟槽和所述底部沟槽都位于所述硅外延层内。

[0047] 进一步的改进是,在和所述源区相接触的接触孔的底部还包括第二导电类型重掺杂的阱区接触区。

[0048] 进一步的改进是,扩大后的所述顶部沟槽还包括采用形成牺牲氧化层并去除的工艺处理的缺陷被修复的结构。

[0049] 进一步的改进是,屏蔽栅沟槽MOSFET为N型器件,第一导电类型为N型,第二导电类型为P型;或者,屏蔽栅沟槽MOSFET为P型器件,第一导电类型为P型,第二导电类型为N型。

[0050] 为解决上述技术问题,本发明提供的屏蔽栅沟槽MOSFET的制造方法的栅极结构采用如下步骤形成:

[0051] 步骤一、提供一半导体衬底,所述半导体衬底表面形成硬质掩模层,采用光刻工艺定义出栅极形成区域,采用刻蚀工艺将所述栅极形成区域的所述硬质掩模层去除。

[0052] 步骤二、以刻蚀后的所述硬质掩模层为掩模对所述半导体衬底进行各向异性刻蚀形成沟槽；之后去除所述硬质掩模层。

[0053] 步骤三、在所述沟槽的侧面和底部表面形成底部氧化层，所述底部氧化层还延伸到所述沟槽外的表面上。

[0054] 步骤四、进行第一次多晶硅沉积形成屏蔽多晶硅将形成有所述底部氧化层的所述沟槽完全填充；所述屏蔽多晶硅还延伸到所述沟槽外的表面上。

[0055] 步骤五、进行多晶硅回刻将所述沟槽外的所述屏蔽多晶硅去除以及将所述沟槽区域的所述屏蔽多晶硅的表面回刻到和所述沟槽的顶部表面相平，所述多晶硅回刻会在所述屏蔽多晶硅表面形成尖角缺陷。

[0056] 步骤六、对所述底部氧化层进行自对准刻蚀，自对准刻蚀将所述沟槽外的所述底部氧化层被去除，所述沟槽区域中的所述底部氧化层的顶部部分被自对准刻蚀掉后并形成顶部沟槽，所述顶部沟槽位于所述屏蔽多晶硅的顶端部分的两侧。

[0057] 步骤七、进行硅的各向同性刻蚀将所述顶部沟槽扩大，硅的各向同性刻蚀将所述尖角缺陷钝化且使所述顶部沟槽由顶部开口小底部开口大的结构变换为顶部开口大底部开口小的结构。

[0058] 步骤八、形成牺牲氧化层之后去除所述牺牲氧化层，实现对所述顶部沟槽的缺陷进行修复。

[0059] 步骤九、进行氧化层生长同时形成栅氧化层和多晶硅间隔氧化层，所述栅氧化层形成在所述顶部沟槽的第一侧面对应的所述半导体衬底表面；所述多晶硅间隔氧化层形成在所述顶部沟槽的第二侧面对应的所述屏蔽多晶硅表面；利用所述顶部沟槽的顶部开口大底部开口小的结构使所述顶部沟槽底部角落位置处的所述多晶硅间隔氧化层厚度增加。

[0060] 步骤十、进行第二次多晶硅沉积在所述顶部沟槽中形成多晶硅栅，利用所述顶部沟槽的顶部开口大底部开口小的结构使所述多晶硅栅具有无缝隙填充结构。

[0061] 进一步的改进是，在步骤十之后还包括步骤：

[0062] 进行第二导电类型离子注入在所述半导体衬底中形成阱区，所述半导体衬底具有第一导电类型掺杂。

[0063] 进行第一导电类型重掺杂的源注入在所述阱区表面形成源区。

[0064] 对所述阱区和所述源区进行热退火推进工艺。

[0065] 形成层间膜，所述层间膜覆盖在所述沟槽的区域表面以及所述沟槽外的所述半导体衬底表面。

[0066] 形成穿过所述层间膜的接触孔和正面金属层，对所述正面金属层进行光刻刻蚀形成源极和栅极，所述源极通过接触孔和所述源区以及所述屏蔽多晶硅接触，所述栅极通过接触孔和所述多晶硅栅接触。

[0067] 对所述半导体衬底背面进行减薄并形成重掺杂的漏区，在所述漏区的背面形成背面金属层作为漏极。

[0068] 进一步的改进是，所述半导体衬底为硅衬底，在所述硅衬底表面形成有硅外延层，所述顶部沟槽和所述底部沟槽都位于所述硅外延层内。

[0069] 进一步的改进是，步骤一中所述硬质掩模层由氧化层或氮化层。

[0070] 进一步的改进是,所述栅氧化层采用热氧化工艺形成。

[0071] 进一步的改进是,步骤八中所述牺牲氧化层采用热氧化工艺形成。

[0072] 进一步的改进是,在所述接触孔的开口形成后、金属填充前,还包括在和所述源区相接触的接触孔的底部进行第一导电类型重掺杂注入形成阱区接触区的步骤。

[0073] 进一步的改进是,屏蔽栅沟槽MOSFET为N型器件,第一导电类型为N型,第二导电类型为P型;或者,屏蔽栅沟槽MOSFET为P型器件,第一导电类型为P型,第二导电类型为N型。

[0074] 本发明栅极结构中,在底部氧化层被自对准刻蚀形成的顶部沟槽的基础上还包括对硅进行各向同性刻蚀后形成的扩大结构,顶部沟槽的扩大结构能同时解决现有技术的技术问题,分别为:

[0075] 顶部沟槽的扩大结构对应的硅的各向同性刻蚀会屏蔽多晶硅顶部的尖角缺陷钝化,从而能解决屏蔽多晶硅的尖角缺陷所带来的会降低器件栅源隔离效果和可靠性的缺陷,从而能提高器件栅源隔离效果和可靠性,并降低器件的栅源漏电。

[0076] 顶部沟槽的扩大结构对应的硅的各向同性刻蚀还会使得顶部沟槽由顶部开口小底部开口大的结构变换为顶部开口大底部开口小的结构,这种结构分别会在栅氧化层形成工艺中以及多晶硅栅的填充工艺中带来相应的有益效果,分别为:

[0077] 在栅氧化层的形成过程中,多晶硅间隔氧化层会同时形成,由于顶部沟槽具有顶部开口大底部开口小的特征,顶部沟槽的底部角落的屏蔽多晶硅的侧面和底部氧化层表面的夹角大于90度,从而有利于顶部沟槽的底部角落的多晶硅间隔氧化层生长,最后能使顶部沟槽底部角落位置处的多晶硅间隔氧化层厚度增加,从而能消除现有技术中顶部沟槽底部角落位置处的多晶硅间隔氧化层厚度较薄所带来容易产生栅源漏电的技术问题,最后能降低器件的栅源漏电。

[0078] 在多晶硅栅的填充工艺中,由于顶部沟槽的顶部开口大底部开口小,这种结构有利用多晶硅栅的填充,能消除现有技术中容易在多晶硅栅内部形成缝隙的技术问题,所以本发明能实现多晶硅栅的无缝隙填充结构,从而能提高器件的可靠性。

附图说明

[0079] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0080] 图1A-图10是现有屏蔽栅沟槽MOSFET的制造方法各步骤中的器件结构示意图;

[0081] 图2是本发明实施例屏蔽栅沟槽MOSFET的结构示意图;

[0082] 图3A-图3Q是本发明实施例方法各步骤中的器件结构示意图。

具体实施方式

[0083] 如图2所示,是本发明实施例屏蔽栅沟槽MOSFET的结构示意图;本发明实施例屏蔽栅沟槽MOSFET的栅极结构包括:

[0084] 形成于半导体衬底1中的沟槽,在所述沟槽的侧面和底部表面形成有底部氧化层2,屏蔽多晶硅3将形成有所述底部氧化层2的所述沟槽完全填充。

[0085] 本发明实施例中,所述半导体衬底1为硅衬底,在所述硅衬底表面形成有硅外延层,所述顶部沟槽和所述底部沟槽都位于所述硅外延层内。

[0086] 所述屏蔽多晶硅3的表面通过多晶硅回刻和所述沟槽的顶部表面相平,所述多晶

硅回刻会在所述屏蔽多晶硅3表面形成尖角缺陷。

[0087] 在所述沟槽中形成有所述底部氧化层2的顶部部分被自对准刻蚀后形成的顶部沟槽,所述顶部沟槽位于所述屏蔽多晶硅3的顶端部分的两侧。

[0088] 所述顶部沟槽在所述底部氧化层2自对准回刻的基础上还包括进行硅的各向同性刻蚀后形成扩大结构,硅的各向同性刻蚀将所述尖角缺陷钝化且使所述顶部沟槽由顶部开口小底部开口大的结构变换为顶部开口大底部开口小的结构。较佳为,扩大后的所述顶部沟槽还包括采用形成牺牲氧化层并去除的工艺处理的缺陷被修复的结构。

[0089] 栅氧化层4形成在扩大后的所述顶部沟槽的第一侧面对应的所述半导体衬底1表面。

[0090] 多晶硅间隔氧化层4a形成在扩大后的所述顶部沟槽的第二侧面对应的所述屏蔽多晶硅3表面。

[0091] 所述栅氧化层4和所述多晶硅间隔氧化层4a采用相同的工艺同时形成,利用所述顶部沟槽的顶部开口大底部开口小的结构使所述顶部沟槽底部角落位置处的所述多晶硅间隔氧化层4a厚度增加。

[0092] 多晶硅栅5形成于形成有所述栅氧化层4和所述多晶硅间隔氧化层4a的所述顶部沟槽中,利用所述顶部沟槽的顶部开口大底部开口小的结构使所述多晶硅栅5具有无缝隙填充结构。

[0093] 屏蔽栅沟槽MOSFET还包括:

[0094] 形成于所述半导体衬底1表面的第二导电类型的阱区6,所述半导体衬底1具有第一导电类型掺杂;所述阱区6的结深小于所述顶部沟槽的深度,所述多晶硅栅5从侧面覆盖所述阱区6且被所述多晶硅栅5侧面覆盖的所述阱区6表面用于形成沟道。

[0095] 形成于所述阱区6表面的第一导电类型重掺杂的源区7。

[0096] 层间膜8覆盖在所述沟槽的区域表面以及所述沟槽外的所述半导体衬底1表面。

[0097] 在所述源区7和所述屏蔽多晶硅3顶部分别形成有穿过对应的层间膜8的接触孔9并都连接到由正面金属层10组成的源极。较佳为,在和所述源区7相接触的接触孔9的底部还包括第二导电类型重掺杂的阱区接触区。

[0098] 在所述多晶硅栅5的顶部形成有穿过对应的层间膜8的接触孔9并连接到由正面金属层10组成的栅极。

[0099] 第一导电类型重掺杂的漏区,形成于减薄后的所述半导体衬底1的背面,在所述漏区的背面形成有背面金属层11作为漏极。

[0100] 本发明实施例中,屏蔽栅沟槽MOSFET为N型器件,第一导电类型为N型,第二导电类型为P型。在其它实施例中也能为:屏蔽栅沟槽MOSFET为P型器件,第一导电类型为P型,第二导电类型为N型。

[0101] 如图3A至图3Q所示,是本发明实施例方法各步骤中的器件结构示意图,本发明实施例屏蔽栅沟槽MOSFET的制造方法的栅极结构采用如下步骤形成:

[0102] 步骤一、如图3A所示,提供一半导体衬底1,所述半导体衬底1表面形成硬质掩模层301。如图3B所示,采用光刻工艺定义出栅极形成区域,采用刻蚀工艺将所述栅极形成区域的所述硬质掩模层301去除。

[0103] 步骤一中所述硬质掩模层301由氧化层或氮化层组成。

[0104] 步骤二、如图3B所示,以刻蚀后的所述硬质掩模层301为掩模对所述半导体衬底1进行各向异性刻蚀形成沟槽;如图3C所示,之后去除所述硬质掩模层301。本发明实施例中,所述半导体衬底1为硅衬底,在所述硅衬底表面形成有硅外延层,所述顶部沟槽304和所述底部沟槽都位于所述硅外延层内。

[0105] 步骤三、如图3D所示,在所述沟槽的侧面和底部表面形成底部氧化层2,所述底部氧化层2还延伸到所述沟槽外的表面上。

[0106] 步骤四、如图3E所示,进行第一次多晶硅沉积形成屏蔽多晶硅3将形成有所述底部氧化层2的所述沟槽完全填充;所述屏蔽多晶硅3还延伸到所述沟槽外的表面上。

[0107] 步骤五、如图3F所示,进行多晶硅回刻将所述沟槽外的所述屏蔽多晶硅3去除以及将所述沟槽区域的所述屏蔽多晶硅3的表面回刻到和所述沟槽的顶部表面相平,所述多晶硅回刻会在所述屏蔽多晶硅3表面形成尖角缺陷,尖角缺陷如虚线圈303所示。

[0108] 步骤六、如图3G所示,对所述底部氧化层2进行自对准刻蚀,自对准刻蚀将所述沟槽外的所述底部氧化层2被去除,所述沟槽区域中的所述底部氧化层2的顶部部分被自对准刻蚀掉后并形成顶部沟槽304,所述顶部沟槽304位于所述屏蔽多晶硅3的顶端部分的两侧。由于沟槽302通常为侧面倾斜的结构,所述屏蔽多晶硅3的侧面也为倾斜结构,这会使得顶部沟槽304的所述屏蔽多晶硅3的侧面和所述底部氧化层2之间的夹角小于90度,即图3G中虚线圈305所示区域的夹角小于90度。

[0109] 步骤七、如图3H所示,进行硅的各向同性刻蚀将所述顶部沟槽304扩大,硅的各向同性刻蚀将所述尖角缺陷钝化且使所述顶部沟槽304由顶部开口小底部开口大的结构变换为顶部开口大底部开口小的结构。所述尖角缺陷被钝化后,能解决屏蔽多晶硅3的尖角缺陷所带来的会降低器件栅源隔离效果和可靠性的缺陷,从而能提高器件栅源隔离效果和可靠性,并降低器件的栅源漏电。

[0110] 步骤八、如图3I所示,形成牺牲氧化层306;之后,如图3J所示,去除所述牺牲氧化层306,实现对所述顶部沟槽304的缺陷进行修复。

[0111] 较佳为,所述牺牲氧化层306采用热氧化工艺形成。

[0112] 步骤九、如图3K所示,进行氧化层生长同时形成栅氧化层4和多晶硅间隔氧化层4a,所述栅氧化层4形成在所述顶部沟槽304的第一侧面对应的所述半导体衬底1表面;所述多晶硅间隔氧化层4a形成在所述顶部沟槽304的第二侧面对应的所述屏蔽多晶硅3表面;利用所述顶部沟槽304的顶部开口大底部开口小的结构使所述顶部沟槽304底部角落位置处的所述多晶硅间隔氧化层4a厚度增加。

[0113] 在栅氧化层4的形成过程中,多晶硅间隔氧化层4a会同时形成,由于顶部沟槽304具有顶部开口大底部开口小的特征,顶部沟槽304的底部角落的屏蔽多晶硅3的侧面和底部氧化层2表面的夹角大于90度,从而有利于顶部沟槽304的底部角落的多晶硅间隔氧化层4a生长,最后能使顶部沟槽304底部角落位置处的多晶硅间隔氧化层4a厚度增加,从而能消除现有技术中顶部沟槽304底部角落位置处的多晶硅间隔氧化层4a厚度较薄所带来容易产生栅源漏电的技术问题,最后能降低器件的栅源漏电。

[0114] 较佳为,所述栅氧化层4采用热氧化工艺形成。

[0115] 步骤十、如图3L所示,进行第二次多晶硅沉积在所述顶部沟槽304中形成多晶硅栅5,利用所述顶部沟槽304的顶部开口大底部开口小的结构使所述多晶硅栅5具有无缝隙填

充结构。

[0116] 在多晶硅栅5的填充工艺中,由于顶部沟槽304的顶部开口大底部开口小,这种结构有利用多晶硅栅5的填充,能消除现有技术中容易在多晶硅栅5内部形成缝隙的技术问题,所以本发明实施例能实现多晶硅栅5的无缝隙填充结构,从而能提高器件的可靠性。

[0117] 在步骤十之后还包括步骤:

[0118] 如图3M所示,进行第二导电类型离子注入在所述半导体衬底1中形成阱区6,所述半导体衬底1具有第一导电类型掺杂。

[0119] 如图3M所示,进行第一导电类型重掺杂的源注入在所述阱区6表面形成源区7。

[0120] 如图3M所示,对所述阱区6和所述源区7进行热退火推进工艺。

[0121] 如图3N所示,形成层间膜8,所述层间膜8覆盖在所述沟槽的区域表面以及所述沟槽外的所述半导体衬底1表面。

[0122] 如图3O所示,形成穿过所述层间膜8的接触孔9的开口9a。较佳为,在所述接触孔9的开口9a形成后、金属填充前,还包括在和所述源区7相接触的接触孔9的底部进行第一导电类型重掺杂注入形成阱区接触区的步骤。

[0123] 如图3P所示,在开口9a中填充金属形成接触孔9。

[0124] 如图3Q所示,形成正面金属层10,对所述正面金属层10进行光刻刻蚀形成源极和栅极,所述源极通过接触孔9和所述源区7以及所述屏蔽多晶硅3接触,所述栅极通过接触孔9和所述多晶硅栅5接触。

[0125] 如图2示,对所述半导体衬底1背面进行减薄并形成重掺杂的漏区,在所述漏区的背面形成背面金属层11作为漏极。

[0126] 本发明实施例方法中,屏蔽栅沟槽MOSFET为N型器件,第一导电类型为N型,第二导电类型为P型。在其它实施例方法中也能为:屏蔽栅沟槽MOSFET为P型器件,第一导电类型为P型,第二导电类型为N型。

[0127] 由上可知,本发明实施例的栅极结构中,在底部氧化层2被自对准刻蚀形成的顶部沟槽304的基础上还包括对硅进行各向同性刻蚀后形成的扩大结构,顶部沟槽304的扩大结构能同时解决现有技术的三方面的技术问题,分别为:

[0128] 顶部沟槽304的扩大结构对应的硅的各向同性刻蚀会屏蔽多晶硅3顶部的尖角缺陷钝化,从而能解决屏蔽多晶硅3的尖角缺陷所带来的会降低器件栅源隔离效果和可靠性的缺陷,从而能提高器件栅源隔离效果和可靠性,并降低器件的栅源漏电。

[0129] 顶部沟槽304的扩大结构对应的硅的各向同性刻蚀还会使得顶部沟槽304由顶部开口小底部开口大的结构变换为顶部开口大底部开口小的结构,这种结构分别会在栅氧化层4形成工艺中以及多晶硅栅5的填充工艺中带来相应的有益效果,分别为:

[0130] 在栅氧化层4的形成过程中,多晶硅间隔氧化层4a会同时形成,由于顶部沟槽304具有顶部开口大底部开口小的特征,顶部沟槽304的底部角落的屏蔽多晶硅3的侧面和底部氧化层2表面的夹角大于90度,从而有利于顶部沟槽304的底部角落的多晶硅间隔氧化层4a生长,最后能使顶部沟槽304底部角落位置处的多晶硅间隔氧化层4a厚度增加,从而能消除现有技术中顶部沟槽304底部角落位置处的多晶硅间隔氧化层4a厚度较薄所带来容易产生栅源漏电的技术问题,最后能降低器件的栅源漏电。

[0131] 在多晶硅栅5的填充工艺中,由于顶部沟槽304的顶部开口大底部开口小,这种结

构有利用多晶硅栅5的填充,能消除现有技术中容易在多晶硅栅5内部形成缝隙的技术问题,所以本发明实施例能实现多晶硅栅5的无缝隙填充结构,从而能提高器件的可靠性。

[0132] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

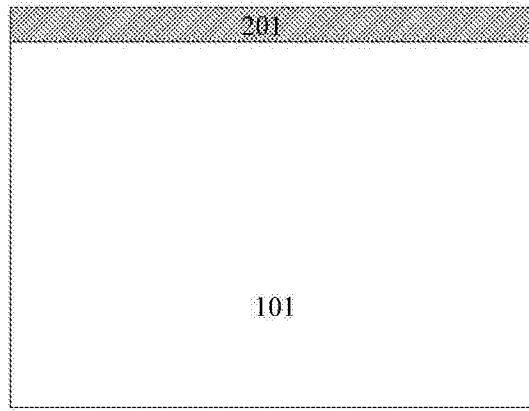


图1A

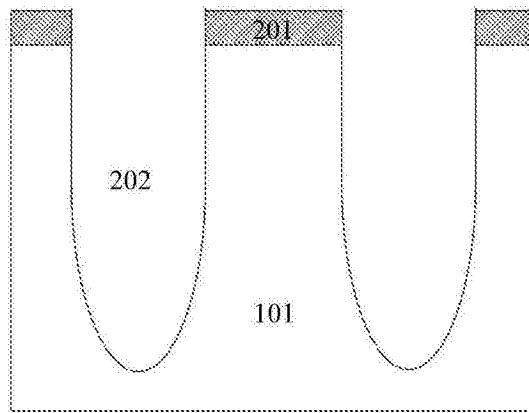


图1B

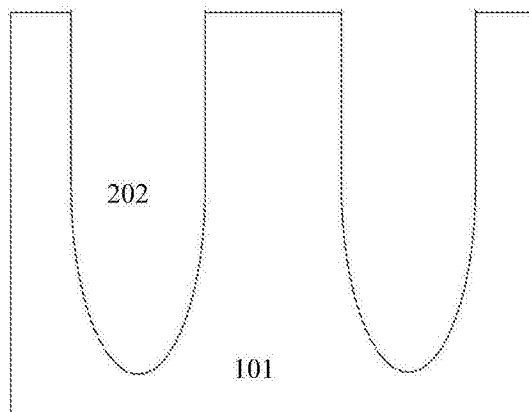


图1C

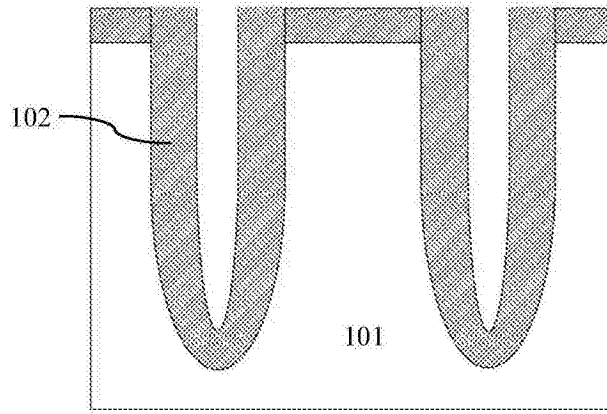


图1D

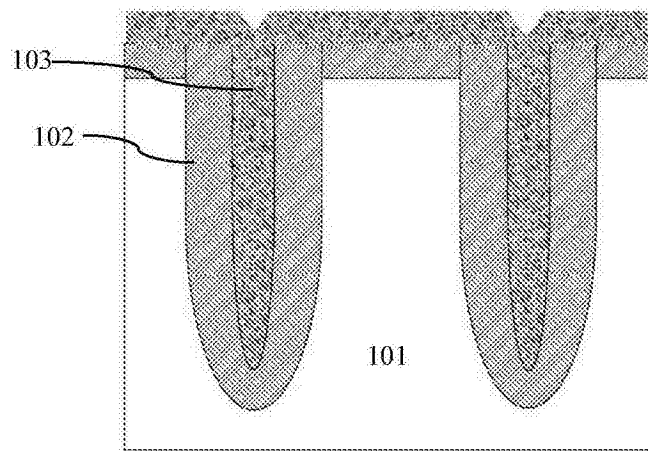


图1E

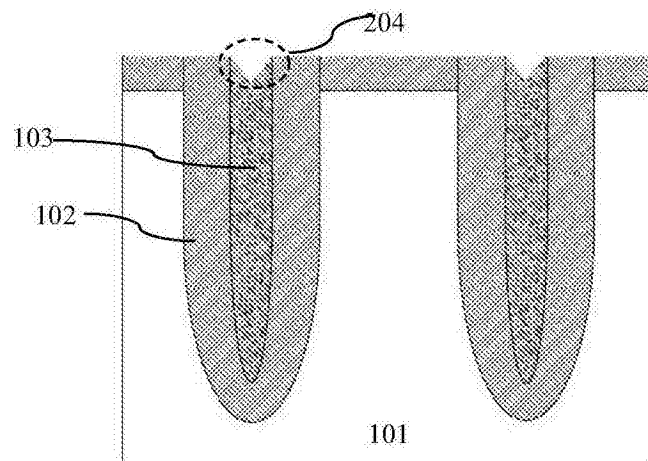


图1F

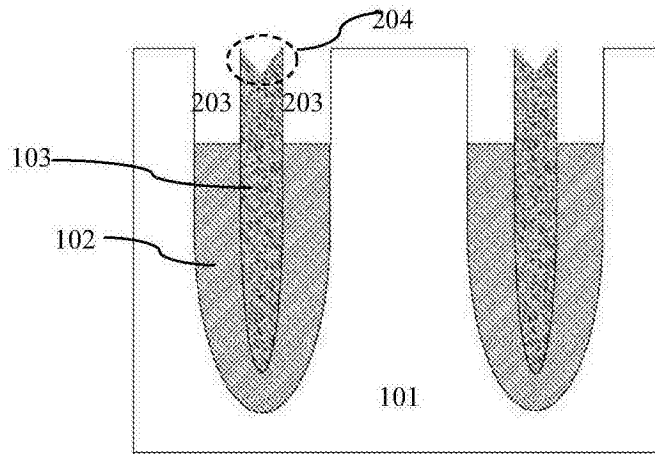


图1G

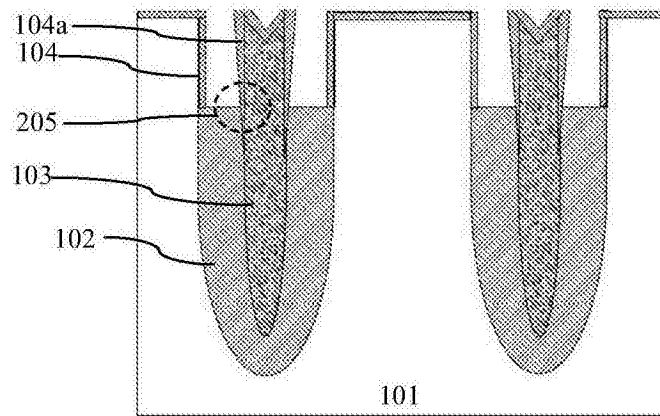


图1H

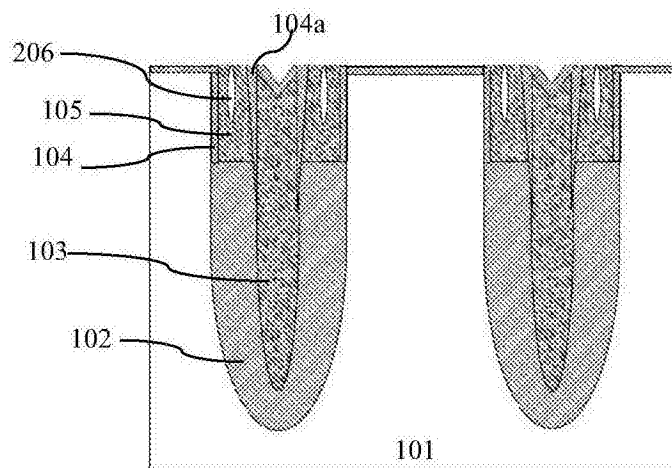


图1I

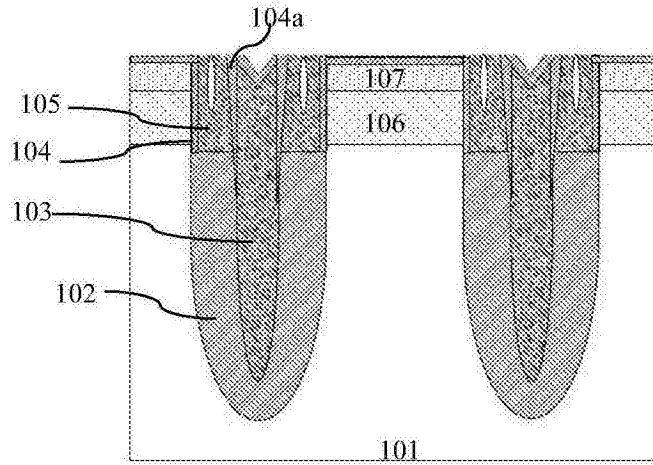


图1J

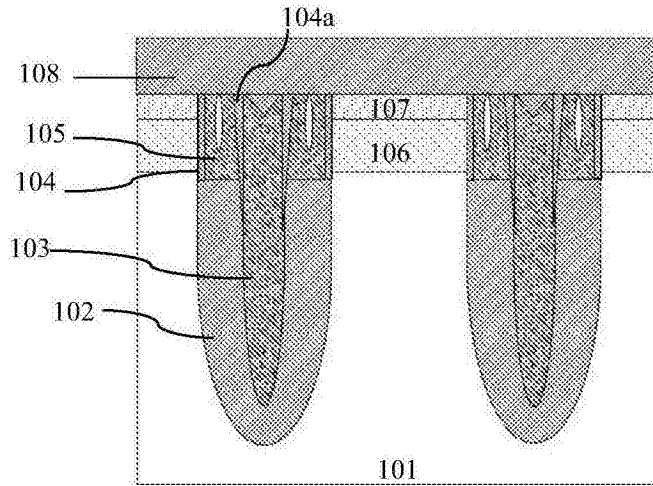


图1K

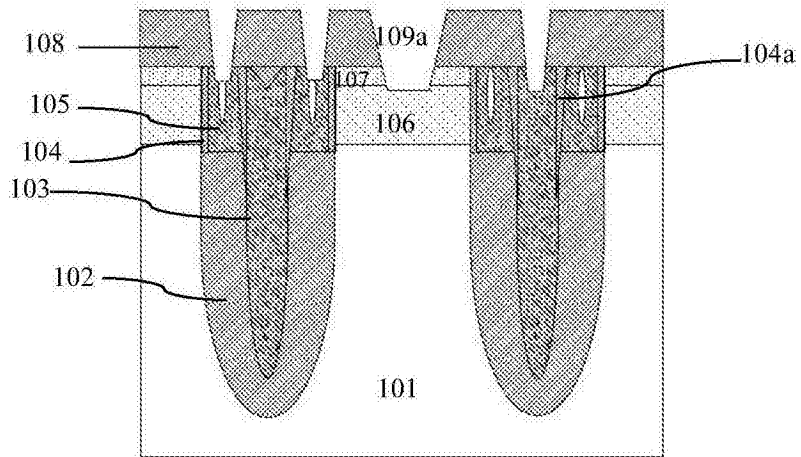


图1L

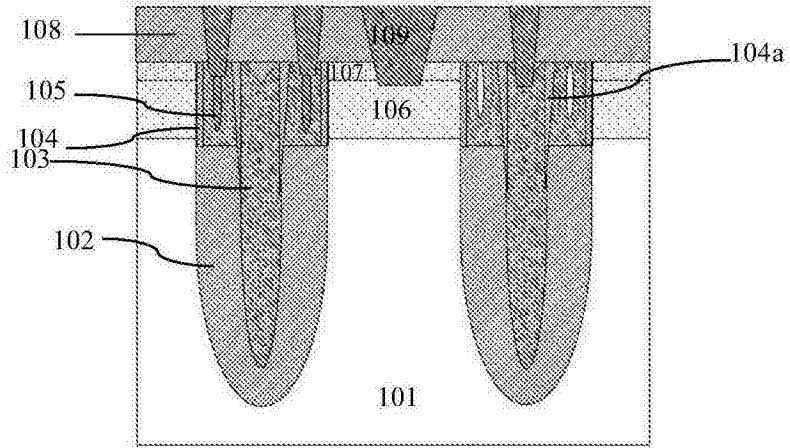


图1M

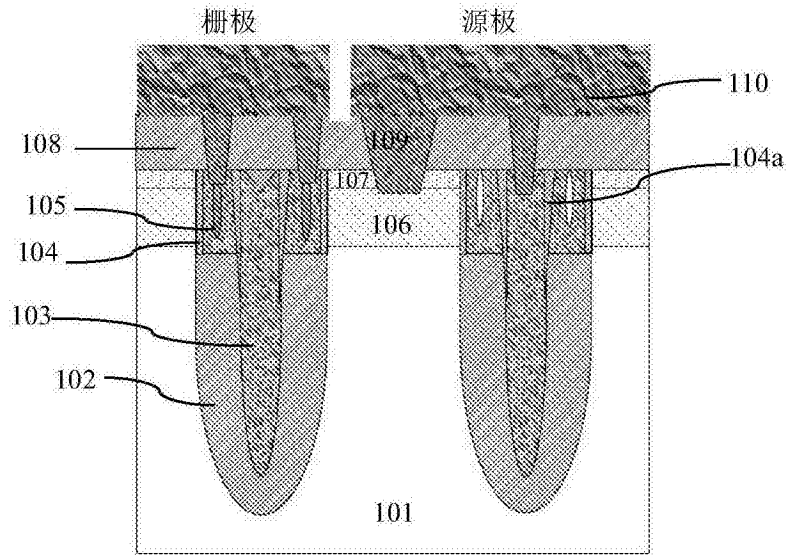


图1N

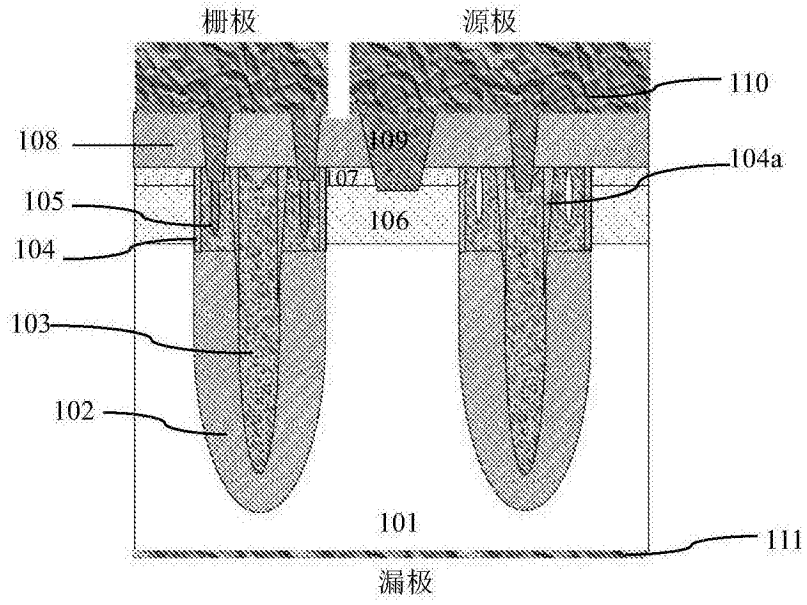


图10

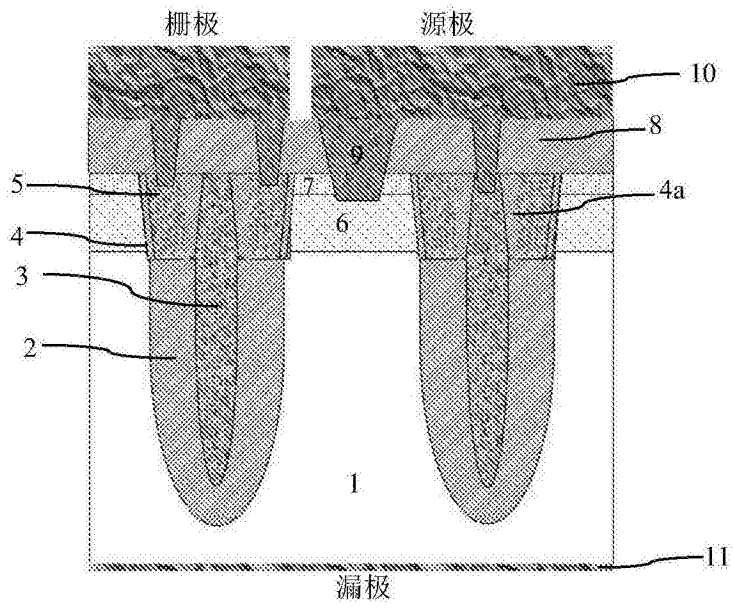


图2

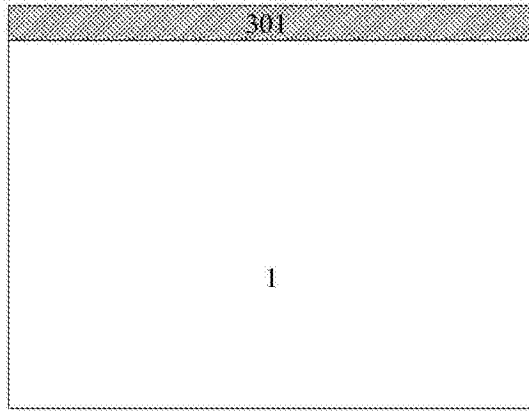


图3A

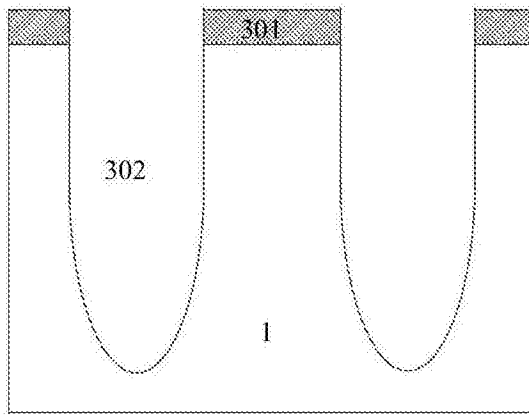


图3B

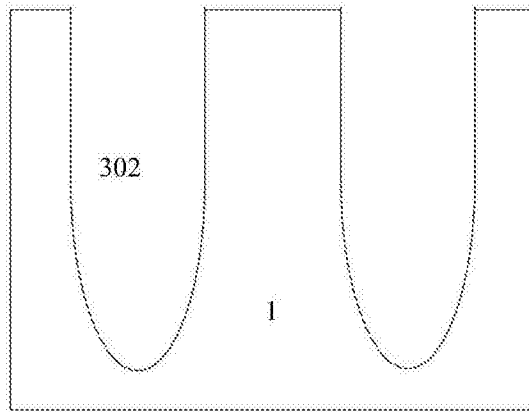


图3C

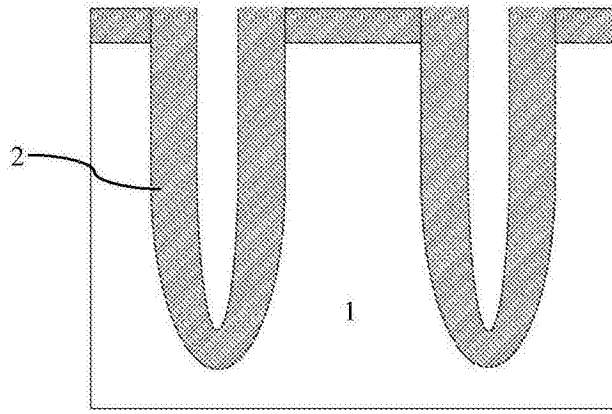


图3D

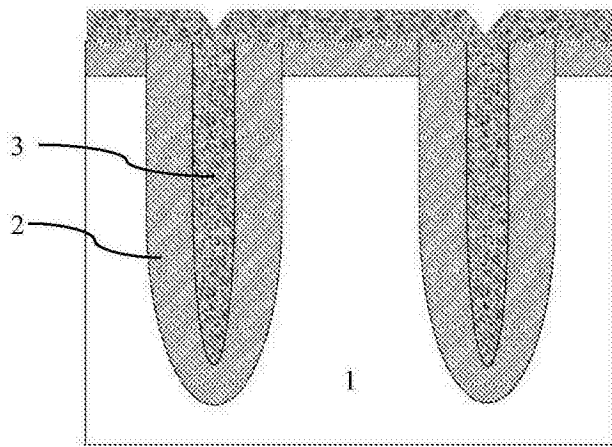


图3E

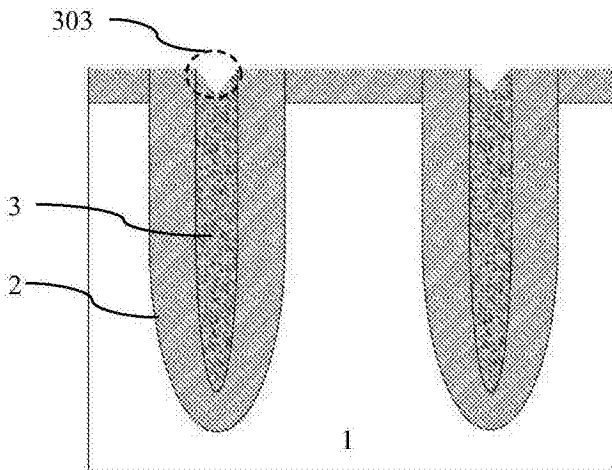


图3F

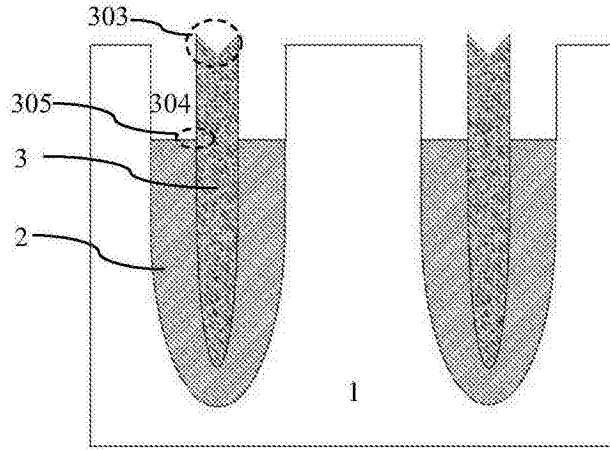


图3G

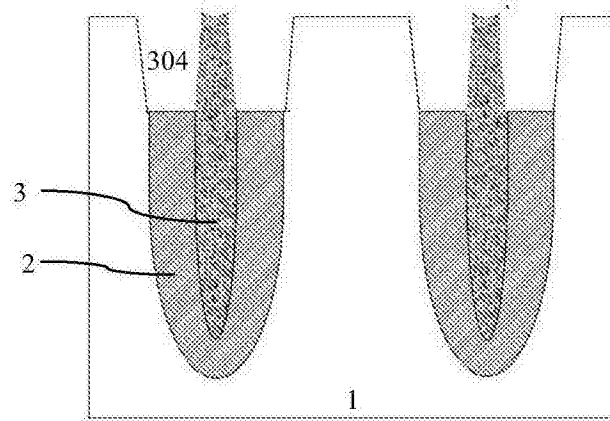


图3H

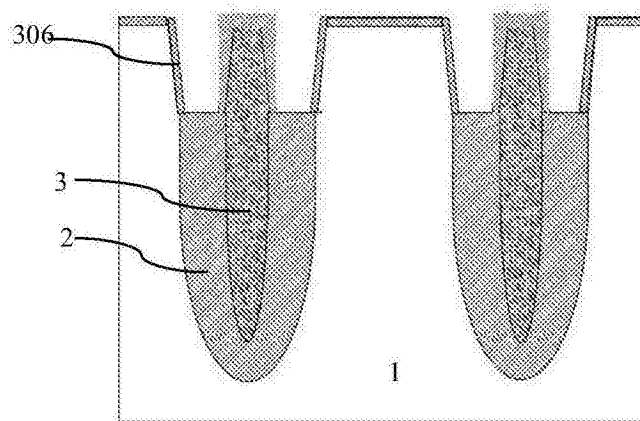


图3I

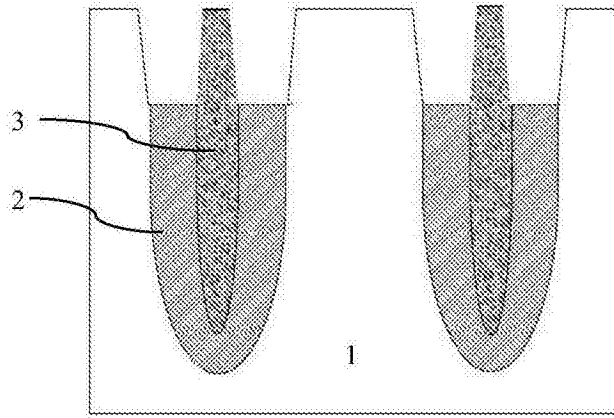


图3J

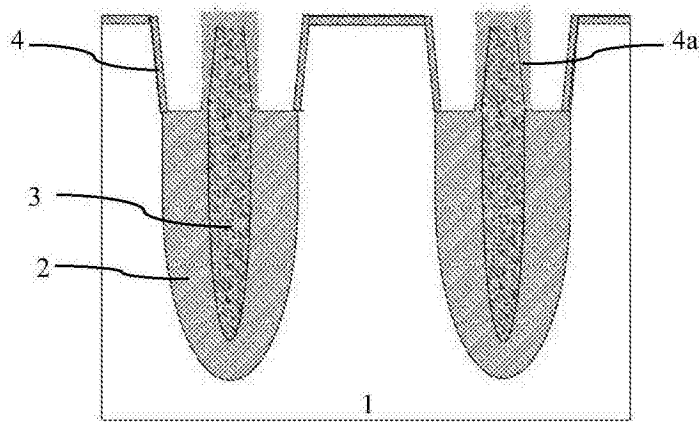


图3K

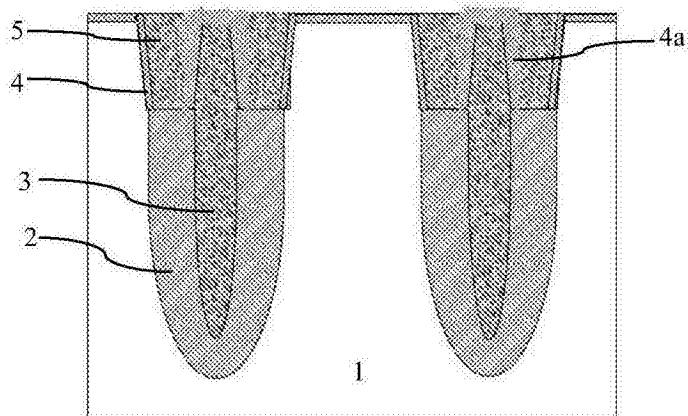


图3L

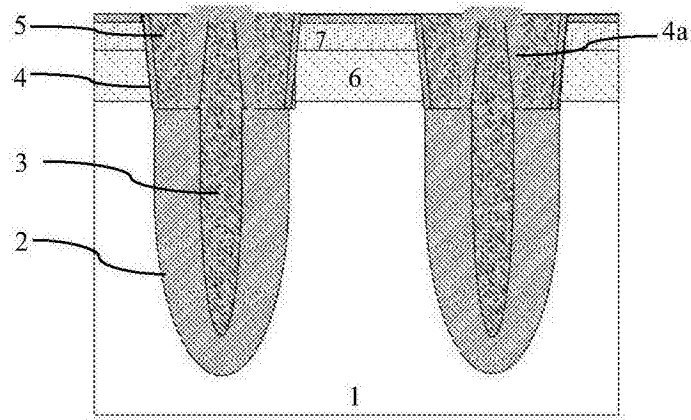


图3M

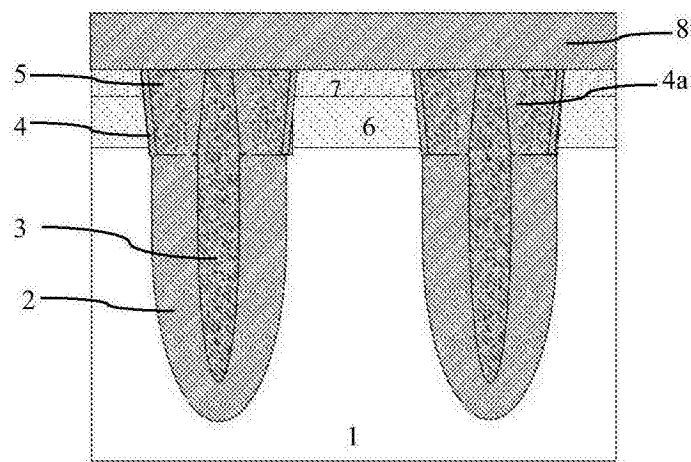


图3N

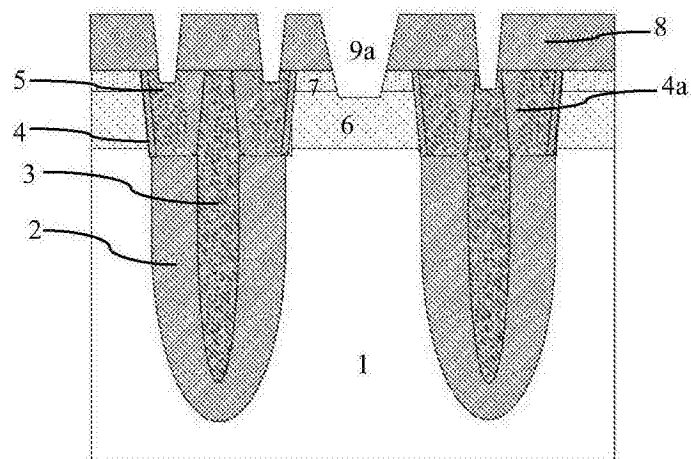


图30

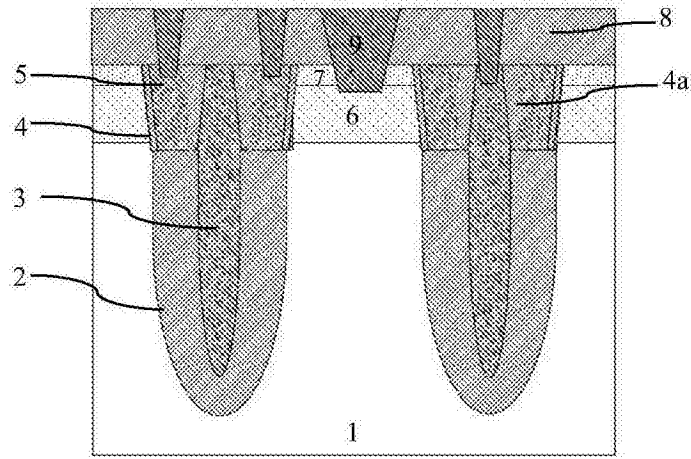


图3P

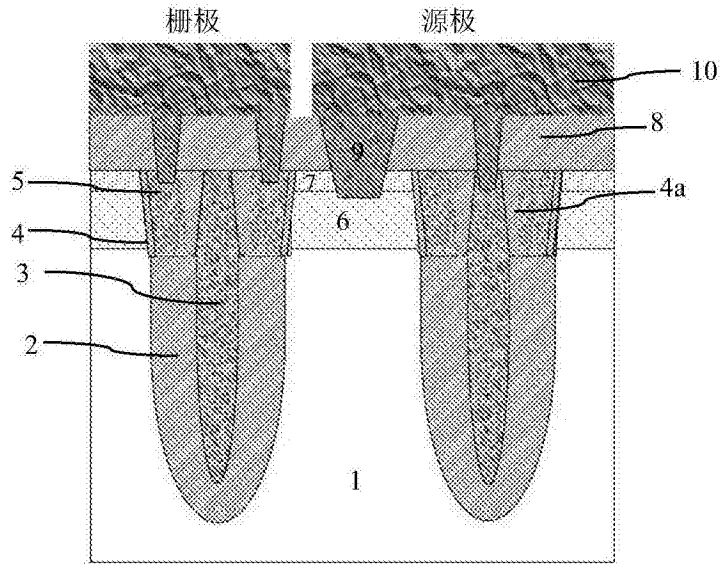


图3Q