



(12) 实用新型专利

(10) 授权公告号 CN 203277388 U

(45) 授权公告日 2013. 11. 06

(21) 申请号 201320254968. 8

(22) 申请日 2013. 05. 13

(73) 专利权人 成都瑞芯电子有限公司

地址 610000 四川省成都市高新区世纪城南
路 216 号天府软件园 D 区 6 号楼 14 层

(72) 发明人 王新

(74) 专利代理机构 成都行之专利代理事务所
(普通合伙) 51220

代理人 梁田

(51) Int. Cl.

H01L 29/40(2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

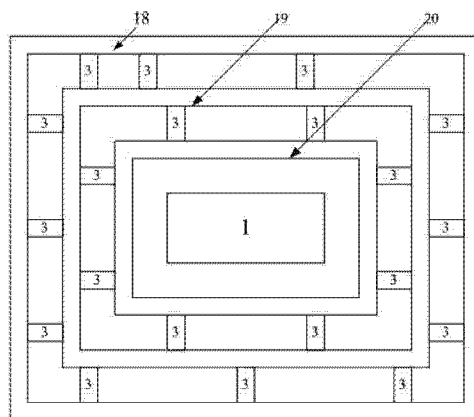
权利要求书1页 说明书5页 附图2页

(54) 实用新型名称

量子场分布的 Trench MOSFET 沟槽终端结构

(57) 摘要

量子场分布的 Trench MOSFET 沟槽终端结构, 包括外延层, 及位于外延层中深度相同的第一隔离槽和平行于第一隔离槽, 且位于第一隔离槽远离硅片边界一侧的第二隔离槽; 第一隔离槽和第二隔离槽内部都有多晶硅电极, 所述多晶硅电极与沟槽内壁之间有栅氧化层, 所述第一隔离槽和第二隔离槽之间连接有短隔离槽。采用本实用新型所述的量子场分布的 Trench MOSFET 沟槽终端结构, 改变了原来终端结构的设计方法, 在隔离槽与隔离槽之间用小沟槽相连接, 此结构消除了体区边缘的曲率半径, 把体区终端部分更充分地变为平行平面结。这种结构既不用设计场板和场限环结合结构中的距离难点, 而且还节省了芯片的面积。



1. 量子场分布的 Trench MOSFET 沟槽终端结构, 包括外延层(22), 及位于外延层(22) 中的第一隔离槽(20)和平行于第一隔离槽, 且位于第一隔离槽靠近硅片边界一侧的第二隔离槽(19); 第一隔离槽、第二隔离槽深度相同, 且具有如下所述的相同结构: 内部都有悬空场板, 所述悬空场板与隔离槽内壁之间有栅氧化层, 其特征在于:

所述第一隔离槽和第二隔离槽之间连接有短隔离槽(3), 所述短隔离槽的结构与第一隔离槽和第二隔离槽相同, 且短隔离槽的悬空场板连接第一隔离槽和第二隔离槽的悬空场板。

2. 如权利要求 1 所述量子场分布的 Trench MOSFET 沟槽终端结构, 还包括位于第二隔离槽靠近硅片边界一侧并与第二隔离槽结构相同的第三隔离槽(18), 所述第三隔离槽和第二隔离槽之间连接有与第二隔离槽结构相同的短隔离槽(3), 短隔离槽的悬空场板连接第二隔离槽和第三隔离槽的悬空场板。

3. 如权利要求 1 所述量子场分布的 Trench MOSFET 沟槽终端结构, 其特征在于: 隔离槽之间的短隔离槽有多个, 短隔离槽的分布间距是隔离槽距离的 3 至 10 倍。

4. 如权利要求 1 所述量子场分布的 Trench MOSFET 沟槽终端结构, 其特征在于: 短隔离槽的分布间距是隔离槽距离的 5 倍。

5. 如权利要求 1 所述量子场分布的 Trench MOSFET 沟槽终端结构, 还具备如下特征: 在第一隔离槽远离硅片边界一侧还有沟槽, 沟槽远离硅片边界(17) 一侧具有体区

(25); 体区上面还有源区(27);

在硅片表面还具备隔离氧化层(29), 在隔离氧化层上有与源区形成良好欧姆接触的源级接触结构(210);

沟槽内部有栅电极板(24a), 栅电极板与沟槽内壁之间还有栅氧化层(23);

所述沟槽深度与隔离槽相同。

6. 如权利要求 5 所述量子场分布的 Trench MOSFET 沟槽终端结构, 所述沟槽具备至少如下之一特征:

A. 沟槽的栅氧化层结构和成分与隔离槽相同;

B. 沟槽的栅电极板与隔离槽的场板结构和成分相同。

7. 如权利要求 5 所述量子场分布的 Trench MOSFET 沟槽终端结构, 其特征在于: 所述源区(27) 的注入浓度比外延层(22) 掺杂浓度大两个数量级。

8. 如权利要求 1 所述量子场分布的 Trench MOSFET 沟槽终端结构, 包括位于外延下方的衬底, 其特征在于: 所述衬底电阻率为 $1 \sim 3\% \text{ ohm} \cdot \text{cm}$ 。

量子场分布的 Trench MOSFET 沟槽终端结构

技术领域

[0001] 本实用新型属于半导体工艺领域的集成电路制造领域,涉及一种量子场分布的 Trench MOSFET 沟槽终端结构。

背景技术

[0002] D. Ueda 等人于 1985 年提出了 Trench MOSFET 结构,作为一种在 VDMOS 基础上发展起来的新型垂直结构器件,相对 VDMOS 相比具备更低的导通电阻,低栅漏电荷密度,从而有低的导通和开关损耗及更快的开关速度,同时由于 Trench MOSFET 的沟道是垂直的,故可以进一步提高沟道密度,减小芯片尺寸,降低制造成本。

[0003] 目前,Trench MOSFET 结终端保护措施主要使用场板与场限环相结合的终端技术。

[0004] 场限环技术虽然具有生产简单,可以达到较高击穿电压的优点,但它对界面电荷非常敏感,使场限环的作用大打折扣。而金属场板技术对界面电荷不是很敏感,并且与主结电极接在一起时消除界面电荷对器件表面的影响,但在场板边缘处电场集中,这可以在场板边缘处附加一个保护环来减弱场板和衬底的高电位差引起的电场集中。因而提出金属场板和场限环相结合的终端结构。这种场板与场限环的综合,结合了两者的优点。采用这种结构的器件不仅可以实现较高击穿电压的要求,而且还有较好的可靠性。

[0005] 如图 2 所示,在硅片边界 17 附近示出现有技术的一种终端结构纵剖面图,硅片边界附近共有 3 个环形体区 25,形成三个保护结构以提高终端耐压,体区 25 之间的间距根据需要的耐压设定,在体区 25 的转弯处 16,电场线分布集中,为体区 25 和外延层 22 之间的耐压薄弱点,当发生击穿时,首先在此处发生击穿。从硅片表面俯视,这些环形体区位于硅片边界附近,包围硅片内部结构。

[0006] 但在多场限环和偏移场板相结合的设计中,每个环上场板长度和环间距的确定是一个难点。而且在高压器件中,这种结构要占用较大的芯片面积,在特征尺寸不断减小,芯片面积不断缩小的今天,这种技术无疑已经没有优势。

实用新型内容

[0007] 为克服现有终端技术设计难度大,占用芯片面积大的技术缺陷,本实用新型提供一种量子场分布的 Trench MOSFET 沟槽终端结构。

[0008] 本实用新型所述量子场分布的 Trench MOSFET 沟槽终端结构,包括外延层,及位于外延层中的第一隔离槽和平行于第一隔离槽,且位于第一隔离槽靠近硅片边界一侧的第二隔离槽;第一隔离槽、第二隔离槽深度相同,且具有如下所述的相同结构:内部都有悬空场板,所述悬空场板与隔离槽内壁之间有栅氧化层,所述第一隔离槽和第二隔离槽之间连接有短隔离槽,所述短隔离槽的结构与第一隔离槽和第二隔离槽相同,且短隔离槽的悬空场板连接第一隔离槽和第二隔离槽的悬空场板。

[0009] 优选的,还包括位于第二隔离槽靠近硅片边界一侧并与第二隔离槽结构相同的第三隔离槽,所述第三隔离槽和第二隔离槽之间连接有与第二隔离槽结构相同的短隔离槽,

短隔离槽的悬空场板连接第二隔离槽和第三隔离槽的悬空场板。

[0010] 优选的,隔离槽之间的短隔离槽有多个,短隔离槽的分布间距是隔离槽距离的 3 至 10 倍。

[0011] 优选的,短隔离槽的分布间距是隔离槽距离的 5 倍。

[0012] 优选的,还具备如下特征:在第一隔离槽远离硅片边界一侧还有沟槽,沟槽远离硅

[0013] 片边界一侧具有体区;体区上面还有源区;在硅片表面还具备隔离氧化层,在隔离氧化层上有与源区形成良好欧姆接触的源级接触结构;沟槽内部有栅电极板,栅电极板与沟槽内壁之间还有栅氧化层;所述沟槽深度与隔离槽相同。

[0014] 优选的,所述沟槽具备至少如下之一特征:

[0015] A. 沟槽的栅氧化层结构和成分与隔离槽相同;

[0016] B. 沟槽的栅电极板与隔离槽的场板结构和成分相同。

[0017] 优选的,所述源区(27)的注入浓度比外延层(22)掺杂浓度大两个数量级。

[0018] 优选的,包括位于外延下方的衬底,所述衬底电阻率为 $1 \sim 3\% \text{ ohm} \cdot \text{cm}$ 。

[0019] 采用本实用新型所述的量子场分布的 Trench MOSFET 沟槽终端结构,改变了原来终端结构的设计方法。把芯片外围的沟槽作为隔离槽,同时在隔离槽与隔离槽之间用小沟槽相连接,小沟槽的作用是在隔离沟槽向外扩展电场的同时小沟槽同时向其垂直方向扩展电场,这样就对电场进行了量子化分布。此结构消除了体区边缘的曲率半径,把体区终端部分更充分地变为平行平面结。这种结构既不用设计场板和场限环结合结构中的距离难点,而且还节省了芯片的面积。

附图说明

[0020] 图 1 示出传统技术的硅片终端结构示意图;

[0021] 图 2 示出本实用新型的一种具体实施方式的结构剖面示意图;

[0022] 图 3 示出本实用新型的一种具体实施方式的俯视示意图;

[0023] 各图中附图标记名称为:1. 硅片内部结构 3. 短隔离槽 15. 沟槽 16. 转弯处 17. 硅片边界 18. 第三隔离槽 19. 第二隔离槽 20. 第一隔离槽 21. 衬底 22. 外延层 23. 栅氧化层 24a. 栅电极 24b. 悬浮场板 25. 体区 26. 欧姆接触区 27. 源区 28. 金属接触孔 29. 隔离氧化层 210. 金属引线。

具体实施方式

[0024] 下面结合附图,对本实用新型的具体实施方式作进一步的详细说明。

[0025] 本实用新型所述量子场分布的 Trench MOSFET 沟槽终端结构,包括外延层 22,及位于外延层 22 中的第一隔离槽 20 和平行于第一隔离槽,且位于第一隔离槽靠近硅片边界一侧的第二隔离槽 19;第一隔离槽、第二隔离槽具有如下所述的相同结构:内部都有悬空场板,所述悬空场板与沟槽内壁之间有栅氧化层,

[0026] 所述第一隔离槽和第二隔离槽之间连接有短隔离槽 3,所述短隔离槽的结构与第一隔离槽和第二隔离槽相同,且短隔离槽的悬空场板连接第一隔离槽和第二隔离槽的悬空场板。

[0027] 本实用新型应用于 Trench MOSFET 沟槽终端,Trench MOSFET 作为 VDMOS 的改进结

构,应用于高压环境下,当高压从第一隔离槽指向第二隔离槽方向时,如果没有短隔离槽,电场线从第一隔离槽沿第一与第二隔离槽最短路径向第二隔离槽延伸,在该方向电场线较为密集,在第一隔离槽与第二隔离槽间增加短隔离槽连接以后,电场线不再全部从第一隔离槽指向第二隔离槽,部分电场线将指向短隔离槽,降低了电场线的密集度,从而提高了终端结构的耐压。

[0028] 为实现上述提高耐压目的,短隔离槽结构与第一隔离槽和第二隔离槽相同,都由在硅片终端的外延层中深挖构成,隔离槽内部都有悬空场板和位于隔离槽内部包围悬空场板的栅氧化层。短隔离槽的悬空场板连接第一隔离槽和第二隔离槽的悬空场板,使第一隔离槽、第二隔离槽和短隔离槽的电位在电场中同一梯度处大致相等,实现电场线的分散。

[0029] 为进一步提高耐压,可以在第二隔离槽靠近硅片边界一侧设置与第二隔离槽结构相同的第三隔离槽 18,所述第三隔离槽和第二隔离槽之间连接有与第二隔离槽结构相同的短隔离槽 3,短隔离槽的悬空场板连接第二隔离槽和第三隔离槽的悬空场板。短隔离槽的提高耐压原理与前述相同,

[0030] 如图 3 所示为本实用新型的一种具体实施方式的俯视图,在第一隔离槽和第二隔离槽之间可以均匀设置多个短隔离槽,一般来说,短隔离槽的分布间距是第一隔离槽和第二隔离槽距离的 3 至 10 倍即可较好实现提高耐压,本实用新型优选的设计该值为 5 倍,耐压效果最好。

[0031] 为实现更佳的耐压效果,本实用新型公开了一种利用沟槽做隔离的功率管构造,如

[0032] 图 2 所示在第一隔离槽远离硅片边界一侧还有沟槽,沟槽远离硅片边界一侧具有体区;体区上面还有源区;在硅片表面还具备隔离氧化层,在隔离氧化层上有与源区形成良好欧姆接触的源级接触结构;沟槽内部有栅电极板,栅电极板与沟槽内壁之间还有栅氧化层;所述沟槽深度与隔离槽相同。

[0033] 通常来说,沟槽越深,沟槽的宽度越大,耐压效果越好。同时,在沟槽内生长栅极氧化层时,氧化层厚度有一定要求的,一定要能承受栅极和源极所加的电压。所以此氧化层生长时要严格控制厚度和质量。

[0034] 沟槽形成后,需要在沟槽内形成多晶硅电极作为栅电极和悬浮场板,并使多晶硅填充整个沟槽全部内表面。淀积多晶硅时,可以首先在沟槽及沟槽邻近的全部表面上淀积多晶硅,直到填满两个沟槽的内部整个表面;随后,将不需要多晶硅覆盖的表面多晶硅刻蚀掉,多晶硅层被回蚀到沟槽内,并在表面凹下小段距离。从而在第一沟槽中形成栅电极 24a 和悬空场板 24b。栅电极 24a 和悬空场板 24b 通过栅氧化层 23 与外延层 22 形成相互电隔离。栅电极在栅电极接触孔处(图中未画出)通过淀积导体材料如多晶硅等引出。悬空场板的作用在于扩展 PN 结的电力线,从而提高耐压。

[0035] 随后,在沟槽远离硅片边界一侧注入形成体区;可以采用光掩膜遮挡注入,形成器件的体区 25。体区 25 注入杂质的具体剂量和能量要根据此器件要求的阈值电压来决定。随后在第一沟槽靠硅片边界一侧的体区注入形成源区;源区 27 注入杂质类型与体区类型相反,例如体区注入杂质为 N 型,则源区注入 P 型杂质,优选源区注入浓度比外延层 22 的浓度高两个数量级以实现较好的器件性能。随后在硅片表面淀积隔离氧化层,隔离氧化层覆盖在全部器件表面,仅在需要引线接出的地方开孔,以保护器件内部结构;隔离氧化层的材

质优选为 BPSG, 即硼磷硅玻璃材料。最后在隔离氧化层上构造与源区形成良好欧姆接触的源级接触结构。以方便实现源级电位的自由连接。

[0036] 为简化工艺步骤, 沟槽的内部各个结构与隔离槽的对应结构可以相同, 以省却相应的工序。例如沟槽的栅氧化层结构和成分与隔离槽相同; 则制造过程中, 沟槽和隔离槽的栅氧化层可以同步同时形成, 沟槽的栅电极板与隔离槽的场板结构和成分可以相同。

[0037] 如图 2 所示, 以衬底为 N⁺ 为例给出本实用新型的一个具体实施例。

[0038] 衬底 21 上生长 N 外延层 22, 形成器件漂移区。衬底 21 被重掺杂到 N 型杂质的电阻率为 1~3% ohm. cm 的范围, 外延层 22 的 N 型杂质掺杂浓度根据此器件的耐压来决定。在外延层 22 中挖深形成第一沟槽和位于第一沟槽靠近硅片内部一侧的第二沟槽。在沟槽侧壁生长栅氧化层 23a, 栅氧化层的厚度以能承受栅极和源极所加电压为准。淀积掺有 N 型杂质的多晶硅作为栅电极 24a 和悬空场板 24b。在沟槽中形成栅电极 24a 和悬空场板 24b。栅电极 24a 和悬空场板 24b 通过栅氧化层 23 与外延层 22 形成相互电隔离。

[0039] 然后利用光掩膜遮挡注入形成器件的体区 25, 体区 25 注入的为 P 型杂质, 具体剂量和能量要根据此器件要求的阈值电压来决定。再注入形成器件源区 27。源区 27 注入的为 N 型杂质, 最后浓度比外延层 22 的浓度高两个数量级即可。淀积隔离氧化层 29, 材料为 BPSG(硼磷硅玻璃)。并在隔离氧化层 29 上刻蚀金属接触孔 28。注入欧姆接触区 26。欧姆接触区 26 注入的为 P 型杂质, 目的是降低此处与金属接触的电阻, 防止器件中寄生 NPN 晶体管的误开启, 此寄生晶体管一旦开启, 功率 MOSFET 将不受栅极控制, 造成器件失效; 欧姆接触区的杂质注入浓度大于体区杂质注入浓度两个数量级即可。随后淀积金属引线 210, 作为器件的源极接触金属。

[0040] 在本实用新型所述的量子场分布的 Trench MOSFET 沟槽终端结构制造方法中, 短隔离槽与第一隔离槽和第二隔离槽结构相同, 因此制造短隔离槽的步骤是与第一隔离槽和第二隔离槽同步同时完成的。

[0041] 如前所述, 本实用新型公开了一种利用沟槽隔离的功率管构造, 该功率管构造包括沟槽, 沟槽与隔离槽一样, 都是在外延层中深挖而成, 沟槽内部有栅电极板, 栅电极板与沟槽内壁之间还有栅氧化层。所述沟槽深度与隔离槽相同, 为简化工艺, 沟槽的结构与隔离槽尽量相同, 例如, 沟槽的栅氧化层结构和成分与隔离槽相同, 沟槽的厚氧化层结构和成分与隔离槽相同, 沟槽的栅电极板与隔离槽的场板结构和成分相同。同时具备上述特征的沟槽在制造时与隔离槽可以完全采用相同的步骤, 所述沟槽的制造步骤全部包含于隔离槽的制造步骤中。

[0042] 采用本实用新型所述的量子场分布的 Trench MOSFET 沟槽终端结构, 改变了原来终端结构的设计方法。把芯片外围的沟槽作为隔离槽, 同时在隔离槽与隔离槽之间用小沟槽相连接, 小沟槽的作用是在隔离沟槽向外扩展电场的同时小沟槽同时向其垂直方向扩展电场, 这样就对电场进行了量子化分布。此结构消除了体区边缘的曲率半径, 把体区终端部分更充分地变为平行平面结。这种结构既不用设计场板和场限环结合结构中的距离难点, 而且还节省了芯片的面积。

[0043] 前文所述的为本实用新型的各个优选实施例, 各个优选实施例中的优选实施方式如果不是明显自相矛盾或以某一优选实施方式为前提, 各个优选实施方式都可以任意叠加组合使用, 所述实施例以及实施例中的具体参数仅是为了清楚表述实用新型发明人的实用

新型验证过程,并非用以限制本实用新型的专利保护范围,本实用新型的专利保护范围仍然以其权利要求书为准,凡是运用本实用新型的说明书及附图内容所作的等同结构变化,同理均应包含在本实用新型的保护范围内。

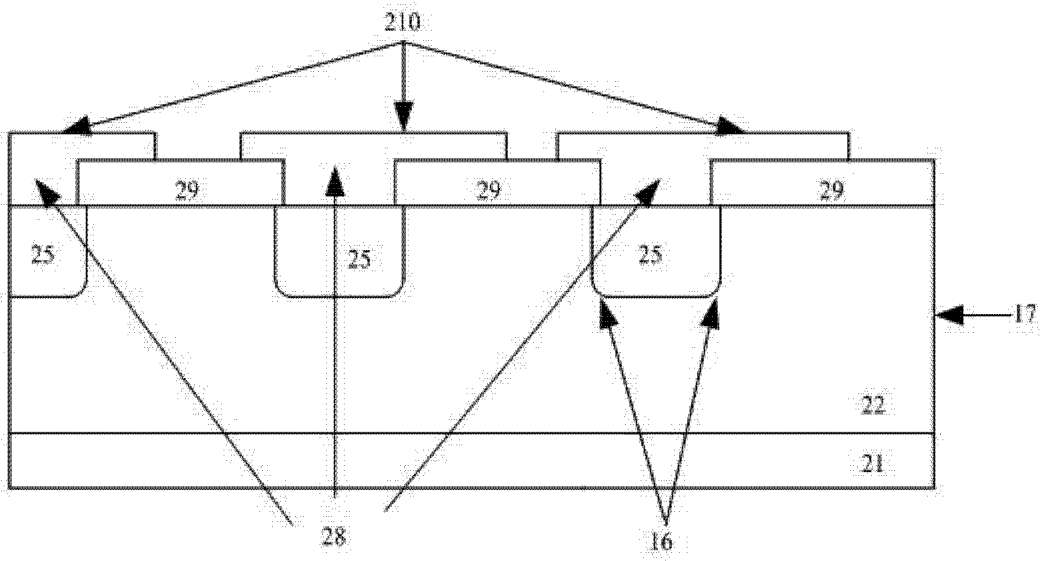


图 1

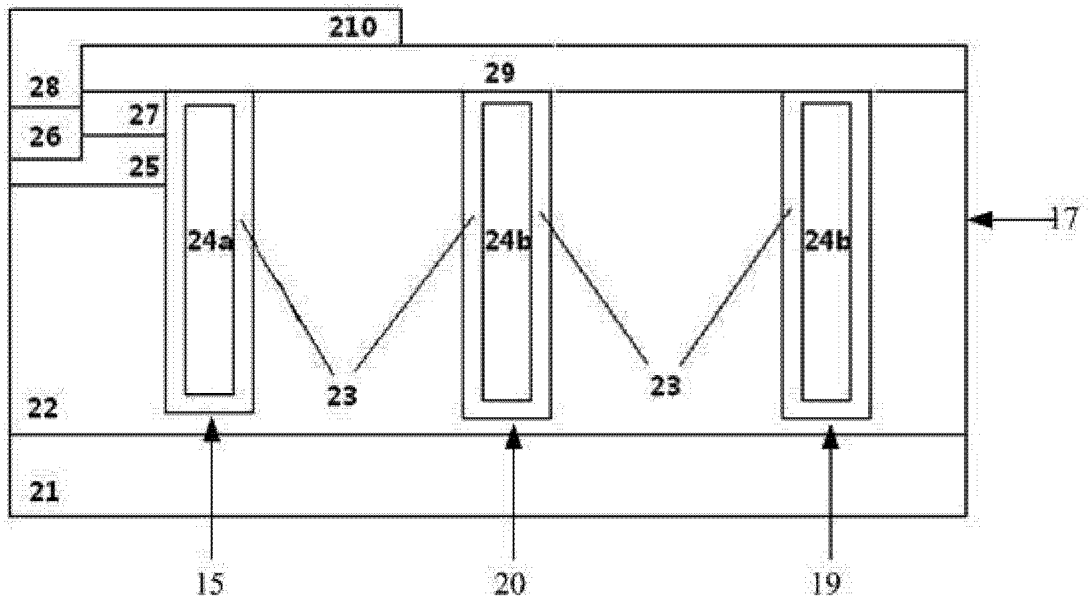


图 2

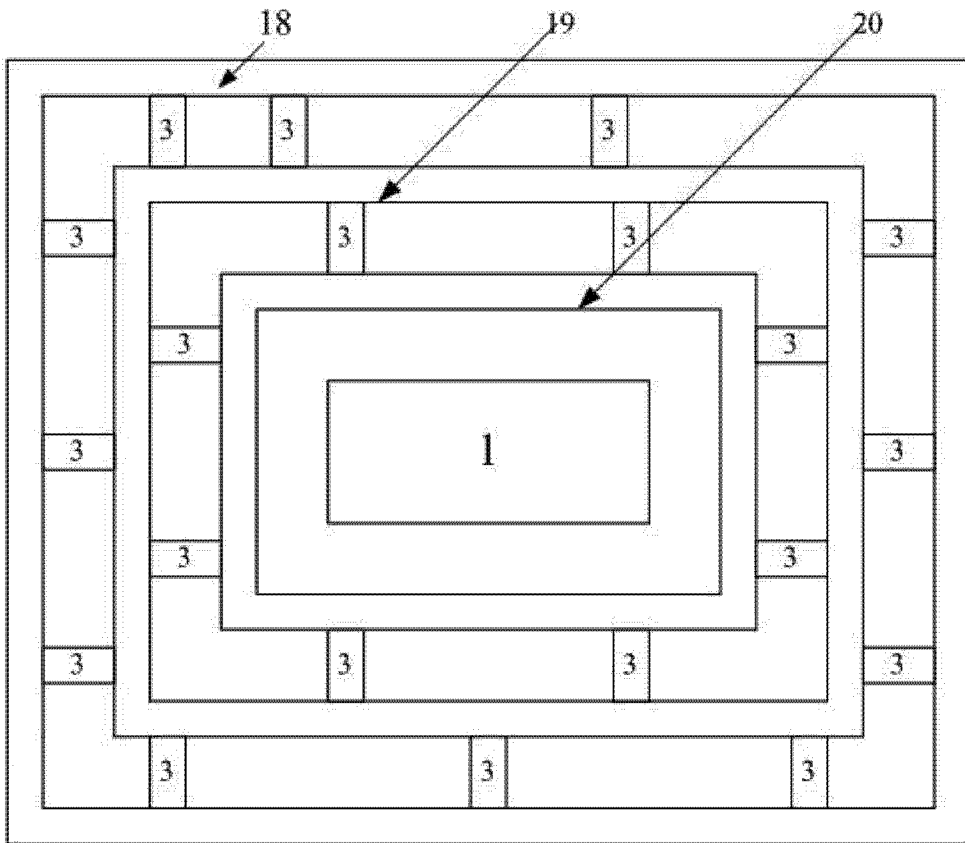


图 3