

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-524994

(P2007-524994A)

(43) 公表日 平成19年8月30日(2007.8.30)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/318 (2006.01)	HO 1 L 21/318 C	5 F 0 5 8
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 G	5 F 1 4 0

審査請求 有 予備審査請求 未請求 (全 17 頁)

<p>(21) 出願番号 特願2006-509234 (P2006-509234)</p> <p>(86) (22) 出願日 平成16年3月5日(2004.3.5)</p> <p>(85) 翻訳文提出日 平成17年10月20日(2005.10.20)</p> <p>(86) 国際出願番号 PCT/US2004/006974</p> <p>(87) 国際公開番号 W02004/081984</p> <p>(87) 国際公開日 平成16年9月23日(2004.9.23)</p> <p>(31) 優先権主張番号 60/453,057</p> <p>(32) 優先日 平成15年3月7日(2003.3.7)</p> <p>(33) 優先権主張国 米国 (US)</p> <p>(31) 優先権主張番号 10/794,707</p> <p>(32) 優先日 平成16年3月4日(2004.3.4)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 390040660 アプライド マテリアルズ インコーポレイテッド APPLIED MATERIALS, INCORPORATED アメリカ合衆国 カリフォルニア州 95054 サンタ クララ パウアーズ アベニュー 3050</p> <p>(74) 代理人 100088155 弁理士 長谷川 芳樹</p> <p>(74) 代理人 100094318 弁理士 山田 行一</p>
---	---

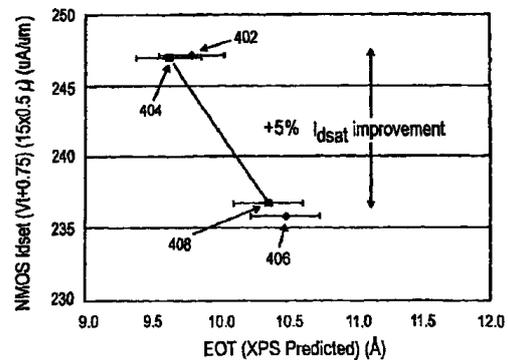
最終頁に続く

(54) 【発明の名称】 低EOTプラズマ窒化ゲート誘電体用の2ステップポスト窒化アニーリング

(57) 【要約】

窒素を含む誘電体膜を形成するための方法。この方法は、プラズマ窒化プロセスを使用して誘電体膜に窒素を組み込んで、酸窒化シリコン膜を形成するステップを含む。該酸窒化シリコン膜はまず、約700 ~ 1100の温度で不活性または還元雰囲気においてアニーリングされる。該酸窒化シリコン膜は、約900度~1100の温度で酸化雰囲気において2回目のアニーリングがなされる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

誘電体膜を形成するための方法であって、

プラズマ窒化プロセスを使用して誘電体膜に窒素を組み込んで、酸窒化シリコン膜を形成するステップと、

約 700 ~ 1100 の温度で不活性または還元雰囲気において前記酸窒化シリコン膜をアニーリングするステップと、

約 900 ~ 1100 の温度で酸化雰囲気において前記酸窒化シリコンをアニーリングするステップと、

を備える方法。

10

【請求項 2】

前記誘電体膜に組み込まれている前記窒素が、前記誘電体膜の上部表面で生じる窒素濃度ピークを形成する、請求項 1 に記載の誘電体膜を形成するための方法。

【請求項 3】

前記誘電体膜に組み込まれている前記窒素が 5 % 以上の窒素濃度を有する、請求項 1 に記載の誘電体膜を形成するための方法。

【請求項 4】

前記誘電体膜が約 14 オングストローム以下である、請求項 1 に記載の誘電体膜を形成するための方法。

【請求項 5】

不活性または還元雰囲気において前記酸窒化シリコン膜をアニーリングする前記ステップが、不活性ガスまたは不活性ガスの混合物において前記酸窒化シリコン膜をアニーリングする工程を含む、請求項 1 に記載の誘電体膜を形成するための方法。

20

【請求項 6】

酸化雰囲気において前記酸窒化シリコン膜をアニーリングする前記ステップが、酸素 (O_2) または酸素含有ガスによって前記酸窒化シリコン膜をアニーリングする工程を含む、請求項 1 に記載の方法。

【請求項 7】

前記誘電体膜が二酸化シリコン (SiO_2) である、請求項 1 に記載の誘電体膜を形成するための方法。

30

【請求項 8】

前記プラズマ窒化プロセスが減結合プラズマ窒化を含む、請求項 1 に記載の誘電体膜を形成するための方法。

【請求項 9】

ゲートスタックを形成するための方法であって、

二酸化シリコン膜を基板上に形成するステップと、

プラズマ窒化プロセスを使用して窒素を前記二酸化シリコン膜に組み込んで、酸窒化シリコン膜を形成するステップであって、前記プラズマ窒化が、窒素ガスの存在下で約 10 m トール未満の圧力で生じるステップと、

約 700 ~ 1100 の温度で不活性または還元雰囲気において前記酸窒化シリコン膜をアニーリングするステップと、

40

700 ~ 1100 の温度で酸化雰囲気において前記酸窒化シリコン膜をアニーリングするステップと、

被覆層を前記酸窒化シリコン上に形成するステップと、
を備える方法。

【請求項 10】

不活性または還元雰囲気において前記酸窒化シリコン膜をアニーリングする前記ステップが、不活性ガスまたは不活性ガスの混合物において前記酸窒化シリコン膜をアニーリングする工程を含む、請求項 9 に記載のゲートスタックを形成するための方法。

【請求項 11】

50

酸化雰囲気において前記酸窒化シリコン膜をアニーリングする前記ステップが、酸素(O_2)または酸素含有ガスによって前記酸窒化シリコン膜をアニーリングする工程を含む、請求項9に記載のゲートスタックを形成するための方法。

【請求項12】

前記誘電体膜に組み込まれている前記窒素が5%以上の窒素濃度を有する、請求項9に記載のゲートスタックを形成するための方法。

【請求項13】

ゲートスタックを形成するための方法であって、
基板をクラスタツールの第1の処理チャンバに置くステップであって、前記クラスタツールが複数の処理チャンバを有するステップと、
前記第1の処理チャンバにおいて二酸化シリコン膜を前記基板上に形成するステップと、

10

真空を破壊せずに、前記第1の処理チャンバから、プラズマ窒化プロセスを実行可能な第2の処理チャンバに前記基板を移送するステップと、

窒素反応ガスを前記第2の処理チャンバに導入して前記プラズマ窒化プロセスを実行する一方で、前記第2の処理チャンバの圧力を約10トル未満に維持して酸窒化シリコン膜を形成するステップと、

真空を破壊せずに、前記第2の処理チャンバから、急速熱反応プロセスを実行可能な第3の処理チャンバに前記基板を移送して、不活性または還元雰囲気において前記酸窒化シリコンに対して第1のポストプラズマ窒化アニーリングを実行して、また酸化雰囲気において前記酸窒化シリコンに対して第2のポストプラズマ窒化アニーリングを実行するステップと、

20

真空を破壊せずに、前記第3の処理チャンバから、堆積プロセスを実行可能な第4の処理チャンバに前記基板を移送して、前記酸窒化シリコン上にゲート電極を形成するステップと、
を備える方法。

【請求項14】

前記ゲート電極がポリシリコン膜またはアモルファスシリコン膜のうち的一方である、請求項13に記載の方法。

【請求項15】

前記二酸化シリコン膜に組み込まれる窒素が約5%を超える窒素濃度まで、十分な時間前記プラズマ窒化プロセスを継続するステップをさらに備える、請求項13に記載の方法。

30

【請求項16】

前記第1のポストプラズマ窒化アニーリングが約700 ~ 約1100 の温度で生じる、請求項13に記載の方法。

【請求項17】

前記第2のポストプラズマ窒化アニーリングが約900度 ~ 約1100 の温度で生じる、請求項13に記載の方法。

【請求項18】

前記誘電体膜に組み込まれている前記窒素が前記誘電体膜の上部表面で生じる窒素濃度ピークを形成する、請求項13に記載のゲートスタックを形成するための方法。

40

【請求項19】

不活性または還元雰囲気において前記酸窒化シリコン膜をアニーリングする前記ステップが、不活性ガスまたは不活性ガスの混合物において前記酸窒化シリコン膜をアニーリングする工程を含む、請求項13に記載の誘電体膜を形成するための方法。

【請求項20】

酸化雰囲気において前記酸窒化シリコン膜をアニーリングする前記ステップが、酸素(O_2)または酸素含有ガスによって前記酸窒化シリコン膜をアニーリングする工程を含む、請求項13に記載の方法。

50

【請求項 2 1】

前記プラズマ窒化プロセスが減結合プラズマ窒化を含む、請求項 1 3 に記載の誘電体膜を形成するための方法。

【請求項 2 2】

誘電体膜を処理するための方法であって、

前記誘電体膜をプラズマ窒化に暴露して、窒素を前記誘電体膜に組み込むステップと、前記誘電体膜に、還元または不活性雰囲気を使用されている第 1 のポストプラズマ窒化アニーリングを施すステップであって、前記第 1 のポストプラズマ窒化アニーリングが前記誘電体膜の窒素を緻密化するステップと、

前記誘電体膜に、酸化雰囲気を使用されている第 2 のポストプラズマ窒化アニーリングを施すステップと、
を備える方法。 10

【請求項 2 3】

前記プラズマ窒化が減結合プラズマ窒化である、請求項 1 9 に記載の誘電体膜を処理するための方法。

【請求項 2 4】

前記誘電体膜が二酸化シリコン (SiO_2) である、請求項 1 9 に記載の誘電体膜を処理するための方法。

【請求項 2 5】

前記窒素が組み込まれた後に、酸窒化シリコンが形成される、請求項 1 9 に記載の誘電体膜を処理するための方法。 20

【請求項 2 6】

前記第 1 のポストプラズマ窒化アニーリングが約 700 ~ 1100 の温度で生じる、請求項 1 9 に記載の誘電体膜を処理するための方法。

【請求項 2 7】

前記第 2 のポストプラズマ窒化アニーリングが約 900 度 ~ 1100 の温度で生じる、請求項 1 9 に記載の誘電体膜を処理するための方法。

【請求項 2 8】

前記還元または不活性雰囲気が、不活性ガスを使用して前記還元または不活性雰囲気を作成するステップを含む、請求項 1 9 に記載の誘電体膜を処理するための方法。 30

【請求項 2 9】

前記酸化雰囲気が、酸素含有ガスまたはガス混合物を使用して前記酸化雰囲気を作成するステップを含む、請求項 1 9 に記載の誘電体膜を処理するための方法。

【請求項 3 0】

前記誘電体膜に組み込まれている前記窒素が 5 % 以上の窒素濃度を有する、請求項 1 9 に記載の誘電体膜を処理するための方法。

【発明の詳細な説明】

【関連出願】

【0001】

[0001]本出願は、「低 EOT プラズマ窒化ゲート誘電体用の 2 ステップポスト窒化アニーリング (TWO - STEP POST NITRIDATION ANNEALING FOR LOWER EOT PLASMA NITRIDED GATE DIELECTRICS)」と題された 2004 年 3 月 4 日に提出された米国特許の利点に関連し、かつこれを請求するものであり、また 2003 年 3 月 7 日に提出された米国仮特許出願第 60 / 453, 057 号の利点に関連し、かつこれを請求するものであり、両者は共にその全体を参照として本明細書に組み入れられる。 40

【背景】

【0002】

1) 分野

[0002]本発明は、概して半導体製造の分野に関する。より具体的には、本発明は、プラ 50

ズマ窒化および2ステップポストプラズマ窒化アニーリングプロセスを使用して、酸窒化シリコン(SiONやSiO_xN_y)ゲート誘電体を形成して、それをゲートスタックに一体化させるための方法に関する。

【0003】

2) 関連技術の説明

[0003]集積回路は、トランジスタ、コンデンサおよび抵抗器などの、文字通り多数のアクティブおよびパッシブデバイスから成っている。トランジスタ100は概してソース102と、ドレイン104とゲートスタック106とを含む。ゲートスタック(図1)は(例えば、通常シリコンから成る)基板108で構成されており、その上部には(通常二酸化シリコン(SiO₂)から成る)誘電体110が成長しており、これは(多結晶シリコンなどの導電性材料から成る)電極112で被覆されている。

10

【0004】

[0004]より多くの計算能力を提供するために、デバイス幾何を縮小することによってトランジスタをスケールダウンする傾向がある。Mooreの法則によるスケールリングによれば、トランジスタのスピードを増大させるためにはゲート駆動電流が増大する必要がある。式(1)で与えられたゲート駆動電流はゲートキャパシタンス(C_{ox})を増大させることによって増大可能であり、そしてこれは(式(2)で示されているように)、誘電体厚(d)を減少させるか、既存のSiO₂誘電体(k=3.9)よりも高い誘電率(k)を有する誘電体を使用するかのいずれかによって増大可能である

$$[0005] (1) I_D \sim \mu / L_g * C_{ox} (V_{DD} - V_{TH})^2$$

20

$$(2) C_{ox} = k A / d$$

ここで、I_Dは駆動電流であり、μはキャリア移動度であり、L_gはゲート長であり、C_{ox}はゲートキャパシタンスであり、V_{DD}は開放電圧であり、V_{TH}はしきい値電圧であり、kは誘電率であり、dは誘電体厚であり、Aはデバイス面積である。

【0005】

[0006]複雑一体化および材料取り扱いの問題を回避するために、デバイス製造は、誘電体厚を削減することによって可能な程度にデバイスパラメータをスケールリングする。しかしながら、SiO₂厚を20以下にすることは、トンネル電流の増大、基板へのホウ素の浸透の増大および極めて薄い酸化物のプロセスコントロールの悪さに起因するゲート信頼性の悪さをもたらす。理論的にはより高いkのゲート誘電体を使用するという代替策は非常に魅力的に思われるが、基礎となるSi基板とポリシリコンゲート電極との材料の適合性は、SiO₂が提供されるものとは一致不可能である。さらに、SiO₂の使用は、希土類酸化物をゲート誘電体として導入する際に対処されるべき多数の材料の取り扱いの汚染問題を排除する。

30

【0006】

[0007]SiO₂を0.1μmテクノロジーノード以上に拡張する際に直面する難問には、(1)ゲート酸化物および基礎となるSi基板への、P+ホウ素(B)ドーピングゲート電極を具備するPMOSデバイスなどのトランジスタにおけるホウ素の浸透と、(2)ゲート酸化物厚を削減することによるゲート漏洩電流の増大と、(3)薄型誘電体の信頼性、NMOS(N型金属酸化膜半導体)用のホットキャリアの劣化およびPMOS(P型金属酸化膜半導体)の負バイアス温度不安定性(NBTI)とがある。

40

【0007】

[0008]酸窒化シリコン(SiO_xN_yあるいはSiON)を形成するためのSiO₂層の窒化は、SiO₂誘電体を0.1μmデバイス発生にまでスケールダウンする有望候補として発展してきた。誘電体膜に窒素を組み込むことはホウ素をブロックするのみならず、ゲート誘電体の誘電率をも増大させる。誘電率の増大は、より厚い誘電体を使用して、純粋SiO₂に比較してゲート漏洩を低下させることができることを意味している。超薄型(例えば12)ゲート誘電体において上記の難問を避ける際に有効な窒素(N)ドーピングについて、ゲート誘電体の上部表面で窒素濃度プロファイルがピークの誘電体膜において、(約5%以上の)高い全窒素濃度を有することが絶対不可欠であり、これは駆動

50

電流の改良およびNBTIの信頼性につながる。

【0008】

[0009]熱成長酸窒化シリコンは、 $0.2\mu\text{m} \sim 0.13\mu\text{m}$ デバイス発生のゲート誘電体として数年間使用されていた。デバイステクノロジーが $0.2\mu\text{m} \sim 0.1\mu\text{m}$ に進歩すると、ゲート酸化物は $>25 \sim <12$ と薄くなった。従って、ホウ素をブロックしてゲート漏洩を低下させるためには、膜の窒素量は $<3\% \sim 5$ 乃至 10% に増大させられなければならない。酸化窒素(NO)および二酸化窒素(N_2O)を使用して酸窒化ゲート誘電体を成長させると、窒素は、酸窒化物が成長すると同時に誘電体膜に組み込まれて、窒素は膜内に様に分散される。 NO や N_2O を使用して、高温で既存の SiO_2 層をアニーリングすることによって酸窒化シリコンを形成すると、窒素は、 SiON を Si 基板/酸化物界面で成長させることによって組み込まれる。従って、窒素はこの界面に組み込まれている。後者の場合の窒素量($<2\%$)は前者の場合($4 \sim 5\%$)未満である。

10

【0009】

[0010]ごく最近、プラズマ窒化がゲート酸化物を窒化するために(これに窒素を組み込むために)使用されている。この技術は、ポリゲート/酸化物界面での高い窒素濃度をもたらし、酸化誘電体へのホウ素の浸透を防ぐ。同時に、酸化誘電体のバルクは、プラズマ窒化プロセス時に無関係の窒素によって軽くドーピングされて、開始酸化物の電気的酸化物厚(EOT)を低下させる。これによって、同じ EOT で従来の熱プロセスよりも高いゲート漏洩の低下を達成することができる。良好なチャンネル移動度と駆動電流(I_{dsat})とを保持しながら $\text{EOT} < 12$ 範囲でこの誘電体をスケーリングすることは産業上の難問であった。

20

【0010】

[0011] EOT 増大を犠牲にしてチャンネル移動度のプロキシとしてピーク相互コンダクタンス g_m を改良するための、高温でのプラズマ窒化後の酸窒化シリコンのポストアニーリングが示されている(図2)。図2において、x軸は EOT 厚を表しており、y軸は g_m 劣化を表している。例えば、約6の SiO_2 膜がベース酸化物として使用されている。プラズマ窒化後に、種々のポストアニーリング条件を使用して膜をアニーリングする。例えば、窒素ガス下で、740トールで30秒間1,000のアニーリングを使用する場合がある。別の例においては、0.5トールで1秒間1050のアニーリングが使用される。別の例においては、窒素および酸素ガス下で、3トールで15秒間1000のアニーリングが使用される。別の例においては、0.5トールで15秒間1000のアニーリングや、15トールで1秒間1050のアニーリングが使用される。さらに別の例においては、15トールで1秒間950のアニーリングが使用される、この図に示されているように、チャンネル移動度はより低い EOT 厚では劣化が大きく、より高い EOT 厚では劣化が少ない。これは、チャンネル移動度が増大すると、 EOT 厚が増大することを示している。さらに、より厚い EOT はまた I_{dsat} を削減し、これは望ましくない。

30

【0011】

[0012]従って、従来技術は、移動度が改良されたより薄い EOT を有する酸窒化シリコンを作る能力を欠いている。

【概要】

40

【0012】

[0013]本発明の例示的实施形態は、プラズマ処理済みゲート誘電体の2ステップアニーリングによってチャンネル移動度が改良され、かつ EOT がより薄い酸窒化シリコンを形成するための方法に関しており、これはまず不活性または還元雰囲気を使用することを伴い、またポスト窒化アニーリング(PNA)プロセスにおける酸化雰囲気が続く。

【0013】

[0014]本発明の一態様によると、誘電体膜を形成するための方法は、プラズマ窒化プロセスを使用して誘電体膜に窒素を組み込むことを含む。酸窒化シリコン膜はプラズマ窒化の結果として形成される。酸窒化シリコン膜に、酸窒化シリコン膜がまず(例えば窒素または水素ガスを使用する)不活性または還元雰囲気下でアニーリングされる2ステップPN

50

Aプロセスが施される。第1のアニーリングに続いて、酸窒化シリコンは（例えば酸素ガスを使用する）酸化雰囲気において第2回目のアニーリングがなされる。

【0014】

[0015]本発明の別の態様によると、ゲートスタックを形成するための方法は二酸化シリコン膜を基板上に形成することを含む。酸窒化シリコン膜は、プラズマ窒化を使用して窒素を二酸化シリコン膜に組み込むことによって形成される。酸窒化シリコン膜に、酸窒化シリコン膜がまず（例えば、窒素または水素ガスを使用する）不活性または還元雰囲気下でアニーリングされる2ステップPNAプロセスが施される。第1のアニーリングに続いて、酸窒化シリコンは、（例えば酸化ガスを使用する）酸化雰囲気において第2回目のアニーリングがなされる。被覆層は酸窒化シリコン上に形成される。

10

【詳細な説明】

【0015】

[0016]本発明の実施形態は例示によって図示されており、添付の図面の図に制限されず、同一の参照番号は類似の要素を示している。

【0016】

[0023]本発明の実施形態は、窒素プラズマ（またはプラズマ窒化）プロセスを使用して、 $SiON$ や SiO_xN_y （酸窒化シリコン）などの窒素を含む誘電体膜を形成するための新規の方法を含む。酸窒化シリコンに、2つのポストプラズマ窒化アニーリングプロセスが施される。実施形態によって酸窒化シリコン膜のEOTおよび窒素濃度プロファイルのコントロールが可能になる。

20

【0017】

[0024]以下の説明では、説明目的で、多数の具体的な詳細が本発明の徹底した理解を提供するためになされている。しかしながら、当分野者にとって、本発明はこれらの具体的な詳細なしで実用化可能であることは明らかである。他の例においては、具体的な装置構造や方法は、本発明を分かりにくくしないように説明されていない。以下の説明および図面は本発明の例示であり、本発明を制限するものとして解釈されるべきではない。

【0018】

[0025]一実施形態において、減結合プラズマ窒化（Decoupled Plasma Nitridation）（DPN）などのプラズマ窒化プロセスを使用して酸窒化シリコン誘電体膜を形成するための方法が提供されている。プラズマ窒化後に、酸窒化シリコン膜に、2つのポストプラズマ窒化アニーリング（PNA）プロセスが施される。第1のPNAプロセスは、酸窒化シリコンを緻密化するための不活性剤または還元剤を使用して行われる。2つのPNAプロセスはまた、窒素を酸窒化シリコン膜の表面に、酸素を酸窒化シリコンと基板との界面に移動させる。従って、ホウ素はより効率的にブロックされる。さらに、窒素の濃度プロファイルは酸窒化シリコンの表面でピークとなる傾向がある。第2のPNAプロセスは、窒素濃度プロファイルを修正するための酸化剤を使用して行われる。

30

【0019】

[0026]別の実施形態において、プラズマ窒化プロセスと2ステップPNAプロセスとを使用して形成された酸窒化シリコン膜をゲートスタックに一体化させて、トランジスタなどの半導体デバイスを形成するための方法が提供されている。

40

【0020】

[0027]一実施形態において、二酸化シリコン（ SiO_2 ）膜がその上に形成されている基板に、二酸化シリコン膜を酸窒化シリコン膜に変換するためのプラズマ窒化プロセスが施される。一実施形態において、使用されているプラズマ窒化プロセスは減結合プラズマ窒化（DPN）であり、これは当分野界において既知である。DPNは、誘導結合を使用して、窒素プラズマを発生させて、高レベルの窒素を酸化膜に組み込むテクノロジーである。DPNにおいて、 SiO_2 膜などの膜の表面は、 SiO_2 膜を破壊して、かつ酸窒化シリコン膜を形成する SiO_2 膜に窒素イオンを結びつける窒素イオンにさらされている。一実施形態において、窒素ガスを使用して窒素ソースを提供する。従って、 SiO_2 膜

50

は減結合窒素プラズマに暴露されている。一実施形態において、DPNは、約200～800ワット(Watt)のプラズマ電力で、約5～20ミリトールまたは10～20ミリトールに及ぶ圧力のチャンバで実行される。窒素ガスは、約100～200sccmにおよぶ流量でチャンバに流入可能である。一実施形態において、DPNは、約10～20mHzのパルス無線周波数プラズマプロセスと、約5～15kHzのパルスとを使用する。DPNプロセスパラメータは、チャンバサイズおよび容積と、誘電体膜の厚さに応じて修正可能である。

【0021】

[0028]一実施形態において、窒素プラズマ処理された膜である酸化シリコン膜は2回アニーリングされる。第1のアニーリングプロセスにおいて、酸化シリコンはアニーリングされて窒素を緻密化する。第1のアニーリングプロセスは、 N_2 、He、Arまたはこれらの組み合わせなどの不活性ガスを使用する不活性雰囲気において実施される。あるいは、アニーリングプロセスは、 H_2 、 H_2/N_2 、 H_2/Ar または H_2/He などの不活性ガスや不活性ガスの混合物を使用する還元雰囲気において実施される。一実施形態において、第1のアニーリングプロセスはプラズマ窒化プロセスの直後に実施される。一実施形態において、第1のPNAプロセスは、約100ミリトール～約800トールに及ぶ圧力で1～120秒間 >700 の温度で実施される。第2のPNAプロセスが第1のPNAプロセスに続く。一実施形態において、第1のPNAプロセス後に、アニーリング雰囲気は、 O_2 、 O_2/N_2 、 O_2/Ar 、 O_2/He 、 N_2O またはNOなどの酸化剤(または酸素含有剤)を含有するものに変化させられる。第2のPNAプロセスは、約100ミリトール～約100トールに及ぶ減圧で、約900～約1100または約1000～1050の温度で実施される。第2のPNAプロセスは約1～120秒間実施可能である。一実施形態において、第2のPNAプロセスの温度、時間および分圧をコントロールして、0.1～2の酸化シリコンのEOTの増大を達成する。

【0022】

[0029]一実施形態において、第1のPNAプロセスと第2のPNAプロセスの両方とも、急速熱アニーリング(RTA)プロセスを実施するように構成されている単一のウェーハ急速熱処理(RTP)チャンバで実行される。アプライドマテリアルズ社、によって作られたXEや、XE PlusやRadianceなどの市販の減圧RTPチャンバハードウェアを使用して第1および第2のPNAプロセスを実施することができる。

【0023】

[0030]図3において、不活性または還元環境でプラズマ窒化を使用して形成された酸化シリコン膜をアニーリングしてから酸化環境でアニーリングすることによって、およそ10%の改良である、0.7～0.9薄いEOTを有する酸化シリコン膜が可能になることを示す。このようなEOTの低下は10EOT範囲における著しい10%の改良である。

【0024】

[0031]一実施形態において、8の厚さの二酸化シリコンが、プラズマ窒化を使用して形成される酸化シリコンのベース膜として使用されている。約7%の窒素を使用するプラズマ窒化を使用して二酸化シリコン膜を酸化シリコン膜に変換する。プラズマ窒化プロセスは、無線周波数誘導プラズマを使用して約10ミリトールの圧力で実施される。その後、酸化シリコン膜は種々のPNAアニーリングプロセスで処理される。

【0025】

[0032]図3に示されているように、ポイント302は、酸素を使用する酸化雰囲気を使用してPNAアニーリングプロセスで処理される酸化シリコン膜のEOT結果を図示している。一実施形態において、ポイント302の酸化シリコン膜は O_2 ガスの存在下で約15秒間0.5トールおよび900でアニーリングされる。ポイント302の酸化シリコン膜のEOTは約10.5である。

【0026】

[0033]ポイント304は、酸化シリコン膜のEOTが約9.75である(上記の)

2ステップPNAアニーリングプロセスによって処理された酸窒化シリコン膜のEOT結果を図示している。ポイント302とポイント304の酸窒化シリコン間では約0.75 EOT削減される。ポイント304では、プラズマ窒化プロセス後に、酸窒化シリコン膜がまず、N₂ガスを使用する還元または不活性雰囲気アニーリングされてから、O₂ガスを使用する酸化雰囲気第2のアニーリングが続く。一実施形態において、ポイント304の酸窒化シリコン膜はまず、約2分間1050かつ100トールでN₂ガスによってアニーリングされてから、約15~60秒間900かつ0.5トールでO₂ガスによる第2のアニーリングが続く。

【0027】

[0034]ポイント306は、酸窒化シリコン膜のEOTが約9.55である(上記の)2ステップPNAアニーリングプロセスによって処理された酸窒化シリコン膜のEOT結果を図示している。ポイント302とポイント306の酸窒化シリコン間では約1.0 EOT削減される。ポイント306では、プラズマ窒化プロセス後に、酸窒化シリコン膜がまずH₂ガスを使用する還元または不活性雰囲気アニーリングされてから、O₂ガスを使用する酸化雰囲気第2のアニーリングが続く。一実施形態において、ポイント306の酸窒化シリコン膜はまず、約1分間900かつ100トールでH₂によってアニーリングされてから、約15~60秒間900かつ0.5トールでO₂ガスによる第2のアニーリングが続く。

【0028】

[0035]図3の結果は、第1は還元または不活性雰囲気による、第2は酸化雰囲気による2ステップのPNAが酸窒化シリコン膜のEOTを極めて(約10%)削減することを図示している。結果はまた、まず酸化剤によってアニーリングしてから還元または不活性剤を使用して第2のアニーリングをすることは同じ効果を提供しないことを図示している。例えば、ポイント308に示されているように、酸窒化シリコンはまずO₂ガスでアニーリングされて、次いでN₂ガスによって再度アニーリングされる。ポイント308の酸窒化シリコン膜は約10.4のEOT値を有しており、本質的にはポイント302の酸窒化シリコン膜と全く変わらない。加えて、ポイント310に示されているように、酸窒化シリコンはまずO₂ガスでアニーリングされて、次いでH₂ガスで再度アニーリングされる。ポイント310の酸窒化シリコン膜は約10.4のEOT値を有しており、本質的にはポイント302の酸窒化シリコン膜と全く変わらない。プラズマ窒化プロセス後にまず還元または不活性雰囲気(例えばN₂またはH₂ガス)で酸窒化シリコン膜をアニーリングすることは、(例えばO₂を使用する酸化雰囲気第2のアニーリングによる)酸化前に酸窒化シリコン膜の緻密化をもたらす。酸窒化シリコンの緻密化は少なくとも約0.7~0.9薄いEOTをもたらす。

【0029】

[0036]図4において、例えばO₂ガスを使用する酸化雰囲気酸窒化シリコン膜をアニーリングする前に、例えばH₂またはN₂ガスを使用する還元または不活性雰囲気まず酸窒化シリコン膜をアニーリングすることは、飽和駆動電流I_{dsat}の5%の改良に加えてより薄いEOT膜を示したことが図示されている。I_{dsat}の改良は極めて大きく、従来CMOSスケーリングで観察された、従来のEOT当たり+2~+3%のI_{dsat}改良と比較して、0.5~0.7薄いEOTとなる。

【0030】

[0037]図4に示されているように、ポイント402では、酸窒化シリコン膜がまずN₂ガスを使用して1050でアニーリングされて、次いでO₂ガスによって900で再度アニーリングされる。ポイント402の酸窒化シリコンは約247.5 μA/μmのNMOS I_{dsat}を有する。同様に、ポイント404では、酸窒化シリコン膜はまずH₂ガスを使用して900でアニーリングされて、次いでO₂ガスによって900で再度アニーリングされる。ポイント404の酸窒化シリコンはまた約247.5 μA/μmのNMOS I_{dsat}を有する。従って、(プラズマ窒化後に)N₂やH₂などの還元または不活性ガスによってまず酸窒化シリコン膜をアニーリングしてから、O₂などの酸

10

20

30

40

50

化ガスでアニーリングすることは、高 I_{dsat} の酸窒化シリコン膜をもたらす。図 4 に示されているように、ポイント 406 では、酸窒化シリコン膜は O_2 ガスを使用して 900 でアニーリングされるだけである。ポイント 406 の酸窒化シリコンは約 $235.5 \mu A / \mu m$ の NMOS I_{dsat} を有する。また、ポイント 408 では、酸窒化シリコン膜は O_2 ガスによって 900 でまずアニーリングされてから、 H_2 ガスによる 900 の第 2 のアニーリングが続く。ポイント 408 の酸窒化シリコンは約 $236 \mu A / \mu m$ の NMOS I_{dsat} を有する。分かるとおり、第 1 は還元または不活性雰囲気、第 2 は酸化雰囲気での 2 ステップポスト窒化アニーリングは、 I_{dsat} が極めて増大した (約 5% 改良) 酸窒化シリコン膜を生成する。

【0031】

[0038] 図 4 においても、第 1 が還元または不活性雰囲気、第 2 が酸化雰囲気での 2 ステップポスト窒化アニーリングは、上述のように EOT が極めて削減された酸窒化シリコン膜を生成することが図示されている。

【0032】

[0039] 一実施形態において、ゲートスタックは、上記の酸窒化シリコンを形成するための方法を組み込んで形成されている。ゲートスタックは、アプライドマテリアルズ社によって作られた集積 Gate Stack Centura などのクラスタツールに形成可能である。クラスタツールの一例は図 5 に示されている。このような実施形態において、ゲート酸化物の形成、酸窒化シリコン誘電体の N ドーピング、N ドープ膜の熱安定化およびゲート電極の形成による全ゲートスタックは、真空を破壊することなく複数のチャンバを具備する単一のツール内で製造される。(約 $1 \mu m$ 以下の) 進んだテクノロジーノードがゲート誘電体として酸化膜 6 ~ 14 のわずかな単一層を有することになる。真空破壊と人的取り扱い / 干渉なしにコントロールされた雰囲気を具備する単一のツール内でゲートスタックを処理することは、製作雰囲気への暴露および複数回のウェーハの取り扱いによる汚染やダメージの結果としてデバイス完全性に対する妥協を排除することになる。

【0033】

[0040] 図 5 は、複数の処理チャンバ、例えばロードロックチャンバ 502 および 504 と、 RTP チャンバ 506 および 508 と、DPN チャンバ 510 と、(例えばポリシリコン膜を堆積するための) 堆積チャンバ 512 と、クールダウンチャンバ 514 とを備えるクラスタツール 500 を図示している。クラスタツール 500 はまた、特定の処理チャンバの内外に基板 518 (例えばウェーハ) を移送するために使用されているウェーハ取り扱いツール 516 を含む。ウェーハ取り扱いツール 516 は、通常、処理チャンバのすべてと連通可能な移送チャンバに設置されている。ロードロックチャンバ 502 および 504 は処理する基板 (例えばウェーハ) を収容している。堆積チャンバ 512 は、当分野において既知であるように、膜や層を形成するために使用可能な従来の化学または物理気相成長であってもよい。一実施形態において、堆積チャンバ 512 は、ポリシリコン膜や他の電極膜を形成するように構成可能な堆積チャンバである。チャンバ 506 および 508 は、(例えば、約 10 トール以下の) 減圧または超低圧で急速熱アニーリング (RTA) をするように構成可能なチャンバである。DPN チャンバ 510 は、クラスタツール 500 に組み込まれることが可能な従来のプラズマ窒化チャンバであってもよい。

【0034】

[0041] 図 6 を参照すると、酸窒化シリコン誘電体に変形される SiO_2 誘電体を形成するためのシーケンスが説明されている。一実施形態において、 SiO_2 膜 604 は基板 602 上に熱成長する。基板 602 は、半導体デバイスを作る際に通常使用される単結晶シリコンや半導体ウェーハであってもよい。一実施形態において、 SiO_2 膜 604 は約 4 ~ 15 の物理的厚さを有する。

【0035】

[0042] 一実施形態において、 SiO_2 膜 604 は、クラスタツール 500 (図 5) の RTP チャンバ 506 などの減圧 RTP チャンバを使用して成長する、 SiO_2 膜 604 は急速熱酸化によって形成可能であり、これは、基板表面を急速に加熱および乾燥させて、

10

20

30

40

50

酸素の存在下で酸化層を形成するためにチャンバが（複数の）ランプを使用する酸化プロセスである。シリコン基板（またはウェーハ）の急速加熱酸化は、 O_2 、 $O_2 + N_2$ 、 $O_2 + Ar$ 、 $N_2 O$ または $N_2 O$ のガス混合物の存在下でドライプロセス急速熱酸化を使用して実施可能である。ガスまたはガス混合物は約1～5 s l mの全流量を有することが可能である。あるいは、シリコン基板の急速熱酸化は、例えば、1～13%の H_2 の約1～5 s l mの全流量を有する $O_2 + H_2$ 、 $O_2 + H_2 + N_2$ または $N_2 O + H_2$ の存在下でIn-Situ Steam Generation (ISSG)などのウェットプロセスを使用して実施可能である。一実施形態において、 SiO_2 誘電体膜を形成する急速熱酸化プロセスは、約750～1000の処理温度で、かつ4～15の範囲の厚さを有する SiO_2 誘電体膜をもたらす、約5～90秒間約0.5～50トールの処理圧で形成される。

10

【0036】

[0043]一実施形態において、 SiO_2 誘電体膜604がRTPチャンバ506に形成された後、基板602は、移送チャンバ圧力がプラズマ窒化プロセスとおよそ同じ圧力（例えば、約10トール）の不活性（例えば N_2 や Ar ）環境下でクラスタツール500のDPNチャンバ510に移送される。プラズマ窒化プロセスは SiO_2 膜604を窒素プラズマに暴露して、窒素を SiO_2 誘電体膜604に組み込んで酸窒化シリコン膜606を形成する。一実施形態において、DPNチャンバ510は、 N_2 、 He または Ar などの不活性ガスを受け入れることができる減圧誘導結合RFプラズマ反応器である。

【0037】

[0044]そして酸窒化シリコン膜606に、例えばクラスタツール500のRTPチャンバ508などのRTPチャンバにおける2ステップポスト窒化アニーリング(PNA)プロセスが施される。RTPチャンバ508は、アプライドマテリアルズの反応器XE、XE PlusやRadianceなどの減圧チャンバ反応器であってもよい。PNAはまず非酸化雰囲気（不活性または還元雰囲気）で生じ、約700以上の温度で窒素プラズマ処理膜（酸窒化シリコン膜606）を緻密化してから、約900以上の温度で酸化雰囲気での第2のアニーリングが続く。第1のPNAプロセスについて、不活性ガスや還元ガス（例えば、 N_2 や H_2 ）はRTPチャンバに流入して、酸窒化シリコン膜606を緻密化することができる。一実施形態において、第1のPNAは、酸窒化シリコン膜606を有する基板を、約5トール未満の全圧力で約700以上の適切なアニーリング温度に加熱することを含む。一実施形態において、約1 s l mの N_2 や H_2 ガスなどの不活性ガスや還元ガスは約60～120秒間RTPチャンバに流入する。第1のPNAに続いて、RTPチャンバから還元または不活性ガスが排出されて、 O_2 などの酸化ガスが第2のPNAのためにRTPチャンバに流入する。温度は約900以上まで低下してもよい。酸化ガスは、約15秒間約1 s l mの全流量でRTPチャンバに流入可能である。記述されている流量は特定の反応器や処理チャンバサイズ（例えば200 mmの反応器）の例にすぎないことが認識されるべきである。流量は、容積の差によって他のサイズの反応器に対して比例的に調整（増大または削減）される。

20

30

【0038】

[0045]一実施形態において、2ステップPNAプロセスに続いて、酸窒化シリコン膜606はポリシリコン膜606などの導電性層で被覆される。ポリシリコン膜606はクラスタツール500（図5）の堆積チャンバ512などの堆積チャンバにおいて形成可能である。ポリシリコンではなく、膜606はアモルファスシリコン膜や他の適切な導電性膜であってもよい。堆積チャンバ512は、クラスタツール500に組み込まれることが可能な低圧化学気相成長チャンバ(LPCVD)であってもよい。ポリシリコン膜606の形成後、ゲートスタックはクールダウンチャンバ514などのクールダウンチャンバに移送されて、更なる処理、テスト、または当分野において既知の他のプロセスのために、ロードロック514などの記憶領域に移送されてもよい。

40

【0039】

[0046]ゲート誘電体膜およびポリシリコン被覆膜を含むゲートスタックは、上記のクラ

50

スタツール500に必ずしも組み込まれる必要はない複数の処理チャンバにおいて形成可能であることが認識されるべきである。例えば、 SiO_2 誘電体膜は1つのチャンバで最初に形成されてもよい。 SiO_2 膜はプラズマ窒化チャンバで酸窒化シリコンに変換可能である。そして酸窒化シリコンは、RTPチャンバを使用する2ステップPNAプロセスにおいてアニーリングされる。また、ポリシリコン膜は、同じRTPチャンバにおいて SiON や SiO_xN_y 膜上に形成される。

【0040】

[0047]一実施形態において、本明細書に説明されているようなゲートスタックで形成されているトランジスタは、クラスタツール500の使用による連続的かつ均一な処理環境や雰囲気ゆえに最適化された性能を有する。ゲートスタックの処理はプロセス間の破壊なしに形成される。従って、低EOT、漏洩または駆動電流 I_{dsat} に関してより良好なスケーリングが、種々のプロセス間の破壊を伴うプロセスに比較して達成可能である。

10

【0041】

[0048]本発明の特定の理論に制限される意図はないが、窒素プラズマ処理によって、膜は、純粋 SiO_2 の膜と比較して、膜のウェットHFエッチング率の上昇から推論される破壊された結びつきによってダメージを受けると考えられている。不活性雰囲気でのポスト窒化アニーリング後に、同じ膜のウェットHFエッチング率は SiO_2 の場合よりも低い。同じ窒化膜がまず O_2 でポストアニーリングされると、膜全体は、 SiO_2 の成長が既知である $\text{SiO}_x\text{N}_y/\text{Si}$ 界面においてではなく、膜の破壊された結びつきによってより速く O_2 を成長させ、またこれと反応することができる。酸化雰囲気でのアニーリングの前に不活性または還元環境で SiO_xN_y 膜をまず緻密化することによって、結びつきは修復されて、 O_2 のみでの更なるアニーリングが、 SiO_2 成長または界面修理が駆動電流 I_{dsat} を改良する際により重要である $\text{SiO}_x\text{N}_y/\text{Si}$ 界面で生じる。さらに、還元環境において SiO_xN_y 膜をまず緻密化することによって、膜が酸化雰囲気でのアニーリングされると、窒素は膜の上部表面に向かってさらに押し出される傾向がある。従って、窒素濃度プロファイルは上部表面でピークとなりやすい。

20

【0042】

[0049]一定の例示的实施形態が説明されて、添付の図面に示されているが、このような実施形態は例示にすぎず、本発明を制限するものではなく、また本発明は、当分野者にとって修正は可能であるために、示され、かつ説明されている具体的な構成および配置に制限されるものではないことが理解されるべきである。

30

【図面の簡単な説明】

【0043】

【図1】例示的ゲートスタックトランジスタを図示している。

【図2】プラズマ窒化後の高温ポストアニーリングがピーク相互コンダクタンスを改良する様子を図示している。

【図3】プラズマ窒化によって形成された酸窒化シリコン膜のEOTに対する2ステップポストプラズマ窒化アニーリングの効果を示している。

【図4】プラズマ窒化によって形成された酸窒化シリコン膜の駆動電流 I_{dsat} およびEOTに対する2ステップポストプラズマ窒化アニーリングの効果を示している。

40

【図5】本発明の実施形態の一部に使用可能なクラスタツールを示している。

【図6】本発明の実施形態に従ったゲートスタックを形成するための例示的シーケンスを示している。

【符号の説明】

【0044】

100...トランジスタ、102...ソース、104...ドレイン、106...ゲートスタック、108...基板、110...誘電体、500...クラスタツール、502、504...ロードロックチャンバ、506、508...RTPチャンバ、510...DPNチャンバ、512...堆積チャンバ、516...ウェーハ取り扱いツール、518...基板。

【 図 1 】

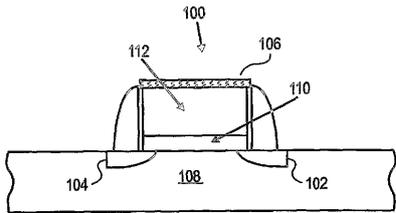


FIG. 1

【 図 2 】

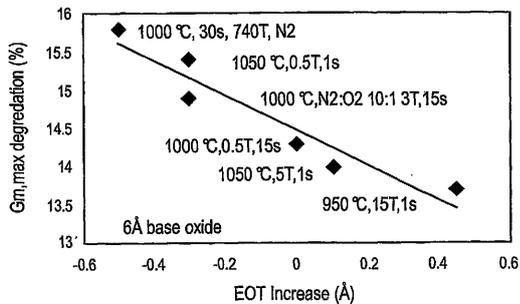


FIG. 2

【 図 3 】

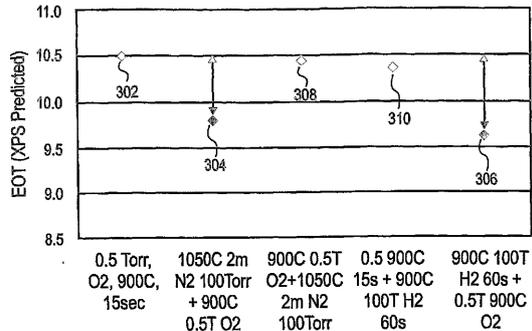


FIG. 3

【 図 4 】

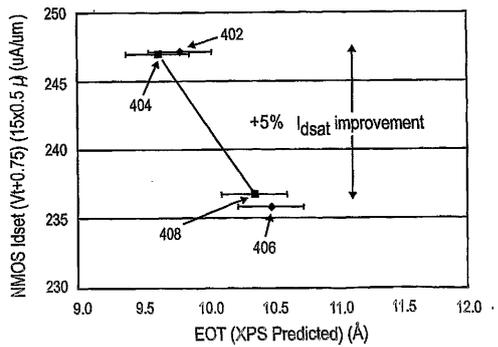


FIG. 4

【 図 5 】

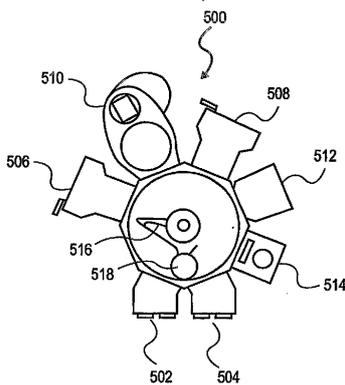


FIG. 5

【 図 6 】

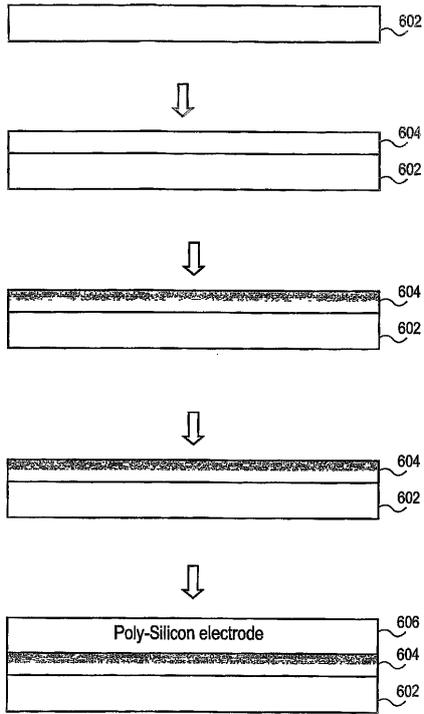


FIG. 6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/US2004/006974

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/314		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/197883 A1 (NIIMI HIROAKI ET AL) 26 December 2002 (2002-12-26) paragraphs '0033!, '0034!, '0037!, '0043!, '0044!, '0047!; figures 6,7	1,3-7; 22,24-30
Y	-----	9-21
Y	US 6 136 654 A (KRAFT ROBERT ET AL) 24 October 2000 (2000-10-24) column 5, lines 9-15; claims 1,3,16	9-21
A	US 6 365 518 B1 (BENCHER CHRISTOPHER ET AL) 2 April 2002 (2002-04-02) column 1	13-21
<input type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*I* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
E earlier document but published on or after the international filing date		
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		
O document referring to an oral disclosure, use, exhibition or other means		
P document published prior to the international filing date but later than the priority date claimed		
T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention		
Date of the actual completion of the international search 4 August 2004		Date of mailing of the international search report 10/09/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Kenevey, K

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US2004/006974

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002197883 A1	26-12-2002	NONE	
US 6136654 A	24-10-2000	US 6110842 A EP 0847079 A2 JP 10173187 A	29-08-2000 10-06-1998 26-06-1998
US 6365518 B1	02-04-2002	NONE	

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 オルセン, クリストファー

アメリカ合衆国, カリフォルニア州, フリーモント, ラルストン コモン 4 0 2 4

Fターム(参考) 5F058 BA20 BF74 BH02 BH03 BJ02

5F140 AA05 BA01 BD09 BE07 BE08 BE16 BE17 BE19 BF01 BF04

BF34 BG09 BG28