

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6982132号
(P6982132)

(45) 発行日 令和3年12月17日(2021.12.17)

(24) 登録日 令和3年11月22日(2021.11.22)

(51) Int.Cl.	F I	
HO4N 5/378 (2011.01)	HO4N 5/378	
HO1L 27/146 (2006.01)	HO1L 27/146	A
HO1L 21/8234 (2006.01)	HO1L 27/088	E
HO1L 27/088 (2006.01)	HO1L 27/088	331E
HO4N 5/225 (2006.01)	HO4N 5/225	300
請求項の数 8 (全 60 頁) 最終頁に続く		

(21) 出願番号	特願2020-98167 (P2020-98167)	(73) 特許権者	000153878
(22) 出願日	令和2年6月5日(2020.6.5)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2018-505548 (P2018-505548) の分割		神奈川県厚木市長谷398番地
原出願日	平成29年3月9日(2017.3.9)	(72) 発明者	中川 貴史
(65) 公開番号	特開2020-171023 (P2020-171023A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	令和2年10月15日(2020.10.15)	(72) 発明者	上妻 宗広
審査請求日	令和2年6月5日(2020.6.5)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2016-55039 (P2016-55039)	(72) 発明者	黒川 義元
(32) 優先日	平成28年3月18日(2016.3.18)		神奈川県厚木市長谷398番地 株式会社
(33) 優先権主張国・地域又は機関	日本国(JP)	(72) 発明者	池田 隆之
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 電子機器および撮像装置

(57) 【特許請求の範囲】

【請求項1】

カメラモジュールを有する電子機器であって、
前記カメラモジュールは、
撮像装置と、
前記撮像装置と重なるレンズと、を有し、
前記撮像装置は、
第1の画素回路と、
前記第1の画素回路と等価の第2の画素回路と、
配線と、
前記第1の画素回路と前記配線を介して電氣的に接続された第1の回路と、を有し、
前記第1の回路は、前記第2の画素回路と前記配線を介して電氣的に接続され、
前記第1の画素回路は、二つの画像データの差分に基づく信号を前記配線に出力し、
前記第1の回路は、前記信号が第1の値以上の場合または第2の値以下の場合にハイレベル電位又はローレベル電位の一方を出力し、
前記第1の回路は、前記信号が前記第2の値より大きく、前記第1の値より小さい場合に前記ハイレベル電位又は前記ローレベル電位の他方を出力する電子機器。

【請求項2】

カメラモジュールを有する電子機器であって、
前記カメラモジュールは、

撮像装置と、
 前記撮像装置と重なるレンズと、を有し、
 前記撮像装置は、
第 1 の画素回路と、
前記第 1 の画素回路と等価の第 2 の画素回路と、
配線と、
 前記第 1 の画素回路と前記配線を介して電氣的に接続された第 1 の回路と、
 第 2 の回路と、
 第 3 の回路と、を有し、
前記第 1 の回路は、前記第 2 の画素回路と前記配線を介して電氣的に接続され、 10
前記第 1 の画素回路は、二つの画像データの差分に基づく信号を前記配線に出力し、
 前記第 1 の回路は、前記信号が第 1 の値以上の場合または第 2 の値以下の場合にハイレベル電位又はローレベル電位の一方を出力し、
 前記第 1 の回路は、前記信号が前記第 2 の値より大きく、前記第 1 の値より小さい場合に前記ハイレベル電位又は前記ローレベル電位の他方を出力し、
 前記第 2 の回路は、前記第 2 の回路にハイレベル電位およびローレベル電位の一方が入力されたときに、前記第 3 の回路に電力を供給し、
 前記第 2 の回路は、ハイレベル電位およびローレベル電位の他方が前記第 2 の回路に入力されたとき、前記第 3 の回路に電力を供給しない電子機器。

【請求項 3】 20
 請求項 1 または請求項 2 において、
 画素アレイを有し、
 前記画素アレイは、マトリクス状に配置された複数の前記第 1 の画素回路を有する電子機器。

【請求項 4】
 請求項 1 乃至請求項 3 のいずれかにおいて、
 前記第 1 の画素回路は、二つの異なるフレームにおける前記二つの画像データ間の差を取得する電子機器。

【請求項 5】 30
第 1 の画素回路と、
前記第 1 の画素回路と等価の第 2 の画素回路と、
配線と、
 前記第 1 の画素回路と前記配線を介して電氣的に接続された第 1 の回路と、を有し、
前記第 1 の回路は、前記第 2 の画素回路と前記配線を介して電氣的に接続され、
前記第 1 の画素回路は、二つの画像データの差分に基づく信号を前記配線に出力し、
 前記第 1 の回路は、前記信号が第 1 の値以上の場合または第 2 の値以下の場合にハイレベル電位又はローレベル電位の一方を出力し、
 前記第 1 の回路は、前記信号が前記第 2 の値より大きく、前記第 1 の値より小さい場合に前記ハイレベル電位又は前記ローレベル電位の他方を出力する撮像装置。

【請求項 6】 40
第 1 の画素回路と、
前記第 1 の画素回路と等価の第 2 の画素回路と、
配線と、
 前記第 1 の画素回路と前記配線を介して電氣的に接続された第 1 の回路と、
 第 2 の回路と、
 第 3 の回路と、を有し、
前記第 1 の回路は、前記第 2 の画素回路と前記配線を介して電氣的に接続され、
前記第 1 の画素回路は、二つの画像データの差分に基づく信号を前記配線に出力し、
 前記第 1 の回路は、前記信号が第 1 の値以上の場合または第 2 の値以下の場合にハイレベル電位又はローレベル電位の一方を出力し、 50

前記第 1 の回路は、前記信号が前記第 2 の値より大きく、前記第 1 の値より小さい場合に前記ハイレベル電位又は前記ローレベル電位の他方を出力し、

前記第 2 の回路は、前記第 2 の回路にハイレベル電位およびローレベル電位の一方が入力されたときに、前記第 3 の回路に電力を供給し、

前記第 2 の回路は、ハイレベル電位およびローレベル電位の他方が前記第 2 の回路に入力されたとき、前記第 3 の回路に電力を供給しない撮像装置。

【請求項 7】

請求項 5 または請求項 6 において、

画素アレイを有し、

前記画素アレイは、マトリクス状に配置された複数の前記第 1 の画素回路を有する撮像装置。 10

【請求項 8】

請求項 5 乃至請求項 7 のいずれか一において、

前記第 1 の画素回路は、二つの異なるフレームにおける前記二つの画像データ間の差を取得する撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、撮像装置に関する。

【0002】 20

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。 30

【背景技術】

【0004】

トランジスタに適用可能な半導体材料として酸化物半導体が注目されている。例えば、酸化物半導体を有するトランジスタを画素回路の一部に用いる構成の撮像装置が特許文献 1 に開示されている。

【0005】

また、異なる 2 つのフレーム間の差分電位を出力することができる画素回路を有する撮像装置が特許文献 2 に開示されている。

【先行技術文献】 40

【特許文献】

【0006】

【特許文献 1】特開 2011 - 119711 号公報

【特許文献 2】特開 2013 - 211840 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

CMOS (complementary metal oxide semiconductor) イメージセンサでは、一般的に画素アレイの列毎に A/D コンバータを設ける構成が用いられている。当該構成とすることでアナログ - デジタル変換の並列処理を行う 50

ことができ、処理時間を短縮することができる。A/Dコンバータで変換されたデジタルデータは、列選択回路によって順次読み出すことができる。

【0008】

監視カメラなどでは、変化が少ない被写体の撮像を目的とする場合がある。このような被写体を連続して撮像すると、連続する数フレームにおいては出力データに変化がない画素が多数となる。つまり、当該数フレームにおいては、同一画素における差分データは"0"となることが多い。

【0009】

差分データが"0"である場合は、出力先の画像データを書き換える動作、または画像データを記録する動作を省くことができる。このとき、A/Dコンバータや列選択回路の動作を停止し省電力化することが望ましい。

10

【0010】

本発明の一態様では、低消費電力の撮像装置を提供することを目的の一つとする。または、異なる2つのフレーム間における差分の有無を判定する回路を有する撮像装置を提供することを目的の一つとする。または、高速動作に適した撮像装置を提供することを目的の一つとする。または、解像度の高い撮像装置を提供することを目的の一つとする。または、低照度下で撮像することができる撮像装置を提供することを目的の一つとする。または、広い温度範囲において使用可能な撮像装置を提供することを目的の一つとする。または、高開口率の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、上記撮像装置の動作方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

20

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0012】

本発明の一態様は、異なる2つのフレーム間における有意な差分の有無を判定する回路を有する撮像装置に関する。

30

【0013】

本発明の一態様は、第1の画素回路と、第2の画素回路と、第1の回路と、第2の回路と、第3の回路と、第4の回路と、第5の回路と、第1の配線と、を有する撮像装置であって、第1の画素回路は、第1の回路と電気的に接続され、第1の画素回路は、第4の回路と電気的に接続され、第2の画素回路は、第2の回路と電気的に接続され、第2の画素回路は、第5の回路と電気的に接続され、第1の回路は、第1の配線と電気的に接続され、第2の回路は、第1の配線と電気的に接続され、第1の配線は、記第3の回路と電気的に接続され、第3の回路は、第4の回路と電気的に接続され、第3の回路は、第5の回路と電気的に接続され、第1および第2の画素回路は、アナログ信号を出力する機能を有し、第1および第2の画素回路は、異なる二つのフレーム間の差分電位を出力する機能を有し、第1および第2の回路は、差分電位が第1の電位以上の場合に第3の電位を第1の配線に出力する機能を有し、第1および第2の回路は、差分電位が第2の電位以下の場合に第3の電位を第1の配線に出力する機能を有し、第1および第2の回路は、差分電位が第2の電位より大きく、第1より小さい場合に第4の電位を第1の配線に出力する機能を有し、第3の回路は、第4および第5の回路へ電源を供給する機能を有し、第4および第5の回路は、アナログ信号をデジタル信号に変換する機能を有し、第3の回路は、第1の配線が第3の電位のときに第4および第5の回路への電源供給を行い、第1の配線が第4の電位のときに第4および第5の回路への電源供給を行わない機能を有することを特徴とする撮像装置である。

40

50

【0014】

さらに、第6の回路と、第7の回路と、を有し、第6の回路は、第1および第2の画素回路と電氣的に接続され、第7の回路は、第4および第5の回路と電氣的に接続され、第6の回路は、第3の回路と電氣的に接続され、第7の回路は、第3の回路と電氣的に接続され、第6の回路は、第1および第2の画素回路を選択する機能を有し、第7の回路は、第4または第5の回路を選択する機能を有し、第3の回路は、第1の配線が第3の電位のときに第7の回路への電源供給を行い、第1の配線が第4の電位のときに第7の回路への電源供給を行わない機能を有していてもよい。

【0015】

さらに、第8の回路と、第2の配線と、を有し、第8の回路は、第2の配線と電氣的に接続され、第8の回路は、第6の回路と電氣的に接続され、第8の回路は、第1および第2の画素回路と電氣的に接続され、第8の回路は、第6の回路と第1および第2の画素回路とを導通させる機能を有し、第8の回路は、第2の配線が第5の電位のときに第6の回路と第1および第2の画素回路とを導通させ、第2の配線が第6の電位のときに第6の回路と第1および第2の画素回路とを非導通にさせる機能を有し、第8の回路は、第2の配線が第6の電位のときに第1および第2の画素回路を選択する機能を有していてもよい。

10

【0016】

第1および第2の画素回路は、光電変換素子、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、容量素子と、を有し、光電変換素子の一方の電極は第1のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は第2のトランジスタのソースまたはドレインの他方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は容量素子の一方の電極と電氣的に接続され、容量素子の他方の電極は第3のトランジスタのソースまたはドレインの他方と電氣的に接続され、容量素子の他方の電極は第4のトランジスタのゲートと電氣的に接続され、第4のトランジスタのソースまたはドレインの一方は第5のトランジスタのソースまたはドレインの一方と電氣的に接続されている構成とすることができる。

20

【0017】

第1乃至第3のトランジスタはチャネル形成領域に酸化物半導体を有し、酸化物半導体は、Inと、Znと、M(MはAl、Ga、YまたはSn)と、を有することが好ましい。

30

【発明の効果】

【0018】

本発明の一態様を用いることで、低消費電力の撮像装置を提供することができる。または、異なる2つのフレーム間における差分の有無を判定する回路を有する撮像装置を提供することができる。または、高速動作に適した撮像装置を提供することができる。または、解像度の高い撮像装置を提供することができる。または、低照度下で撮像することができる撮像装置を提供することができる。または、広い温度範囲において使用可能な撮像装置を提供することができる。または、高開口率の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。または、上記撮像装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

40

【0019】

なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

【図面の簡単な説明】

【0020】

【図1】撮像装置を説明するブロック図。

【図2】撮像装置を説明するブロック図および回路図。

50

- 【図3】差分データを判定する回路を説明する図。
- 【図4】差分データを判定する回路の動作を説明するタイミングチャート。
- 【図5】差分データを判定する回路を説明する図。
- 【図6】差分データを判定する回路の動作を説明するタイミングチャート。
- 【図7】差分データを判定する回路を説明する図。
- 【図8】差分データを判定する回路を説明する図。
- 【図9】差分データを判定する回路の動作を説明するタイミングチャート。
- 【図10】画素を説明する回路図。
- 【図11】画素の動作を説明するタイミングチャート。
- 【図12】画素の動作を説明するタイミングチャート。 10
- 【図13】撮像装置の構成を説明する断面図。
- 【図14】撮像装置の構成を説明する断面図。
- 【図15】光電変換素子の接続形態を説明する断面図。
- 【図16】光電変換素子の接続形態を説明する断面図。
- 【図17】撮像装置の構成を説明する断面図。
- 【図18】光電変換素子の接続形態を説明する断面図。
- 【図19】撮像装置の構成を説明する断面図。
- 【図20】撮像装置の構成を説明する断面図。
- 【図21】撮像装置の構成を説明する断面図。
- 【図22】撮像装置の構成を説明する断面図。 20
- 【図23】撮像装置の構成を説明する断面図。
- 【図24】撮像装置の構成を説明する断面図。
- 【図25】トランジスタを説明する上面図および断面図。
- 【図26】トランジスタを説明する上面図および断面図。
- 【図27】トランジスタを説明する上面図および断面図。
- 【図28】トランジスタを説明する上面図および断面図。
- 【図29】トランジスタを説明する上面図および断面図。
- 【図30】トランジスタを説明する上面図および断面図。
- 【図31】トランジスタを説明する上面図および断面図。
- 【図32】トランジスタを説明する上面図および断面図。 30
- 【図33】酸化物半導体の原子数比の範囲を説明する図。
- 【図34】 $InMZO_4$ の結晶を説明する図。
- 【図35】酸化物半導体の積層構造におけるバンド図。
- 【図36】撮像装置を収めたパッケージの斜視図および断面図。
- 【図37】撮像装置を収めたパッケージの斜視図および断面図。
- 【図38】電子機器を説明する図。
- 【図39】撮像装置の動作方法を説明するフローチャート。
- 【発明を実施するための形態】
- 【0021】
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。
- 【0022】
- なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞 50

と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0023】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0024】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0025】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

【0026】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

【0027】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（D/A変換回路、A/D変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

【0028】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

【0029】

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（また

10

20

30

40

50

は介さず)、Xと電氣的に接続され、トランジスタのドレイン(または第2の端子など)が、Z2を介して(または介さず)、Yと電氣的に接続されている場合や、トランジスタのソース(または第1の端子など)が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン(または第2の端子など)が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

【0030】

例えば、「XとYとトランジスタのソース(または第1の端子など)とドレイン(または第2の端子など)とは、互いに電氣的に接続されており、X、トランジスタのソース(または第1の端子など)、トランジスタのドレイン(または第2の端子など)、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース(または第1の端子など)は、Xと電氣的に接続され、トランジスタのドレイン(または第2の端子など)はYと電氣的に接続され、X、トランジスタのソース(または第1の端子など)、トランジスタのドレイン(または第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース(または第1の端子など)とドレイン(または第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(または第1の端子など)、トランジスタのドレイン(または第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(または第1の端子など)と、ドレイン(または第2の端子など)とを、区別して、技術的範囲を決定することができる。

【0031】

または、別の表現方法として、例えば、「トランジスタのソース(または第1の端子など)は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース(または第1の端子など)とトランジスタのドレイン(または第2の端子など)との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン(または第2の端子など)は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース(または第1の端子など)は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン(または第2の端子など)は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース(または第1の端子など)は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース(または第1の端子など)からトランジスタのドレイン(または第2の端子など)への電氣的パスであり、トランジスタのドレイン(または第2の端子など)は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン(または第2の端子など)からトランジスタのソース(または第1の端子など)への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース(または第1の端子など)と、ドレイン(または第2の端子など)とを、区別して、技術的範囲を決定することができる。

【0032】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、

10

20

30

40

50

層、など)であるとする。

【0033】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0034】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

10

【0035】

なお、一般的に、電位(電圧)は、相対的なものであり、基準の電位からの相対的な大きさによって大きさが決定される。したがって、「接地」「GND」「グラウンド」などと記載されている場合であっても、必ずしも、電位が0ボルトであるとは限らないものとする。例えば、回路で最も低い電位を基準として、「接地」や「GND」を定義する場合もある。または、回路で中間くらいの電位を基準として、「接地」や「GND」を定義する場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定されることとなる。

20

【0036】

(実施の形態1)

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

【0037】

本発明の一態様は、異なる2つのフレーム間における有意な差分の有無を判定する回路を有する撮像装置の構成および動作方法である。

【0038】

撮像装置は、差分データを出力することができる画素と、当該差分データを判定する回路と、電源供給を制御する回路と、A/Dコンバータ等を有する。

30

【0039】

当該構成により、有意な差分の有無を高速に判定することができる。差分なしと判定された場合は、A/Dコンバータ等への電源供給を遮断し、電力消費を抑えることができる。

【0040】

画素回路には酸化物半導体を活性層とするトランジスタ(以下、OSトランジスタ)を用いることが好ましい。OSトランジスタはオフ電流が小さく、画素回路内にデータを保持するメモリを簡易に構成することができる。

【0041】

図1は、本発明の一態様の撮像装置のブロック図である。当該撮像装置は、画素アレイ21と、回路22と、回路23と、回路24と、回路25と、回路26を有する。

40

【0042】

画素アレイ21は、画素20を有する。画素20は、例えばm行n列(m、nは1以上の自然数)のマトリクス状に配置することができる。画素20は、画像データまたは異なる二つのフレームの差分データを電氣的に接続された配線91(OUT1)に出力することができる。

【0043】

回路22は列毎に一つ設けられ、配線91(OUT1)と電氣的に接続される。回路22は、画素20が出力する差分データの有意性を判定する機能を有することができる。なお、差分データが有意であるとは、当該差分データが差分ありと判定できる値以上であることを意味する。当該値は実施者が任意に設定することができる。

50

【 0 0 4 4 】

例えば、差分データが差分なしと判定された場合、回路 2 2 はローレベル電位（以下、“L”）を配線 9 2（OUT 2）に出力する。また、差分データが差分ありと判定された場合、回路 2 2 はハイレベル電位（以下、“H”）を配線 9 2（OUT 2）に出力する。なお、差分の有無の判定結果として出力される信号の論理は逆であってもよい。

【 0 0 4 5 】

回路 2 3 は、画素 2 0 を行毎に選択するロードライバとしての機能を有することができる。回路 2 3 で選択状態とされた画素 2 0 から、画像データまたは差分データが配線 9 1（OUT 1）に出力される。回路 2 3 には、例えばシフトレジスタなどを用いることができる。

10

【 0 0 4 6 】

回路 2 4 は、配線 9 1（OUT 1）と電氣的に接続される。回路 2 4 は、画素 2 0 が出力するアナログ信号の画像データをデジタル信号に変換する機能を有することができる。回路 2 4 には、例えば A/D コンバータなどを用いることができる。回路 2 4 は列毎に設けることができる。

【 0 0 4 7 】

回路 2 5 は、列毎に設けられた回路 2 4 を順次選択するカラムドライバとしての機能を有することができる。回路 2 5 で選択された回路 2 4 から、画像データに相当するデジタル信号が配線 9 3（OUT 3）に出力される。回路 2 5 には、例えばシフトレジスタなどを用いることができる。

20

【 0 0 4 8 】

回路 2 6 は、回路 2 4、回路 2 5 などの周辺回路および配線 9 2（OUT 2）と電氣的に接続される。回路 2 6 は、配線 9 2（OUT 2）から入力される信号電位に従って、回路 2 4 および回路 2 5 に対する電源供給を制御する機能を有することができる。

【 0 0 4 9 】

当該信号電位が“L”であるとき、すなわち回路 2 2 が差分なしと判定したとき、撮像装置が表示装置や記録装置などに出力した画像データを書き換える動作または記録する動作などを省くことができる。したがって、差分なしと判定されたとき、回路 2 6 によって回路 2 4 および回路 2 5 への電源供給を遮断する制御を行い、電力消費を抑えることが好ましい。

30

【 0 0 5 0 】

また、当該信号電位が“H”であるとき、すなわち回路 2 2 によって差分ありと判定されたとき、撮像装置は新たな画像データを取得し、出力先の画像データを書き換える動作または記録する動作などを行う。したがって、差分ありと判定されたとき、回路 2 6 によって回路 2 4 および回路 2 5 への電源供給を継続または再開する制御を行い、画素 2 0 から画像データを読み出す。

【 0 0 5 1 】

なお、回路 2 6 は、配線 9 2（OUT 2）の電位に従って回路 2 4 および回路 2 5 などへの電源供給を制御できる機能を有していればよい。したがって、回路 2 6 の機能は他の回路が有していてもよい。また、回路 2 6 を設けず、当該機能にかかわる動作をソフトウェアを用いて行ってもよい。

40

【 0 0 5 2 】

また、本発明の一態様の撮像装置は、図 2（A）に示す構成であってもよい。当該撮像装置は、回路 2 7 を有する点が図 1 に示す撮像装置と異なる。

【 0 0 5 3 】

回路 2 7 は行毎に設けられ、配線 9 0（RDSE）と電氣的に接続される。また、回路 2 7 は、回路 2 3 と画素 2 0 とを接続する行配線に電氣的に接続される。回路 2 7 は、回路 2 3 と画素 2 0 との導通を制御する機能を有することができる。また、回路 2 7 は、画素アレイ 2 1 が有する全ての画素 2 0 を選択状態とすることもできる。

【 0 0 5 4 】

50

図 2 (B) は、回路 2 7 の具体的な構成の一例であり、p - c h 型トランジスタおよび n - c h 型トランジスタを有する。p - c h 型トランジスタのソースまたはドレインの一方は回路 2 3 と電氣的に接続され、ソースまたはドレインの他方は画素 2 0 と電氣的に接続される。n - c h 型トランジスタのソースまたはドレインの一方は高電位電源線 (V D D) と電氣的に接続され、ソースまたはドレインの他方は画素 2 0 と電氣的に接続される。p - c h 型トランジスタおよび n - c h 型トランジスタのそれぞれのゲートは、配線 9 0 (R D S E) と電氣的に接続される。

【 0 0 5 5 】

回路 2 7 は、配線 9 0 (R D S E) にから入力される信号電位によって、回路 2 3 の使用の有無を選択することができる。

10

【 0 0 5 6 】

配線 9 0 (R D S E) の電位が “ L ” であるとき、p - c h 型トランジスタはオン状態、n - c h 型トランジスタはオフ状態となり、回路 2 3 と画素 2 0 は導通状態となる。すなわち、回路 2 3 を使用する動作モードとなり、図 1 に示す撮像装置と同様の動作を行うことができる。

【 0 0 5 7 】

配線 9 0 (R D S E) の電位が “ H ” であるとき、p - c h 型トランジスタはオフ状態となり、回路 2 3 と画素 2 0 は非導通状態となる。すなわち、回路 2 3 を使用しない動作モードとすることができる。また、n - c h 型トランジスタはオン状態となり、全ての画素 2 0 には高電位電源線 (V D D) から “ H ” が供給される。すなわち、全ての画素 2 0 が選択状態となる。なお、回路 2 7 の別の構成として、回路 2 3 の出力信号と配線 9 0 の信号とを入力信号とし、画素 2 0 への信号を出力信号とする論理和回路とすることができる。

20

【 0 0 5 8 】

一つの配線 9 1 (O U T 1) には一列分の画素 2 0 が電氣的に接続されているため、差分データを取得しているときに、列方向のいずれかの画素 2 0 で有意な差分電位が出力できれば、回路 2 2 で差分ありの判定を行うことができる。また、列毎に設けられた各回路 2 2 は、配線 9 2 (O U T 2) を共通した出力線としていることから、いずれかの回路 2 2 で差分ありの判定が出れば配線 9 2 (O U T 2) の電位は “ H ” となる。すなわち、全ての画素 2 0 を対象として略同時に差分の有無の判定を行うことができる。

30

【 0 0 5 9 】

また、回路 2 3 を使用しない動作モードのとき、回路 2 6 は、配線 9 2 (O U T 2) から入力される信号電位によって、回路 2 4 および回路 2 5 に加えて回路 2 3 に対しても電源供給の制御を行ってもよい。

【 0 0 6 0 】

当該信号電位が “ L ” であるとき、すなわち回路 2 2 が差分なしと判定したとき、回路 2 6 は回路 2 3、回路 2 4 および回路 2 5 に対して電源供給を遮断する制御を行う。当該信号電位が “ H ” であるとき、すなわち回路 2 2 が差分ありと判定したとき、回路 2 6 は回路 2 3、回路 2 4 および回路 2 5 に対して電源供給を継続または再開する制御を行う。

【 0 0 6 1 】

なお、回路 2 2 が出力する論理信号に従って回路 2 7 が適切に動作する構成とすれば、配線 9 0 (R D S E) は配線 9 1 (O U T 1) と電氣的に接続することができる。

40

【 0 0 6 2 】

図 3 は、回路 2 2 の構成の一例である。回路 2 2 [1] および配線 9 1 (O U T 1) [1] は 1 列目に設けられる回路 2 2 および配線 9 1 (O U T 1) を意味する。なお、図 3 では、全ての配線 9 1 (O U T 1) に回路 2 2 を設ける構成を例示しているが、数列毎、数十列毎または数百列毎などに回路 2 2 を設けてもよい。すなわち、差分データを検出しなない列があってもよい。

【 0 0 6 3 】

回路 2 2 は、トランジスタ 5 1 と、トランジスタ 5 2 と、トランジスタ 5 3 と、トランジ

50

スタ54と、コンパレータ回路31と、コンパレータ回路32を有する構成とすることができる。なお、図3ではトランジスタ51、54の極性をn-c h型、トランジスタ52、53の極性をp-c h型としているが、動作条件を変更することによりトランジスタの極性は入れ替えることができる。

【0064】

トランジスタ51のソースまたはドレインの一方は、配線91(OUT1)と電氣的に接続される。トランジスタ51のソースまたはドレインの他方は、コンパレータ回路31の一方の入力端子と電氣的に接続される。トランジスタ51のソースまたはドレインの他方は、コンパレータ回路32の他方の入力端子と電氣的に接続される。コンパレータ回路31の出力端子は、トランジスタ52のゲートと電氣的に接続される。コンパレータ回路32の出力端子は、トランジスタ53のゲートと電氣的に接続される。トランジスタ52のソースまたはドレインの一方は、トランジスタ54のソースまたはドレインの一方と電氣的に接続される。トランジスタ53のソースまたはドレインの一方は、トランジスタ54のソースまたはドレインの一方と電氣的に接続される。トランジスタ54のソースまたはドレインの一方は、配線92(OUT2)に電氣的に接続される。

10

【0065】

コンパレータ回路31の他方の入力端子には、差分データの有意性を判定する電圧の上限または下限の一方(例えば、Vref-)が供給される。コンパレータ回路32の一方の入力端子には、差分データの有意性を判定する電圧の上限または下限の他方(例えば、Vref+)が供給される。トランジスタ52のソースまたはドレインの他方およびトランジスタ53のソースまたはドレインの他方には、高電位(例えば、VDD)が供給される。トランジスタ54のソースまたはドレインの他方には、低電位(例えば、GND)が供給される。

20

【0066】

トランジスタ51のゲートは配線65(SET)と電氣的に接続される。トランジスタ54のゲートは配線66(RES)と電氣的に接続される。配線65(SET)および配線66(RES)は、それぞれに接続されるトランジスタの導通を制御する信号線としての機能を有することができる。

【0067】

コンパレータ回路31、32の電源入力端子には、回路動作の制御が可能な一定の高電位電源(BIAS)が供給される。また、トランジスタ51のソースまたはドレインの他方、コンパレータ回路31の一方の入力端子およびコンパレータ回路32の他方の入力端子が接続される配線をノードND1とする。コンパレータ回路31の出力端子およびトランジスタ52のゲートが接続される配線をノードND2とする。コンパレータ回路32の出力端子およびトランジスタ53のゲートが接続される配線をノードND3とする。

30

【0068】

上記構成では、画素20から出力される差分データをコンパレータ回路31、32に入力することができる。コンパレータ回路31、32には差分データの有意性を判定する電圧の上限または下限が設定されており、回路22は差分の有無によって論理の異なる信号を出力することができる。

40

【0069】

次に、図4に示すタイミングチャートを用いて、回路22の動作を説明する。

【0070】

期間T0は配線92(OUT2)の電位を“L”とするリセット動作の期間である。期間T0において、配線66(RES)の電位を“H”とすると、配線92(OUT2)の電位は“L”にリセットされる。

【0071】

期間T1は画素20が出力する差分データがコンパレータ回路31、32に設定された上下限值内である場合、すなわち、差分なしと判定される場合の動作を例示している。

【0072】

50

期間T1において、配線65(SET)の電位を“H”とすると、配線91(OUT1)に接続された画素20から差分データがノードND1に入力される。このとき、ノードND1の電位はVref-とVref+との間のレベルであるため、コンパレータ回路31はノードND2に“H”を出力し、コンパレータ回路32はノードND3に“H”を出力する。したがって、トランジスタ52およびトランジスタ53はオフ状態となるため、配線92(OUT2)の電位は“L”となる。ここで、配線92(OUT2)の電位が“L”となることは、差分なしを意味する。

【0073】

期間T2は画素20が出力する差分データがコンパレータ回路31に設定された上限値を上回っている場合、すなわち、差分ありと判定される場合の動作を例示している。

10

【0074】

期間T2において、配線65(SET)の電位を“H”とすると、配線91(OUT1)に接続された画素20から差分データがノードND1に入力される。このとき、ノードND1の電位がVref+より高いレベルであるため、コンパレータ回路31はノードND2に“L”を出力し、コンパレータ回路32はノードND3に“H”を出力する。したがって、トランジスタ52はオン状態となり、トランジスタ53はオフ状態となるため、配線92(OUT2)の電位は“H”となる。ここで、配線92(OUT2)の電位が“H”となることは、差分ありを意味する。

【0075】

期間T3は画素20が出力する差分データがコンパレータ回路32に設定された下限値を下回っている場合、すなわち、差分ありと判定される場合の動作を例示している。

20

【0076】

期間T3において、配線65(SET)の電位を“H”とすると、配線91(OUT1)に接続された画素20から差分データがノードND1に入力される。このとき、ノードND1の電位がVref-より低いレベルであるため、コンパレータ回路31はノードND2に“H”を出力し、コンパレータ回路32はノードND3に“L”を出力する。したがって、トランジスタ52はオフ状態となり、トランジスタ53はオン状態となるため、配線92(OUT2)の電位は“H”となる。ここで、配線92(OUT2)の電位が“H”となることは、差分ありを意味する。

【0077】

図1に示す構成に図3の回路を適用した場合、期間T1などに例示した差分の判定動作は、回路23による行選択動作にあわせて行えばよい。つまり、1フレーム期間に最大行数だけの判定動作を行う。なお、配線65(SET)の電位を制御することで、数行毎、数十行毎または数百行毎などに差分の判定動作を行うこともできる。また、画素アレイ21の一部の領域、例えば中央付近の行のみなどにおいて、重点的に差分の判定動作を行うこともできる。

30

【0078】

図2に示す構成に図3の回路を適用した場合、回路27で全ての画素20を選択状態とし、全ての画素20から略同時に差分データを回路22に入力できることから、1フレーム期間に行う判定動作の回数は任意となる。

40

【0079】

図5は、図3とは異なる回路22の構成の一例である。図3では、全ての配線91(OUT1)に回路22を設ける構成を例示しているが、数列毎、数十列毎または数百列毎などに回路22を設けてもよい。また、当該回路22は、回路28と電氣的に接続される。

【0080】

図5に示す回路22は、トランジスタ51と、トランジスタ52と、トランジスタ53と、トランジスタ54と、コンパレータ回路31と、コンパレータ回路32と、NAND回路33と、NAND回路34を有する構成とすることができる。なお、図5ではトランジスタ51、54の極性をn-ch型、トランジスタ52、53の極性をp-ch型としているが、動作条件を変更することによりトランジスタの極性は入れ替えることができる。

50

【0081】

トランジスタ51のソースまたはドレインの一方は、配線91(OUT1)と電氣的に接続される。トランジスタ51のソースまたはドレインの他方は、コンパレータ回路31の一方の入力端子と電氣的に接続される。トランジスタ51のソースまたはドレインの他方は、コンパレータ回路32の他方の入力端子と電氣的に接続される。コンパレータ回路31の出力端子は、NAND回路33の一方の入力端子と電氣的に接続される。コンパレータ回路32の出力端子は、NAND回路34の一方の入力端子と電氣的に接続される。NAND回路33の出力端子はトランジスタ52のゲートと電氣的に接続される。NAND回路34の出力端子は、トランジスタ53のゲートと電氣的に接続される。トランジスタ52のソースまたはドレインの一方は、トランジスタ54のソースまたはドレインの一方と電氣的に接続される。トランジスタ53のソースまたはドレインの一方は、トランジスタ54のソースまたはドレインの一方と電氣的に接続される。トランジスタ54のソースまたはドレインの一方は、配線92(OUT2)に電氣的に接続される。

10

【0082】

コンパレータ回路31の他方の入力端子には、差分データの有意性を判定する電圧の上限または下限の一方(例えば、Vref+)が供給される。コンパレータ回路32の一方の入力端子には、差分データの有意性を判定する電圧の上限または下限の他方(例えば、Vref-)が供給される。トランジスタ52のソースまたはドレインの他方およびトランジスタ53のソースまたはドレインの他方には、高電位(例えば、VDD)が供給される。トランジスタ54のソースまたはドレインの他方には、低電位(例えば、GND)が供給される。

20

【0083】

コンパレータ回路31、32には、回路28を介して回路動作の制御が可能な一定の高電位電源(BIAS)または低電位(例えば、GND)が供給される。NAND回路33、34の他方の入力端子には、回路28を介して高電位(例えば、VDD)または低電位(例えば、GND)が供給される。

【0084】

また、トランジスタ51のソースまたはドレインの他方、コンパレータ回路31の一方の入力端子およびコンパレータ回路32の他方の入力端子が接続される配線をノードND1とする。コンパレータ回路31の出力端子およびNAND回路33の一方の入力端子が接続される配線をノードND2とする。コンパレータ回路32の出力端子およびNAND回路34の一方の入力端子が接続される配線をノードND3とする。NAND回路33の出力端子およびトランジスタ52のゲートが接続される配線をノードND4とする。NAND回路34の出力端子およびトランジスタ53のゲートが接続される配線をノードND5とする。

30

【0085】

回路28は、トランジスタ55と、トランジスタ56と、トランジスタ57と、トランジスタ58を有する構成とすることができる。なお、図5ではトランジスタ55、57の極性をp-ch型、トランジスタ56、57の極性をn-ch型としているが、動作条件を変更することによりトランジスタの極性は入れ替えることができる。

40

【0086】

トランジスタ55のソースまたはドレインの一方は、トランジスタ56のソースまたはドレインの一方と電氣的に接続される。トランジスタ55のソースまたはドレインの一方は、NAND回路33、34の他方の入力端子と電氣的に接続される。ここで、トランジスタ55のソースまたはドレインの一方、トランジスタ56のソースまたはドレインの一方およびNAND回路33、34の他方の入力端子が接続される配線をノードND6とする。

【0087】

トランジスタ57のソースまたはドレインの一方は、トランジスタ58のソースまたはドレインの一方と電氣的に接続される。トランジスタ57のソースまたはドレインの一方は

50

、コンパレータ回路31、32の電源入力端子と電氣的に接続される。ここで、トランジスタ57のソースまたはドレインの一方、トランジスタ58のソースまたはドレインの一方およびコンパレータ回路31、32の電源入力端子が接続される配線をノードND7とする。

【0088】

トランジスタ55乃至58のゲートは、配線92(OUT2)と電氣的に接続される。トランジスタ55のソースまたはドレインの他方には、高電位(例えば、VDD)が供給される。トランジスタ57のソースまたはドレインの他方には、コンパレータ回路31、32の回路動作の制御が可能な一定の高電位電源(BIAS)が供給される。トランジスタ54、58のソースまたはドレインの他方には、低電位(例えば、GND)が供給される。

10

【0089】

図5に示す回路では、回路22が配線92(OUT2)に出力する電位を回路28に入力する構成となっている。回路28は、当該電位の値に応じて回路22が有する一部の回路を停止させることができる。したがって、消費電力を低減させることができる。

【0090】

配線92(OUT2)の電位が“L”、すなわち差分なしと判定された場合、コンパレータ回路31、32にはBIASが供給され、動作状態となる。また、NAND回路33、34の他方の入力端子には“H”が供給され、ノードND2、ノードND3の電位は反転してノードND4、ノードND5に出力される。ここで、差分なしと判定されれば差分検出動作が繰り返される。

20

【0091】

配線92(OUT2)の電位が“H”、すなわち差分ありと判定された場合、コンパレータ回路31、32にはGND電位が供給され、非動作状態となる。また、NAND回路33、34の他方の入力端子には“L”が供給され、ノードND4、ノードND5の電位は“H”に固定される。したがって、配線92(OUT2)の電位が“H”に固定されるため、1フレームが終了するまでの残りの期間、不要な差分検出動作は行われず、電力消費を抑えることができる。

【0092】

次に、図6に示すタイミングチャートを用いて、図5に示す回路22および回路28の動作を説明する。

30

【0093】

期間T0は配線92(OUT2)の電位を“L”とするリセット動作の期間である。期間T0において、配線66(RES)の電位を“H”とすると、配線92(OUT2)の電位は“L”にリセットされる。配線92(OUT2)の電位が“L”のとき、コンパレータ回路31、32にはBIASが供給され、NAND回路33、34の他方の入力端子には“H”が供給される。

【0094】

期間T1は画素20が出力する差分データがコンパレータ回路31、32に設定された上下限值内である場合、すなわち、差分なしと判定される場合の動作を例示している。

40

【0095】

期間T1において、配線65(SET)の電位を“H”とすると、配線91(OUT1)に接続された画素20から差分データがノードND1に入力される。このとき、ノードND1の電位はVref-とVref+との間のレベルであるため、コンパレータ回路31はノードND2に“L”を出力し、コンパレータ回路32はノードND3に“L”を出力する。ノードND6の電位は“H”であるため、NAND回路33、34は、ノードND2、ノードND3の反転電位である“H”をノードND4、ノードND5に出力する。したがって、トランジスタ52およびトランジスタ53はオフ状態となるため、配線92(OUT2)の電位は“L”となる。ここで、配線92(OUT2)の電位が“L”となることは、差分なしを意味する。

50

【 0 0 9 6 】

期間 T 2 は画素 2 0 が出力する差分データがコンパレータ回路 3 1 に設定された上限値を上回っている場合、すなわち、差分ありと判定される場合の動作を例示している。

【 0 0 9 7 】

期間 T 2 において、配線 6 5 (S E T) の電位を “ H ” とすると、配線 9 1 (O U T 1) に接続された画素 2 0 から差分データがノード N D 1 に入力される。このとき、ノード N D 1 の電位が $V_{ref} +$ より高いレベルであるため、コンパレータ回路 3 1 はノード N D 2 に “ H ” を出力し、コンパレータ回路 3 2 はノード N D 3 に “ L ” を出力する。このとき、N A N D 回路 3 3 はノード N D 2 の反転電位である “ L ” をノード N D 4 出力し、N A N D 回路 3 4 はノード N D 3 の反転電位である “ H ” をノード N D 5 に出力する。したがって、トランジスタ 5 2 はオン状態となり、トランジスタ 5 3 はオフ状態となるため、配線 9 2 (O U T 2) の電位は “ H ” となる。ここで、配線 9 2 (O U T 2) の電位が “ H ” となることは、差分ありを意味する。

10

【 0 0 9 8 】

また、配線 9 2 (O U T 2) の電位が “ H ” となるため、コンパレータ回路 3 1、3 2 への B I A S 供給が遮断される。そのため、ノード N D 3 の電位は “ L ” から “ H ” に上昇する。

【 0 0 9 9 】

また、配線 9 2 (O U T 2) の電位が “ H ” となるため、ノード N D 6 の電位は “ L ” となる。そのため、ノード N D 4 の電位は “ L ” から “ H ” に上昇する。

20

【 0 1 0 0 】

期間 T 3 は画素 2 0 が出力する差分データがコンパレータ回路 3 2 に設定された下限値を下回っている場合、すなわち、差分ありと判定される場合の動作を例示している。ただし、期間 T 2 において、ノード N D 2 乃至ノード N D 5 の電位が固定されたため、ノード N D 1 の電位にかかわらず、配線 9 2 (O U T 2) の電位は “ H ” となる。したがって、回路内において、期間 T 3 では期間 T 2 の状態から変化しない。

【 0 1 0 1 】

つまり、図 1 に示す構成に図 5 の回路を適用した場合は、1 フレーム内のいずれかの行で差分ありと判定されると、それ以降の行の差分判定は実質的に行われず、差分ありを示す電位が配線 9 2 (O U T 2) に維持される。したがって、差分判定の回路動作に必要な電力を削減することができる。

30

【 0 1 0 2 】

図 2 に示す構成に図 3 の回路を適用した場合、1 フレーム期間に行ういずれかの判定動作で差分ありと判定されると、それ以降の差分判定は実質的に行われず、差分ありを示す電位が配線 9 2 (O U T 2) に維持される。したがって、差分判定の回路動作に必要な電力を削減することができる。

【 0 1 0 3 】

図 5 に示す回路 2 8 は、図 7 に示す回路 2 9 と置き換えることができる。回路 2 9 は、N O R 回路 3 5 と、インバータ回路 3 6 と、レベルシフト回路 3 7 と、トランジスタ 5 9 と、トランジスタ 6 0 を有する構成とすることができる。なお、図 7 ではトランジスタ 5 9、6 0 の極性を n - c h 型としているが、動作条件を変更することによりトランジスタの極性は入れ替えることができる。

40

【 0 1 0 4 】

N O R 回路の一方の入力端子は、配線 9 2 (O U T 2) と電氣的に接続される。N O R 回路の出力端子はインバータ回路 3 6、トランジスタ 5 9 のゲートおよびレベルシフト回路 3 7 の反転入力端子と電氣的に接続される。インバータ回路 3 6 の出力端子は、レベルシフト回路 3 7 の入力端子と電氣的に接続される。レベルシフト回路 3 7 の出力端子はトランジスタ 6 0 のゲートと電氣的に接続される。トランジスタ 5 9 のソースまたはドレインの一方は、トランジスタ 6 0 のソースまたはドレインの一方と電氣的に接続される。

【 0 1 0 5 】

50

トランジスタ59のソースまたはドレインの他方には、コンパレータ回路31、32の回路動作の制御が可能な一定の高電位電源（BIAS）が供給される。トランジスタ60のソースまたはドレインの他方には、コンパレータ回路31、32の回路動作の制御が可能な一定の低電位電源（AVSS）が供給される。また、NOR回路35の他方の入力端子には、配線94が接続され、動作信号（AENE）が入力される。

【0106】

また、NOR回路の出力端子が電氣的に接続される配線は、NAND回路33、34と接続され、図5のノードND6に相当する。トランジスタ59のソースまたはドレインの一方と電氣的に接続される配線は、コンパレータ回路31、32と接続され、図5のノードND7に相当する。

10

【0107】

回路29を用いることで、コンパレータ回路31、32の電源入力端子に入力されるローレベル電位“L”を適切にすることができる。

【0108】

回路28においては、コンパレータ回路31、32（アナログ回路）の電源電圧と、それ以外の回路（デジタル回路）の電源電圧とを区別しない構成となっている。アナログ回路とデジタル回路でローレベル電位“L”の電圧値が異なる場合、回路28から供給されるローレベル電位“L”では正常にアナログ回路を停止させることができない場合がある。したがって、アナログ回路の動作にあわせてローレベル電位“L”の電圧値を設定することが好ましい。回路29のレベルシフト回路37およびトランジスタ60を用いることで、コンパレータ回路31、32のローレベル電位“L”として、AVSSを供給することができる。

20

【0109】

また、回路29では、配線94から動作信号（AENE）を入力することで、配線91（OUT1）の電位にかかわらず、ノードND6、ノードND7の電位を“L”にすることができる。動作信号（AENE）が個別に供給できる配線を複数設け、当該配線のそれぞれに回路29を接続することで、回路29を選択して動作させることができる。例えば、動作信号（AENE）が個別に供給できる配線、および回路29をそれぞれ二つ有する構成とし、一つの回路29が半数の回路22を制御する構成とすれば、全ての回路22を動作させることができるほか、半数の回路22を動作させ、半数の回路22を停止させるなどの動作が可能となる。したがって、消費電力を削減することができる。動作信号（AENE）が個別に供給できる配線94および回路29の数を増やすことで、回路22の動作数をさらに細かく制御することができる。

30

【0110】

図8は、動作信号（AENE）が個別に供給できる配線94[1]および配線94[2]と、配線94[1]が接続される回路29[1]と、配線94[2]が接続される回路29[2]と、回路29[1]と配線710、711を介して接続される回路22[1]、回路22[3]および回路22[n-1]と、回路29[2]と配線712、713を介して接続される回路22[2]および回路22[n]を有する構成を示している。なお、図示しない回路22[4]乃至回路22[n-2]は、回路29[1]または回路29[2]のいずれかに接続されるものとする。また、回路22[1]乃至[n]は、配線92（OUT2）を介して回路29[1]、[2]と接続している。

40

【0111】

なお、配線710、712は、図5に示すノードND6に相当する。配線711、713は、図5に示すノードND7に相当する。

【0112】

図8に示す構成では、配線94[1]または配線94[2]の一方に動作信号（AENE）を供給することで、回路29[1]または回路29[2]の一方を動作させることができる。すなわち、回路29[1]または回路29[2]の一方に接続された回路22のみを動作させることができる。なお、配線94[1]および配線94[2]の両方に動作信

50

号 (A E N E) を供給することで、全ての回路 2 2 を動作させることもできる。

【 0 1 1 3 】

図 9 は、図 8 に示す回路の動作を説明するタイミングチャートである。ここでは、配線 9 4 [1] の電位を “ H ”、配線 9 4 [2] の電位を “ L ” としたときの動作を説明する。期間 T 0 乃至 T 3 における回路 2 2 の動作は、図 6 に示すタイミングチャートの説明と同じである。

【 0 1 1 4 】

配線 9 4 [1] が接続された回路 2 9 [1] からは、回路 2 2 で差分データを判定するための電圧が配線 7 1 0 (ノード N D 6) および配線 7 1 1 (ノード N D 7) に供給される。したがって、回路 2 9 [1] と配線 7 1 0、7 1 1 を介して接続される回路 2 2 [1]、回路 2 2 [3] および回路 2 2 [n - 1] 等は、正常に差分データの判定動作を行う。

10

【 0 1 1 5 】

一方、配線 9 4 [2] が接続された回路 2 9 [2] からは、回路 2 2 への入力信号および出力信号にかかわらず、回路 2 2 の出力が固定される電圧が供給される。したがって、回路 2 9 [2] と配線 7 1 2、7 1 3 を介して接続される回路 2 2 [2] および回路 2 2 [n] 等は、差分データの判定動作を行わない。すなわち、図 9 に示す回路では、半数の回路を動作させずに差分判定動作を行うことができる。

【 0 1 1 6 】

図 1 に示す撮像装置の動作方法の一例を図 3 9 に示すフローチャートに従って説明する。当該撮像装置は、画像データを取得する第 1 の撮像モードまたは異なる 2 つのフレーム間における差分データを取得する第 2 の撮像モードを選択して実行することができる。

20

【 0 1 1 7 】

まず、第 1 の撮像モードで画像モードを取得する (S 1)。次に、回路 2 3 で選択した行毎の画素 2 0 から当該画像データ (アナログデータ) を回路 2 4 に出力してデジタルデータに変換する。そして、回路 2 5 で列を順次選択し、当該デジタルデータを外部に出力する (S 2)。上記動作を 1 フレーム期間内で 1 行目から最終行まで繰り返す。

【 0 1 1 8 】

次に、第 2 の撮像モードに切り替える (S 3)。第 2 の撮像モードで差分データを取得し、画素 2 0 から回路 2 2 に出力する (S 4)。回路 2 2 では当該差分データの有意性を判定する (S 5)。

30

【 0 1 1 9 】

差分ありの場合は、回路 2 6 に信号電位 “ H ” を出力し (S 6)、回路 2 4 および回路 2 5 への電源供給を維持する (S 7)。そして、S 1 に戻って再度第 1 の撮像モードで画像データの取得を行う。

【 0 1 2 0 】

差分なしの場合は、回路 2 6 に信号電位 “ L ” を出力し (S 8)、回路 2 4 および回路 2 5 への電源供給を遮断する (S 7)。そして、S 4 に戻って再度差分データの取得を行う。

【 0 1 2 1 】

なお、差分なしの状態から差分ありと判定された場合は、回路 2 6 は回路 2 4 および回路 2 5 への電源供給を再開する制御を行う。

40

【 0 1 2 2 】

また、図 2 に示す撮像装置では、回路 2 6 が電源供給を制御する回路の対象として、回路 2 3 を含めてもよい。

【 0 1 2 3 】

以上により、低消費電力の撮像装置を提供することができる。

【 0 1 2 4 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 2 5 】

50

(実施の形態2)

本実施の形態では、実施の形態1で説明した撮像装置が有する画素20に適用可能な画素回路およびその駆動方法の一例について説明する。

【0126】

図10(A)は、画素20として適用できる画素回路の一例である。なお、図10(A)などにおいてはトランジスタがn-ch型である場合の例を示すが、本発明の一態様はこれに限定されず、一部のトランジスタをp-ch型トランジスタに置き換えてもよい。

【0127】

当該画素回路は、光電変換素子PDと、トランジスタ41と、トランジスタ42と、トランジスタ43と、トランジスタ44と、トランジスタ45と、容量素子C1と、容量素子C2と、を有する構成とすることができる。なお、容量素子C2を設けない構成としてもよい。

10

【0128】

光電変換素子PDの一方の端子は、トランジスタ41のソースまたはドレインの一方と電氣的に接続される。トランジスタ41のソースまたはドレインの他方は、トランジスタ42のソースまたはドレインの一方と電氣的に接続される。トランジスタ41のソースまたはドレインの他方は、容量素子C1の一方の端子と電氣的に接続される。容量素子C1の他方の端子は、トランジスタ45のソースまたはドレインの一方と電氣的に接続される。容量素子C1の他方の端子は、トランジスタ43のゲートと電氣的に接続される。容量素子C1の他方の端子は、容量素子C2の一方の端子と電氣的に接続される。トランジスタ43のソースまたはドレインの一方は、トランジスタ44のソースまたはドレインの一方と電氣的に接続される。容量素子C2の他方の端子は、トランジスタ43のソースまたはドレインの他方と電氣的に接続される。

20

【0129】

ここで、トランジスタ41のソースまたはドレインの一方、トランジスタ42のソースまたはドレインの一方および容量素子C1の一方の端子が接続されるノードをFD1とする。また、容量素子C1の他方の端子、トランジスタ45のソースまたはドレインの一方、トランジスタ43のゲートおよび容量素子C2の一方の端子が接続されるノードをFD2とする。

【0130】

光電変換素子PDの他方の端子は、配線71(VPD)に電氣的に接続される。トランジスタ42のソースまたはドレインの他方は、配線72(VPR)に電氣的に接続される。トランジスタ45のソースまたはドレインの他方は、配線74(VCS)に電氣的に接続される。トランジスタ43のソースまたはドレインの他方および容量素子C2の他方の端子は、配線73(VPI)に電氣的に接続される。トランジスタ44のソースまたはドレインの他方は、配線91(OUT1)に電氣的に接続される。

30

【0131】

配線71(VPD)、配線72(VPR)、配線73(VPI)および配線74(VCS)は、電源線としての機能を有することができる。例えば、配線71(VPD)および配線74(VCS)は、低電位電源線として機能させることができる。配線72(VPR)および配線73(VPI)は、高電位電源線として機能させることができる。

40

【0132】

トランジスタ41のゲートは、配線61(TX)と電氣的に接続される。トランジスタ42のゲート電極は、配線62(PR)と電氣的に接続される。トランジスタ45のゲートは、配線63(W)と電氣的に接続される。トランジスタ44のゲートは、配線63(SE)と電氣的に接続される。

【0133】

配線61(TX)、配線62(PR)、配線63(SE)および配線65(W)は、トランジスタの導通を制御する信号線として機能させることができる。

【0134】

50

上記構成において、容量素子C2の他方の端子は、配線73(VPI)ではなく、固定電位を供給することのできる他の配線等に接続されていてもよい。

【0135】

なお、上記画素回路が有するトランジスタには、図10(B)に示すようにバックゲートを設ける構成としてもよい。図10(B)はバックゲートに定電位を印加する構成であり、しきい値電圧を制御することができる。

【0136】

それぞれのバックゲートに接続される配線75乃至79には、個別に異なる電位を供給することができる。なお、トランジスタ43およびトランジスタ44が有するバックゲートに接続される配線は電氣的に接続されていてもよい。

10

【0137】

トランジスタがn-ch型であるとき、バックゲートにソース電位よりも低い電位を印加すると、しきい値電圧はプラス方向にシフトする。逆に、バックゲートにソース電位よりも高い電位を印加すると、しきい値電圧はマイナス方向にシフトする。したがって、予め定められたゲート電圧で各トランジスタのオン、オフを制御する場合、バックゲートにソース電位よりも低い電位を印加すると、オフ電流を小さくすることができる。また、バックゲートにソース電位よりも高い電位を印加すると、オン電流を小さくすることができる。

【0138】

図10(A)、(B)に示す回路では、ノードFD1およびノードFD2の電位保持能力が高いことが望まれるため、トランジスタ41、42、45にはオフ電流の低いトランジスタを用いることが好ましい。トランジスタ41、42、45のバックゲートにソース電位よりも低い電位を印加することで、オフ電流をより小さくすることができる。したがって、ノードFD1およびノードFD2の電位保持能力を高めることができる。例えば、トランジスタ41、42、45には、OSトランジスタを用いることが好ましい。

20

【0139】

また、トランジスタ43、44は増幅トランジスタとして作用するため、オン電流の高いトランジスタを用いることが好ましい。トランジスタ43、44のバックゲートにソース電位よりも高い電位を印加することで、オン電流をより大きくすることができる。したがって、配線91(OUT1)に出力される読み出し電位を速やかに確定することができる、すなわち、高い周波数で動作させることができる。例えば、トランジスタ43、44には、シリコンを活性領域または活性層に用いたトランジスタ(以下、Siトランジスタ)を用いることが好ましい。

30

【0140】

なお、トランジスタ44は、図10(C)に示すようにフロントゲートと同じ電位がバックゲートに印加される構成であってもよい。また、トランジスタ43、44はSiトランジスタではなく、OSトランジスタであってもよい。OSトランジスタのオン電流は比較的小さいが、バックゲートを設けることでオン電流を大きくすることができ、高い周波数で動作させることが可能となる。

【0141】

また、撮像装置の内部では、各電源電位その他、信号電位および上記バックゲートに印加する電位など、複数の電位を用いる。撮像装置の外部から複数の電位を供給すると、端子数などが増加するため、撮像装置の内部で複数の電位を生成する電源回路を有していることが好ましい。

40

【0142】

OSトランジスタは極めて低いオフ電流特性を有するため、トランジスタ41、42、443の低いオフ電流特性によってノードFD1およびノードFD2で電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。なお、本発明の一態様の撮像装置は、ローリングシャッタ方式で動作させることもでき

50

る。

【0143】

OSトランジスタは、Siトランジスタよりも電気特性変動の温度依存性が小さいため、極めて広い温度範囲で使用することができる。したがって、OSトランジスタを有する撮像装置および半導体装置は、自動車、航空機、宇宙機などへの搭載にも適している。

【0144】

また、OSトランジスタは、Siトランジスタよりもドレイン耐圧の高い特性を有する。セレン系材料を光電変換層とした光電変換素子では、アバランシェ増倍を利用するために比較的高い電圧（例えば、10V以上）を印加して動作させることが好ましい。したがって、OSトランジスタと、セレン系材料を光電変換層とした光電変換素子とを組み合わせることで、信頼性の高い撮像装置とすることができる。

10

【0145】

本実施の形態で説明する画素回路は、画像データの取得を行う第1の撮像モードでの動作と、初期フレームの撮像データと現フレームの撮像データとの差分データを保持し、当該差分データに応じた信号を出力する第2の撮像モードでの動作を行うことができる。第2の動作では、外部回路での比較処理などを行うことなく差分データを出力することができるため、当該画素回路を実施の形態1で説明した撮像装置に用いることが好ましい。

【0146】

図10(A)に示す画素回路を第1の撮像モードで動作させる場合について、図11(A)に示すタイミングチャートを用いて説明する。

20

【0147】

時刻T1乃至時刻T2において、配線61(TX)の電位を"H"、配線62(PR)の電位を"H"、配線65(W)の電位を"H"とする。このとき、ノードFD1の電位は配線72(VPR)の電位VPR、ノードFD2の電位は配線74(VCS)の電位VCSに設定される(リセット動作)。

【0148】

時刻T2乃至時刻T3において、配線61(TX)の電位を"H"、配線62(PR)の電位を"L"、配線65(W)の電位を"L"とする。ここで、光電変換素子PDに照射する光に応じてノードFD1の電位が低下すると、容量結合によってノードFD2の電位も低下する。時刻T3におけるノードFD1の低下電位量をVAとすると、ノードFD1の電位は、VPR - VAとなる。また、ノードFD2の電位はVBだけ減少し、VCS - VBとなる(蓄積動作)。なお、図5(A)に示す回路構成では、光電変換素子PDに照射する光が強い程、ノードFD1およびノードFD2の電位は低下する。

30

【0149】

時刻T3乃至時刻T4において、配線61(TX)の電位を"L"、配線62(PR)の電位を"L"、配線65(W)の電位を"L"とすると、ノードFD1およびノードFD2の電位は保持される。

【0150】

時刻T4乃至時刻T5において、配線63(SE)の電位を"H"とすると、ノードFD2の電位に応じて、配線91(OUT1)に画像データに対応する信号が出力される(選択動作)。以上が第1の動作モードの説明である。

40

【0151】

次に、図10(A)に示す画素回路を第2の撮像モードで動作させる場合について説明する。第2の撮像モードでは、第1のフレーム(初期フレーム)と、第2のフレーム(現フレーム)とのデータの差分を出力する。まず、図11(B)に示すタイミングチャートを用いて第1のフレームにおけるデータ取得動作を説明する。

【0152】

時刻T1乃至時刻T2において、配線61(TX)の電位を"H"、配線62(PR)の電位を"H"、配線65(W)の電位を"H"とする。このとき、ノードFD1の電位は配線72(VPR)の電位VPR、ノードFD2の電位は配線74(VCS)の電位VC

50

S に設定される。

【 0 1 5 3 】

時刻 T 2 乃至時刻 T 3 において、配線 6 1 (T X) の電位を " H "、配線 6 2 (P R) の電位を " L "、配線 6 5 (W) の電位を " H " とする。ここで、光電変換素子 P D に照射する光に応じて、ノード F D 1 の電位は低下する。時刻 T 3 におけるノード F D 1 の低下電位量を V A とすると、ノード F D 1 の電位は、 $V P R - V A$ となる。なお、図 5 (A) の回路構成においては、光電変換素子 P D に照射する光が強い程、ノード F D 1 の電位は低下する。

【 0 1 5 4 】

時刻 T 3 乃至時刻 T 4 において、配線 6 1 (T X) の電位を " L "、配線 6 2 (P R) の電位を " L "、配線 6 5 (W) の電位を " H " とすると、ノード F D 1 の電位は保持される。

10

【 0 1 5 5 】

時刻 T 4 乃至時刻 T 5 において、配線 6 1 (T X) の電位を " L "、配線 6 2 (P R) の電位を " L "、配線 6 5 (W) の電位を " L " とすると、ノード F D 1 の電位およびノード F D 2 の電位は保持される。

【 0 1 5 6 】

次に、図 1 2 (A) に示すタイミングチャートを用いて第 2 のフレームにおけるデータ取得動作を説明する。なお、図 1 2 (A) では第 1 のフレームと第 2 のフレームとのデータの差分がない場合、すなわち第 1 のフレームおよび第 2 のフレームで撮像される画像が同じである場合を想定する。

20

【 0 1 5 7 】

時刻 T 1 乃至時刻 T 2 において、配線 6 1 (T X) の電位を " H "、配線 6 2 (P R) の電位を " H "、配線 6 5 (W) の電位を " L " とすると、ノード F D 1 の電位は V A だけ上昇し、ノード F D 2 の電位は容量結合により V B だけ上昇する。ここで、V A および V B は、第 1 のフレームの照度を反映する電位である。

【 0 1 5 8 】

時刻 T 2 乃至時刻 T 3 において、配線 6 1 (T X) の電位を " H "、配線 6 2 (P R) の電位を " L "、配線 6 5 (W) の電位を " L " とすると、光電変換素子 P D に照射する光に応じて、ノード F D 1 およびノード F D 2 の電位は低下する。時刻 T 3 におけるノード F D 1 の低下電位量を V A ' とすると、ノード F D 1 の電位は $V P R - V A '$ となるが $V A ' = V A$ により $V P R - V A$ となる。また、ノード F D 2 の電位は容量結合により V B ' だけ減少し、 $V C S + V B - V B '$ となるが、 $V B ' = V B$ により V C S となる。

30

【 0 1 5 9 】

時刻 T 3 乃至時刻 T 4 において、配線 6 1 (T X) の電位を " L "、配線 6 2 (P R) の電位を " L "、配線 6 5 (W) の電位を " L " とすると、ノード F D 1 およびノード F D 2 の電位は保持される。

【 0 1 6 0 】

時刻 T 4 乃至時刻 T 5 において、配線 6 3 (S E) の電位を " H " とすると、ノード F D 2 の電位に応じて、配線 9 1 (O U T 1) に差分データに対応する信号が出力される。このとき、ノード F D 2 の電位はリセット電位である " V C S " であり、出力された信号から第 1 のフレームと第 2 のフレームのデータの比較において有意な差分はないと判定される。

40

【 0 1 6 1 】

次に、図 1 2 (B) に示すタイミングチャートを用いて第 1 のフレームと第 2 のフレームとのデータの差分がある場合、すなわち第 1 のフレームおよび第 2 のフレームで撮像される画像が異なる画像である場合を想定した動作を説明する。なお、対象となる画素に入射される光の照度は、第 1 のフレーム < 第 2 のフレームの関係とする。

【 0 1 6 2 】

時刻 T 1 乃至時刻 T 2 において、配線 6 1 (T X) の電位を " H "、配線 6 2 (P R) の

50

電位を "H"、配線 65 (W) の電位を "L" とすると、ノード FD1 の電位は VA だけ上昇し、ノード FD2 の電位は容量結合により VB だけ上昇する。ここで、VA および VB は、第 1 のフレームの照度を反映する電位である。

【0163】

時刻 T2 乃至時刻 T3 において、配線 61 (TX) の電位を "H"、配線 62 (PR) の電位を "L"、配線 65 (W) の電位を "L" とすると、光電変換素子 PD に照射する光に応じて、ノード FD1 およびノード FD2 の電位は低下する。時刻 T3 におけるノード FD1 の低下電位量を VA' とすると、ノード FD1 の電位は VPR - VA' となる。また、ノード FD2 の電位は容量結合により VB' だけ減少し、VCS + VB - VB' となる。

10

【0164】

時刻 T3 乃至時刻 T4 において、配線 61 (TX) の電位を "L"、配線 62 (PR) の電位を "L"、配線 65 (W) の電位を "L" とすると、ノード FD1 およびノード FD2 の電位は保持される。

【0165】

時刻 T4 乃至時刻 T5 において、配線 63 (SE) の電位を "H" とすると、ノード FD2 の電位に応じて、配線 91 (OUT1) に差分データに対応する信号が出力される。このとき、ノード FD2 の電位は VCS + VB - VB' である。VB は第 1 のフレームの照度を反映する電位であり、VB' は第 2 のフレームにおける照度を反映するデータである。以上が第 1 のフレームと第 2 のフレームとのデータの差分を出力する第 2 の撮像モードの説明である。

20

【0166】

図 13 は、画素 20 の具体的な構成の一例を説明する図であり、画素回路が有するトランジスタ 41、42、43、44 のチャンネル長方向を表す断面図である。

【0167】

なお、本実施の形態で説明する断面図において、配線、電極、金属層およびコンタクトプラグ (導電体 82) を個別の要素として図示しているが、それらが電氣的に接続している場合においては、同一の要素として設けられる場合もある。また、配線、電極および金属層などの要素が導電体 82 を介して接続される形態は一例であり、各要素が導電体 82 を介さずに直接接続される場合もある。

30

【0168】

また、基板上、およびトランジスタなどの各要素上には保護膜、層間絶縁膜または平坦化膜としての機能を有する絶縁層 81a 乃至 81k 等が設けられる。例えば、絶縁層 81a 乃至 81k には、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。または、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜などを用いてもよい。絶縁層 81a 乃至 81k 等の上面は、必要に応じて CMP (Chemical Mechanical Polishing) 法で平坦化処理を行ってもよい。

【0169】

なお、図面に示される配線等やトランジスタ等の一部が設けられない場合や、図面に示されない配線等やトランジスタ等が各層に含まれる場合もある。

40

【0170】

画素 20 は、層 1100 および層 1200 を有することができる。

【0171】

層 1100 は、光電変換素子 PD を有することができる。光電変換素子 PD には、例えば、2 端子のフォトダイオードを用いることができる。当該フォトダイオードとしては、単結晶シリコン基板を用いた pn 型フォトダイオード、非晶質シリコン薄膜、微結晶シリコン薄膜または多結晶シリコン薄膜を用いた pin 型フォトダイオード、セレンまたはセレンの化合物、または有機化合物を用いたフォトダイオードなどを用いることができる。

【0172】

図 13 において、層 1100 が有する光電変換素子 PD は、単結晶シリコン基板を用いた

50

p n型フォトダイオードを示している。当該光電変換素子PDは、p⁺領域620、p⁻領域630、n型領域640、p⁺領域650を有する構成とすることができる。

【0173】

層1200は、画素回路を構成するOSTランジスタを有することができ、図13では、画素回路が有するランジスタ41、42、43、44を例示している。このように、光電変換素子PDと、ランジスタが重なる構成とすることができ、光電変換素子PDの受光面積を広くすることができる。

【0174】

OSTランジスタが形成される領域と、Siデバイス(SiランジスタまたはSiフォトダイオードなど)が形成される領域との間には絶縁層80が設けられる。

10

【0175】

Siデバイス近傍に設けられる絶縁層中には、シリコンのダングリングボンドを終端するため、水素を含むことが好ましい。一方で、ランジスタ41、42等の活性層である酸化半導体層の近傍に設けられる絶縁層中の水素は、酸化半導体層中にキャリアを生成する要因の一つとなる。そのため、当該水素はランジスタ41、42等の信頼性を低下させる要因となる場合がある。したがって、Siデバイスを有する一方の層と、OSTランジスタを有する他方の層を積層する場合、これらの間に水素の拡散を防止する機能を有する絶縁層80を設けることが好ましい。絶縁層80により、水素の拡散を防ぐことができるため、SiデバイスおよびOSTランジスタの両者の信頼性を向上することができる。

20

【0176】

絶縁層80としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

【0177】

光電変換素子PDの一方の電極(n型領域640)は、例えば、二つの導電体82および配線69を介してランジスタ41と電気的に接続することができる。

【0178】

ここで、導電体82は絶縁層80を貫通して設けられるため、導電体82も水素の拡散を防止する機能を有することが好ましい。例えば、図13に示すように導電体82の少なくとも貫通口の側壁と接する外側は水素に対してバリア性を有する導電体82bとし、内側は抵抗の低い導電体82aとすればよい。例えば、導電体82aにはタングステン、導電体82bには窒化タンタルなどを用いることができる。なお、導電体82を導電体82aのみで構成することもできる。また、水素などの不純物を有する層と導電体82が接しない場合は、導電体82を導電体82bのみで構成してもよい。

30

【0179】

図13は、層1200にトップゲート型のOSTランジスタを設けた構成である。例えば、OSTランジスタは、層1100上に形成された絶縁層の積層(絶縁層81a、80、81b)上に設けられ、酸化半導体層130と、ソース電極またはドレイン電極として機能する140、150と、ゲート絶縁層として機能する絶縁層160と、ゲート電極として機能する導電層170を有する。なお、絶縁層81bはゲート絶縁層としての機能を有することもできる。

40

【0180】

図13では、OSTランジスタにバックゲート電極として機能する導電層173を設けた構成を例示している。図13に示す構成では、層1100を通過した光がランジスタの電気特性を変動させることがあるため、遮光層を兼ねてバックゲート電極を設ける構成とすることが好ましい。また、バックゲートを設けることで、OSTランジスタのしきい値電圧などを制御することができる。

【0181】

また、画素20は、図14に示す積層構成とすることもできる。図14に示す画素20は

50

、基板 115 上に層 1200 および層 1100 を設けた構成である。O S トランジスタ上に光電変換素子 P D を設ける構成となるため、O S トランジスタと光電変換素子 P D の一方の電極との電氣的な接続が容易になる。

【 0 1 8 2 】

図 1 4 では、セレン系材料を光電変換層 5 6 1 に用いた形態を図示している。セレン系材料を用いた光電変換素子 P D は、可視光に対する外部量子効率が高い特性を有する。また、セレン系材料は光吸収係数が高いため、光電変換層 5 6 1 を薄くしやすい利点を有する。セレン系材料を用いた光電変換素子 P D では、アバランシェ増倍により増幅が大きい高感度のセンサとすることができる。つまり、セレン系材料を光電変換層 5 6 1 に用いることで、画素面積が縮小しても十分な光電流を得ることができる。したがって、セレン系材料を用いた光電変換素子 P D は、低照度環境における撮像にも適しているといえる。

10

【 0 1 8 3 】

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、例えば、非晶質セレンを成膜後に熱処理することで得ることができる。結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを低減させることができる。また、結晶セレンは、非晶質セレンよりも可視光に対する分光感度や光吸収係数が高い特性を有する。

【 0 1 8 4 】

図 1 4 では、光電変換層 5 6 1 は単層として図示しているが、図 1 5 (A) に示すように受光面側に正孔注入阻止層 5 6 8 として酸化ガリウム、酸化セリウムまたは $In - Ga - Zn$ 酸化物などを設けてもよい。または、図 1 5 (B) に示すように、電極 5 6 6 側に電子注入阻止層 5 6 9 として酸化ニッケルまたは硫化アンチモンなどを設けてもよい。または、図 1 5 (C) に示すように、正孔注入阻止層 5 6 8 および電子注入阻止層 5 6 9 を設ける構成としてもよい。

20

【 0 1 8 5 】

光電変換層 5 6 1 は、銅、インジウム、セレンの化合物 (C I S) を含む層であってもよい。または、銅、インジウム、ガリウム、セレンの化合物 (C I G S) を含む層であってもよい。C I S および C I G S では、セレンの単層と同様にアバランシェ増倍を利用する光電変換素子を形成することができる。

【 0 1 8 6 】

セレン系材料を用いた光電変換素子 P D は、例えば、金属材料などで形成された電極 5 6 6 と透光性導電層 5 6 2 との間に光電変換層 5 6 1 を有する構成とすることができる。また、C I S および C I G S は p 型半導体であり、接合を形成するために n 型半導体の硫化カドミウムや硫化亜鉛等を接して設けてもよい。

30

【 0 1 8 7 】

図 1 4 では透光性導電層 5 6 2 と配線 7 1 は直接接する構成としているが、図 1 5 (D) に示すように配線 5 8 8 を介して両者が接する構成としてもよい。また、図 1 4 では光電変換層 5 6 1 および透光性導電層 5 6 2 を画素回路間で分離しない構成としているが、図 1 5 (E) に示すように回路間で分離する構成としてもよい。また、画素間においては、電極 5 6 6 を有さない領域には絶縁体で隔壁 5 6 7 を設け、光電変換層 5 6 1 および透光性導電層 5 6 2 に亀裂が入らないようにすることが好ましいが、図 1 6 (A)、(B) に示すように隔壁 5 6 7 を設けない構成としてもよい。

40

【 0 1 8 8 】

また、電極 5 6 6 および配線 7 1 等は多層としてもよい。例えば、図 1 6 (C) に示すように、電極 5 6 6 を導電層 5 6 6 a および導電層 5 6 6 b の二層とし、配線 7 1 を導電層 7 1 a および導電層 7 1 b の二層とすることができる。図 1 6 (C) の構成においては、例えば、導電層 5 6 6 a および導電層 7 1 a を低抵抗の金属等を選択して形成し、導電層 5 6 6 a および導電層 7 1 a を光電変換層 5 6 1 とコンタクト特性の良い金属等を選択して形成するとよい。このような構成とすることで、光電変換素子 P D の電気特性を向上させることができる。また、一部の金属は透光性導電層 5 6 2 と接触することにより電蝕を

50

起こすことがある。そのような金属を導電層 7 1 a に用いた場合でも導電層 7 1 b を介することによって電蝕を防止することができる。

【0189】

導電層 5 6 6 b および導電層 7 1 b には、例えば、モリブデンやタングステンなどを用いることができる。また、導電層 5 6 6 a および導電層 7 1 a には、例えば、アルミニウム、チタン、またはアルミニウムをチタンで挟むような積層を用いることができる。

【0190】

また、図 1 6 (D) に示すように透光性導電層 5 6 2 と配線 7 1 は導電体 8 2 および配線 8 8 を介して接続してもよい。

【0191】

隔壁 5 6 7 は、無機絶縁体や絶縁有機樹脂などを用いて形成することができる。また、隔壁 5 6 7 は、トランジスタ等に対する遮光、および / または 1 画素あたりの受光部の面積を確定するために黒色等に着色されていてもよい。

【0192】

また、画素 2 0 は、図 1 7 に示す積層構成とすることもできる。図 1 7 に示す画素 2 0 は、図 1 4 に示す画素 2 0 と層 1 1 0 0 のみが異なり、その他の構成は同じである。

【0193】

図 1 7 において、層 1 1 0 0 が有する光電変換素子 P D は、光電変換層に非晶質シリコン膜や微結晶シリコン膜などを用いた p i n 型フォトダイオードを示している。当該光電変換素子 P D は、n 型の半導体層 5 6 5、i 型の半導体層 5 6 4、p 型の半導体層 5 6 3、電極 5 6 6、配線 7 1、配線 5 8 8 を有する構成とすることができる。

【0194】

電極 5 6 6 は、金属層 4 0 5 と電気的に接続される。また、p 型の半導体層 5 6 3 は配線 5 8 8 を介して配線 7 1 と電気的に接続される。

【0195】

i 型の半導体層 5 6 4 には非晶質シリコンを用いることが好ましい。また、p 型の半導体層 5 6 3 および n 型の半導体層 5 6 5 には、それぞれの導電型を付与するドーパントを含む非晶質シリコンまたは微結晶シリコンなどを用いることができる。非晶質シリコンを光電変換層とするフォトダイオードは可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。

【0196】

また、p i n 型の薄膜フォトダイオードの形態を有する光電変換素子 P D の構成、ならびに光電変換素子 P D および配線の接続形態は、図 1 8 (A)、(B)、(C) に示す例であってもよい。なお、光電変換素子 P D の構成、光電変換素子 P D と配線の接続形態はこれらに限定されず、他の形態であってもよい。

【0197】

図 1 8 (A) は、光電変換素子 P D の p 型の半導体層 5 6 3 と接する透光性導電層 5 6 2 を設けた構成である。透光性導電層 5 6 2 は電極として作用し、光電変換素子 P D の出力電流を高めることができる。

【0198】

透光性導電層 5 6 2 には、例えば、インジウム錫酸化物、シリコンを含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、アンチモンを含む酸化錫、グラフェンまたは酸化グラフェン等を用いることができる。また、透光性導電層 5 6 2 は単層に限らず、異なる膜の積層であってもよい。

【0199】

図 1 8 (B) は、透光性導電層 5 6 2 と配線 7 1 が導電体 8 2 および配線 5 8 8 を介して接続された構成である。なお、光電変換素子 P D の p 型の半導体層 5 6 3 と配線 7 1 が導電体 8 2 および配線 5 8 8 を介して接続された構成とすることもできる。なお、図 1 8 (B) においては、透光性導電層 5 6 2 を設けない構成とすることもできる。

10

20

30

40

50

【 0 2 0 0 】

図 1 8 (C) は、光電変換素子 P D を覆う絶縁層 8 1 e に p 型の半導体層 5 6 3 が露出する開口部が設けられ、当該開口部を覆う透光性導電層 5 6 2 と配線 7 1 が電氣的な接続を有する構成である。

【 0 2 0 1 】

上述したセレン系材料や非晶質シリコンなどを用いて形成した光電変換素子 P D は、成膜工程、リソグラフィ工程、エッチング工程などの一般的な半導体作製工程を用いて作製することができる。また、セレン系材料は高抵抗であり、図 1 4 に示すように、光電変換層 5 6 1 を回路間で分離しない構成とすることもできる。したがって、歩留りが高く、低コストで作製することができる。

10

【 0 2 0 2 】

また、画素 2 0 は、図 1 9 (A)、(B)、(C) に示すように層 1 1 0 0、層 1 2 0 0 および層 1 3 0 0 の積層構成であってもよい。図 1 9 (A) はトランジスタ 4 1、4 2、4 3、4 4 のチャンネル長方向を表す断面図である。図 1 9 (B) は図 1 9 (A) に示す一点鎖線 X 1 - X 2 の断面図であり、トランジスタ 4 1 のチャンネル幅方向の断面を表している。図 1 9 (C) は図 1 9 (A) に示す一点鎖線 Y 1 - Y 2 の断面図であり、トランジスタ 4 2 のチャンネル幅方向の断面を表している。

【 0 2 0 3 】

層 1 1 0 0 は、前述した画素 2 0 の構成と同様に光電変換素子 P D を有する構成とすることができる。図 1 9 (A) では、図 1 4 の構成と同様にセレン系の光電変換素子 P D を設けた構成を例示しているが、図 1 7 の構成と同様に p i n 型の薄膜フォトダイオードの形態を有する光電変換素子 P D を設けた構成であってもよい。

20

【 0 2 0 4 】

層 1 2 0 0 は、トランジスタ 4 1、4 2、4 5 を有する構成とすることができる。トランジスタ 4 1、4 2、4 5 としては、O S トランジスタを用いることが好ましい。なお、トランジスタ 4 5 は図示していない。

【 0 2 0 5 】

層 1 3 0 0 は、トランジスタ 4 3 およびトランジスタ 4 4 を有する構成とすることができる。トランジスタ 4 3、4 4 としては、シリコンを活性層または活性領域とするトランジスタを用いることが好ましい。シリコンを活性層または活性領域とするトランジスタはオン電流が大きく、ノード F D 2 の電位を効率良く増幅することができる。

30

【 0 2 0 6 】

なお、容量素子 C 1 は導電層 8 4 および導電層 8 5 を電極とし、絶縁層 8 3 を誘電体層とする構成で層 1 3 0 0 に設ける構成を例示しているが、層 1 2 0 0 に設けてもよい。また、容量素子 C 2 は図示していないが、層 1 2 0 0 および層 1 3 0 0 のいずれに設けてもよい。

【 0 2 0 7 】

図 1 9 (A)、(C) においてトランジスタ 4 3、4 4 はフィン型の構成を例示しているが、図 2 0 (A) に示すようにプレーナー型であってもよい。または、図 2 0 (B) に示すように、シリコン薄膜の活性層 6 6 0 を有するトランジスタであってもよい。また、活性層 6 6 0 は、多結晶シリコンや S O I (S i l i c o n o n I n s u l a t o r) の単結晶シリコンとすることができる。

40

【 0 2 0 8 】

また、層 1 1 0 0 が有する光電変換素子 P D は、図 2 1 に示すように単結晶シリコン基板を用いた p n 型フォトダイオードであってもよい。

【 0 2 0 9 】

当該構成とする場合、層 1 3 0 0 上に層 1 2 0 0 を形成したのち、別途形成した層 1 1 0 0 を貼り合わせる工法を用いることが好ましい。この場合、層 1 2 0 0 には絶縁層 8 1 i および金属層 4 0 2 a、4 0 3 a が設けられる。また、層 1 1 0 0 には絶縁層 8 1 k および金属層 4 0 2 b、4 0 3 b が設けられる。

50

【0210】

金属層402a、403aは絶縁層81hに埋設された領域を有するように設けられ、金属層402aはトランジスタ41のソースまたはドレインの一方と電氣的に接続される。また、403aは配線71と電氣的に接続される。金属層402b、403bは絶縁層81iに埋設された領域を有するように設けられ、金属層402bは光電変換素子PDのn型領域640と電氣的に接続される。また、403bはp⁺領域650を介してp⁺領域620と電氣的に接続される。

【0211】

図21に示すように、金属層402aおよび金属層402bと、金属層403aおよび金属層403bとは、それぞれが直接接触する位置に設けられ、接続部402、403を有する構成とする。

10

【0212】

ここで、金属層402aおよび金属層402bは主成分が同一の金属元素であることが好ましい。また、金属層403aおよび金属層403bは主成分が同一の金属元素であることが好ましい。また、絶縁層81iおよび絶縁層81kは、同一の成分で構成されていることが好ましい。

【0213】

例えば、金属層402a、402b、403a、403bには、Cu、Al、Sn、Zn、W、Ag、PtまたはAuなどを用いることができる。接合のしやすさから、好ましくはCu、Al、W、またはAuを用いる。また、絶縁層81iおよび絶縁層81kには、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、窒化チタンなどを用いることができる。

20

【0214】

金属層402a、402b、403a、403bのそれぞれに、上記に示す同一の金属材料を用い、絶縁層81iおよび絶縁層81kのそれぞれに、上記に示す同一の絶縁材料を用いることで、層1100と層1200で貼り合わせ工程を行うことができる。当該貼り合わせ工程によって、金属層402aおよび金属層402bの電氣的な接続、ならびに金属層403aおよび金属層403bの電氣的な接続を得ることができる。また、絶縁層81iおよび絶縁層81kの機械的な強度を有する接続を得ることができる。

【0215】

金属層同士の接合には、酸化膜や不純物の吸着層などをスパッタリングなどで除去し、清浄化および活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。または、温度と圧力を併用して表面同士を接合する拡散接合法などを用いることができる。どちらも原子レベルでの結合が起こるため、電氣的だけでなく機械的にも優れた接合を得ることができる。

30

【0216】

また、絶縁層同士の接合には、研磨などによって高い平坦性を得たのち、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

40

【0217】

層1100と、層1200を貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在するため、例えば、表面活性化接合法および親水性接合法を組み合わせて行えばよい。

【0218】

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って接合する方法などを用いることができる。また、金属層の表面をAuなどの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

【0219】

50

貼り合わせ法は、それぞれの層が有するデバイスが完成後に貼り合わせを行うため、それぞれのデバイスは最適な工程用いて作製することができる。したがって、トランジスタおよび光電変換素子の電気特性および信頼性を高めることができる。

【0220】

なお、図21の構成においては、絶縁層80に相当する層として、OストランジスタとSiトランジスタとの間に絶縁層80aが設けられる。また、OストランジスタとSiフォトダイオードとの間に絶縁層80bが設けられる。

【0221】

また、本発明の一態様の撮像装置では、層1300に形成したSiトランジスタで画素回路とは異なる回路を設けることができる。当該回路としては、例えば、回路22乃至回路29などがある。

10

【0222】

上記いずれかの回路に含まれるトランジスタ546およびトランジスタ547を図22に示す。トランジスタ546、547は光電変換素子PDと重なる領域に形成することができる。すなわち、上記回路は画素20と重なる領域に形成される。なお、図22では、トランジスタ46をp-ch型、トランジスタ47をn-ch型としたCMOSインバータを構成の例を示しているが、その他の回路構成であってもよい。

【0223】

また、図23に示すように、トランジスタ47は層1200に設けたOストランジスタであってもよい。図23に示す構成では、トランジスタ46とトランジスタ47を互いに重なる領域に貼り合わせ工程で設けることができ、回路面積を小さくすることができる。また、画素回路が有するトランジスタ43、44をp-ch型で形成する場合は、単結晶シリコン基板600に設けるトランジスタを全てp-ch型とすることもでき、n-ch型のSiトランジスタを形成する工程を省くことができる。

20

【0224】

図24は、図13に示す構成に層1400を付加した構成の断面図であり、3画素分(画素20a、20b、20c)を表している。

【0225】

層1400には、遮光層1530、光学変換層1550a、1550b、1550c、マイクロレンズアレイ1540などを設けることができる。

30

【0226】

層1400において、層1100と接する領域には絶縁層81jが形成される。絶縁層81jは、可視光に対して透光性の高い酸化シリコン膜などを用いることができる。また、パッシベーション膜として窒化シリコン膜を積層する構成としてもよい。また、反射防止膜として、酸化ハフニウムなどの誘電体膜を積層する構成としてもよい。

【0227】

絶縁層81j上には遮光層1530を設けることができる。遮光層1530は画素の境界およびその近傍に配置され、斜め方向から侵入する迷光を遮蔽する機能を有する。遮光層1530には、アルミニウム、タンゲステンなどの金属層や当該金属層と反射防止膜としての機能を有する誘電体膜を積層する構成とすることができる。

40

【0228】

絶縁層81および遮光層1530上には、光学変換層1550a、1550b、1550cを設けることができる。例えば、光学変換層1550a、1550b、1550cに、R(赤)、G(緑)、B(青)、Y(黄)、C(シアン)、M(マゼンタ)などのカラーフィルタを割り当てることにより、カラー画像を得ることができる。

【0229】

なお、光学変換層に可視光線の波長以下の光を遮るフィルタを用いれば赤外線撮像装置とすることができる。また、光学変換層に近赤外線の波長以下の光を遮るフィルタを用いれば遠赤外線撮像装置とすることができる。また、光学変換層に可視光線の波長以上の光を遮るフィルタを用いれば紫外線撮像装置とすることができる。

50

【0230】

また、光学変換層にシンチレータを用いれば、X線撮像装置などに用いる、放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したX線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線や紫外光線などの光（蛍光）に変換される。そして、当該光を光電変換素子PDで検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

【0231】

シンチレータは、X線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO を樹脂やセラミクスに分散させたものを用いることができる。

10

【0232】

光学変換層1550a、1550b、1550c上には、マイクロレンズアレイ1540を設けることができる。マイクロレンズアレイ1540が有する個々のレンズを通る光が直下の光学変換層1550a、1550b、1550cを通り、光電変換素子PDに照射されるようになる。

【0233】

本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態および他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、撮像装置に適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、撮像装置に適用しなくてもよい。例えば、本発明の一態様は、別の機能を有する半導体装置に適用してもよい。例えば、本発明の一態様として、トランジスタのチャンネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していてもよい。例えば、本発明の一態様として、グローバルシャッタ方式の場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、別の方式、例えば、ローリングシャッタ方式を用いてもよい。または、場合によっては、または、状況に応じて、グローバルシャッタ方式を用いなくてもよい。

20

30

40

【0234】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0235】

(実施の形態3)

本実施の形態では、本発明の一態様に用いることのできるOSトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

【0236】

50

図25(A)、(B)、(C)は、本発明の一態様のトランジスタ101の上面図および断面図である。図25(A)は上面図であり、図25(A)に示す一点鎖線X1-X2方向の断面が図25(B)に相当する。また、図25(A)に示す一点鎖線Y1-Y2方向の断面が図25(C)に相当する。

【0237】

なお、本実施の形態で説明する図面において、一点鎖線X1-X2方向をチャネル長方向、一点鎖線Y1-Y2方向をチャネル幅方向と呼ぶ。

【0238】

トランジスタ101は、基板115と接する絶縁層120と、絶縁層120と接する導電層173と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電氣的に接続する導電層140および導電層150と、酸化物半導体層130、導電層141および導電層151と接する絶縁層160と、絶縁層160と接する導電層170を有する。

10

【0239】

また、トランジスタ101上には、酸化物半導体層130、導電層141、導電層151、絶縁層160および導電層170と接する絶縁層180を必要に応じて設けてもよい。

【0240】

酸化物半導体層130は、一例として、酸化物半導体層130a、130b、130cの三層構造とすることができる。

【0241】

導電層140および導電層150はソース電極層またはドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

20

【0242】

また、導電層173を第2のゲート電極層(バックゲート)として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、導電層173は、遮光層としても機能させることができる。

【0243】

オン電流を増加させるには、例えば、導電層170と導電層173を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電層170とは異なる定電位を導電層173に供給すればよい。

30

【0244】

酸化物半導体層130において、導電層140および導電層150と接する領域は、ソース領域またはドレイン領域として機能することができる。

【0245】

酸化物半導体層130と導電層140および導電層150とが接することで酸化物半導体層130内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層130内に残留または外部から拡散する水素との相互作用により、当該領域は導電型がn型の低抵抗領域となる。

【0246】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場などには入れ替わることができる。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。

40

【0247】

導電層140および導電層150は、酸化物半導体層130の上面と接し、側面には接しない構成となっている。このような構成にすることにより、絶縁層120が有する酸素による酸化物半導体層130内の酸素欠損を補填しやすくなる。

【0248】

本発明の一態様のトランジスタは、図26(A)、(B)、(C)に示す構成であってもよい。図26(A)はトランジスタ102の上面図であり、図26(A)に示す一点鎖線

50

X1 - X2方向の断面が図26(B)に相当する。また、図26(A)に示す一点鎖線Y1 - Y2方向の断面が図26(C)に相当する。

【0249】

トランジスタ102は、導電層140および導電層150が絶縁層120と接している点、および導電層140および導電層150が酸化物半導体層130の側面と接している点を除き、トランジスタ101と同様の構成を有する。

【0250】

また、本発明の一態様のトランジスタは、図27(A)、(B)、(C)に示す構成であってもよい。図27(A)はトランジスタ103の上面図であり、図27(A)に示す一点鎖線X1 - X2方向の断面が図27(B)に相当する。また、図27(A)に示す一点鎖線Y1 - Y2方向の断面が図27(C)に相当する。

10

【0251】

トランジスタ103は、酸化物半導体層130a、130b、導電層140および導電層150が酸化物半導体層130cおよび絶縁層160で覆われている点を除き、トランジスタ101と同様の構成を有する。

【0252】

酸化物半導体層130cで酸化物半導体層130a、130bを覆うことで、酸化物半導体層130a、130bおよび絶縁層120に対する酸素の補填効果を高めることができる。また、酸化物半導体層130cが介在することにより、絶縁層180による導電層140および導電層150の酸化を抑制することができる。

20

【0253】

また、本発明の一態様のトランジスタは、図28(A)、(B)、(C)に示す構成であってもよい。図28(A)はトランジスタ104の上面図であり、図28(A)に示す一点鎖線X1 - X2方向の断面が図28(B)に相当する。また、図28(A)に示す一点鎖線Y1 - Y2方向の断面が図28(C)に相当する。

【0254】

トランジスタ104は、酸化物半導体層130a、130b、導電層140および導電層150が酸化物半導体層130cで覆われている点、導電層170が絶縁層210で覆われている点を除き、トランジスタ101と同様の構成を有する。

【0255】

絶縁層210には、酸素に対するブロッキング性を有する材料を用いることができる。絶縁層210としては、例えば酸化アルミニウム等の金属酸化物を用いることができる。絶縁層210が介在することにより、絶縁層180による導電層170の酸化を抑制することができる。

30

【0256】

トランジスタ101乃至104は、導電層170と導電層140および導電層150が重なる領域を有するトップゲート構造である。当該領域のチャネル長方向の幅は、寄生容量を小さくするために3nm以上300nm未満とすることが好ましい。当該構成では、酸化物半導体層130にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

40

【0257】

本発明の一態様のトランジスタは、図29(A)、(B)、(C)に示す構成であってもよい。図29(A)はトランジスタ105の上面図であり、図29(A)に示す一点鎖線X1 - X2方向の断面が図29(B)に相当する。また、図29(A)に示す一点鎖線Y1 - Y2方向の断面が図29(C)に相当する。

【0258】

トランジスタ105は、基板115と接する絶縁層120と、絶縁層120と接する導電層173と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と接する絶縁層160と、絶縁層160と接する導電層170を有する。

【0259】

50

また、層間絶縁膜として機能する絶縁層180には、酸化物半導体層130の領域231と接する導電体200と、酸化物半導体層130の領域232と接する導電体201が設けられる。導電体200および導電体201は、ソース電極層の一部またはドレイン電極層の一部として機能することができる。

【0260】

トランジスタ105における領域231および領域232には、酸素欠損を形成し導電率を高めるための不純物を添加することが好ましい。酸化物半導体層に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

10

【0261】

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

【0262】

不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。ここでは、導電体化された酸化物半導体を酸化物導電体という。

20

【0263】

トランジスタ105は、導電層170と導電層140および導電層150が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

【0264】

本発明の一態様のトランジスタは、図30(A)、(B)、(C)に示す構成であってもよい。図30(A)はトランジスタ106の上面図であり、図30(A)に示す一点鎖線X1-X2方向の断面が図30(B)に相当する。また、図30(A)に示す一点鎖線Y1-Y2方向の断面が図30(C)に相当する。

30

【0265】

トランジスタ106は、基板115と、基板115上の絶縁層120と、絶縁層120と接する導電層173と、絶縁層120上の酸化物半導体層130(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)と、酸化物半導体層130に接し、間隔を開けて配置された導電層140および導電層150と、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170を有する。

【0266】

なお、酸化物半導体層130、絶縁層160および導電層170は、トランジスタ106上の絶縁層180に設けられた酸化物半導体層130a、酸化物半導体層130bおよび絶縁層120に達する開口部に設けられている。

40

【0267】

本発明の一態様のトランジスタは、図31(A)、(B)、(C)に示す構成であってもよい。図31(A)はトランジスタ107の上面図であり、図31(A)に示す一点鎖線X1-X2方向の断面が図31(B)に相当する。また、図31(A)に示す一点鎖線Y1-Y2方向の断面が図31(C)に相当する。

【0268】

トランジスタ107は、酸化物半導体層130a、130b、導電層140および導電層150が酸化物半導体層130cおよび酸化物半導体層130dで覆われている点を除き、トランジスタ106と同様の構成を有する。酸化物半導体層130dは酸化物半導体層

50

130cと同じ材料で形成することができる。

【0269】

酸化物半導体層130c、130dで酸化物半導体層130a、130bを覆うことで、酸化物半導体層130a、130bおよび絶縁層120に対する酸素の補填効果を高めることができる。また、酸化物半導体層130dが介在することにより、絶縁層180による導電層140および導電層150の酸化を抑制することができる。

【0270】

トランジスタ106、107の構成は、ソースまたはドレインとなる導電体とゲート電極となる導電体の重なる領域が少ないため、寄生容量を小さくすることができる。したがって、トランジスタ106、107は、高速動作を必要とする回路の要素として適している。

10

【0271】

また、本発明の一態様のトランジスタは、図32(A)に示すように、酸化物半導体層130を単層で形成してもよい。また、図32(B)に示すように、酸化物半導体層130を2層で形成してもよい。

【0272】

また、本発明の一態様のトランジスタは、図32(C)に示すように、導電層173を有さない構成であってもよい。

【0273】

また、本発明の一態様のトランジスタにおいて、導電層170と導電層173を電氣的に接続するには、例えば、図32(D)に示すように、絶縁層120、酸化物半導体層130cおよび絶縁層160に導電層173に達する開口部を設け、当該開口部を覆うように導電層170を形成すればよい。

20

【0274】

また、本発明の一態様のトランジスタは、図32(E)に示すように導電層140および導電層150のそれぞれと接する絶縁層145および絶縁層155を設けてもよい。絶縁層145および絶縁層155により導電層140および導電層150の酸化を抑制することができる。

【0275】

絶縁層145および絶縁層155としては、酸素に対するブロッキング性を有する材料を用いることができる。例えば、絶縁層145および絶縁層155として、酸化アルミニウム等の金属酸化物を用いることができる。

30

【0276】

また、本発明の一態様のトランジスタは、図32(F)に示すように、導電層170を導電層171および導電層172の積層で形成してもよい。

【0277】

また、酸化物半導体層130上に導電層140、150が設けられる本発明の一態様のトランジスタにおいては、図32(G)、(H)に示す上面図(酸化物半導体層130、導電層140および導電層150のみを図示)のように酸化物半導体層130の幅(W_{OS})よりも導電層140および導電層150の幅(W_{SD})が短く形成されていてもよい。 $W_{OS} > W_{SD}$ (W_{SD} は W_{OS} 以下)とすることで、ゲート電界がチャネル形成領域全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。

40

【0278】

なお、図32(A)乃至(F)では、トランジスタ101の変形例として例示したが、当該変形例は本実施の形態で説明したその他のトランジスタにも適用可能である。

【0279】

本発明の一態様のトランジスタでは、いずれの構成においても、ゲート電極層である導電層170(および導電層173)が絶縁層を介して酸化物半導体層130のチャネル幅方向を電氣的に取り囲む構成である。このような構成ではオン電流を高めることができ、*surrounded channel (s-channel)*構造とよぶ。

50

【0280】

酸化物半導体層130aおよび酸化物半導体層130bを有するトランジスタ、ならびに酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを有するトランジスタにおいては、酸化物半導体層130を構成する二層または三層の材料を適切に選択することで酸化物半導体層130bに電流を流すことができる。酸化物半導体層130bに電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。

【0281】

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

10

【0282】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0283】

(実施の形態4)

本実施の形態では、実施の形態2に示したトランジスタの構成要素について詳細を説明する。

【0284】

基板115には、ガラス基板、石英基板、半導体基板、セラミックス基板、表面が絶縁処理された金属基板などを用いることができる。または、トランジスタやフォトダイオードが形成されたシリコン基板、および当該シリコン基板上に絶縁層、配線、コンタクトプラグとして機能を有する導電体等が形成されたものを用いることができる。なお、シリコン基板にp-ch型のトランジスタを形成する場合は、n⁻型の導電性を有するシリコン基板を用いることが好ましい。または、n⁻型またはi型のシリコン層を有するSOI基板であってもよい。また、シリコン基板に設けるトランジスタがp-ch型である場合は、トランジスタを形成する面の面方位は、(110)面であるシリコン基板を用いることが好ましい。(110)面にp-ch型トランジスタを形成することで、移動度を高くすることができる。

20

【0285】

絶縁層120は、基板115に含まれる要素からの不純物の拡散を防止する役割を有するほか、酸化物半導体層130に酸素を供給する役割を担うことができる。したがって、絶縁層120は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、膜の表面温度が100以上700以下、好ましくは100以上500以下の加熱処理で行われるTDS法にて、酸素原子に換算した酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。また、基板115が他のデバイスが形成された基板である場合、絶縁層120は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるようにCMP法等で平坦化処理を行うことが好ましい。

30

【0286】

バックゲート電極層として作用する導電層173には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。

40

【0287】

例えば、絶縁層120には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であ

50

ってもよい。

【0288】

酸化物半導体層130は、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを絶縁層120側から順に積んだ三層構造とすることができる。

【0289】

なお、酸化物半導体層130が単層の場合は、本実施の形態に示す、酸化物半導体層130bに相当する層を用いればよい。

【0290】

酸化物半導体層130が二層の場合は、酸化物半導体層130aに相当する層および酸化物半導体層130bに相当する層を絶縁層120側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体層130aと酸化物半導体層130bとを入れ替えることもできる。

10

【0291】

一例としては、酸化物半導体層130bには、酸化物半導体層130aおよび酸化物半導体層130cよりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。

【0292】

このような構造において、導電層170に電圧を印加すると、酸化物半導体層130のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層130bにチャネルが形成される。したがって、酸化物半導体層130bは半導体として機能する領域を有するといえるが、酸化物半導体層130aおよび酸化物半導体層130cは絶縁体または半絶縁体として機能する領域を有するともいえる。

20

【0293】

酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cとして用いることのできる酸化物半導体は、少なくともInもしくはZnを含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、Al、Ga、Y、またはSn等のスタビライザーを含むことが好ましい。

【0294】

例えば、酸化物半導体層130aおよび酸化物半導体層130cにはIn : Ga : Zn = 1 : 3 : 2、1 : 3 : 3、1 : 3 : 4、1 : 3 : 6、1 : 4 : 5、1 : 6 : 4または1 : 9 : 6（原子数比）、およびその近傍の原子数比を有するIn - Ga - Zn酸化物などを用いることができる。また、酸化物半導体層130bにはIn : Ga : Zn = 1 : 1 : 1、2 : 1 : 3、5 : 5 : 6、3 : 1 : 2、3 : 1 : 4、5 : 1 : 6、または4 : 2 : 3（原子数比）およびその近傍の原子数比を有するIn - Ga - Zn酸化物などを用いることができる。

30

【0295】

酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cには、結晶部が含まれていてもよい。例えばc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

40

【0296】

ソース電極層として作用する導電層140およびドレイン電極層として作用する導電層150には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金または導電性窒化物から選ばれた材料の単層、あるいは積層を用いることができる。なお、導電性窒化物である窒化タンタルを用いることで酸化を防止することができる。また、低抵抗のCuやCu - Mnなどの合金と上記材料との積層を用いてもよい。

【0297】

上記材料は酸化物半導体膜から酸素を引き抜く性質を有する。そのため、上記材料と接し

50

た酸化物半導体膜の一部の領域では酸化物半導体層中の酸素が脱離し、酸素欠損が形成される。膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0298】

ゲート絶縁膜として作用する絶縁層160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層160は上記材料の積層であってもよい。

10

【0299】

また、酸化物半導体層130と接する絶縁層120および絶縁層160は、窒素酸化物の放出量の少ない膜を用いることが好ましい。窒素酸化物の放出量の多い絶縁層と酸化物半導体が接した場合、窒素酸化物に起因する準位密度が高くなることもある。

【0300】

絶縁層120および絶縁層160として、上記絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0301】

ゲート電極層として作用する導電層170には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnなどの合金や上記材料とCuまたはCu-Mnなどの合金との積層を用いてもよい。例えば、導電層171に窒化チタン、導電層172にタングステンをを用いて導電層170を形成することができる。

20

【0302】

また、導電層170にはIn-Ga-Zn酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどの酸化物導電層を用いてもよい。絶縁層160と接するように酸化物導電層を設けることで、当該酸化物導電層から酸化物半導体層130に酸素を供給することができる。

30

【0303】

絶縁層180には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

【0304】

ここで、絶縁層180は絶縁層120と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層180から放出される酸素は絶縁層160を經由して酸化物半導体層130のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

40

【0305】

また、トランジスタ上または絶縁層180上には、不純物をブロッキングする効果を有する膜を設けることが好ましい。当該ブロッキング膜には窒化シリコン膜、窒化アルミニウム膜または酸化アルミニウム膜などを用いることができる。

【0306】

窒化絶縁膜は水分などをブロッキングする機能を有し、トランジスタの信頼性を向上させ

50

ることができる。また、酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、水素、水分などの不純物の酸化物半導体層 130 への混入防止、酸素の酸化物半導体層からの放出防止、絶縁層 120 からの酸素の不必要な放出を防止する効果を有する保護膜として適している。

【0307】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性は悪化する傾向にあり、例えばチャネル幅を縮小させるとオン電流は低下してしまう。

【0308】

本発明の一態様のトランジスタでは、チャネルが形成される酸化物半導体層 130b を酸化物半導体層 130c で覆う構成とすることができる。当該構成では、チャネル形成層とゲート絶縁膜が接しないため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

【0309】

本発明の一態様のトランジスタでは、前述したように酸化物半導体層 130 のチャネル幅方向を電气的に取り囲むようにゲート電極層（導電層 170）が形成されているため、酸化物半導体層 130 に対しては上面に垂直な方向からのゲート電界に加えて、側面に垂直な方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

【0310】

本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマ CVD 法により形成することができるが、他の方法、例えば、熱 CVD 法により形成してもよい。熱 CVD 法の例としては、MOCVD (Metal Organic Chemical Vapor Deposition) 法や ALD (Atomic Layer Deposition) 法などがある。

【0311】

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0312】

また、熱 CVD 法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0313】

ALD 法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスをチャンバーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。例えば 2 種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第 1 の原料ガスの反応後、不活性ガスを導入し、第 2 の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第 1 の原料ガスを排出した後、第 2 の原料ガスを導入してもよい。第 1 の原料ガスが基板の表面に吸着・反応して第 1 の層を成膜し、後から導入される第 2 の原料ガスが吸着・反応して、第 2 の層が第 1 の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入の繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細な FET を作製する場合に適している。

【0314】

また、酸化物半導体層の成膜には、対向ターゲット式スパッタ装置を用いることもできる。当該対向ターゲット式スパッタ装置を用いた成膜法を、VDS P (vapor dep

10

20

30

40

50

osition SP)と呼ぶこともできる。

【0315】

対向ターゲット式スパッタ装置を用いて酸化物半導体層を成膜することによって、酸化物半導体層の成膜時におけるプラズマ損傷を低減することができる。そのため、膜中の酸素欠損を低減することができる。また、対向ターゲット式スパッタ装置を用いることで低圧での成膜が可能となるため、成膜された酸化物半導体層中の不純物濃度（例えば水素、希ガス（アルゴンなど）、水など）を低減させることができる。

【0316】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

10

【0317】

（実施の形態5）

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体の材料について説明する。

【0318】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、元素Mとしてアルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、元素Mとしては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

20

【0319】

ここで、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する場合を考える。

【0320】

まず、図33(A)、図33(B)、および図33(C)を用いて、本発明に係る酸化物半導体が有するインジウム、元素Mおよび亜鉛の原子数比の好ましい範囲について説明する。なお、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、および亜鉛の原子数比のそれぞれの項を[In]、[M]、および[Zn]とする。

【0321】

図33(A)、図33(B)、および図33(C)において、破線は、[In] : [M] : [Zn] = (1 +) : (1 -) : 1の原子数比(- 1)となるライン、[In] : [M] : [Zn] = (1 +) : (1 -) : 2の原子数比となるライン、[In] : [M] : [Zn] = (1 +) : (1 -) : 3の原子数比となるライン、[In] : [M] : [Zn] = (1 +) : (1 -) : 4の原子数比となるライン、および[In] : [M] : [Zn] = (1 +) : (1 -) : 5の原子数比となるラインを表す。

30

【0322】

また、一点鎖線は、[In] : [M] : [Zn] = 1 : 1 : の原子数比(0)となるライン、[In] : [M] : [Zn] = 1 : 2 : の原子数比となるライン、[In] : [M] : [Zn] = 1 : 3 : の原子数比となるライン、[In] : [M] : [Zn] = 1 : 4 : の原子数比となるライン、[In] : [M] : [Zn] = 2 : 1 : の原子数比となるライン、および[In] : [M] : [Zn] = 5 : 1 : の原子数比となるラインを表す。

40

【0323】

また、図33に示す、[In] : [M] : [Zn] = 0 : 2 : 1の原子数比またはその近傍値の酸化物半導体は、スピネル型の結晶構造をとりやすい。

【0324】

図33(A)および図33(B)では、本発明の一態様の酸化物半導体が有する、インジウム、元素M、および亜鉛の原子数比の好ましい範囲の一例について示している。

50

【0325】

一例として、図34に、 $[In] : [M] : [Zn] = 1 : 1 : 1$ である、 $InMZnO_4$ の結晶構造を示す。また、図34は、b軸に平行な方向から観察した場合の $InMZnO_4$ の結晶構造である。なお、図34に示すM、Zn、酸素を有する層（以下、(M, Zn)層）における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。

【0326】

$InMZnO_4$ は、層状の結晶構造（層状構造ともいう）をとり、52に示すように、インジウム、および酸素を有する層（以下、In層）が1に対し、元素M、亜鉛、および酸素を有する(M, Zn)層が2となる。

10

【0327】

また、インジウムと元素Mは、互いに置換可能である。そのため、(M, Zn)層の元素Mがインジウムと置換し、(In, M, Zn)層と表すこともできる。その場合、In層が1に対し、(In, M, Zn)層が2である層状構造をとる。

【0328】

$[In] : [M] : [Zn] = 1 : 1 : 2$ となる原子数比の酸化物半導体は、In層が1に対し、(M, Zn)層が3である層状構造をとる。つまり、[In]および[M]に対し[Zn]が大きくなると、酸化物半導体が結晶化した場合、In層に対する(M, Zn)層の割合が増加する。

20

【0329】

ただし、酸化物半導体中において、In層が1層に対し、(M, Zn)層がの層数が非整数である場合、In層が1層に対し、(M, Zn)層の層数が整数である層状構造を複数種有する場合がある。例えば、 $[In] : [M] : [Zn] = 1 : 1 : 1.5$ である場合、In層が1に対し、(M, Zn)層が2である層状構造と、(M, Zn)層が3である層状構造とが混在する層状構造となる場合がある。

【0330】

例えば、酸化物半導体をスパッタ装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの[Zn]よりも、膜の[Zn]が小さくなる場合がある。

30

【0331】

また、酸化物半導体中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、 $[In] : [M] : [Zn] = 1 : 0 : 0$ を示す原子数比の近傍値である原子数比では、ピクスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

【0332】

また、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素Mおよび亜鉛を有する酸化物半導体では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなるためである。

40

【0333】

一方、酸化物半導体中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。したがって、 $[In] : [M] : [Zn] = 0 : 1 : 0$ を示す原子数比、およびその近傍値である原子数比（例えば図33(C)に示す領域C）では、絶縁性が高くなる。

50

【0334】

したがって、本発明の一態様の酸化物半導体は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図33(A)の領域Aで示される原子数比を有することが好ましい。

【0335】

また、図33(B)に示す領域Bは、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から4.1、おおびその近傍値を示している。近傍値には、例えば、原子数比が $[In] : [M] : [Zn] = 5 : 3 : 4$ が含まれる。領域Bで示される原子数比を有する酸化物半導体は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体である。

【0336】

なお、酸化物半導体が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。したがって、図示する領域は、酸化物半導体が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

【0337】

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0338】

なお、上記酸化物半導体をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0339】

また、トランジスタのしきい値電圧のマイナスシフトの抑制、またはトランジスタのオフ電流の低減を目的とする場合においては、酸化物半導体のキャリア密度を低くする方が好ましい。酸化物半導体のキャリア密度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。高純度真性の酸化物半導体のキャリア密度としては、 $8 \times 10^{15} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

【0340】

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体のキャリア密度を高くする方が好ましい。酸化物半導体のキャリア密度を高くする場合においては、酸化物半導体の不純物濃度をわずかに高める、または酸化物半導体の欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体のバンドギャップをより小さくするとよい。例えば、トランジスタの $I_d - V_g$ 特性のオン/オフ比が取れる範囲において、不純物濃度がわずかに高い、または欠陥準位密度がわずかに高い酸化物半導体は、実質的に真性とみなせる。また、電子親和力が大きく、それともなってバンドギャップが小さくなり、その結果、熱励起された電子(キャリア)の密度が増加した酸化物半導体は、実質的に真性とみなせる。なお、より電子親和力が大きな酸化物半導体を用いた場合には、トランジスタのしきい値電圧がより低くなる。

【0341】

上述のキャリア密度が高められた酸化物半導体は、わずかにn型化している。したがって、キャリア密度が高められた酸化物半導体を、「Slightly-n」と呼称してもよい。

【0342】

実質的に真性の酸化物半導体のキャリア密度は、 $1 \times 10^5 \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 未満が好ましく、 $1 \times 10^7 \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下がより好ましく、 $1 \times 10^9 \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 1×10^{10}

10

20

30

40

50

cm^{-3} 以上 $1 \times 10^{16} \text{cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{11} \text{cm}^{-3}$ 以上 $1 \times 10^{15} \text{cm}^{-3}$ 以下がさらに好ましい。

【0343】

また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低い
ため、トラップ準位密度も低くなる場合がある。酸化物半導体のトラップ準位に捕獲され
た電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うこと
がある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるト
ランジスタは、電気特性が不安定となる場合がある。

【0344】

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃
度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するため
には、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、
アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0345】

ここで、酸化物半導体中における各不純物の影響について説明する。

【0346】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物
半導体において欠陥準位が形成される。このため、酸化物半導体または酸化物半導体と接
する層との界面近傍においては、シリコンや炭素の濃度（二次イオン質量分析法（SIMS：
Secondary Ion Mass Spectrometry）により得られる濃度）が、 $2 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは
 $2 \times 10^{17} \text{atoms/cm}^3$ 以下となる領域を有するように制御する。

【0347】

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形
成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金
属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい
。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減する
ことが好ましい。具体的には、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃
度（SIMS分析により得られる濃度）が、 $1 \times 10^{18} \text{atoms/cm}^3$ 以下、好ま
しくは $2 \times 10^{16} \text{atoms/cm}^3$ 以下となる領域を有するように制御する。

【0348】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア
密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に
用いたトランジスタはノーマリーオン特性となりやすい。したがって、該酸化物半導体
において、窒素はできる限り低減されていることが好ましい、具体的には、酸化物半導体
中の窒素濃度（SIMS分析により得られる濃度）が、 $5 \times 10^{19} \text{atoms/cm}^3$ 未
満、好ましくは $5 \times 10^{18} \text{atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{at
oms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{atoms/cm}^3$ 以下となる領域
を有するように制御する。

【0349】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため
、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子
が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャ
リアである電子を生成することがある。したがって、水素が含まれている酸化物半導体
を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体
中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体
中の水素濃度（SIMS分析により得られる濃度）が、 $1 \times 10^{20} \text{atoms/cm}^3$ 未
満、好ましくは $1 \times 10^{19} \text{atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{atoms/cm}^3$
未満、さらに好ましくは $1 \times 10^{18} \text{atoms/cm}^3$ 未満となる領域を有するよ
うに制御する。

10

20

30

40

50

【0350】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、トランジスタのチャネル幅あたりのオフ電流を数y A / μm乃至数z A / μmにまで低減することが可能となる。

【0351】

続いて、該酸化物半導体を2層構造、または3層構造とした場合について述べる。酸化物半導体S1、酸化物半導体S2、および酸化物半導体S3の積層構造に接する絶縁体のバンド図と、酸化物半導体S2および酸化物半導体S3の積層構造に接する絶縁体のバンド図と、について、図35を用いて説明する。なお、酸化物半導体S1は酸化物半導体層130a、酸化物半導体S2は酸化物半導体層130b、酸化物半導体S3は酸化物半導体層130cに相当する。

10

【0352】

図35(A)は、絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、および絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図35(B)は、絶縁体I1、酸化物半導体S2、酸化物半導体S3、および絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、および絶縁体I2の伝導帯下端のエネルギー準位(Ec)を示す。

20

【0353】

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体S2の伝導帯下端のエネルギー準位と、酸化物半導体S1、酸化物半導体S3の伝導帯下端のエネルギー準位との差が、0.15eV以上、または0.5eV以上、かつ2eV以下、または1eV以下であることが好ましい。すなわち、酸化物半導体S1、酸化物半導体S3の電子親和力よりも、酸化物半導体S2の電子親和力が大きく、酸化物半導体S1、酸化物半導体S3の電子親和力と、酸化物半導体S2の電子親和力との差は、0.15eV以上、または0.5eV以上、かつ2eV以下、または1eV以下であることが好ましい。

30

【0354】

図35(A)、および図35(B)に示すように、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物半導体S1と酸化物半導体S2との界面、または酸化物半導体S2と酸化物半導体S3との界面において形成される混合層の欠陥準位密度を低くするとよい。

【0355】

具体的には、酸化物半導体S1と酸化物半導体S2、酸化物半導体S2と酸化物半導体S3が、酸素以外に共通の元素を有する(主成分とする)ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物半導体S2がIn-Ga-Zn酸化物半導体の場合、酸化物半導体S1、酸化物半導体S3として、In-Ga-Zn酸化物半導体、Ga-Zn酸化物半導体、酸化ガリウムなどを用いるとよい。

40

【0356】

このとき、キャリアの主たる経路は酸化物半導体S2となる。酸化物半導体S1と酸化物半導体S2との界面、および酸化物半導体S2と酸化物半導体S3との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0357】

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うた

50

め、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物半導体 S 1、酸化物半導体 S 3 を設けることにより、トラップ準位を酸化物半導体 S 2 より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

【 0 3 5 8 】

酸化物半導体 S 1、酸化物半導体 S 3 は、酸化物半導体 S 2 と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体 S 2、酸化物半導体 S 2 と酸化物半導体 S 1 との界面、および酸化物半導体 S 2 と酸化物半導体 S 3 との界面が、主にチャネル領域として機能する。例えば、酸化物半導体 S 1、酸化物半導体 S 3 には、図 3 3 (C) において、絶縁性が高くなる領域 C で示す原子数比の酸化物半導体を用いればよい。

10

【 0 3 5 9 】

特に、酸化物半導体 S 2 に領域 A で示される原子数比の酸化物半導体を用いる場合、酸化物半導体 S 1 および酸化物半導体 S 3 には、 $[M] / [In]$ が 1 以上、好ましくは 2 以上となる原子数比の酸化物半導体を用いることが好ましい。また、酸化物半導体 S 3 として、十分に高い絶縁性を得ることができる $[M] / ([Zn] + [In])$ が 1 以上となるような原子数比の酸化物半導体を用いることが好適である。

【 0 3 6 0 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【 0 3 6 1 】

(実施の形態 6)

本実施の形態では、イメージセンサチップを収めたパッケージおよびカメラモジュールの一例について説明する。当該イメージセンサチップには、本発明の一態様の撮像装置の構成を用いることができる。

20

【 0 3 6 2 】

図 3 6 (A) は、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ 8 5 0 を固定するパッケージ基板 8 1 0、カバーガラス 8 2 0 および両者を接着する接着剤 8 3 0 等を有する。

【 0 3 6 3 】

図 3 6 (B) は、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ 8 4 0 とした BGA (Ball grid array) の構成を有する。なお、BGA に限らず、LGA (Land grid array) や PGA (Pin Grid Array) などであってもよい。

30

【 0 3 6 4 】

図 3 6 (C) は、カバーガラス 8 2 0 および接着剤 8 3 0 の一部を省いて図示したパッケージの斜視図であり、図 3 6 (D) は、当該パッケージの断面図である。パッケージ基板 8 1 0 上には電極パッド 8 6 0 が形成され、電極パッド 8 6 0 およびバンプ 8 4 0 はスルーホール 8 8 0 およびランド 8 8 5 を介して電氣的に接続されている。電極パッド 8 6 0 は、イメージセンサチップ 8 5 0 が有する電極とワイヤ 8 7 0 によって電氣的に接続されている。

40

【 0 3 6 5 】

また、図 3 7 (A) は、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ 8 5 1 を固定するパッケージ基板 8 1 1、レンズカバー 8 2 1、およびレンズ 8 3 5 等を有する。また、パッケージ基板 8 1 1 およびイメージセンサチップ 8 5 1 の間には撮像装置の駆動回路および信号変換回路などの機能を有する IC チップ 8 9 0 も設けられており、SiP (System in package) としての構成を有している。

【 0 3 6 6 】

図 3 7 (B) は、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板 8 1 1 の下面および 4 側面には、実装用のランド 8 4 1 が設けられる QFN (Quad f

50

lat no - lead package)の構成を有する。なお、当該構成は一例であり、QFP(Quad flat package)や前述したBGA等であってもよい。

【0367】

図37(C)は、レンズカバー821およびレンズ835の一部を省いて図示したモジュールの斜視図であり、図37(D)は、当該カメラモジュールの断面図である。ランド841の一部は電極パッド861として利用され、電極パッド861はイメージセンサチップ851およびICチップ890が有する電極とワイヤ871によって電氣的に接続されている。

【0368】

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

【0369】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0370】

(実施の形態7)

本発明の一態様に係る撮像装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図38に示す。

【0371】

図38(A)は監視カメラであり、筐体951、レンズ952、支持部953等を有する。当該監視カメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、またはビデオカメラとも呼ばれる。

【0372】

図38(B)はビデオカメラであり、第1筐体971、第2筐体972、表示部973、操作キー974、レンズ975、接続部976等を有する。操作キー974およびレンズ975は第1筐体971に設けられており、表示部973は第2筐体972に設けられている。当該ビデオカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0373】

図38(C)はデジタルカメラであり、筐体961、シャッターボタン962、マイク963、発光部967、レンズ965等を有する。当該デジタルカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0374】

図38(D)は腕時計型の情報端末であり、筐体931、表示部932、リストバンド933、操作用のボタン935、竜頭936、カメラ939等を有する。表示部932はタッチパネルとなっていてよい。当該情報端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0375】

図38(E)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイク905、スピーカー906、操作キー907、スタイラス908、カメラ909等を有する。なお、図38(E)に示した携帯型ゲーム機は、2つの表示部903

10

20

30

40

50

と表示部 9 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。当該携帯型ゲーム機における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【 0 3 7 6 】

図 3 8 (F) は携帯データ端末であり、筐体 9 1 1、表示部 9 1 2、カメラ 9 1 9 等を有する。表示部 9 1 2 が有するタッチパネル機能により情報の入出力を行うことができる。当該携帯データ端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【 0 3 7 7 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

10

【符号の説明】

【 0 3 7 8 】

2 0	画素	
2 0 a	画素	
2 0 b	画素	
2 0 c	画素	
2 1	画素アレイ	
2 2	回路	
2 3	回路	20
2 4	回路	
2 5	回路	
2 6	回路	
2 7	回路	
2 8	回路	
2 9	回路	
3 1	コンパレータ回路	
3 2	コンパレータ回路	
3 3	N A N D 回路	
3 4	N A N D 回路	30
3 5	N O R 回路	
3 6	インバータ回路	
3 7	レベルシフト回路	
4 1	トランジスタ	
4 2	トランジスタ	
4 3	トランジスタ	
4 4	トランジスタ	
4 5	トランジスタ	
4 6	トランジスタ	
4 7	トランジスタ	40
5 1	トランジスタ	
5 2	トランジスタ	
5 3	トランジスタ	
5 4	トランジスタ	
5 5	トランジスタ	
5 6	トランジスタ	
5 7	トランジスタ	
5 8	トランジスタ	
5 9	トランジスタ	
6 0	トランジスタ	50

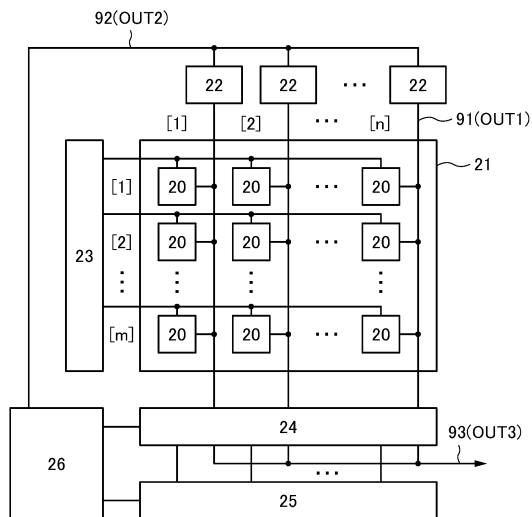
6 1	配線	
6 2	配線	
6 3	配線	
6 5	配線	
6 6	配線	
6 9	配線	
7 1	配線	
7 1 a	導電層	
7 1 b	導電層	
7 2	配線	10
7 3	配線	
7 4	配線	
7 5	配線	
7 9	配線	
8 0	絶縁層	
8 0 a	絶縁層	
8 0 b	絶縁層	
8 1	絶縁層	
8 1 a	絶縁層	
8 1 b	絶縁層	20
8 1 e	絶縁層	
8 1 h	絶縁層	
8 1 i	絶縁層	
8 1 j	絶縁層	
8 1 k	絶縁層	
8 2	導電体	
8 2 a	導電体	
8 2 b	導電体	
8 3	絶縁層	
8 4	導電層	30
8 5	導電層	
8 8	配線	
9 0	配線	
9 1	配線	
9 2	配線	
9 3	配線	
9 4	配線	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	40
1 0 4	トランジスタ	
1 0 5	トランジスタ	
1 0 6	トランジスタ	
1 0 7	トランジスタ	
1 1 5	基板	
1 2 0	絶縁層	
1 3 0	酸化物半導体層	
1 3 0 a	酸化物半導体層	
1 3 0 b	酸化物半導体層	
1 3 0 c	酸化物半導体層	50

1 3 0 d	酸化物半導体層	
1 4 0	導電層	
1 4 1	導電層	
1 4 5	絶縁層	
1 5 0	導電層	
1 5 1	導電層	
1 5 5	絶縁層	
1 6 0	絶縁層	
1 7 0	導電層	
1 7 1	導電層	10
1 7 2	導電層	
1 7 3	導電層	
1 8 0	絶縁層	
2 0 0	導電体	
2 0 1	導電体	
2 1 0	絶縁層	
2 3 1	領域	
2 3 2	領域	
4 0 2	接続部	
4 0 2 a	金属層	20
4 0 2 b	金属層	
4 0 3	接続部	
4 0 3 a	金属層	
4 0 3 b	金属層	
4 0 5	金属層	
4 4 3	トランジスタ	
5 4 6	トランジスタ	
5 4 7	トランジスタ	
5 6 1	光電変換層	
5 6 2	透光性導電層	30
5 6 3	半導体層	
5 6 4	半導体層	
5 6 5	半導体層	
5 6 6	電極	
5 6 6 a	導電層	
5 6 6 b	導電層	
5 6 7	隔壁	
5 6 8	正孔注入阻止層	
5 6 9	電子注入阻止層	
5 8 8	配線	40
6 0 0	単結晶シリコン基板	
6 2 0	p + 領域	
6 3 0	p - 領域	
6 4 0	n 型領域	
6 5 0	p + 領域	
6 6 0	活性層	
7 1 0	配線	
7 1 1	配線	
7 1 2	配線	
7 1 3	配線	50

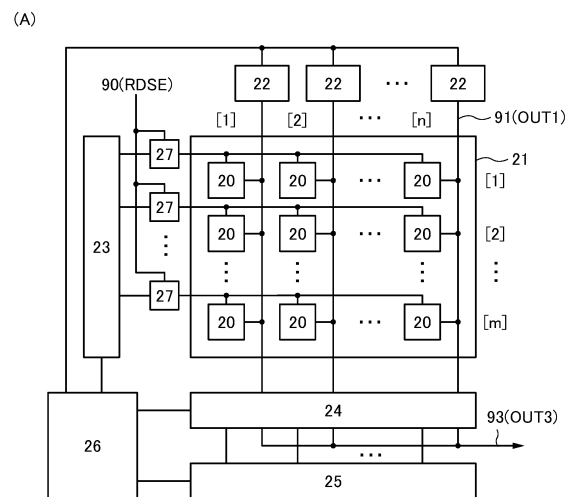
8 1 0	パッケージ基板	
8 1 1	パッケージ基板	
8 2 0	カバーガラス	
8 2 1	レンズカバー	
8 3 0	接着剤	
8 3 5	レンズ	
8 4 0	バンプ	
8 4 1	ランド	
8 5 0	イメージセンサチップ	
8 5 1	イメージセンサチップ	10
8 6 0	電極パッド	
8 6 1	電極パッド	
8 7 0	ワイヤ	
8 7 1	ワイヤ	
8 8 0	スルーホール	
8 8 5	ランド	
8 9 0	ICチップ	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	20
9 0 4	表示部	
9 0 5	マイク	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 0 9	カメラ	
9 1 1	筐体	
9 1 2	表示部	
9 1 9	カメラ	
9 3 1	筐体	30
9 3 2	表示部	
9 3 3	リストバンド	
9 3 5	ボタン	
9 3 6	竜頭	
9 3 9	カメラ	
9 5 1	筐体	
9 5 2	レンズ	
9 5 3	支持部	
9 6 1	筐体	
9 6 2	シャッターボタン	40
9 6 3	マイク	
9 6 5	レンズ	
9 6 7	発光部	
9 7 1	筐体	
9 7 2	筐体	
9 7 3	表示部	
9 7 4	操作キー	
9 7 5	レンズ	
9 7 6	接続部	
1 1 0 0	層	50

- 1 2 0 0 層
- 1 3 0 0 層
- 1 4 0 0 層
- 1 5 3 0 遮光層
- 1 5 4 0 マイクロレンズアレイ
- 1 5 5 0 a 光学変換層
- 1 5 5 0 b 光学変換層
- 1 5 5 0 c 光学変換層

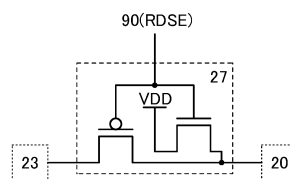
【図 1】



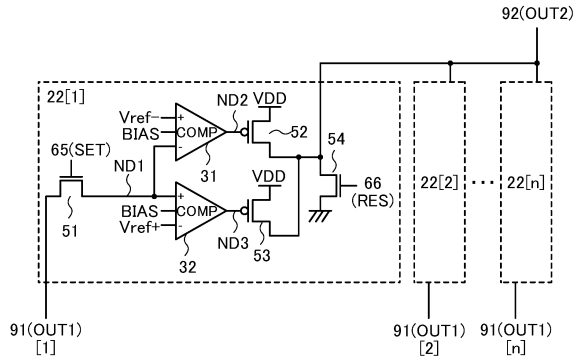
【図 2】



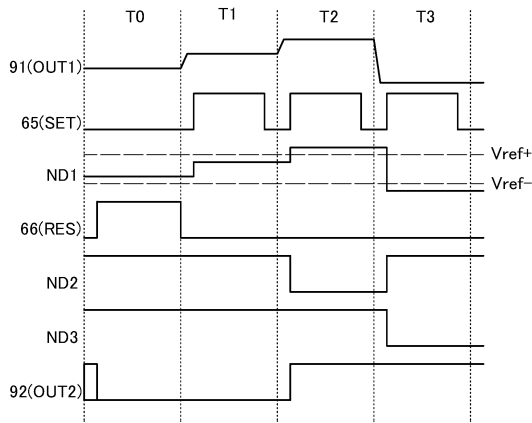
(B)



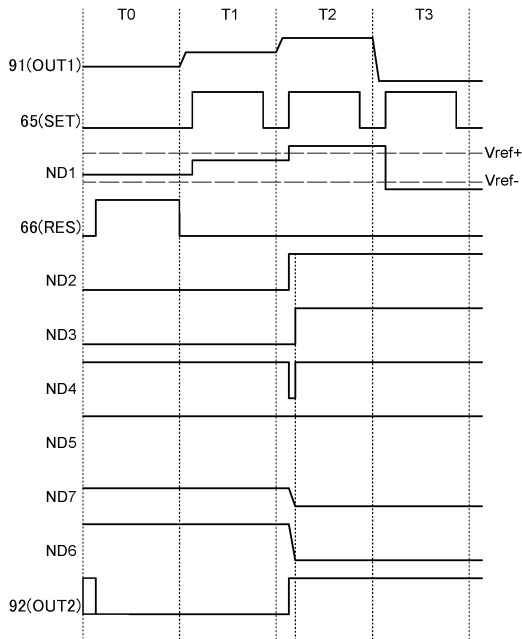
【 図 3 】



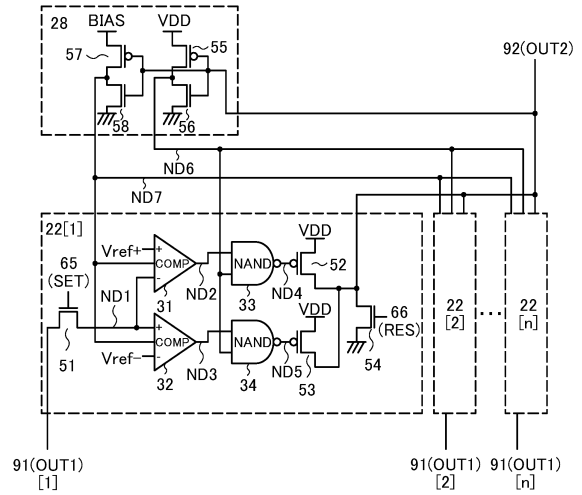
【 図 4 】



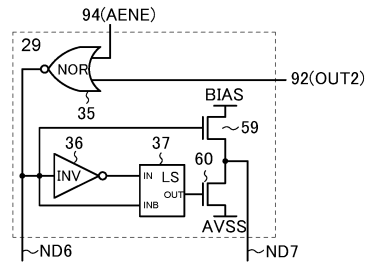
【 図 6 】



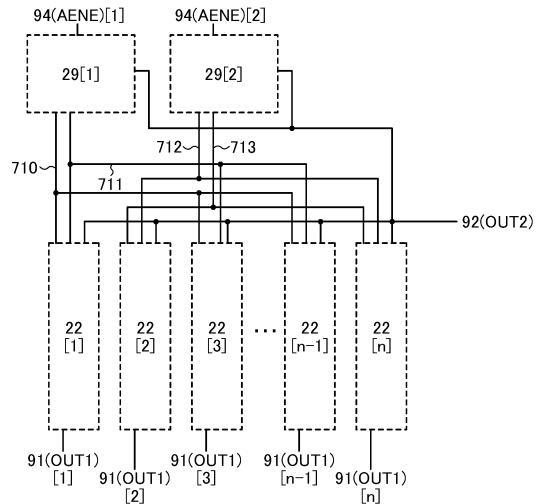
【 図 5 】



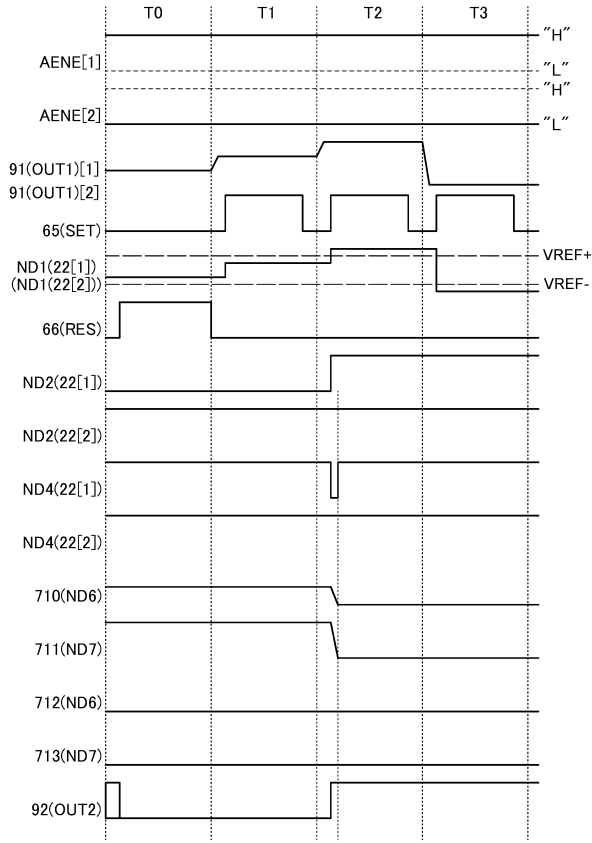
【 図 7 】



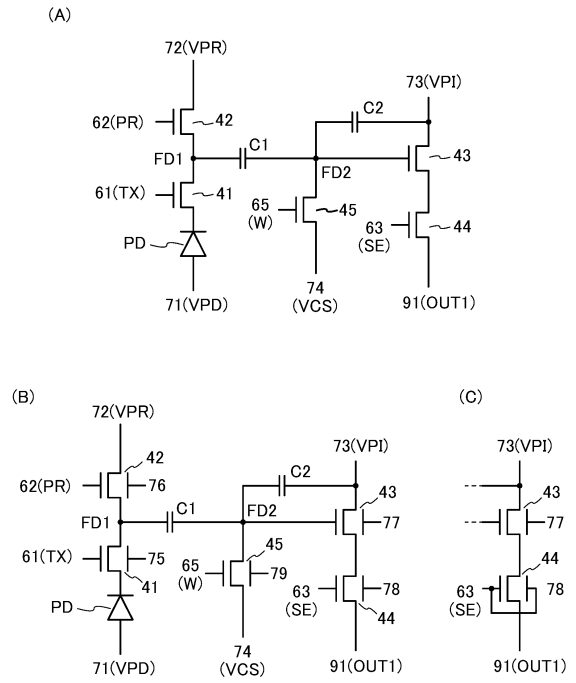
【 図 8 】



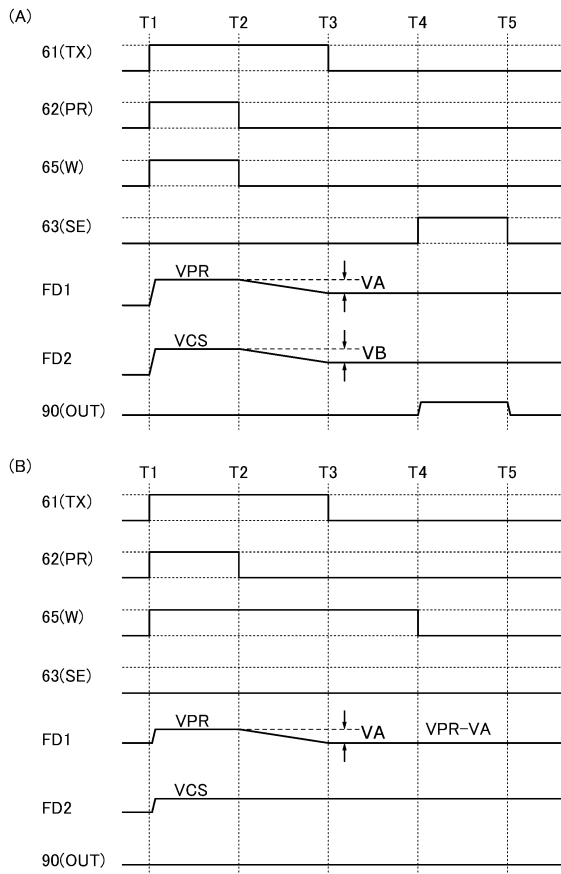
【 図 9 】



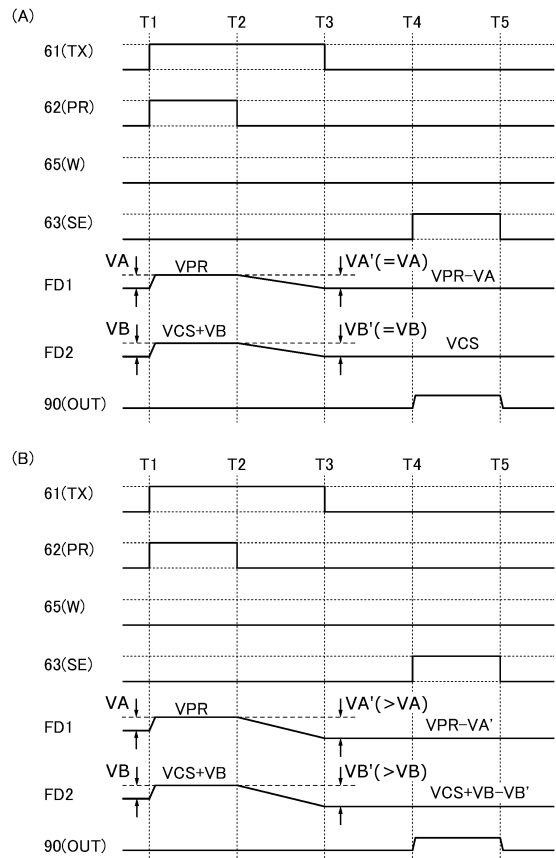
【 図 10 】



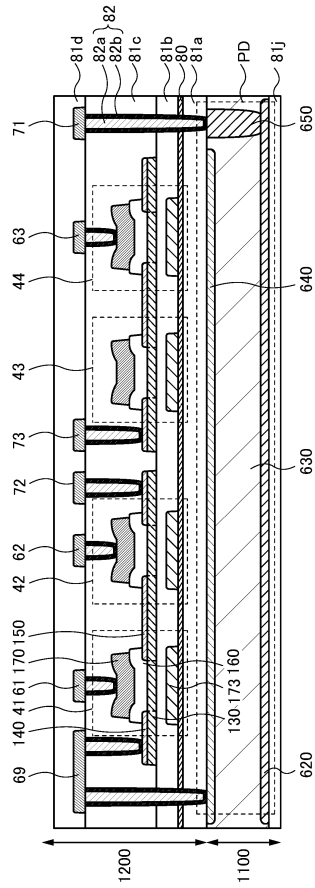
【 図 11 】



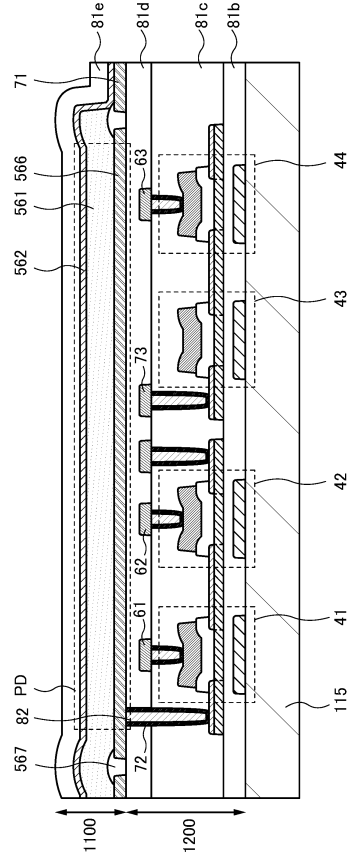
【 図 12 】



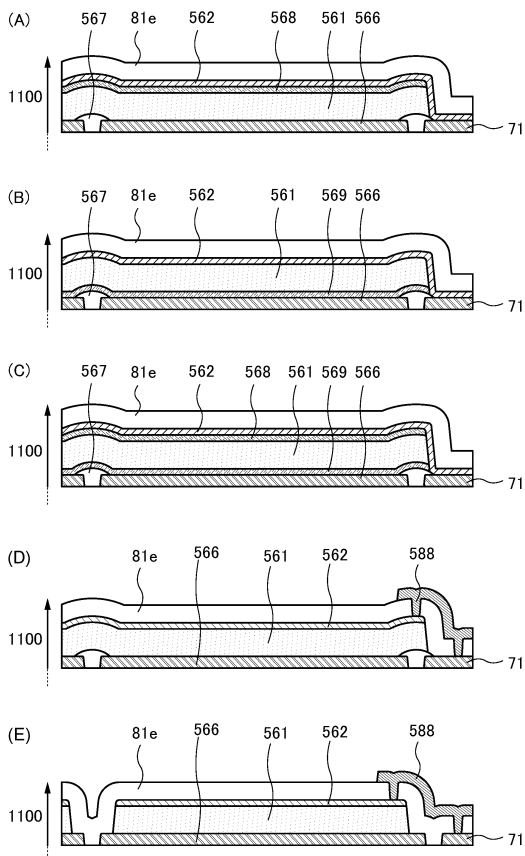
【 図 1 3 】



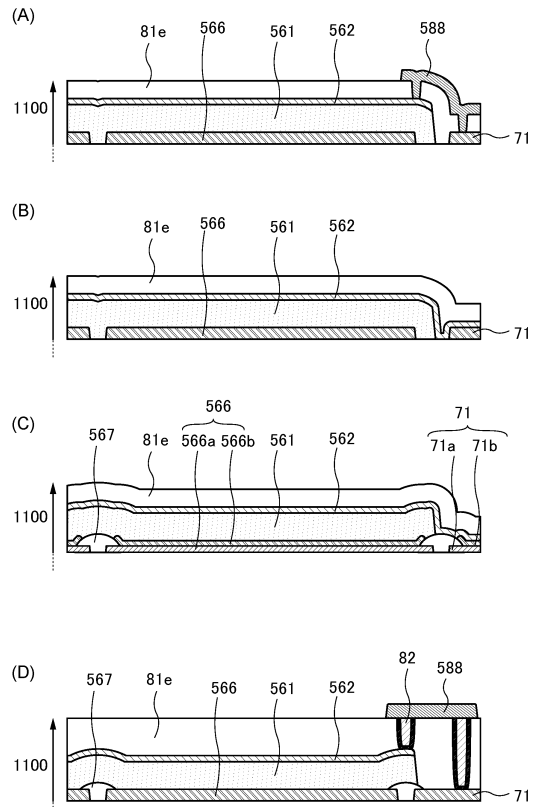
【 図 1 4 】



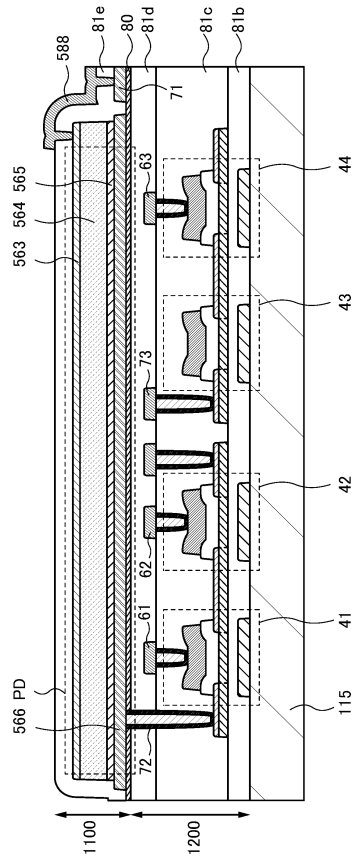
【 図 1 5 】



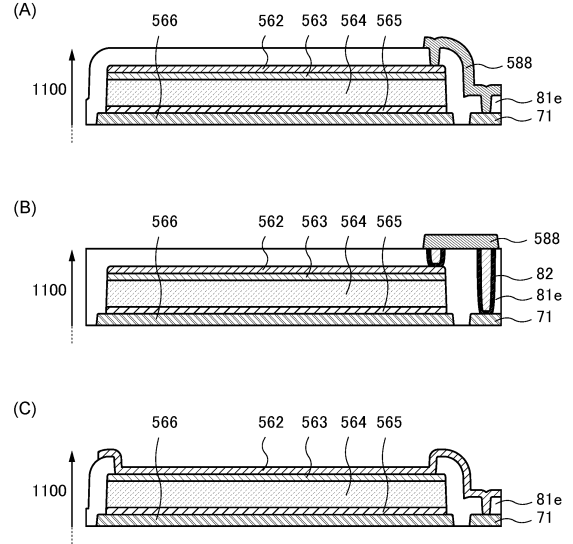
【 図 1 6 】



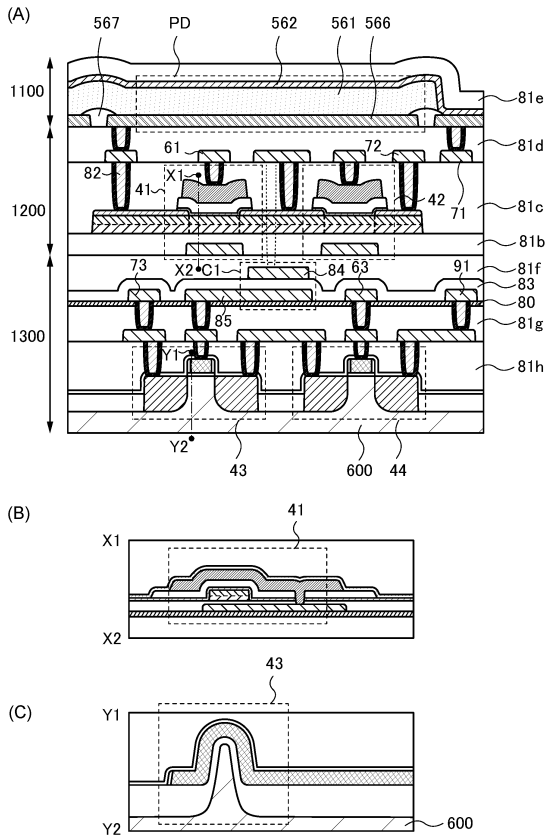
【 図 17 】



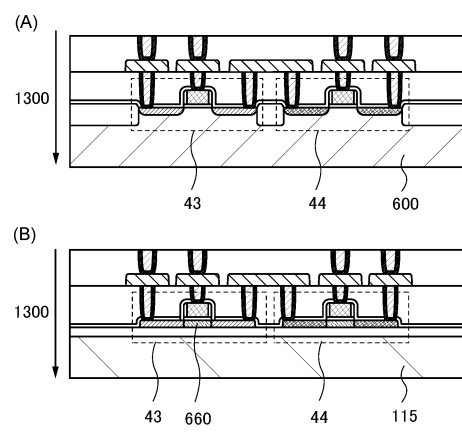
【 図 18 】



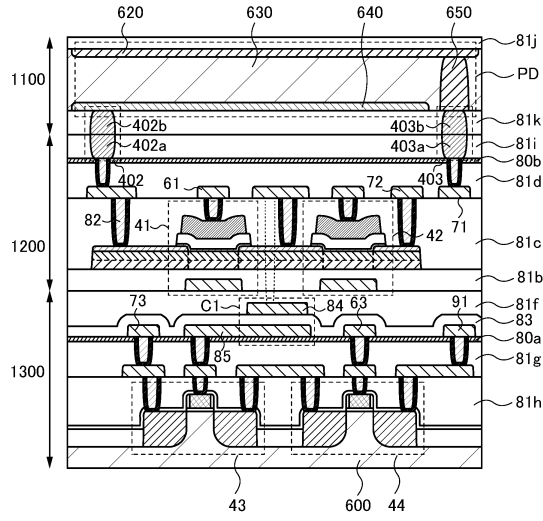
【 図 19 】



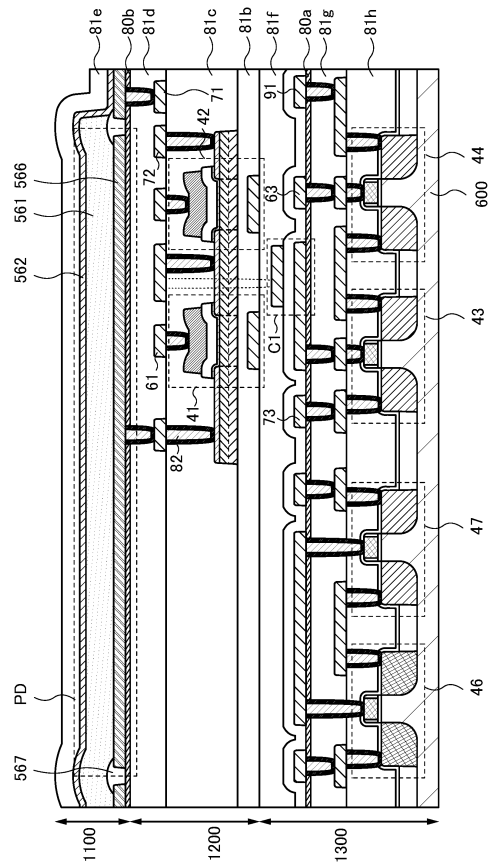
【 図 20 】



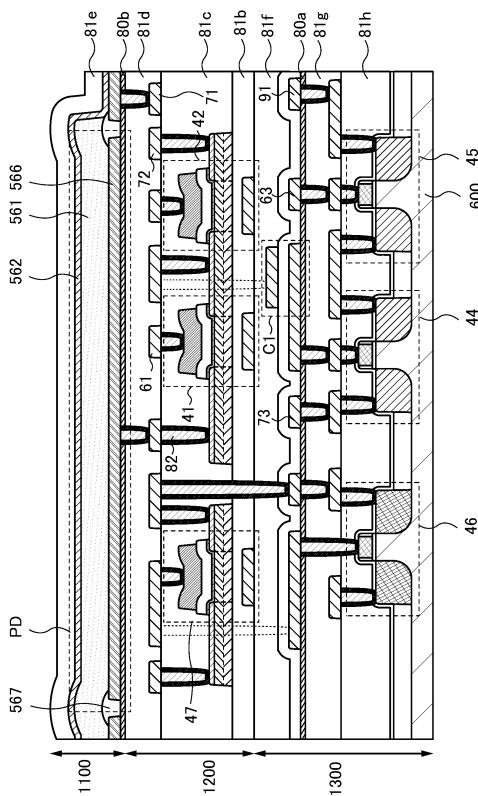
【図 2 1】



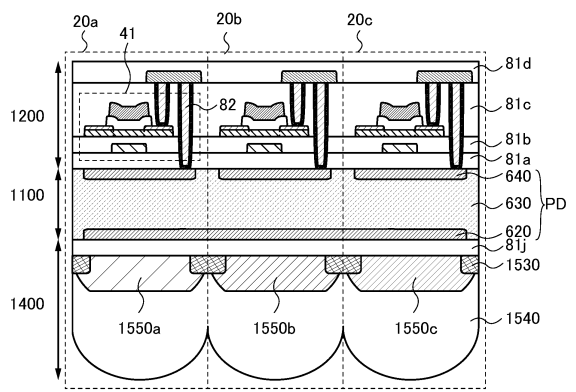
【図 2 2】



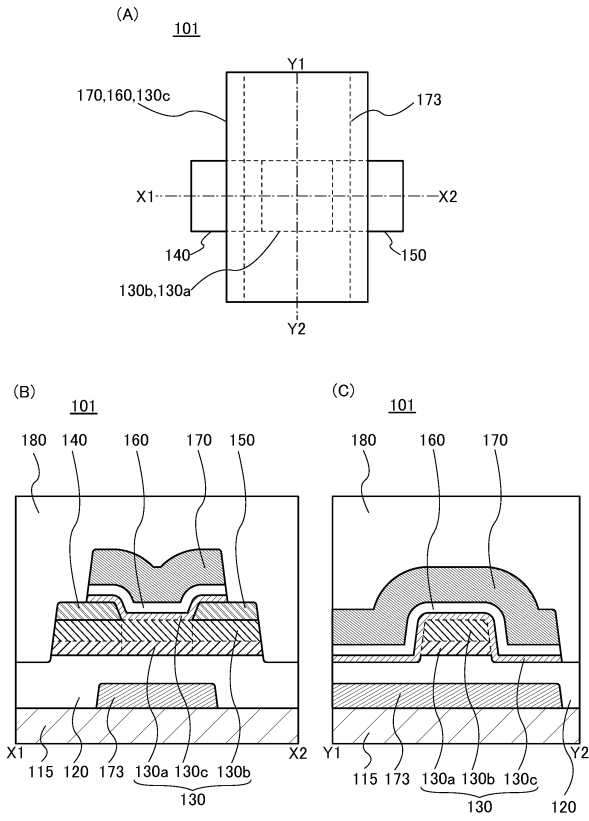
【図 2 3】



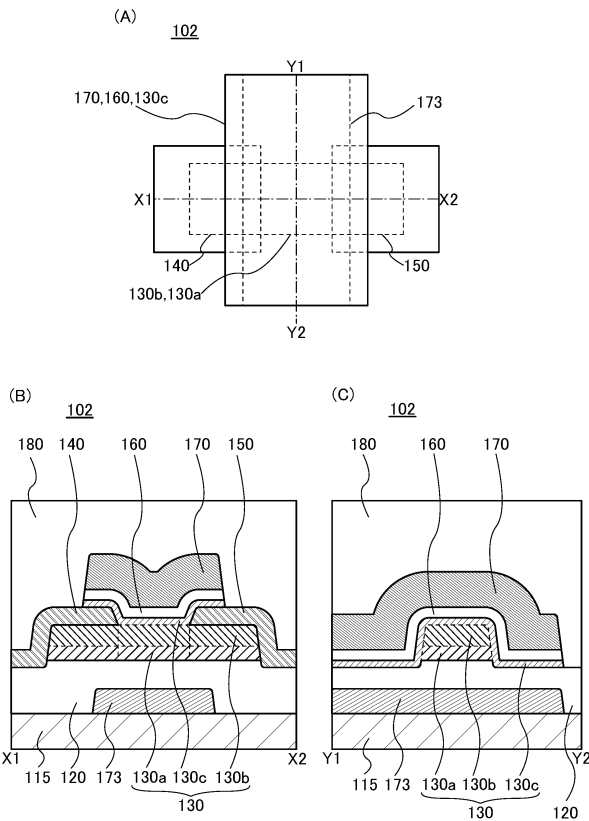
【図 2 4】



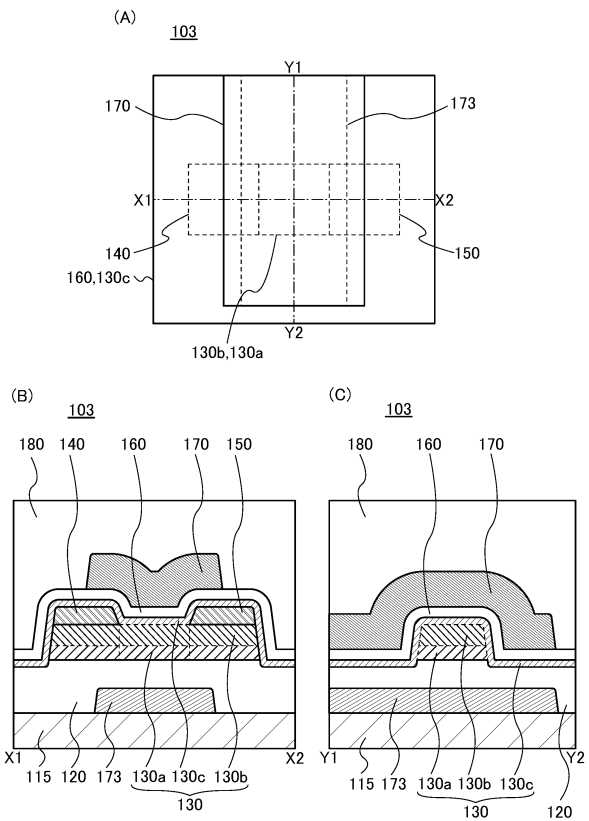
【 図 2 5 】



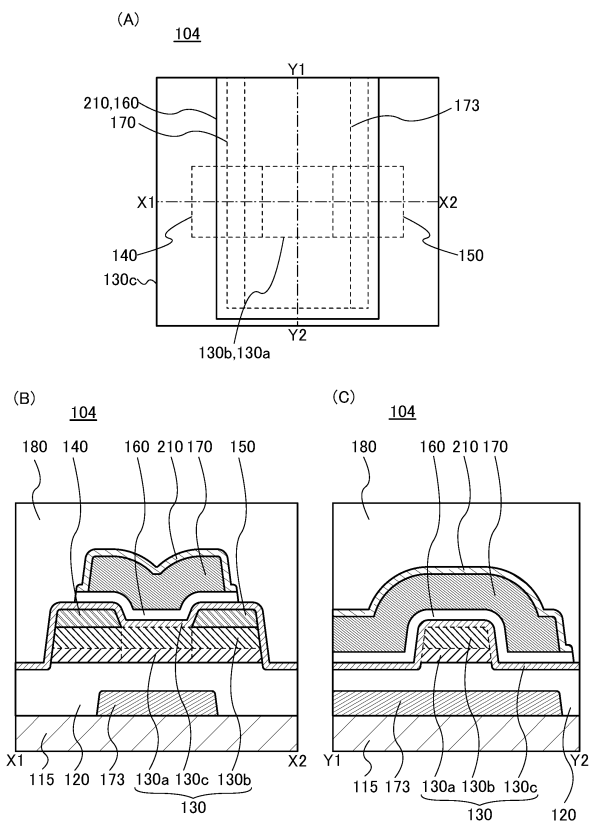
【 図 2 6 】



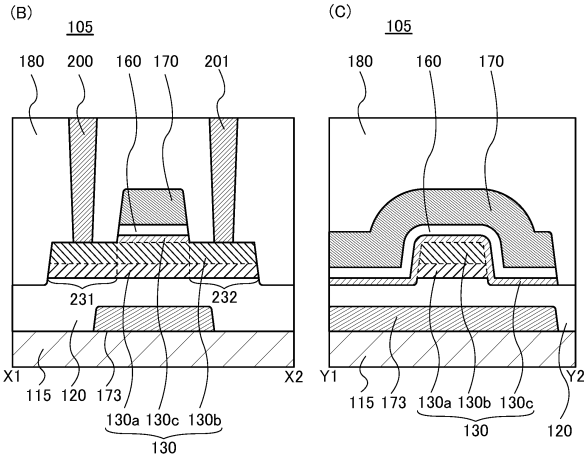
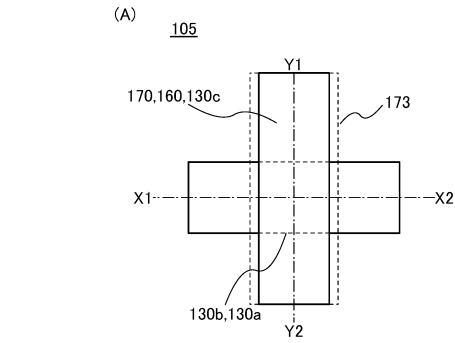
【 図 2 7 】



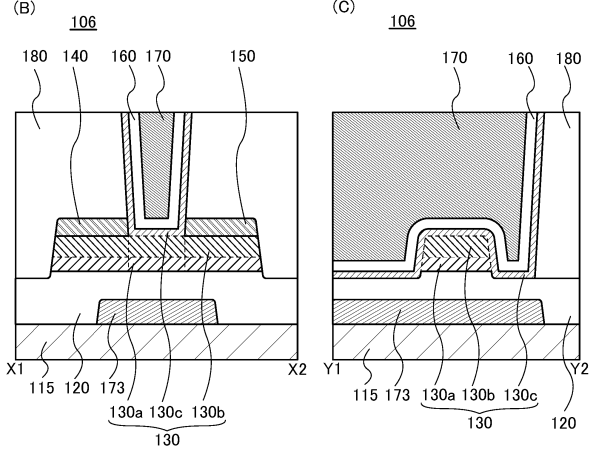
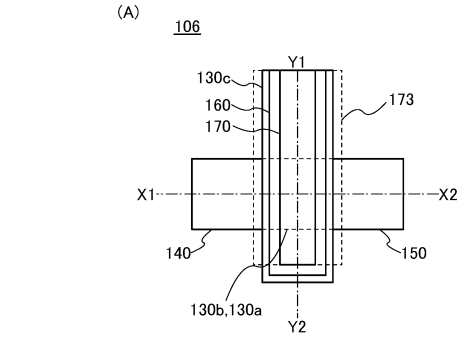
【 図 2 8 】



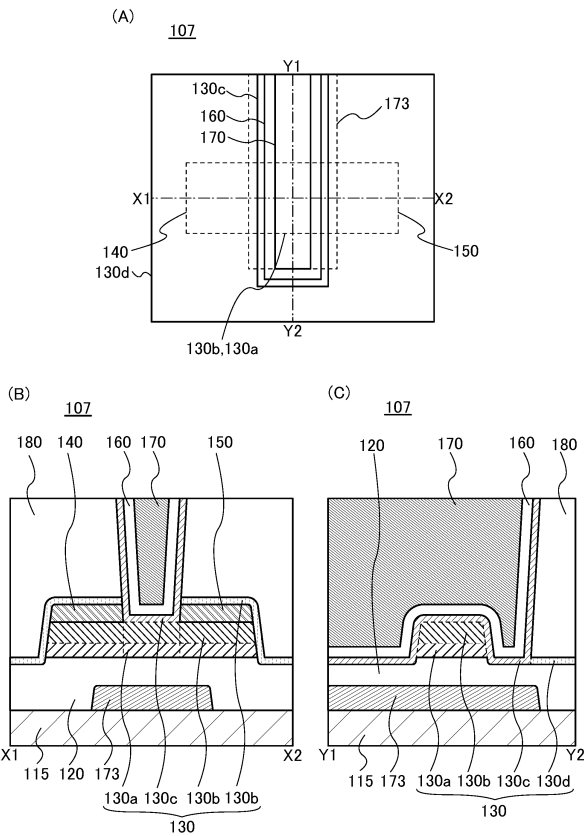
【図 29】



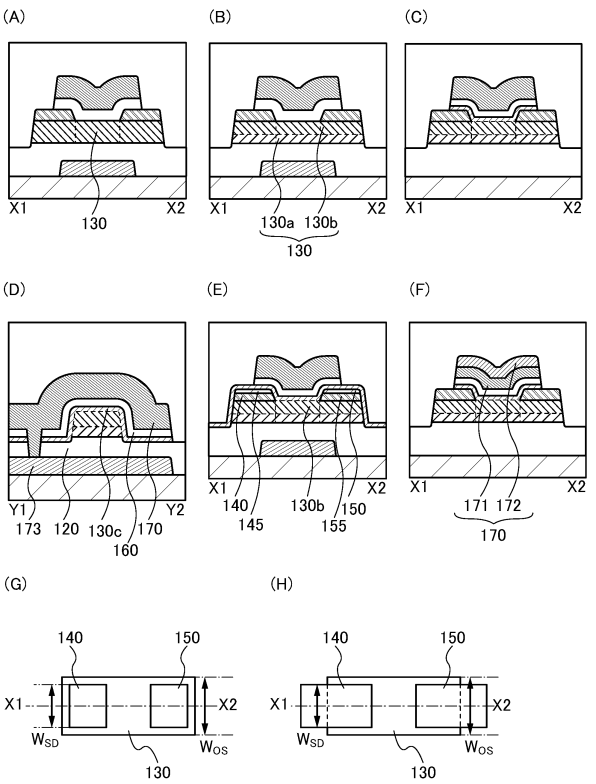
【図 30】



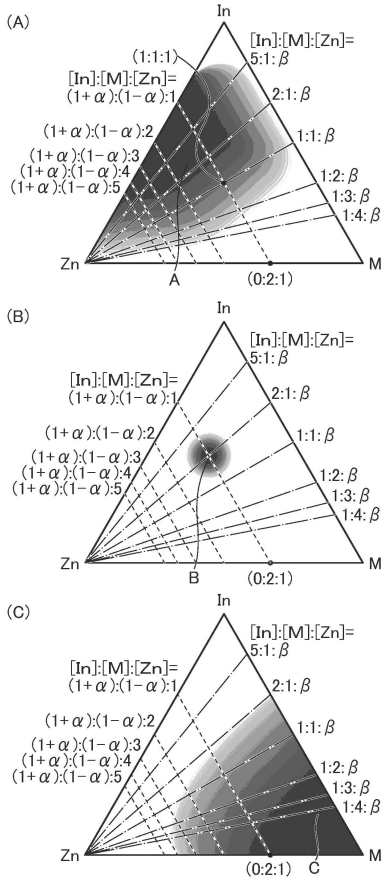
【図 31】



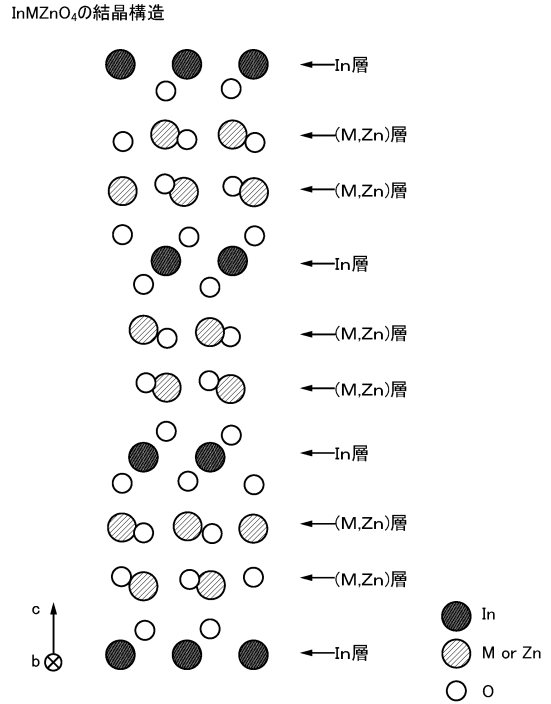
【図 32】



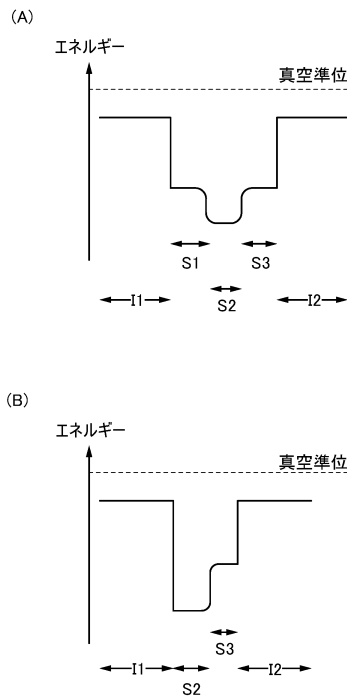
【図 3 3】



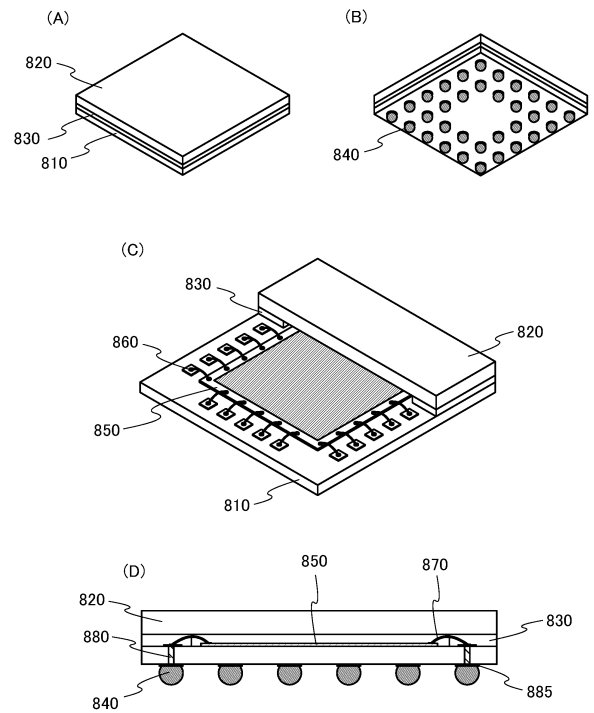
【図 3 4】



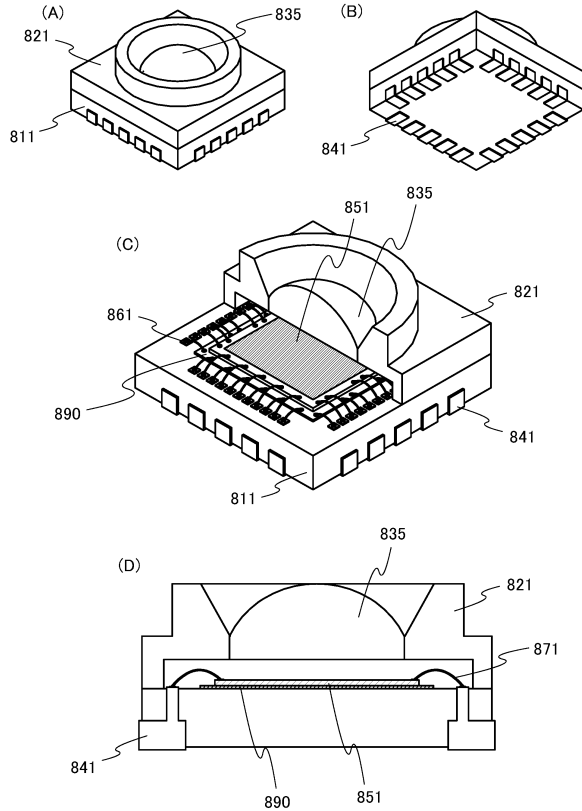
【図 3 5】



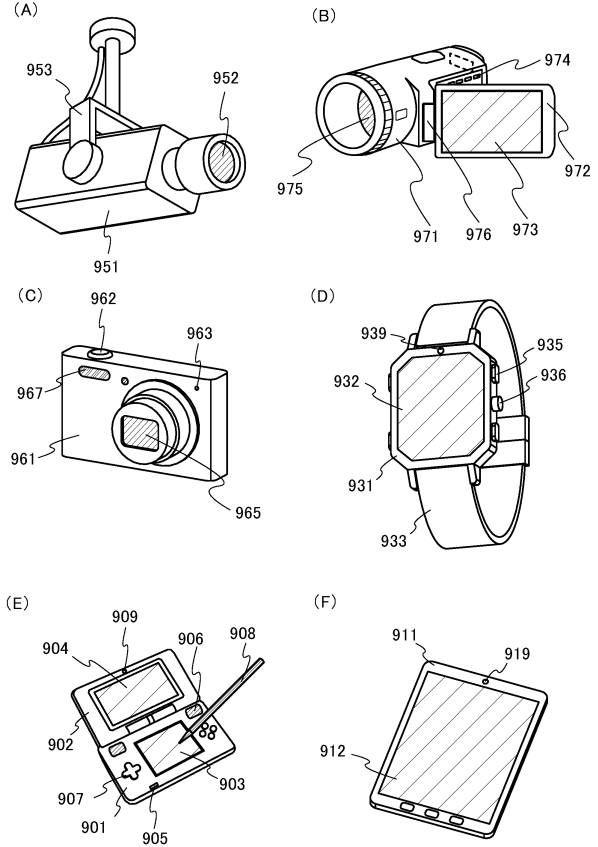
【図 3 6】



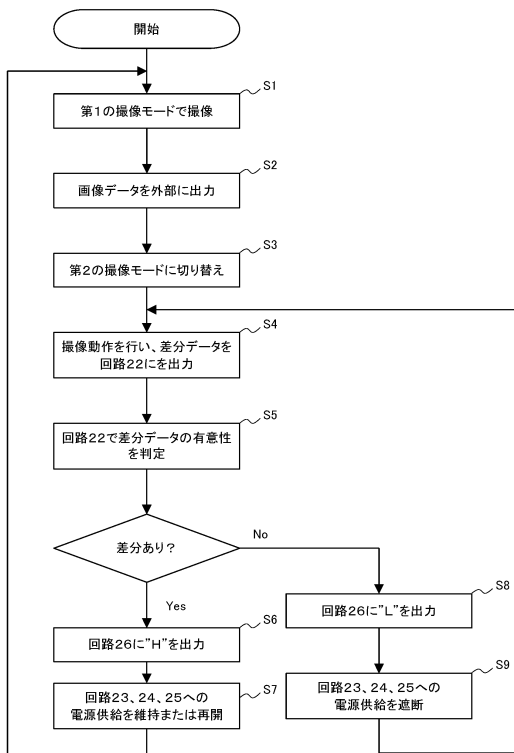
【図37】



【図38】



【図39】



フロントページの続き

(51)Int.Cl.			F I	
H 0 4 N	5/374	(2011.01)	H 0 4 N	5/374
H 0 4 N	5/3745	(2011.01)	H 0 4 N	5/3745

審査官 鈴木 明

(56)参考文献 特開平 1 1 - 2 0 5 6 8 3 (J P , A)
特開 2 0 1 0 - 1 5 4 1 8 9 (J P , A)
特開 2 0 1 3 - 2 1 1 8 4 0 (J P , A)
特開平 1 1 - 2 2 5 2 8 9 (J P , A)
特開 2 0 0 1 - 0 4 5 3 7 9 (J P , A)
特開 2 0 1 3 - 1 4 6 0 4 5 (J P , A)

(58)調査した分野(Int.Cl. , D B名)
H 0 4 N 5 / 3 0 - 5 / 3 7 8
H 0 4 N 5 / 2 2 5
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8