



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0035659
(43) 공개일자 2008년04월23일

- (51) Int. Cl.
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 출원번호 10-2008-7004766
(22) 출원일자 2008년02월27일
심사청구일자 없음
번역문제출일자 2008년02월27일
- (86) 국제출원번호 PCT/US2006/028171
국제출원일자 2006년07월20일
- (87) 국제공개번호 WO 2007/015930
국제공개일자 2007년02월08일
- (30) 우선권주장
11/191,684 2005년07월27일 미국(US)

- (71) 출원인
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 윈 에이엠
디 플레이스 메일 스톱68
- (72) 발명자
페이더스 이고르
미국 뉴욕 피시킬 마운틴 뷰 놀스 1제이
술탄 아키프
미국 텍사스 78759 오스틴 스키너 코브 6504
페렐라 마리오 엠.
캘리포니아 94040 마운틴 뷰 미라몬테 애비뉴
1876
- (74) 대리인
박장원

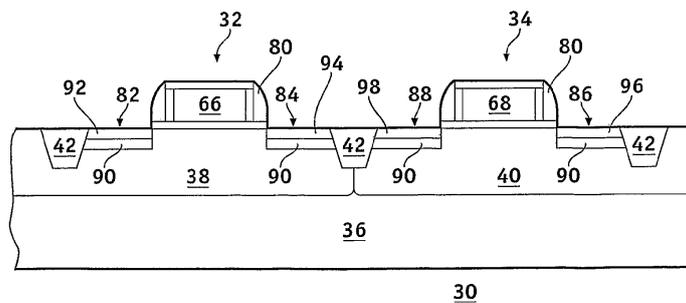
전체 청구항 수 : 총 10 항

(54) 스트레스형 MOS 디바이스 제조방법

(57) 요약

스트레스형 MOS 디바이스(30)를 제조하는 방법이 제공된다. 상기 방법은 복수 개의 병렬 MOS 트랜지스터를 반도체 기판에 및 그 위에 형성하는 단계를 포함한다. 상기 병렬 MOS 트랜지스터들은 공통 소스(92) 영역, 공통 드레인(94) 영역, 및 공통 게이트 전극(66)을 가진다. 상기 공통 소스(92) 영역의 기판 내로 제1트렌치(82)가 식각형성되고, 상기 공통 드레인(94) 영역의 기판 내로 제2트렌치(84)가 식각형성된다. 반도체 기판과 맞지 않은 결정 격자를 가지는 스트레스 유발 반도체 물질(90)은 제1(82)과 제2(84) 트렌치들 내에서 선택적으로 성장된다. 스트레스 유발 물질(90)의 성장으로 인해 MOS 디바이스 채널(50)에 세로방향 압축 및 가로방향 신장 스트레스들이 생성되고 P-채널 MOS 트랜지스터들의 드라이브 전류를 향상시킨다. 상기 압축 스트레스 요소로 인한 N-채널 MOS 트랜지스터들의 드라이브 전류의 감소는 신장 스트레스 요소로 상쇄된다.

대표도 - 도8



특허청구의 범위

청구항 1

실리콘 기판(36)에 및 그 위에 스트레스형 MOS 디바이스(stressed MOS device)(30)를 제조하는 방법으로서,

실리콘 기판(36) 상에 게이트 절연층(60)을 형성하는 단계;

상기 게이트 절연층(60) 위에 놓이는 게이트 전극 물질층(62)을 증착하고, 그리고 대향하는 측면(72)들을 가지는 게이트 전극을 형성하기 위하여 게이트 전극층(66) 물질을 패터닝하는 단계;

상기 실리콘 기판에 제1트렌치(82)와 제2트렌치(84)를 식각하는 단계, 여기서 상기 제1트렌치 및 상기 제2트렌치는 서로 이격되어 상기 게이트 전극의 대향하는 측면들에 자기 정렬되며;

상기 제1트렌치(82)와 제2트렌치(84)에 스트레스 유발 물질층(90)을 선택적으로 성장시키는 단계;

소스 영역(92)을 형성하기 위해 제1트렌치(82)의 스트레스 유발 물질 내로, 그리고 드레인 영역(94)를 형성하기 위하여 제2트렌치(84)의 스트레스 유발 물질 내로 전도성을 결정하는 불순물 이온들을 이온 임플란트 하는 단계; 및

상기 실리콘 기판에, 상기 게이트 전극(66) 아래에서 상기 소스 영역(92)과 상기 드레인 영역(94) 사이에 연장되는 복수 개의 병렬 채널 영역들(50)을 정의하는 단계를 포함하여 구성되는 스트레스형 MOS 디바이스 제조 방법.

청구항 2

제1항에 있어서,

상기 선택적으로 성장시키는 단계는 실리콘의 격자 상수보다 큰 격자 상수를 가지는 반도체 물질로 이루어진 층을 에피택셜하게 성장시키는 단계로 이루어지는 것을 특징으로 하는 스트레스형 MOS 디바이스 제조 방법.

청구항 3

제1항에 있어서,

상기 복수 개의 병렬 채널 영역(50)을 정의하는 단계는 상기 소스 영역(92)으로부터 상기 드레인 영역(94)까지 연장된 복수 개의 이격된 얇은 트렌치 분리 영역들(52)을 형성하는 단계로 이루어지는 것을 특징으로 하는 스트레스형 MOS 디바이스 제조 방법.

청구항 4

실리콘 기판(36)에 및 그 위에 스트레스형 MOS 디바이스(30)를 제조하는 방법으로서,

제1영역(44)와 제2영역(46)을 정의하기 위해 실리콘 기판에 분리 구조(42)를 형성하는 단계;

복수 개의 P-채널들(50)을 정의하기 위해 상기 실리콘 기판의 상기 제1영역(44)에 복수 개의 제1병렬 분리 구조들(52)을 형성하는 단계;

복수 개의 N-채널들(54)을 정의하기 위해 상기 실리콘 기판의 상기 제2영역(46)에 복수 개의 제2병렬 분리 구조들(56)을 형성하는 단계;

상기 복수 개의 P-채널들 위에 놓인 제1대향 측면들(72)을 가지는 제1게이트 전극(66)과 복수 개의 제2 N-채널들 위에 놓인 제2대향측면들(96)을 가지는 제2게이트 전극(68)을 형성하는 단계;

상기 제1게이트 전극(66)의 제1대향 측면들(72)로부터 이격된 상기 실리콘 표면 내로 제1(82)과 제2(84) 트렌치들을 식각하는 단계로, 여기서 상기 제1, 제2트렌치들은 상기 복수 개의 P-채널들(50)을 교차하며;

상기 제2게이트 전극(68)의 제2대향 측면들(76)으로부터 이격된 상기 실리콘 표면 내로 제3(86)과 제4(88) 트렌치들을 식각하는 단계로, 여기서 상기 제3, 제4 트렌치들은 상기 복수 개의 N-채널들(54)을 교차하며;

상기 제1(82)과 제2(84) 트렌치들 및 상기 제3(86)과 제4(88) 트렌치들에 스트레스 유발 물질(90)을 선택 성장시키는 단계;

P-타입 소스 영역(92)을 형성하기 위해 상기 제1트렌치(82)의 스트레스 유발 물질(90) 내로, 그리고 P-타입 드레인 영역(94)를 형성하기 위해 상기 제2트렌치(84)의 스트레스 유발물질(90) 내로 P-타입 전도성을 결정하는 불순물 이온들을 이온 임플란트하는 단계; 및

N-타입 소스 영역(96)을 형성하기 위해 제3트렌치(86)의 스트레스 유발 물질(90) 내로, 그리고 N-타입 드레인 영역(98)을 형성하기 위해 제4트렌치(88)의 스트레스 유발 물질 내로 N-타입 전도성을 결정하는 불순물 이온들을 이온 임플란트하는 단계를 포함하여 구성되는 스트레스형 MOS 디바이스 제조 방법.

청구항 5

제4항에 있어서, 상기 스트레스 유발 물질(90)을 선택적으로 성장시키는 단계는 SiGe층을 에피택셜 성장시키는 단계로 이루어지는 것을 특징으로 하는 스트레스형 MOS 디바이스 제조 방법.

청구항 6

실리콘 기판(36)에 및 그 위에 스트레스형 MOS 디바이스(30)를 제조하는 방법으로서,

실리콘 기판(36)에 및 그 위에 복수 개의 병렬 MOS 트랜지스터를 형성하는 단계로, 여기서, 상기 복수 개의 병렬 MOS 트랜지스터들은 공통 소스(92) 영역, 공통 드레인 영역(94) 및 공통 게이트 전극(66)을 포함하며;

상기 반도체 기판의 상기 공통 소스 영역에 제1트렌치(82)와 상기 공통 드레인 영역(94)에 제2트렌치를 식각하는 단계; 및

상기 제1트렌치와 제2트렌치에, 상기 반도체 기판과 비정합(mismatch)되는 스트레스 유발 반도체 물질(90) 격자를 선택적으로 성장시키는 단계를 포함하여 구성되는 스트레스형 MOS 디바이스 제조 방법.

청구항 7

제6항에 있어서,

상기 복수 개의 병렬 MOS 트랜지스터들을 형성하는 단계는 각각 선 결정된 폭의 채널을 가지는 복수 개의 병렬 MOS 트랜지스터를 형성하는 단계로 이루어지는 것을 특징으로 하는 스트레스형 MOS 디바이스 제조 방법.

청구항 8

제7항에 있어서,

상기 선택적으로 성장시키는 단계는 선 결정된 폭과 동일 정도 크기의 두께를 가지는 반도체 물질층(90)을 선택적으로 성장시키는 단계로 이루어지는 것을 특징으로 하는 스트레스형 MOS 디바이스 제조 방법.

청구항 9

제6항에 있어서,

상기 선택적으로 성장시키는 단계는 SiGe를 포함하는 층을 에피택셜하게 성장시키는 단계로 이루어지는 것을 특징으로 하는 스트레스형 MOS 디바이스 제조 방법.

청구항 10

제6항에 있어서,

상기 복수 개의 병렬 MOS 트랜지스터들을 형성하는 단계는

액티브 영역(44)를 정의하기 위해 얇은 트렌치 분리 구조(42)를 형성하는 단계; 및

상기 액티브 영역(44)를 공통 소스 영역(82), 공통 그레인 영역(84), 및 복수 개의 병렬 채널 영역들(50)로 나누는 단계를 포함하여 구성되는 스트레스형 MOS 디바이스 제조 방법.

명세서

기술분야

<1> 본 발명은 일반적으로 반도체 제조 방법에 관한 것이며, 더욱 상세하게는 스트레스형 MOS 디바이스를 제조하는

방법에 관한 것이다.

배경 기술

- <2> 근래 집적 회로들(ICs, integrated circuits)들의 대부분은 복수 개의 상호 연결된 FET(field effect transistor)들을 이용하여 수행되는데, 이는 MOSFET(metal oxide semiconductor field effect transistor) 또는 단순히 MOS 트랜지스터들이라고도 지칭된다. MOS 트랜지스터는 제어 전극으로서의 게이트 전극과 전류가 그 사이에 흐를 수 있는 이격되어 위치한 소스와 드레인 전극을 포함하여 구성된다. 상기 게이트 전극에 인가된 제어 전압은 소스와 드레인 전극 사이 채널을 통해 흐르는 전류의 흐름을 제어한다.
- <3> 바이폴라 트랜지스터에 비해 MOS 트랜지스터들은 대부분의 캐리어 디바이스들이다. MOS 트랜지스터로부터 얻을 수 있는 이득은, 보통 트랜스컨덕턴스(transconductance, g_m)로 정의되는데, 트랜지스터 채널 내 다수 캐리어의 이동성에 비례한다. MOS 트랜지스터의 전류 캐리어 용량은 이동성 곱하기 채널의 폭을 채널의 길이로 나눈 값($g_m W/l$)에 비례한다. MOS 트랜지스터들은 보통 결정질 표면 방향(crystallographic surface orientation, 10 0)을 가지는 실리콘 기판들 상에 형성되며, 이는 실리콘 테크놀로지에 있어 전형적인 기술에 해당한다. 상기 방향과 다른 많은 방향들에 대해서, P-채널 MOS 트랜지스터 내 다수 캐리어인 정공(hole)들의 이동도는 채널에 세로방향 압축 스트레스(compressive longitudinal stress)를 인가함으로써 증가될 수 있다. 그러나, 이러한 세로방향의 압축 스트레스는 N-채널 MOS 트랜지스터들의 다수 캐리어인 전자들의 이동성을 감소시킨다. 세로방향 압축 스트레스는 실리콘 기판의 트랜지스터 채널 끝부분들에 부정형 SiGe과 같은 팽창 물질(expanding material)을 매립(embed)함으로써 MOS 트랜지스터의 채널에 인가될 수 있다. [예를 들어, IEEE Electron Device Letters v. 25, No 4, p. 191, 2004 참조] SiGe 결정은 Si 결정 격자 상수보다 더 큰 격자 상수를 가지며, 그 결과 매립된 SiGe의 존재에 의해 Si 매트릭스의 변형이 일어난다. 유감스럽게도 확장 물질을 매립함으로써 캐리어의 이동성을 증가시키는 현 기술들은, 세로방향 압축 스트레스가 정공 이동성은 향상시키지만 전자의 이동성에는 해롭게 작용하기 때문에, P-채널과 N-채널 MOS 트랜지스터들 둘 다에 동일한 방식으로 적용될 수 없다. 또한, 상기한 현 기술들은 세로방향 스트레스에 의해 캐리어 이동성 향상 효과만 이용할 뿐이며, 역시 이동성에 영향을 미치는 가로방향 스트레스(transverse stress)를 간과하였다.
- <4> 따라서, 세로방향 및 가로방향 스트레스들을 모두 이용할 수 있는 스트레스형 MOS 디바이스 제조방법을 제공하는 것이 필요하다. 또한, N-채널과 P-채널 디바이스들 둘 다의 캐리어 이동성을 향상시키는 스트레스형 MOS 디바이스 제조 방법을 제공하는 것이 필요하다. 이에 더하여, 본 발명의 다른 바람직한 형상들과 특성들은 첨부된 도면들과 전술한 기술 분야와 배경기술과 관련하여, 이어진 상세한 설명과 청구범위에서 명확화될 것이다.

발명의 상세한 설명

- <5> 반도체 기판에 및 그 위에(in and on a semiconductor substrate) 스트레스형 MOS 디바이스의 제조 방법이 제공된다. 상기 방법은 반도체 기판 상 그 안에 복수 개의 병렬 MOS 트랜지스터들을 형성하는 단계를 포함하여 구성되며, 상기 복수 개의 병렬 MOS 트랜지스터들은 연합된(combined) 소스 영역과, 연합된 드레인 영역, 및 공통 게이트 전극을 가진다. 반도체 기판의 연합된 소스 영역에는 제1 리세스가 식각형성되고 반도체 기판의 연합된 드레인 영역에는 제2 리세스가 식각형성된다. 반도체 기판의 격자 상수보다 더 큰 격자 상수를 가지는 스트레스 유발 반도체 물질은 제1트렌치와 제2트렌치 내에 선택적으로 성장된다.

실시 예

- <9> 이어지는 상세한 설명은 사실상 본 발명의 단순한 예시에 해당하며 본 발명이나 본 발명의 적용 및 사용들을 제한하고자 의도된 것은 아니다. 또한, 전술한 기술 분야, 배경 기술, 발명의 목적 및 하기 상세한 설명에서 개시된 표현되거나 내포된 어떤 이론들에 의해 구속되고자 하는 어떤 의도도 없다.
- <10> 전형적인 CMOS(complementary MOS) 집적회로들에 있어서, 고성능 P-채널 MOS 트랜지스터들과 N-채널 MOS 트랜지스터들 각각은 충분한 드라이브 전류를 제공하기 위해 상대적으로 넓은 채널 폭을 갖는다. 그러한 트랜지스터들의 채널의 폭은 $1\mu m$ 정도이며, 이때 채널의 길이와 소스 및 드레인 영역의 깊이는 약 $1\mu m$ 보다 작다. 만약 소스 및 드레인 영역과 같은 정도 크기의 두께를 갖는 스트레스 유발 물질이 채널의 끝부분들에 매립되면, 상기 스트레스 유발 물질들은 채널을 따라 세로방향 스트레스를 인가할 수 있게 되나, 상기 채널에 가로방향 스트레스를 인가함에 있어서는 상대적으로 비효율적이다. 가로방향 스트레스들은 단지 채널의 가장자리 등에서 현저하게 유발되며, 이러한 스트레스들은 스트레스 유발 물질의 두께와 동일 크기 정도의 거리로 채널 내에 전달된다. 결과

적으로, 높은 가로방향 스트레스들은 채널의 단지 일부분(small portion)에서만 유발되며, 디바이스의 성능에 영향을 거의 미치지 않는다. 본 발명의 실시예에 따르면, 이러한 문제는 넓은 채널 MOS 트랜지스터를 병렬로 연결된 복수 개의 좁은 채널 MOS 트랜지스터로 교체함으로써 극복된다. 채널의 끝부분들에 매립된 스트레스 유발 물질을 가지는 좁은 채널 트랜지스터는 전체 채널 영역에 걸쳐 세로방향 압축 스트레스와 가로방향 신장 스트레스(tensile transverse stress) 모두를 겪게 된다. 가로방향 신장 스트레스는 채널에 있는 정공의 이동성과 전자의 이동성을 모두 증가시키지만, 세로방향 압축 스트레스는 채널에 있는 정공의 이동성을 증가시키고 전자의 이동성을 감소시킨다.

- <11> 도 1-8은 스트레스형 MOS 디바이스(30)와 본 발명의 다양한 실시예에 따라 이러한 MOS 디바이스를 제조하는 방법의 단계를 도시한 것이다. 상기 도식적인 실시예에 있어서, 도시된 스트레스형 MOS 디바이스(30)의 일부분만이 단일 P-채널 MOS 트랜지스터(32)와 N-채널 MOS 트랜지스터(34)이다. 상기 디바이스(30)와 같은 스트레스형 MOS 디바이스들로부터 형성된 집적 회로는 많은 수의 이러한 트랜지스터들을 포함하여 구성된다. 상보적인 MOS 트랜지스터들이 도시되었지만, 본 발명은 P-채널 MOS 트랜지스터들만을 포함하는 디바이스들에 대해서도 적용 가능하다.
- <12> MOS 트랜지스터들을 제조함에 있어서 다양한 단계들이 잘 알려져 있으며, 따라서, 간결하게 나타내기 위하여, 많은 종래의 단계들이 여기서 간단하게 기술될 것이며, 또는 공지된 공정을 세세하게 제공함이 없이 전체적으로 생략될 것이다. "MOS 디바이스"라는 용어가 금속 게이트 전극과 산화 게이트 절연체를 가지는 디바이스를 적절하게 나타내고 있지만, 그러한 용어는 반도체 기판 위에 차례로 배치된 게이트 절연체(그것이 산화물이건 다른 절연체이건 간에), 상기 절연체 위에 위치한 전도성 게이트 전극(그것이 금속이건 다른 전도성 물질이건 간에)을 포함하는 어떠한 반도체 디바이스를 모두 지칭하기 위해 사용될 수 있다.
- <13> 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 스트레스형 MOS 디바이스(30)의 제조방법은 반도체 기판(36)을 제공하는 단계로서 시작된다. 상기 반도체 기판은 단결정 실리콘 기판이 바람직하한데, "실리콘 기판"이라는 용어는 본 명세서에서 반도체 산업에서 일상적으로 사용되는 상대적으로 순수한 실리콘 물질들을 아우른다. 실리콘 기판(36)은 벌크 실리콘 웨이퍼나 혹은 절연 층상의 실리콘(보통은 실리콘-온-절연체 즉, SOI로 알려짐)의 박막으로 될 수 있는 바, 이는 캐리어 웨이퍼에 의해 지지되며, 본 실시예에서는 벌크 실리콘 웨이퍼로 예시하였으나 반드시 이로만 한정되는 것은 아니다. 바람직하게는 상기 실리콘 웨이퍼는 (100)이나 (110) 방향 중 하나를 가질 수 있다. 실리콘 웨이퍼의 일 부분(38)은 N-타입의 불순물 도펀트들로 도핑되며(N-우물), 다른 부분(40)은 P-타입 불순물 도펀트들로 도핑된다(P-우물). N-우물과 P-우물은 예를 들어, 이온 임플란트를 이용하여 적절한 전도성을 가지도록 도핑될 수 있다. 얇은 트렌치 분리(STI, shallow trench isolation, 42)는 상기 N-우물과 P-우물 사이를 전기적으로 분리하고 전기적으로 분리되어야만 하는 개별 디바이스들을 분리하기 위하여 형성된다. 상기 STI는 P-채널 MOS 트랜지스터(32)를 형성하기 위한 액티브 영역(44) 및 N-채널 MOS 트랜지스터(34)를 형성하기 위한 액티브 영역(46)을 정의한다. 잘 알려진 바와 같이, STI를 형성하기 위해 사용될 수 있는 많은 공정들이 있는 바, 상기 공정들은 본 명세서에서 상세하게 설명할 필요가 없다. 일반적으로, STI는 반도체 기판은 얇은 트렌치를 포함하는데, 이 트렌치는 표면 내부로 식각되고, 이 트렌치는 절연 물질로 충전된다. 트렌치가 절연 물질로 충전된 이후, 표면은 보통 평탄화되는데, 예를 들어 CMP(chemical mechanical planarization)을 이용하여 평탄화된다. 상기 두 개의 우물과 STI는 도 1의 단면도와 도 2의 평면도에 도시되어 있다.
- <14> 본 발명의 실시예에 따르면, P-채널 트랜지스터(32)와 N-채널 트랜지스터(34)는 둘 다 넓은 채널 MOS 트랜지스터들이며, 둘 다 병렬로 연결된 복수 개의 좁은 채널 MOS 트랜지스터들로서 구현된다. 더 상세하게 후술하겠지만, P-채널 MOS 트랜지스터(32)와 N-채널 MOS 트랜지스터(34)는 각각 공통 소스, 공통 드레인, 공통 게이트 및, 상기 공통 게이트 아래에 상기 소스로부터 드레인까지 연장된 복수 개의 병렬 채널들을 포함하여 구성된다. 도 3에 도시된 바와 같이, P-채널 MOS 트랜지스터(32)의 복수 개의 병렬 채널들(50)은 액티브 영역(44)의 표면에 형성된 복수 개의 STI 영역들(52)에 의해 정의된다. 도 3에 도시된 바와 같이, N-채널 MOS 트랜지스터(34)의 복수 개의 병렬 채널들(54)는 액티브 영역(46)의 표면에 형성된 복수 개의 STI 영역들(56)에 의해 정의된다. 상기 STI 영역들은 STI 영역(42)와 동시에 형성되거나 개별적으로 형성될 수 있다. 도 2와 유사하게 도 3은 스트레스형 MOS 디바이스(30)의 평면도를 도시한다. 복수 개의 병렬 채널들은 바람직하게는 각각 약 0.1 μ m의 폭을 갖는다. 각 트랜지스터들에 대해 단지 3개의 병렬 채널들만 도시되었지만, P-채널 MOS 트랜지스터(32)와 N-채널 트랜지스터(34) 각각에 대한 병렬 채널들의 총 갯수는 단일의 넓은 채널 트랜지스터의 균등한 채널폭을 제공하도록 선택되는 바, 이들 각각은 대체하도록 설계된다. 바람직하게는 상기 채널들은 <110> 결정 방향을 따라 방향 지워진다.

- <15> 게이트 절연층(60)은 도 4에 도시된 바와 같이 액티브 영역(44, 46)의 표면 상을 비롯하여, 실리콘 기판(36)의 표면 상에 형성된다. 게이트 절연체는 산화 분위기에서 실리콘 기판을 가열함으로써 형성된 열적 성장된 실리콘 다이옥사이드이거나, 실리콘 옥사이드, 실리콘 나이트라이드, HfSiO와 같은 고유전상수 절연체 등과 같은 증착된 절연체일 수 있다. 증착된 절연체는 화학기상증착(CVD; chemical vapor deposition), 저압 화학기상증착(LPCVD; low pressure chemical vapor deposition) 또는 플라즈마 증진 화학기상증착(PECVD; plasma enhanced chemical vapor deposition)을 이용하여 증착될 수 있다. 도시된 게이트층의 실시예에서, 절연체는 STI 상과 실리콘 기판 상에 동등하게 증착된 증착절연체에 해당한다. 상기 게이트 절연 물질은 보통 1-10 나노미터(nm)의 두께이다. 본 발명의 일 실시예에 따르면 다결정실리콘층(62)이 게이트 절연층 상에 증착된다. 상기 다결정 실리콘층은 바람직하게는 도핑되지 않은 다결정 실리콘으로 증착되고, 이어서 이온 임플란트에 의해 불순물로 도핑된다. 상기 다결정 실리콘 표면 상에는 실리콘 옥사이드, 실리콘 나이트라이드, 또는 실리콘 옥시나이트라이드와 같은 하드 마스크(hard mask)층(64)이 증착될 수 있다. 상기 다결정 물질은 실란을 수소 환원시킴으로써 LPCVD에 의해 약 100nm의 두께로 증착될 수 있다. 상기 하드 마스크 물질은 또한 LPCVD를 이용하여 약 50nm의 두께로 증착될 수 있다.
- <16> 하드 마스크층(64)과 아래에 놓인 다결정 실리콘층(62)은 도 5에 도시된 바와 같이 액티브 영역(44) 위에 놓인 P-채널 MOS 트랜지스터 게이트 전극(66)과 액티브 영역(46) 위에 놓인 N-채널 MOS 트랜지스터 게이트 전극(68)을 형성하기 위해 포토리소그래피를 이용하여 패터닝될 수 있다. 게이트 전극(66)은 P-채널 MOS 트랜지스터(32)의 복수 개의 병렬 채널들(50) 위에 놓이며, 게이트 전극(68)은 N-채널 MOS 트랜지스터(34)의 복수 개의 병렬 채널들(54) 위에 놓인다. 게이트 전극(66, 68)은 또한 도 3에 점선으로 도시되어 있다. 다결정 실리콘은 예를 들어 Cl이나 HBr/O₂ 화학 반응(chemistry)에서의 플라즈마 식각을 이용하여 원하는 패턴으로 식각될 수 있으며, 상기 하드 마스크는 예를 들어, CHF₃, CF₄, 또는 SF₆ 화학 반응에서의 플라즈마 식각을 이용하여 식각될 수 있다. 게이트 전극의 패터닝에 이어, 본 발명의 일 실시예에 따르면, 실리콘 옥사이드 박막(70)이 산화 환경에서 다결정 실리콘을 가열함으로써 게이트 전극(66)의 대향하는(opposing) 측벽(72)들 상에 열적으로 성장되고, 실리콘 옥사이드 박막(74)이 게이트 전극(68)의 대향하는 측벽(76)들 상에 열적으로 성장된다. 상기 층들(70, 74)은 약 2-5nm의 두께로 성장될 수 있다. 게이트 전극들(66, 68)과 상기 층들(70, 74)은 상기 MOS 트랜지스터들 다 또는 둘 중 하나 상에 소스와 드레인 연장부들(미도시)을 형성하기 위해 이온 임플란트의 마스크로서 이용될 수 있다. 복수의 소스 드레인 영역들을 형성하기 위한 방법이나 가능한 요구들은 잘 알려져 있으나, 본 발명과 밀접한 관계에 있는 것은 아니며, 따라서 본 명세서에서 설명될 필요는 없을 것이다.
- <17> 본 발명의 일 실시예에 따르면, 도 6에 도시된 바와 같이 측벽 스페이서(80)가 게이트 전극들(66, 68) 각각의 대향하는 측벽(72, 76) 상에 형성된다. 측벽 스페이서들은 게이트 전극들 위에 스페이서 물질층을 증착하고 이어서 예를 들어 반응 이온 식각(reactive ion etching)을 이용하여 상기 층을 비등방적으로 식각함으로써 실리콘 나이트라이드, 실리콘 옥사이드 등으로 형성될 수 있다. 측벽 스페이서(80)들, 게이트 전극들(66, 68), 상기 게이트 전극들 최상부 상의 하드 마스크, 및 STI(42)는 실리콘 기판에, 서로 이격되어 P-채널 게이트 전극(66)과 자기 정렬되는 트렌치들(82, 84)을 식각함과 아울러 서로 이격되어 N-채널 게이트 전극(68)과 자기 정렬되는 트렌치들(86, 88)을 식각하기 위한 식각 마스크로서 사용된다. 상기 트렌치들은 좁은 병렬 채널들(50, 54)의 끝부분들을 교차한다. 상기 트렌치들은, 예를 들어 HBr/O₂ 와 Cl의 화학 반응을 이용한 플라즈마 식각에 의해 식각될 수 있다. 각각의 트렌치들은 좁은 병렬 채널들(50, 54)의 폭과 동일 정도 크기의 깊이를 갖는 것이 바람직하다.
- <18> 도 7에 도시된 바와 같이, 상기 트렌치들은 스트레스 유발 물질층(90)으로 충전된다. 상기 스트레스 유발 물질은 실리콘의 격자 상수와 다른 격자 상수를 가지면서 실리콘 기판 상에 성장될 수 있는 어떠한 부정형 물질일 수 있다. 두 개의 병렬 배치된 물질들의 격자 상수 차이는 호스트 물질에 스트레스를 가한다. 상기 스트레스 유발 물질은 예를 들어, 약 10-30 원자 퍼센트 게르마늄을 가지는 단결정 실리콘 게르마늄(SiGe)일 수 있다. 바람직하게는 좁은 병렬 채널(50, 54)과 동일 정도 크기의 두께로 선택 성장 공정을 이용하여 상기 스트레스 유발 물질이 에피택셜하게 성장된다. 선택적인 방식으로 실리콘 호스트 상에 이러한 물질들을 에피택셜하게 성장시키는 방법은 잘 알려져 있으므로 이를 본 명세서에서 상세히 설명할 필요는 없다. SiGe의 경우에 있어서, 예를 들어 SiGe는 실리콘 보다 더 큰 격자 상수와 상기 트랜지스터 채널에 세로방향 압축 스트레스를 갖는다. 상기 세로방향 압축 스트레스는 그것 자체로서 채널의 정공들의 이동성을 증가시키고 이에 따라 P-채널 MOS 트랜지스터의 성능을 향상시킨다. 그러나 세로방향 압축 스트레스는 N-채널 MOS 트랜지스터의 채널에 있는 전자들의 이동성을 감소시킨다. 본 발명의 일 실시예에 따르면, P-채널 MOS 트랜지스터(32)와 N-채널 트랜지스터(34) 둘 다의 채널 폭을 감소시킴으로써, 가로방향 신장 스트레스가 상기 트랜지스터들의 채널에 인가되고, 이러한 스트레스

는 정공들과 전자들 둘 다의 이동성을 증가시킨다. P-채널 MOS 트랜지스터에 대해서 상기 가로방향 신장 스트레스는 캐리어 정공들 대부분의 이동성을 증가시키며 이에 더해 세로방향 압축 스트레스들에 의해 정공의 이동성이 증가된다. N-채널 MOS 트랜지스터에 대해, 가로방향 신장 스트레스에 의해 야기된 전자 이동성의 증가는 상기 신장 세로방향 스트레스에 의해 야기된 전자 이동성의 감소를 상쇄하는데 기여한다. 매립된 스트레스 유발 물질로 인해 야기되는 신장 스트레스에 의한 전자 이동성의 개선 때문에, P-채널 트랜지스터와 N-채널 트랜지스터 둘 다에 동일한 공정이 적용될 수 있다. 동일한 공정이 이들 모두의 트랜지스터들에 적용될 수 있기 때문에, 상기 N-채널 트랜지스터는 식각이나 선택 성장 단계들 동안 마스킹될 필요는 없으며, 따라서 전체 공정은 더욱 간단하고 더 신뢰성이 있게 되며, 이에 따라 더 저렴해진다.

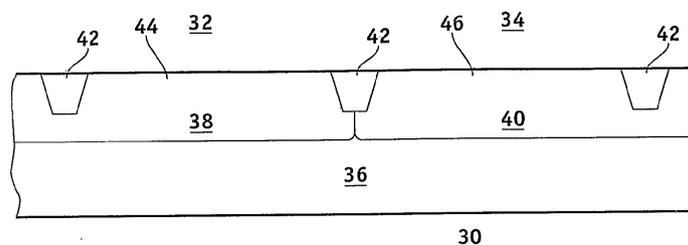
- <19> 상기 MOS 트랜지스터들의 소스와 드레인 영역은 선택 에피택셜 성장 중에 전도성을 결정하는 불순물들로 부분적으로 또는 전체적으로 인-시투(in-situ) 도핑될 수 있다. 다른 방법으로서, 도 8에 도시된 바와 같이 트렌치들(82, 84, 86, 88) 내에서의 스트레스 유발 물질 성장에 이어서, P-타입 전도성 결정 이온들이 P-채널 MOS 트랜지스터(32)의 소스 영역(92)과 드레인 영역(94)를 형성하기 위하여 트렌치들(82, 84)의 스트레스 유발 물질들 내로 임플란트된다. 유사하게, N-타입 전도성 결정 이온들이 N-채널 MOS 트랜지스터(34)의 소스 영역(96)과 드레인 영역(98)을 형성하기 위하여 트렌치들(86, 88)의 스트레스 유발 물질 내로 임플란트된다.
- <20> 스트레스형 MOS 디바이스(30)는 유전 물질층을 증착하는 단계, 소스와 드레인의 부분들을 노출시키기 위해 상기 유전 물질층을 통해 개구부를 식각하는 단계, 및 상기 소스와 드레인 영역에 전기적으로 접속하도록 상기 개구부들을 통해 연장되는 금속화부를 형성하는 단계들과 같은 공지된 단계들(미도시)에 의해 완성될 수 있다. 더욱이 층 사이의 유전 물질층들, 추가 상호연결 금속화층들 등은 실시되는 집적 회로의 적절한 회로 기능을 얻기 위해 적용되거나 패터닝될 수 있다.
- <21> 전술한 본 발명의 상세한 설명에서 적어도 하나의 실시예가 제시되었지만, 수많은 변형 실시예가 가능함이 인지되어야 할 것이다. 상기 실시예(들)은 단지 예시일뿐이며 본 발명의 범위, 응용, 또는 구성을 한정하고자 의도된 것이 아님이 인지되어야 할 것이다. 전술한 상세한 설명은 당업자가 본 발명에 따른 실시예를 실시하기 위한 편리한 로드맵을 제공하기 위한 것이다. 첨부된 특허 청구 범위에 제시된 범위 및 이의 법적 균등 범위를 벗어남이 없이 전술한 실시예에서의 기능 및 구성요소들의 배열에 있어서 다양한 변경을 가할 수 있음이 이해되어야 한다.

도면의 간단한 설명

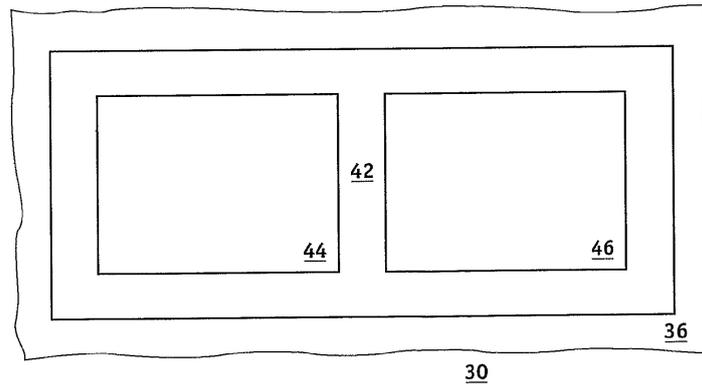
- <6> 본 발명은 첨부된 도면과 관련하여 이하 설명될 것이며, 유사한 번호는 유사한 구성요소를 나타낸다.
- <7> 도 1 및 도 4내지 8은 스트레스형 MOS 디바이스와 본 발명의 다양한 실시예에 따른 그것의 제조방법을 나타낸 단면도이다.
- <8> 도 2와 도 3은 제조 공정 단계에서의 스트레스형 MOS 디바이스의 일부를 개략적으로 나타낸 평면도이다.

도면

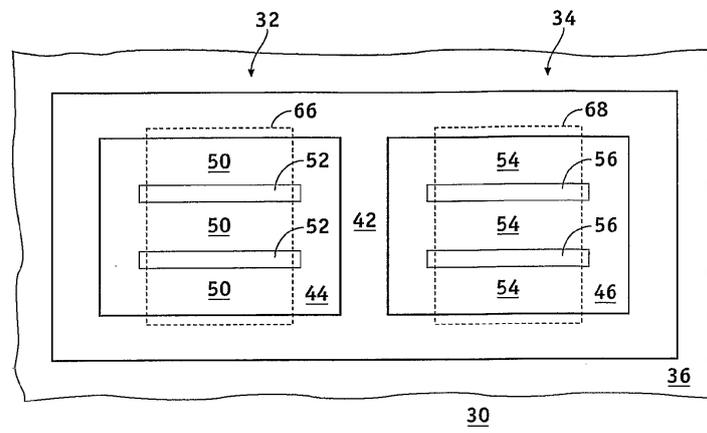
도면1



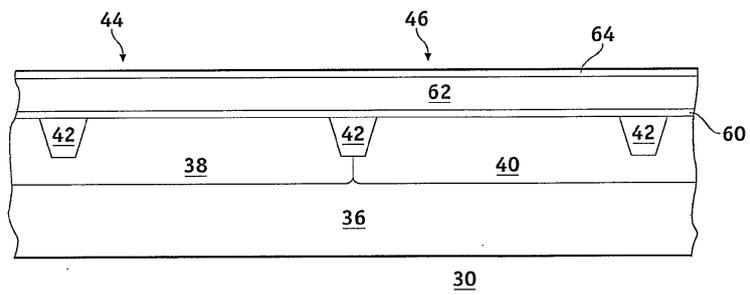
도면2



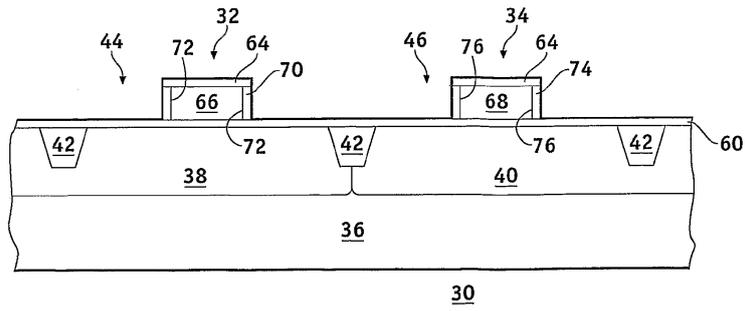
도면3



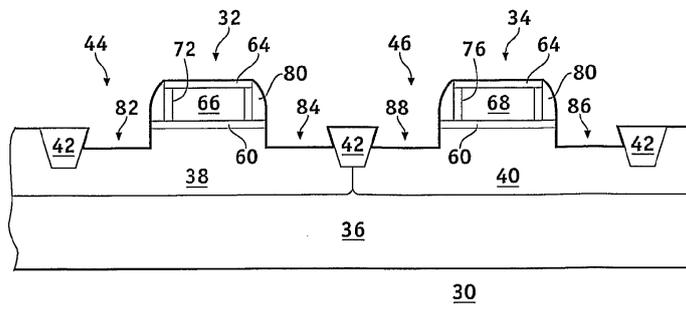
도면4



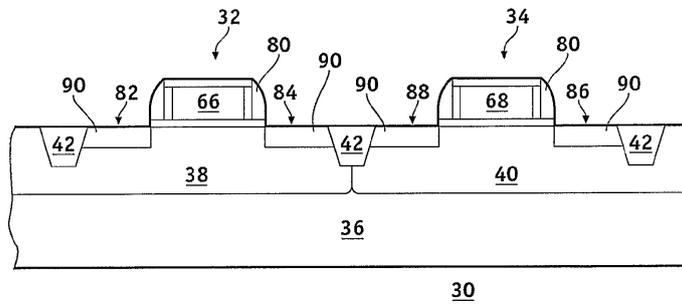
도면5



도면6



도면7



도면8

