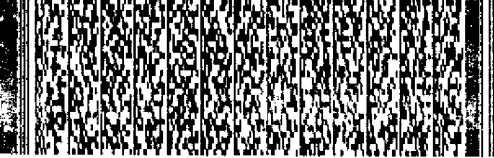


申請日期： 類別：	880818 H01L 29/772	案號： 88114141	公告本
--------------	-----------------------	-----------------	-----

(以上各欄由本局填註)

發明專利說明書		427027
一、 發明名稱	中文	一種MOS電晶體的製作方法
	英文	
二、 發明人	姓名 (中文)	1. 李宗翰
	姓名 (英文)	1. Tzung-Hau Lee
	國籍	1. 中華民國
	住、居所	1. 台北市民生東路五段178號13樓之2
三、 申請人	姓名 (名稱) (中文)	1. 聯華電子股份有限公司
	姓名 (名稱) (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路三號
	代表人 姓名 (中文)	1. 曹興誠
	代表人 姓名 (英文)	1.
		

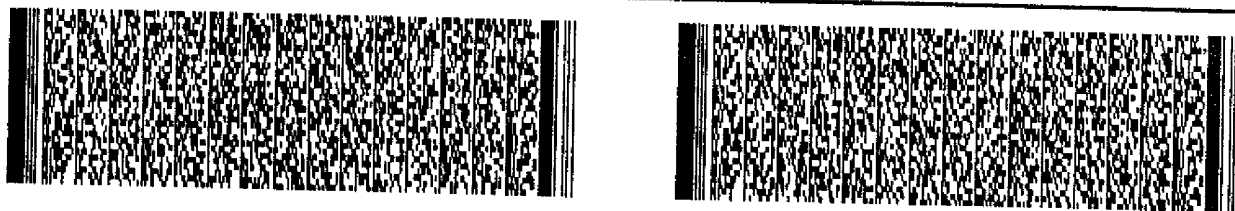
## 五、發明說明 (1)

本發明係提供一種MOS電晶體的製作方法，尤指一種同時製作MOS電晶體之閘極以及MOS電晶體之源極與汲極之轉接墊的方法。

動態隨機記憶體(dynamic random access memory, DRAM)之記憶單元(memory cell)主要是由一金屬氧化半導體(metal oxide semiconductor, MOS)電晶體、一電容器(capacitor)以及一電極接觸(node contact)所構成。MOS電晶體是用來當作記憶單元中的開關電晶體(pass transistor)以控制電荷的傳送與否，電容器是用來儲存電荷以記憶或輸出資料，而電極接觸則是一種接觸插塞(contact plug)，用來順利地將MOS電晶體與電容器電連接起來，以構成記憶單元。

請參閱圖一與圖二，圖一與圖二為習知製作MOS電晶體25的方法示意圖。MOS電晶體25是製作於一半導體晶片10之矽基底12上。如圖一所示，習知在製作MOS電晶體25時，是先於矽基底12上形成一矽氧層14，接著再於矽氧層14表面之一預定區域上形成閘極16，然後利用一離子佈植(ion implantation)製程，以於閘極16兩側之矽基底12上形成一摻雜區20，用來作為MOS電晶體25的輕摻雜汲極(lightly doped drain, LDD)。

如圖二所示，接著於閘極16之周圍部份形成一由氮化



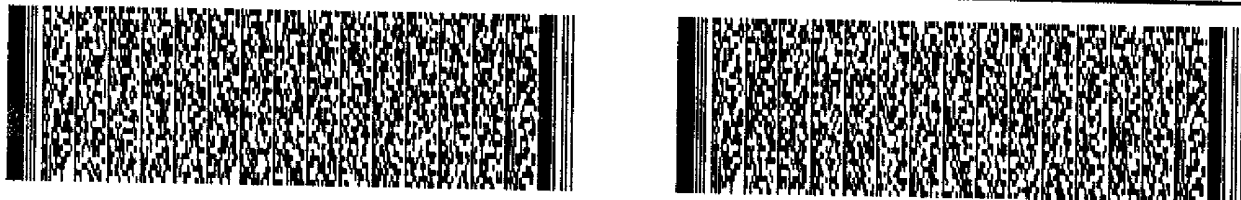
## 五、發明說明 (2)

矽(silicon nitride)所構成之側壁子(spacer) 22。然後再次進行離子佈植製程，以於側壁子22外緣之矽基底12上形成一較濃的摻雜區，用來作為MOS電晶體25之源極或汲極24，完成MOS電晶體25的製作。

然而隨著半導體元件的設計逐漸縮小，僅利用蝕刻與沉積等製程來製作DRAM中之電極接觸也變得更加困難。因此在目前的半導體製程中，大多會在電極接觸的底部製作一個轉接墊(landing pad)以及另一個接觸插塞，來降低電極接觸整體製程困難度，進而確保整個DRAM的電性品質。

請參考圖三至圖七，圖三至圖七為於圖二所示之半導體晶片10上製作轉接墊38的製程示意圖。當MOS電晶體25製作完成後，便可以開始於源極或汲極24之上方製作一轉接墊38。如圖三所示，先於半導體晶片10表面形成一由氧化矽(silicon oxide)所構成之介電層26，然後利用黃光(lithography)製程，以於介電層26表面形成一包含有一通達至介電層26表面之孔洞30的第一光阻層28。接著如圖四所示，進行一非等向性蝕刻製程，以向下去除孔洞30下方之介電層26，形成一接觸洞32。隨後進行一去光阻製程，以完全去除半導體晶片10表面之第一光阻層28。

如圖五所示，於半導體晶片10表面均勻地形成一導電



## 五、發明說明 (3)

層34，並使其填滿接觸洞32。然後如圖六所示，再於導電層34表面之一預定區域上形成一第二光阻層36，用來定義轉接墊38的位置。如圖七所示，去除未被第二光阻層36所覆蓋之導電層34，然後去除第二光阻層36，完成轉接墊38的製作。其中，導電層34之上端凸出於介電層26的部份便是用來當作轉接墊38，用來電連接於一後續製作之電容的下層儲存電極(storage node)，而導電層34下端之柱狀部分則是用來當作一接觸插塞37，用來電連接於矽基底12表面的汲極或源極24。

然而習知在製作轉接墊38時，係先於半導體晶片10表面完成MOS電晶體25之後，才繼續進行轉接墊38的製程。所以吾人必須嚴格地控制黃光製程，以於第一光阻層28上形成孔洞30來精確地定位出接觸插塞37的位置，進而避免在進行介電層26的蝕刻製程時，因氮化矽對氧化矽的蝕刻選擇比不佳，而導致誤蝕到相鄰之閘極16表面以及其側壁子22，造成該接觸插塞與閘極16之間的距離過近，產生電性耦合(electrical coupling)效應，影響DRAM的電性表現。隨後便於半導體晶片10表面均勻地形成一導電層34以填滿接觸洞32，然後須再次進行一道黃光製程，以定位出轉接墊38的正確位置。所以整個DRAM製程會變得相當繁雜，不易控制。

因此，本發明之主要目的在於提供一種MOS電晶體的



## 五、發明說明 (4)

製作方法，其不但可以同時製作MOS電晶體之閘極以及源極與汲極的轉接墊，而且能夠簡化整個半導體製程步驟，提昇產品的電性表現。

## 圖示之簡單說明

圖一與圖二為習知製作MOS電晶體的方法示意圖。

圖三至圖七為於圖二所示之半導體晶片上製作轉接墊的製程示意圖。

圖八至圖十七為本發明製作MOS電晶體的方法示意圖。

## 圖示之符號說明

40 半導體晶片	42 矽基底
44 矽氧層	46 多晶矽層
48 第一介電層	50 輕摻雜汲極
52 第二介電層	53 側壁子
54 源極與汲極	56 導電層
58 金屬矽化物層	60 轉接墊

請參考圖八至圖十七，圖八至圖十七為本發明製作MOS電晶體的方法示意圖。本發明係提供一種同時於一半導體晶片40之矽基底42上製作一MOS電晶體之閘極47以及一轉接墊60的方法。其中MOS電晶體是用來作為一動態隨機存取記憶體之記憶單元中的開關電晶體，而轉接墊60之

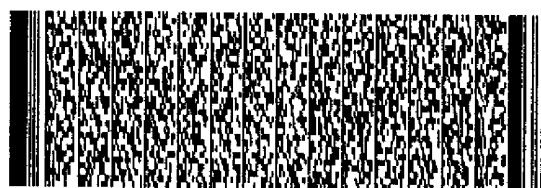
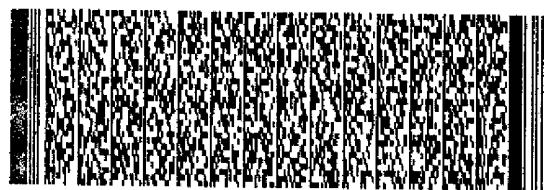
## 五、發明說明 (5)

上端係用來連接記憶單元之電容(capacitor)的下層儲存電極(storage node)或位元線(bit line)。

如圖八所示，本發明之方法係先於矽基底42表面上形成一矽氧層44，然後再於矽氧層44表面之一預定區域上形成一多晶矽(poly-silicon)層46。如圖九所示，接著於多晶矽層46表面之一特定區域上形成一層氮矽化合物當作第一介電層48。然後進行一離子佈植製程，以於多晶矽層46外圍兩側之矽基底42上形成二輕摻雜(lightly doped)區50，用來做為MOS電晶體之輕摻雜汲極(lightly doped drain, DDD)，如圖十所示。

如圖十一所示，隨後於矽氧層44、多晶矽層46以及第一介電層48表面均勻地形成一層氧化矽當作第二介電層52。如圖十二所示，跟著進行一回蝕刻(etching back)製程，以完全去除第一介電層48表面上方的第二介電層52，並使殘留於多晶矽層46以及第一介電層48周圍的第二介電層52形成一側壁子53。

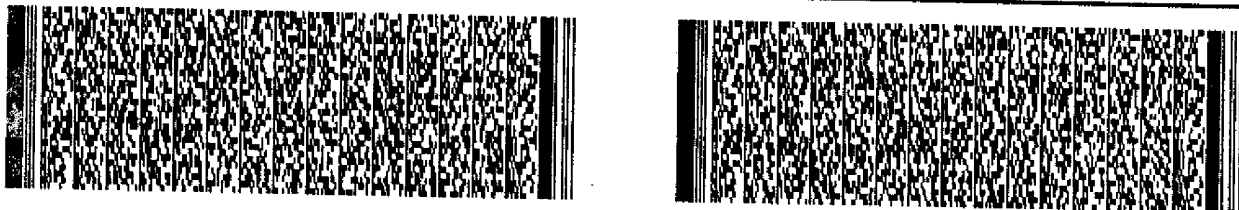
如圖十三所示，然後利用一蝕刻(etch)製程，以完全去除位於多晶矽層46上方以及側壁子53內側的第一介電層48。隨後如圖十四所示，再次進行該離子佈植製程，以於側壁子53外緣之矽基底42表層形成二摻雜區54，用來做為MOS電晶體之源極以及汲極54。



## 五、發明說明 (6)

如圖十五所示，接下來便於半導體晶片10表面均勻地形成一非晶矽(amorphous silicon)層、多晶矽層或者是磊晶矽(epitaxy)層並填滿於側壁子53內側之空間，用來當作導電層56。然後利用化學機械研磨法(chemical mechanical polishing, CMP)來對導電層56表面進行一平坦化(planarization)製程，以去除側壁子53之頂端部分的導電層56，使得側壁子53內側及外側之導電層56得以因側壁子53的屏壁作用而相互隔離。其中，位於側壁子53內側之多晶矽層46以及其上方之導電層56，是用來複合構成為MOS電晶體的閘極57。隨後再進行一離子佈植製程，以於導電層56內摻雜ⅢA族之硼(Boron, B)離子或VA族之砷(arsenic, As)離子，來降低導電層56的電阻值。

如圖十六所示，然後進行一自行對準金屬矽化物(self-aligned silicide, 簡稱salicide)製程，以於導電層56之表面形成一金屬矽化物層(silicide) 58，進而降低導電層56表面之片電阻(sheet resistance)。Salicide製程是先於半導體晶片40表面上沈積一金屬鎢層(未顯示)，接著再將半導體晶片40置入一高溫環境中，迫使該金屬鎢層與矽質的導電層56反應形成矽化鎢(tungsten silicon, WSiX)，也就是金屬矽化物層58。隨後再去除未反應的金屬鎢層，完成Salicide製程。



## 五、發明說明 (7)

如圖十七所示，最後再利用一黃光暨蝕刻製程，去除矽基底42表面之特定區域的導電層56以及金屬矽化物層58，以使MOS電晶體相隔離於矽基底42表面的其他元件，避免短路。

雖然在上述本發明所揭露的實施例中，係使用氮矽化合物當作第一介電層48，然後再選用氧化矽當作第二介電層52。但是在實際的應用上，只要第一介電層48與第二介電層52的材質不相同，而且能形成一良好的蝕刻選擇比即可，其材質的選擇並不會影響本發明之應用性。例如本發明之方法即可改用氧化矽來當作第一介電層48，然後再使用氮矽化合物來當作第二介電層52，以形成側壁子53，終至完成整個MOS電晶體的製程。

此外，由於本發明是以側壁子53內側之多晶矽層46與導電層56來作為MOS電晶體之閘極47，然後再利用側壁子53當作一隔離絕緣物，以利用側壁子53外側的導電層56以及金屬矽化物層58來當作轉接墊60。所以本發明之方法並不需要進行二道黃光製程來定義出整個轉接墊60的正確位置，即可以同時製作出MOS電晶體的閘極47以及轉接墊60等結構物，進而使得整個半導體的製程變得比較簡單而且容易控制，更能維持半導體晶片40的產品品質。

相較於習知製作MOS電晶體以及轉接墊的方法，本發



## 五、發明說明 (8)

明之製作MOS電晶體的方法，不但可以同時製作出MOS電晶體的閘極以及MOS電晶體之汲極/源極上方的轉接墊，而且能大幅簡化整個半導體晶片的製作過程，並確保DRAM的電性表現。

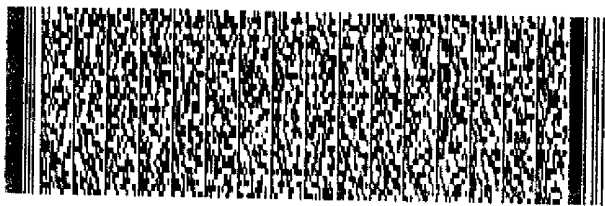
以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 四、中文發明摘要 (發明之名稱：一種MOS電晶體的製作方法)

本發明係提供一種於一半導體晶片之矽基底表面製作一MOS電晶體的方法。本發明之方法係先於該矽基底表面形成一矽氧層，再於該矽氧層表面上形成一多晶矽層以及一尺寸較小之氮矽層。隨後於該該多晶矽層以及氮矽層之周圍形成一氧化矽之側壁子(spacer)，接著去除位於該側壁子內側之氮矽層，然後再於該側壁子外緣之矽基底上形成該MOS電晶體之源極與汲極。接下來便於該半導體晶片表面均勻地形成一導電層，並填滿該側壁子內側之空隙，然後利用CMP來去除該側壁子的頂部區域，使得該側壁子內側及外側之導電層得以藉由該側壁子的屏障隔離，而分別形成該MOS電晶體的閘極以及該源極與汲極的轉接墊(landing pad)。

## 英文發明摘要 (發明之名稱：)



## 六、申請專利範圍

1. 一種於一半導體晶片表面製作一金屬氧化半導體 (metal oxide semiconductor, MOS) 電晶體的方法，該半導體晶片表面包含有一矽基底 (silicon substrate)，該方法包含有下列步驟：

於該矽基底表面形成一矽氧層；

於該矽氧層表面之一預定區域上形成一多晶矽 (poly-silicon) 層以及一第一介電層，該第一介電層係位於該多晶矽層表面之一特定區域上；

於該矽氧層、多晶矽層以及第一介電層表面均勻地形成一第二介電層；

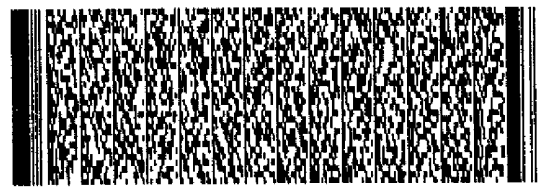
進行一回蝕刻 (etching back) 製程，以完全去除該第一介電層上方之第二介電層，並使殘餘於該多晶矽層以及第一介電層周圍之第二介電層形成一側壁子 (spacer)；

進行一蝕刻 (etch) 製程，以完全去除位於該側壁子內側之第一介電層；

進行一離子佈植 (ion implantation) 製程，於該側壁子外緣之矽基底上形成二摻雜區，做為該MOS電晶體之源極 (source) 以及汲極 (drain)；

於該半導體晶片表面均勻地形成一導電層，並使該導電層填滿該側壁子內側之空間；以及

進行一平坦化 (planarization) 製程使該導電層之表面平坦化並同時去除該側壁子之頂端部分，該側壁子內側及外側之導電層會因為該側壁子而相互隔離，而位於該側壁子內側之多晶矽層及其上方之導電層則係用來做為該



## 六、申請專利範圍

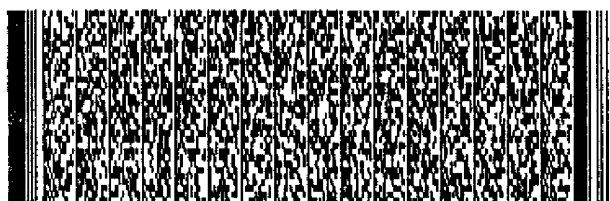
MOS 電晶體的閘極(gate)。

2. 如申請專利範圍1之製作方法，其中該MOS電晶體係形成於該矽基底表面之一預定區域內，而該製作方法於完成該平坦化製程後另包含有下列步驟：  
去除位於該矽基底表面之該預定區域邊緣之導電層，使該MOS電晶體得以與該矽基底表面之其他元件相隔離，並同時使位於該源極與汲極上方之導電層相互隔離，而位於該源極與汲極上方之導電層係分別用來做為該源極與汲極之轉接墊(landing pad)。
3. 如申請專利範圍2之製作方法，其中該MOS電晶體係為一動態隨機存取記憶體(dynamic random access memory, DRAM)之記憶單元(memory cell)中的開關電晶體(pass transistor)，而該轉接墊之上端係用來連接於該記憶單元中之電容(capacitor)的下層儲存電極(storage node)或該DRAM之一位元線(bit line)。
4. 如申請專利範圍1之製作方法，其中在形成該第二介電層之前另包含有一離子佈植製程，用來於該多晶矽層外圍兩側之矽基底上形成二摻雜區，做為該MOS電晶體之輕摻雜汲極(lightly doped drain, LDD)。
5. 如申請專利範圍1之製作方法，其中該平坦化製程係

## 六、申請專利範圍

為一化學機械研磨法(chemical mechanical polishing, CMP)。

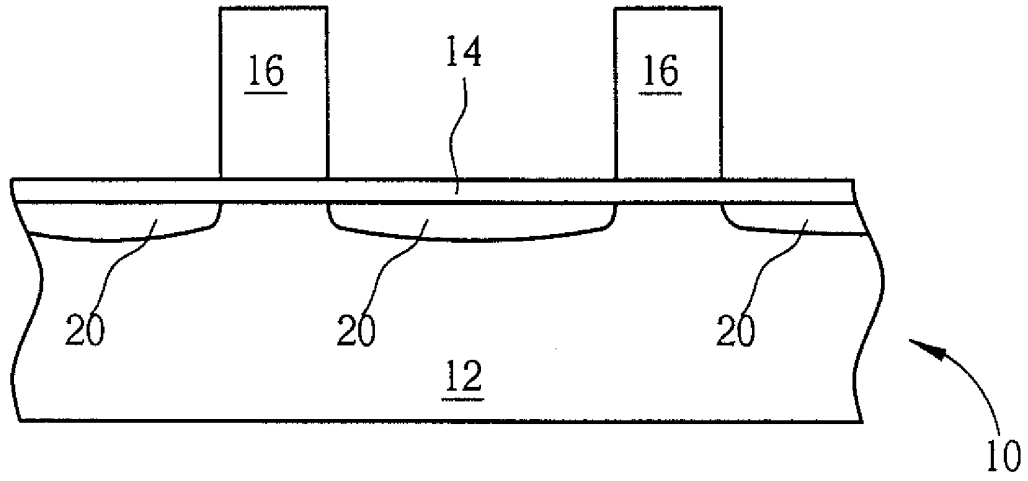
6. 如申請專利範圍1之製作方法，其中該第一介電層係由氧化矽(silicon oxide,  $\text{SiO}_2$ )所構成，而該第二介電層係由氮化矽(silicon nitride,  $\text{SiN}$ )所構成。
7. 如申請專利範圍1之製作方法，其中該第一介電層係由氮化矽所構成，而該第二介電層係由氧化矽所構成。
8. 如申請專利範圍1之製作方法，其中該導電層係由多晶矽(poly-silicon)層或磊晶矽(epitaxy)層所構成。
9. 如申請專利範圍8之製作方法，其中該導電層中含有ⅢA族或VA族之摻質(dopant)，用來降低該導電層之電阻值。
10. 如申請專利範圍9之製作方法，其中該ⅢA族的摻質係為硼(Boron, B)的離子，而該VA族的摻質係為砷(arsenic, As)。
11. 如申請專利範圍10之製作方法，其中該導電層之表面另設有一金屬矽化物層(silicide)，用來降低該導電層表面之片電阻(sheet resistance)。



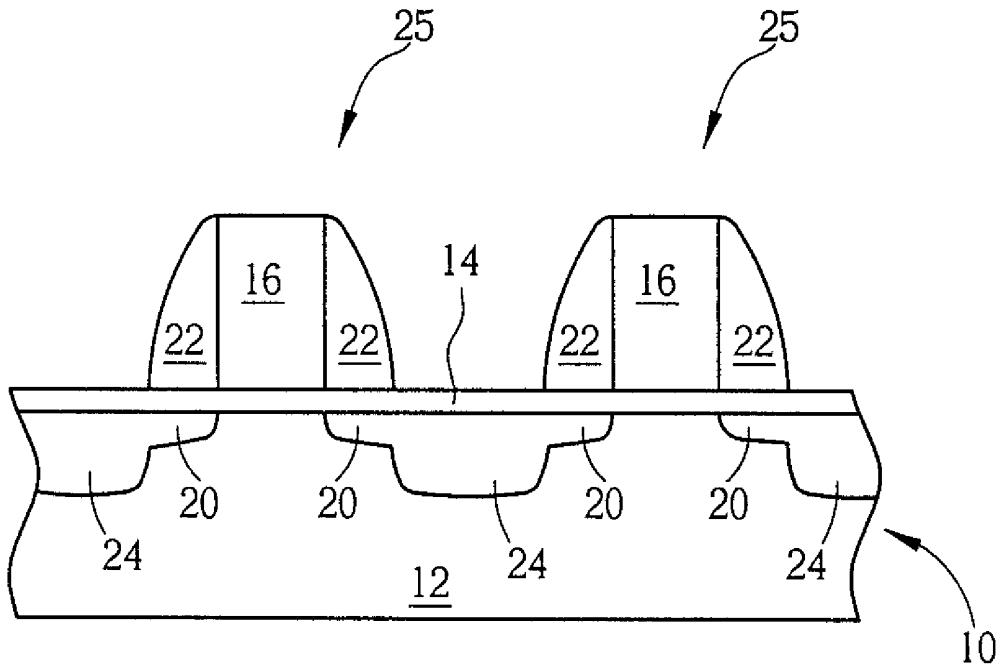
## 六、申請專利範圍

12. 如申請專利範圍11之製作方法，其中該金屬矽化物層為矽化鎢(tungsten silicon,  $WSi_x$ )。

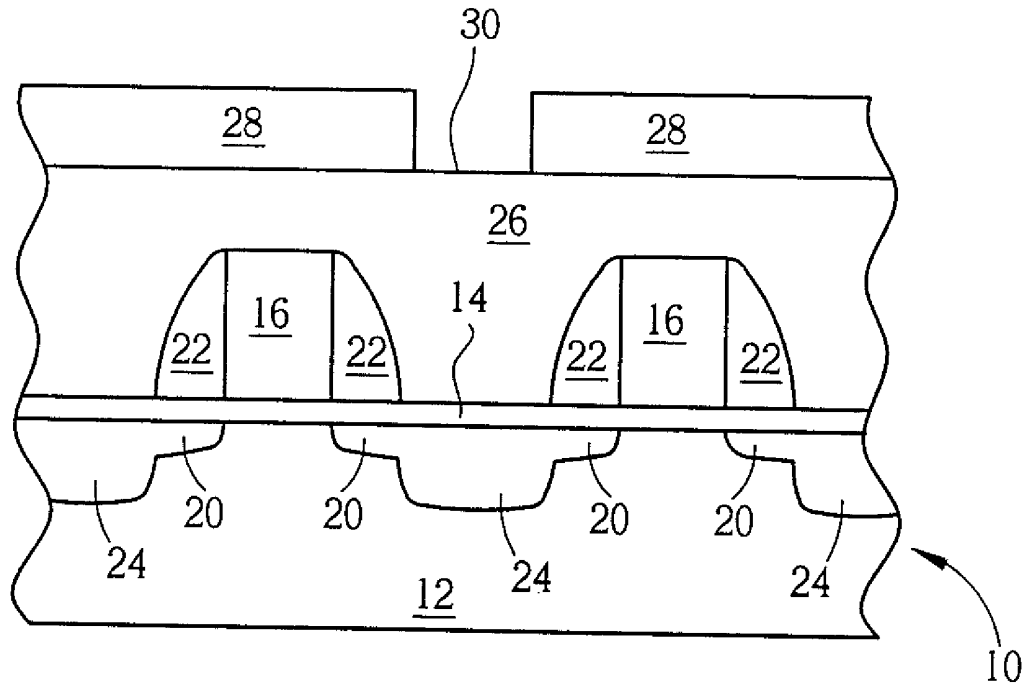




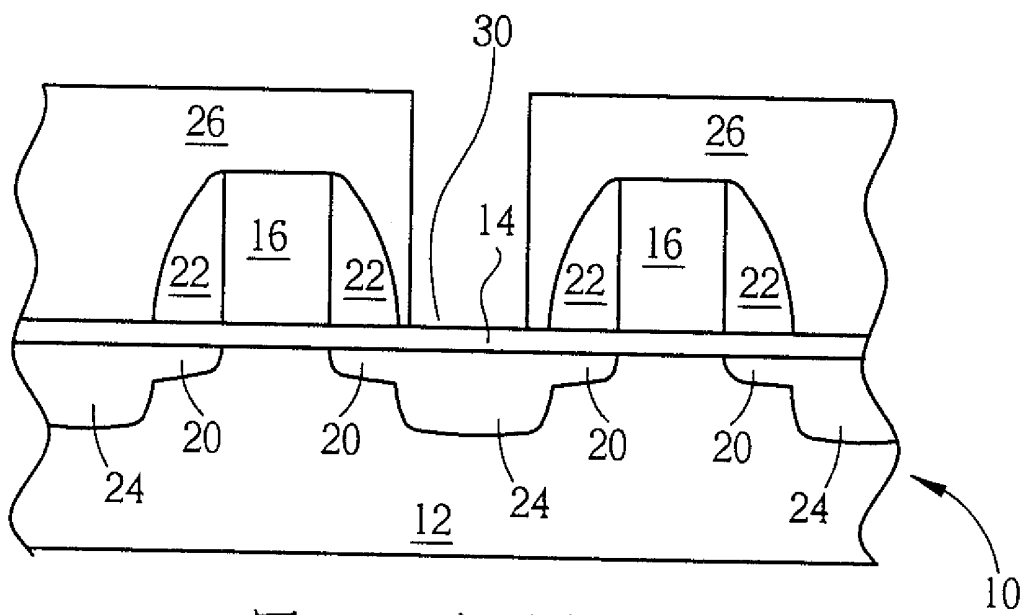
圖一 先前技術



圖二 先前技術

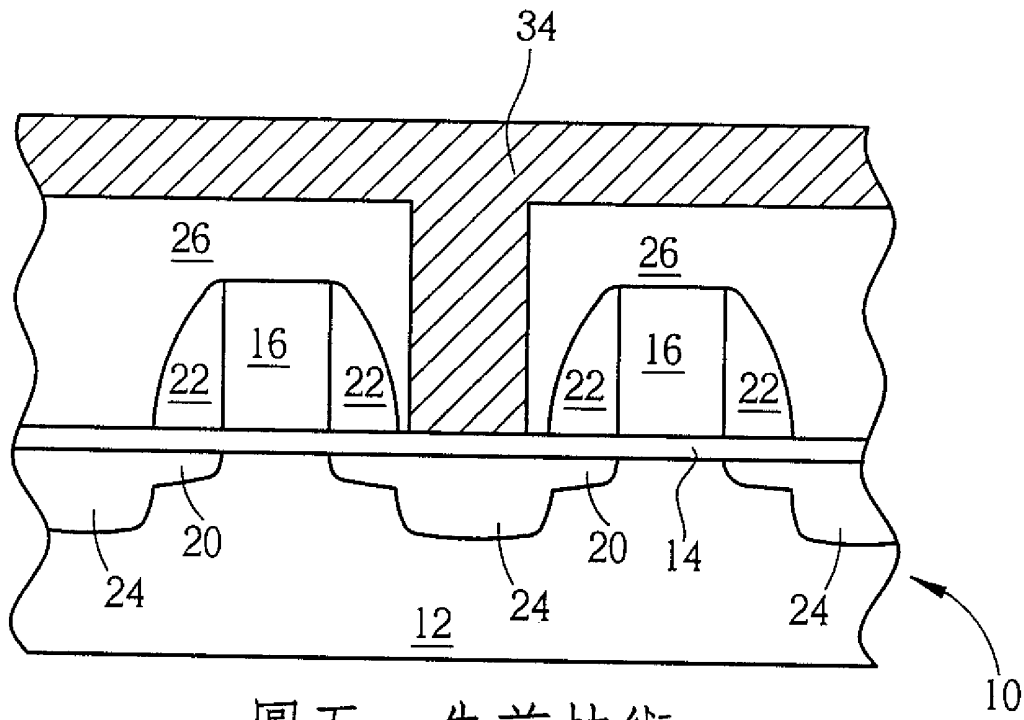


圖三 先前技術

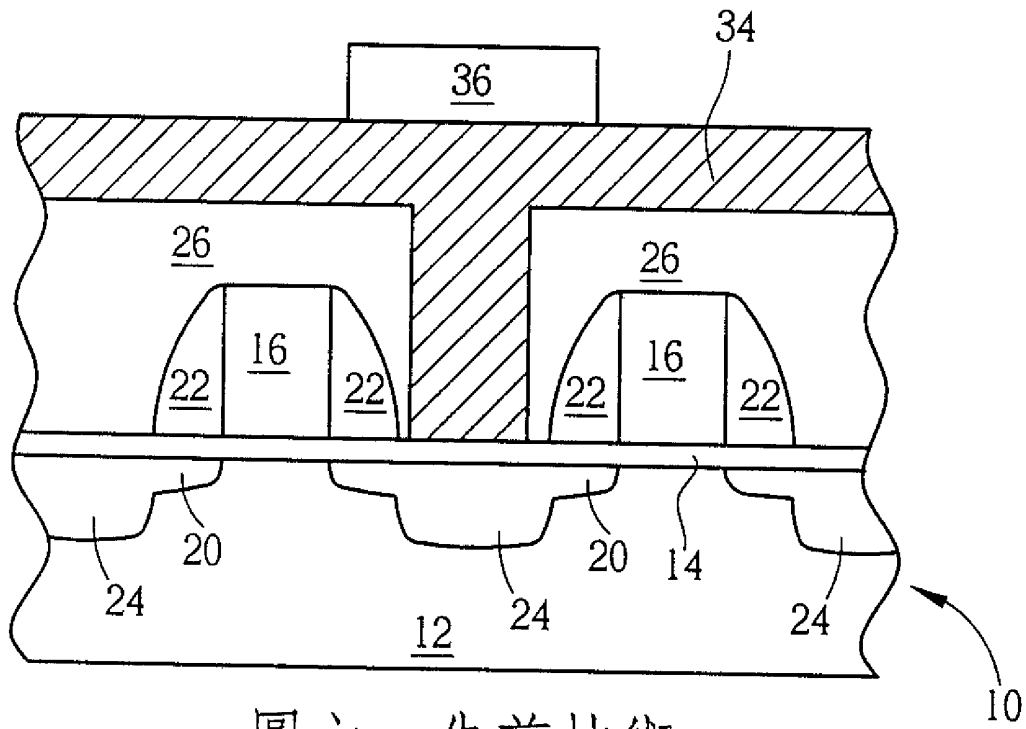


圖四 先前技術

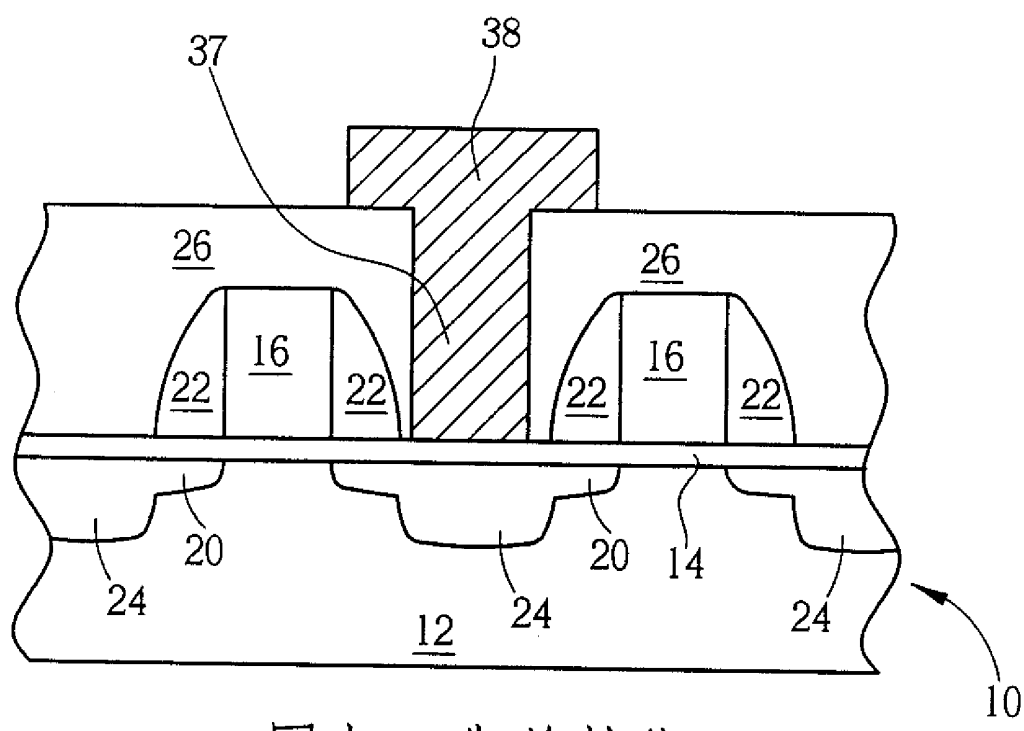




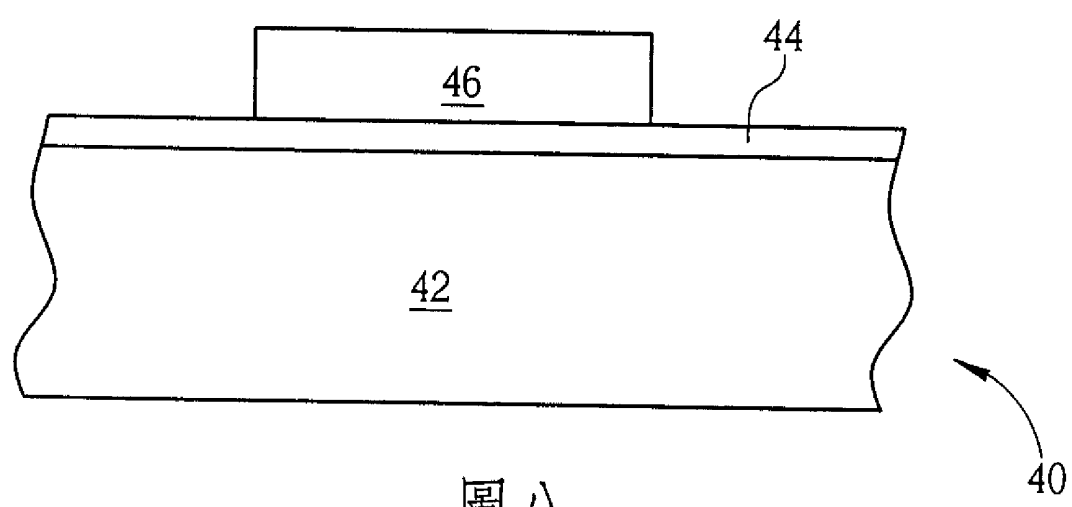
圖五 先前技術



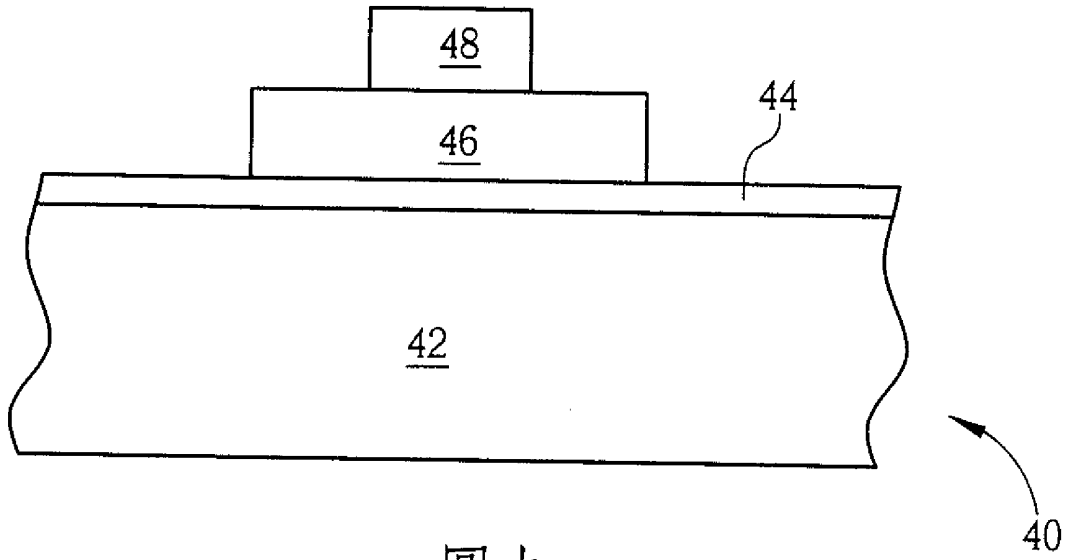
圖六 先前技術



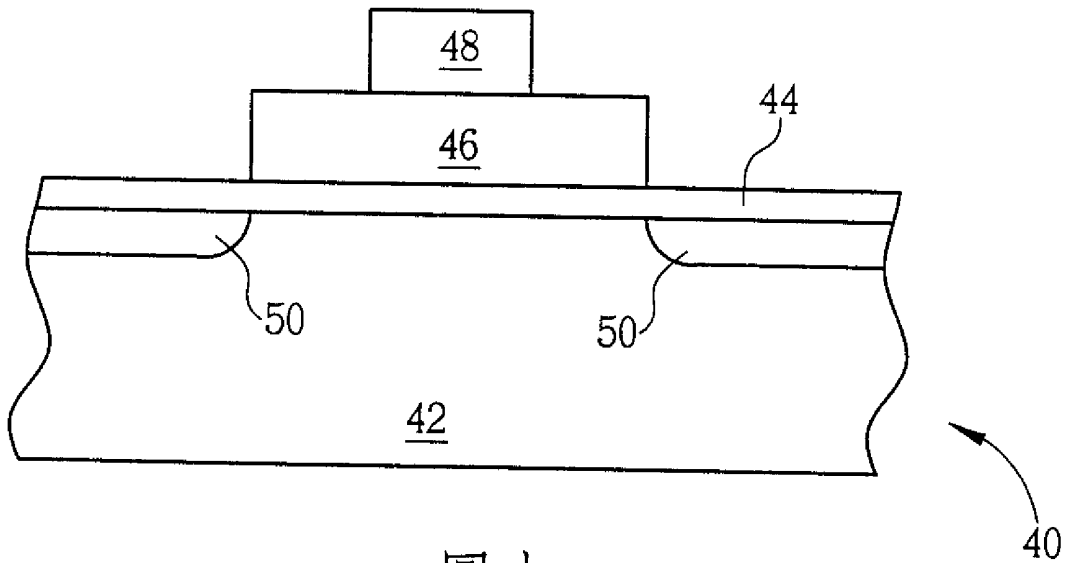
圖七 先前技術



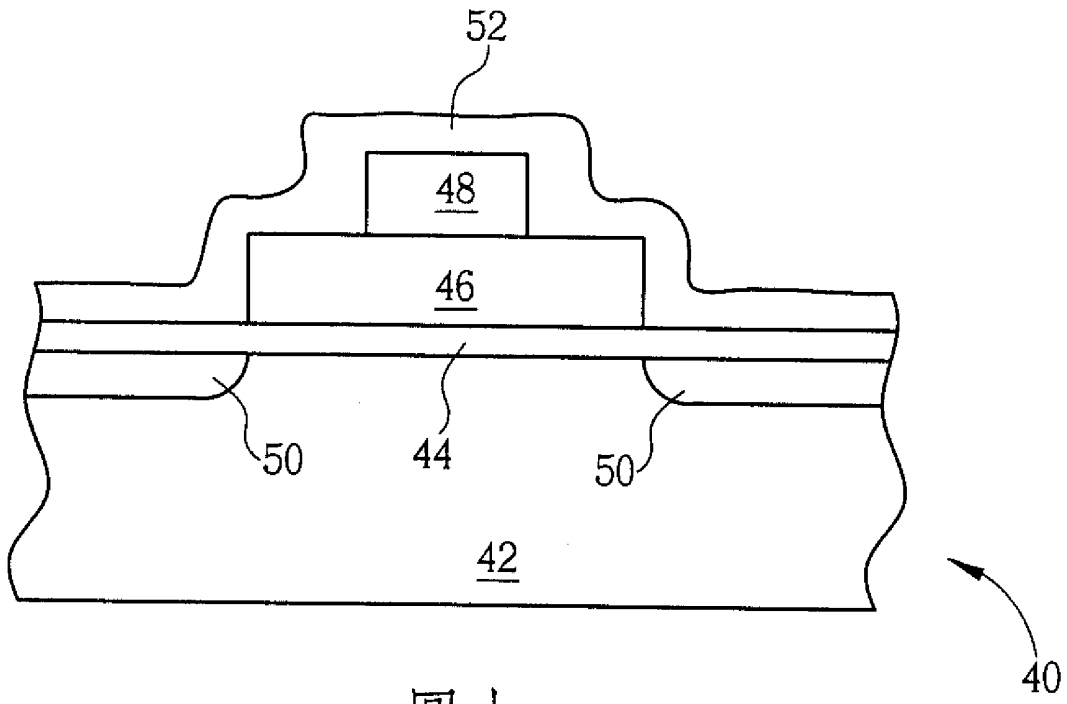
圖八



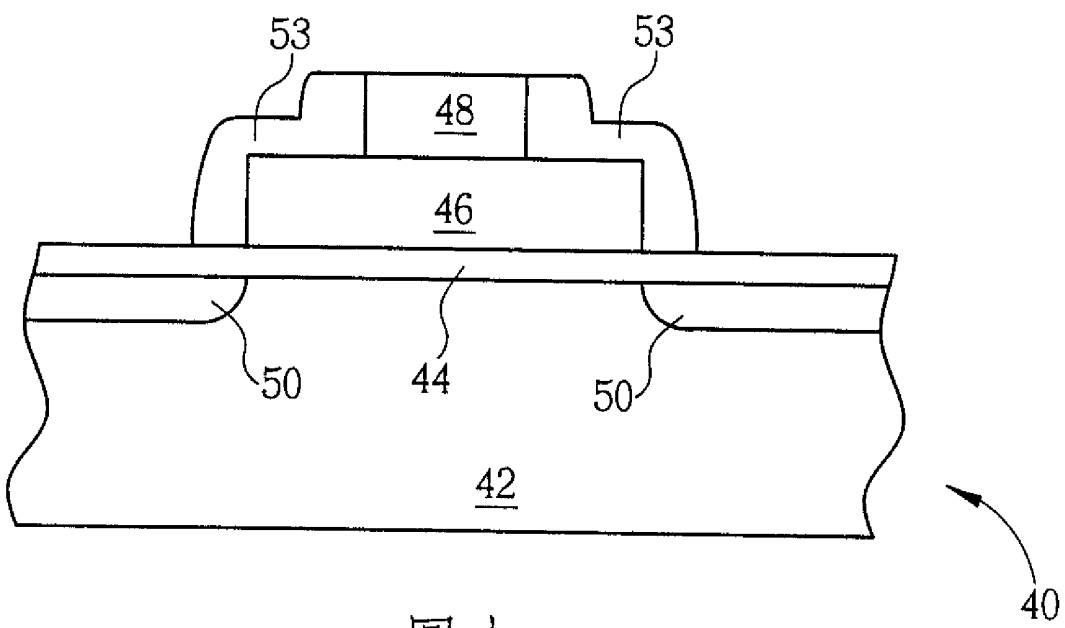
圖九



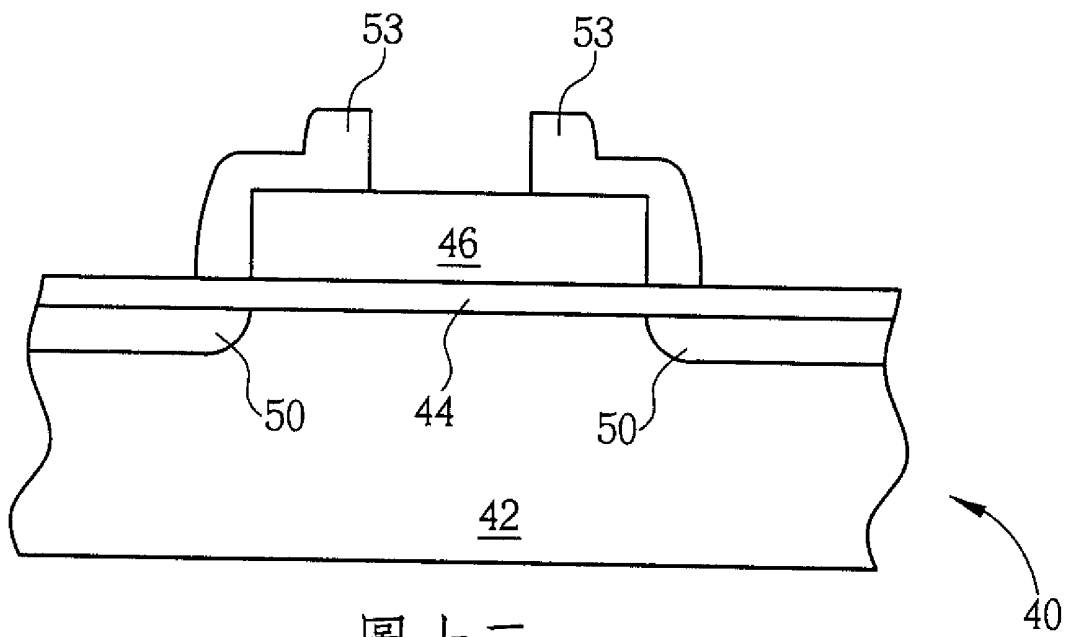
圖十



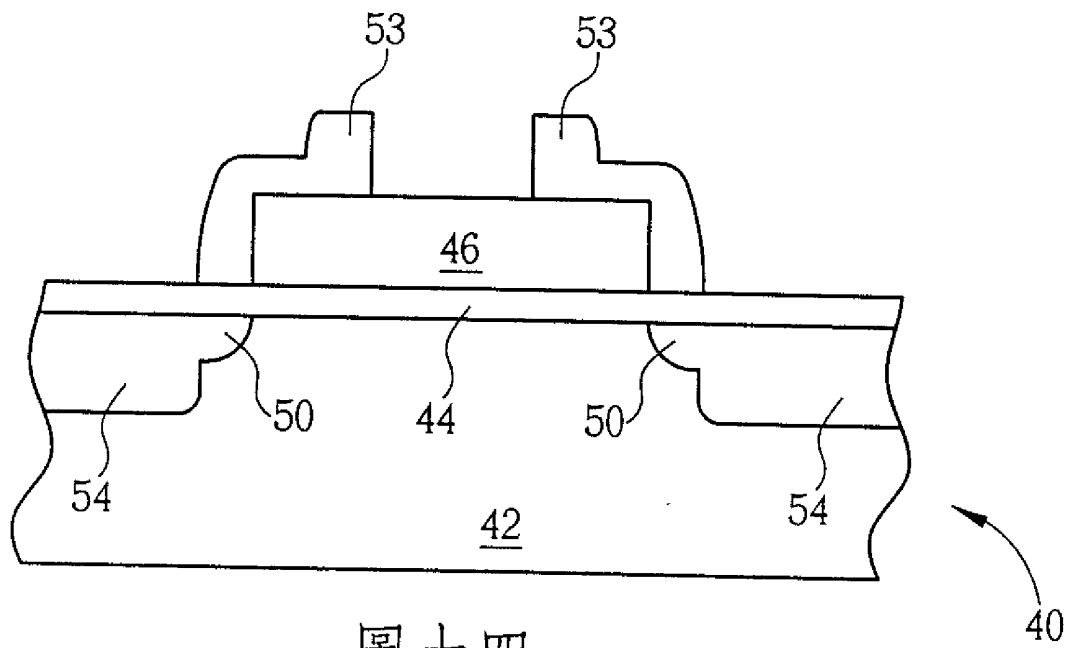
圖十一



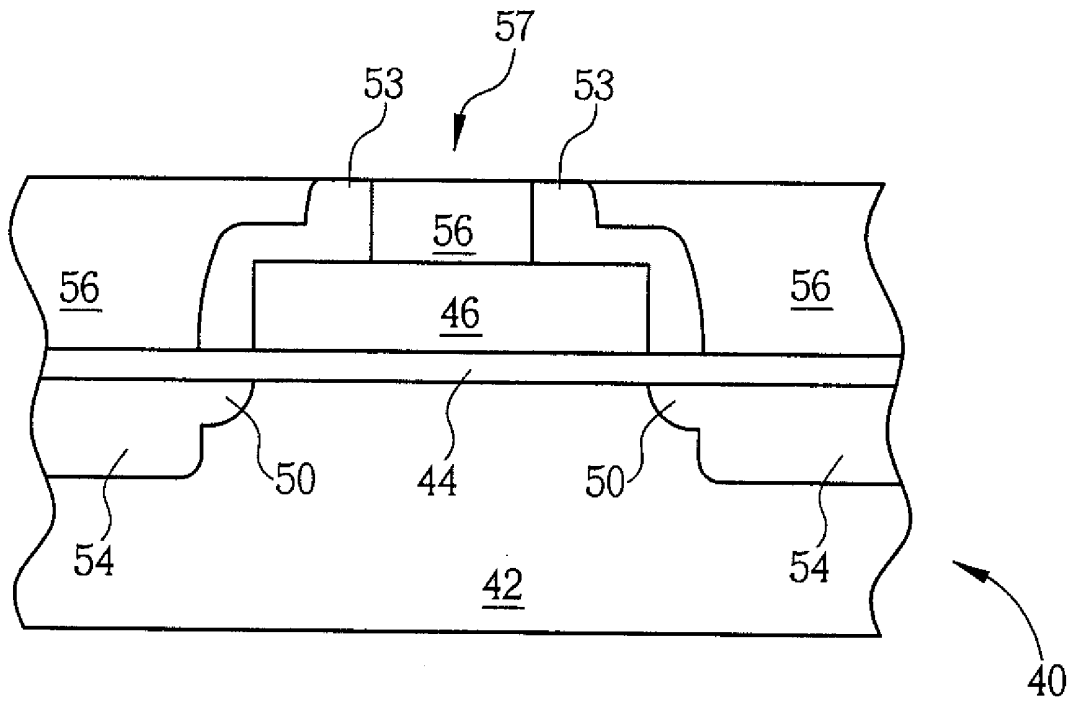
圖十二



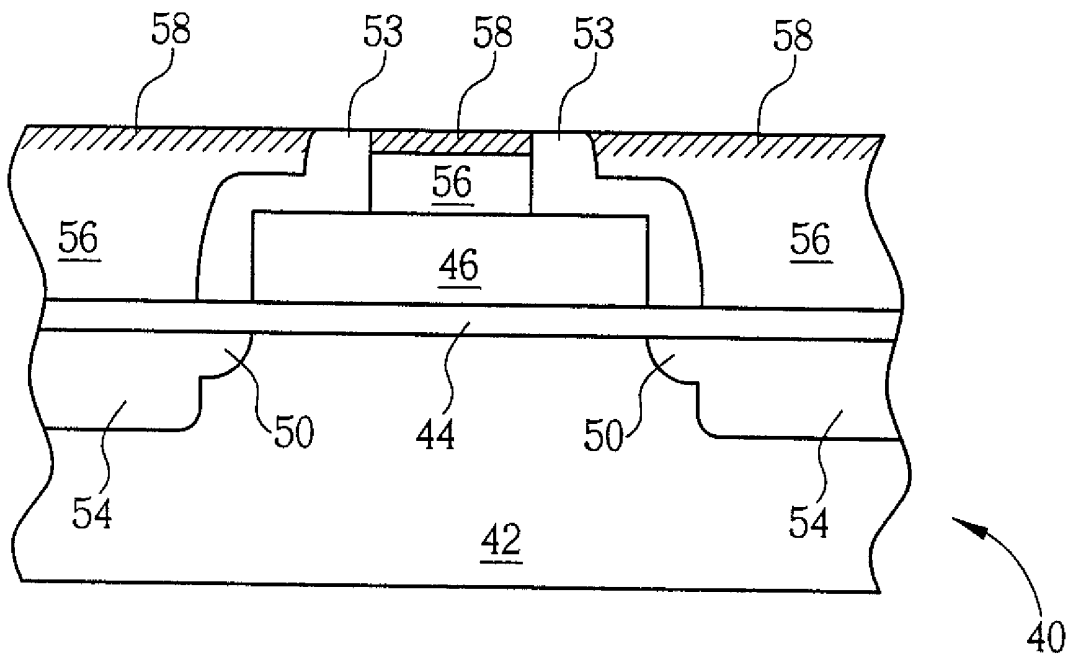
圖十三



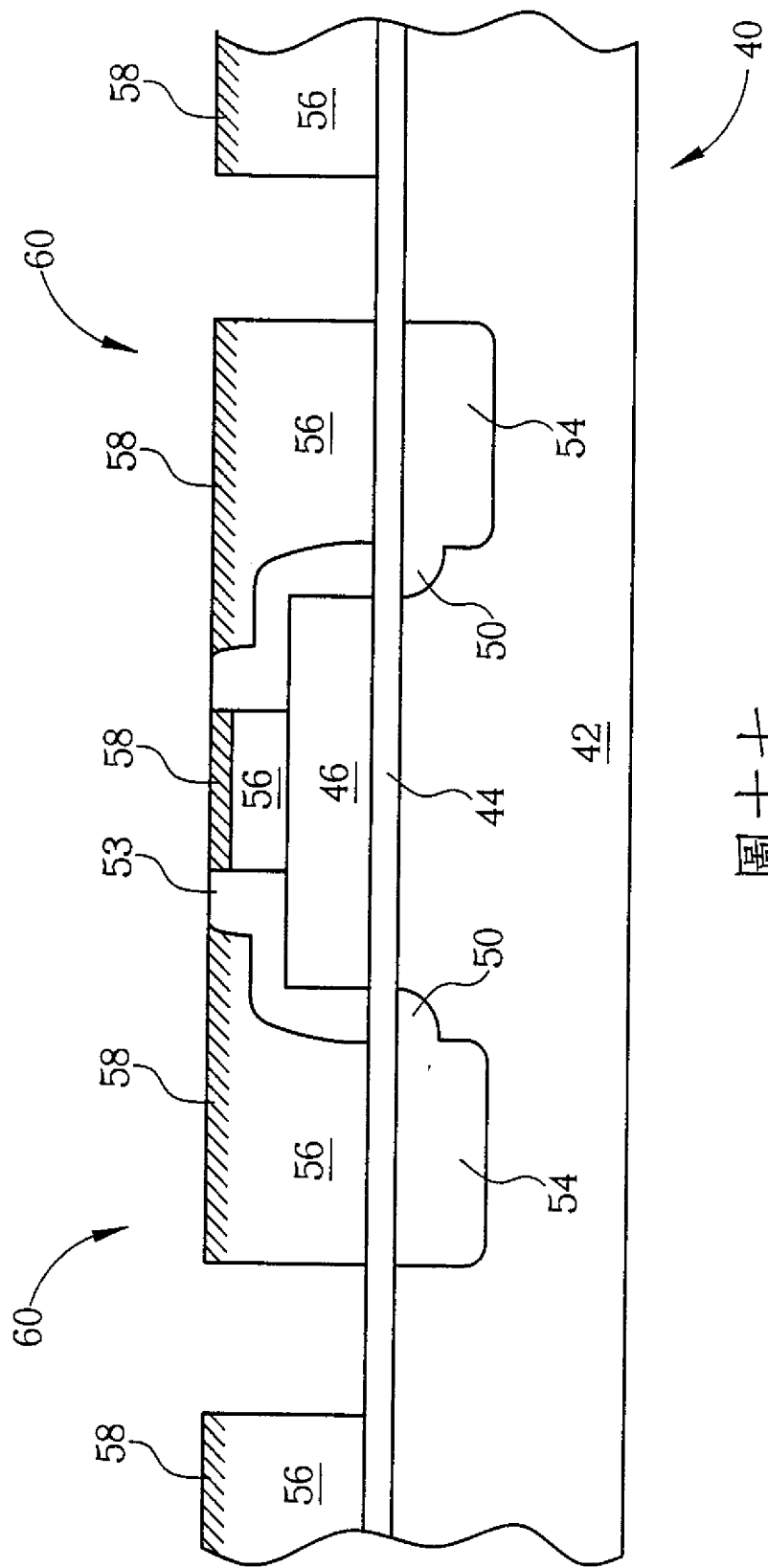
圖十四



圖十五



圖十六



圖十七