

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5817816号
(P5817816)

(45) 発行日 平成27年11月18日(2015.11.18)

(24) 登録日 平成27年10月9日(2015.10.9)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 B
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 8 C
	HO 1 L 29/78 6 5 8 F
	HO 1 L 29/78 6 5 8 G
	HO 1 L 29/78 6 5 2 D
請求項の数 5 (全 27 頁) 最終頁に続く	

(21) 出願番号	特願2013-255094 (P2013-255094)	(73) 特許権者	000004260
(22) 出願日	平成25年12月10日(2013.12.10)		株式会社デンソー
(62) 分割の表示	特願2012-39017 (P2012-39017) の分割		愛知県刈谷市昭和町1丁目1番地
原出願日	平成24年2月24日(2012.2.24)	(74) 代理人	100106149
(65) 公開番号	特開2014-45223 (P2014-45223A)		弁理士 矢作 和行
(43) 公開日	平成26年3月13日(2014.3.13)	(74) 代理人	100121991
審査請求日	平成25年12月10日(2013.12.10)		弁理士 野々部 泰平
(31) 優先権主張番号	特願2011-88573 (P2011-88573)	(74) 代理人	100145595
(32) 優先日	平成23年4月12日(2011.4.12)		弁理士 久保 貴則
(33) 優先権主張国	日本国(JP)	(72) 発明者	竹谷 英一
(31) 優先権主張番号	特願2011-101811 (P2011-101811)		愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(32) 優先日	平成23年4月28日(2011.4.28)	(72) 発明者	大澤 青吾
(33) 優先権主張国	日本国(JP)		愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
前置審査			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の一方の主面側にトレンチが形成されると共に、前記トレンチ内において前記半導体基板との間にゲート絶縁膜を介在させてゲート電極が埋め込まれてなる半導体装置の製造方法であって、

前記トレンチが形成されるべき領域の少なくともトレンチ底壁側に第1導電型のドリフト層が設けられた前記半導体基板を用い、前記半導体基板の前記一方の主面側から前記トレンチを形成する工程と、

前記トレンチの側壁及び底壁を覆う構成で前記ゲート絶縁膜を形成する工程としての、前記トレンチの側壁に側壁絶縁膜を形成する工程、及び、前記側壁絶縁膜の形成後に、前記トレンチの底壁を選択的に酸化して、該底壁に前記側壁絶縁膜よりも膜厚の厚い底壁絶縁膜を形成する工程と、

前記底壁絶縁膜をマスクとして、前記トレンチの側壁から第2導電型の不純物を導入し、前記トレンチの側壁に沿ってチャネル層を形成する工程と、

前記ゲート絶縁膜を形成した後に、前記トレンチ内に前記ゲート電極を埋め込む工程と、

前記トレンチの形成前において、前記半導体基板の前記一方の主面側から第2導電型の不純物を導入することで、前記チャネル層より低濃度の低濃度ボディ層を、前記トレンチの形成領域の深さよりも浅く形成する工程と、を備え、

前記トレンチを形成する形成工程では、導電型によってエッチングレートが異なる反応

性イオンエッチングにより、第2導電型の前記低濃度ボディ層におけるエッチングレートと、第1導電型の前記ドリフト層におけるエッチングレートとの違いを利用してエッチングの終了点を検出し、前記トレンチを形成することを特徴とする半導体装置の製造方法。

【請求項2】

前記底壁絶縁膜を形成する工程として、

前記半導体基板の前記一方の主面全面に窒化膜を堆積する工程と、

前記トレンチの深さ方向に異方性エッチングして、前記トレンチの側壁に形成されている前記窒化膜を残し、前記トレンチの底壁に形成されている前記窒化膜を選択的に除去する工程と、

前記半導体基板を熱酸化して、前記窒化膜が除去された前記トレンチの底壁を選択的に酸化する工程と、

を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

10

【請求項3】

前記底壁絶縁膜を形成する工程では、前記トレンチの深さ方向に酸素プラズマを導入して、前記トレンチの底壁を選択的に酸化することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】

前記チャネル層を形成する工程では、前記トレンチの側壁に対して斜めに不純物を注入することを特徴とする請求項1～3いずれか1項に記載の半導体装置の製造方法。

【請求項5】

20

前記ゲート電極を埋め込む工程では、前記ゲート電極における前記一方の主面側の端部が、前記トレンチ内において当該トレンチの開口位置よりも深い位置となるように形成し、

前記ゲート電極を埋め込んだ後に、少なくとも前記トレンチの側壁から第1導電型の不純物を注入することでソース層又はエミッタ層を形成する工程を行うことを特徴とする請求項1～4いずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲート構造の半導体装置の製造方法に関するものである。

30

【背景技術】

【0002】

トレンチゲート構造の半導体装置及びその製造方法として、例えば特許文献1に記載のものが知られている。特許文献1では、トレンチを形成した後、半導体基板の全面にCVD酸化膜を堆積して、トレンチの内部をCVD酸化膜で完全に埋める。次いで、CVD酸化膜をトレンチの底部のみに残るようにエッチングして、トレンチの底部に埋め込み酸化膜（以下、底壁絶縁膜と示す）を残す。そして、底壁絶縁膜をマスクとして半導体基板にイオンを注入し、トレンチの側面に沿ってチャネル層を形成するようにしている。

【先行技術文献】

【特許文献】

40

【0003】

【特許文献1】特許第3754266号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、トレンチゲート構造の半導体装置では、図34に示すトレンチ3の下端部とチャネル層4aの下端部9との間隔であるゲート突出長 t_1 、換言すればチャネル層4aの下端部9の深さ方向の位置、が性能とコストの両面において重要である。安定した特性の半導体装置を高い歩留りで製造するためには、オーバーラップマージンであるゲート突出長 t_1 を、十分に大きくする必要がある。一方、ゲート突出長 t_1 が大きすぎると、ミ

50

ラー容量の増大を招き、スイッチング遅延および発熱の要因となる。すなわち、性能や信頼性が低下することが懸念される。

【0005】

したがって、半導体装置の性能とコストを両立するためには、必要十分な大きさのゲート突出長 t_1 が、ばらつきなく安定して得られる製造方法でなければならない。これに対し、例えば特許文献1に記載の製造方法では、図34に示す底壁絶縁膜6bの厚さ t_2 にばらつきが発生し易く、これにより、ゲート突出長 t_1 にもばらつきが起きてしまう。

【0006】

本発明は上記問題点に鑑み、トレンチゲート構造の半導体装置において、ゲート突出長のばらつきを抑制することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、請求項1に記載の発明は、

半導体基板の一方の主面側にトレンチが形成されると共に、前記トレンチ内において前記半導体基板との間にゲート絶縁膜を介在させてゲート電極が埋め込まれてなる半導体装置の製造方法であって、

前記トレンチが形成されるべき領域の少なくともトレンチ底壁側に第1導電型のドリフト層が設けられた前記半導体基板を用い、前記半導体基板の前記一方の主面側から前記トレンチを形成する工程と、

前記トレンチの側壁及び底壁を覆う構成で前記ゲート絶縁膜を形成する工程としての、前記トレンチの側壁に側壁絶縁膜を形成する工程、及び、前記側壁絶縁膜の形成後に、前記トレンチの底壁を選択的に酸化して、該底壁に前記側壁絶縁膜よりも膜厚の厚い底壁絶縁膜を形成する工程と、

前記底壁絶縁膜をマスクとして、前記トレンチの側壁から第2導電型の不純物を導入し、前記トレンチの側壁に沿ってチャンネル層を形成する工程と、

前記ゲート絶縁膜を形成した後に、前記トレンチ内に前記ゲート電極を埋め込む工程と、

前記トレンチの形成前において、前記半導体基板の前記一方の主面側から第2導電型の不純物を導入することで、前記チャンネル層より低濃度の低濃度ボディ層を、前記トレンチの形成領域の深さよりも浅く形成する工程と、を備え、

前記トレンチを形成する形成工程では、導電型によってエッチングレートが異なる反応性イオンエッチングにより、第2導電型の前記低濃度ボディ層におけるエッチングレートと、第1導電型の前記ドリフト層におけるエッチングレートとの違いを利用してエッチングの終了点を検出し、前記トレンチを形成することを特徴とする。

【0009】

請求項1に記載の発明では、底壁絶縁膜を、チャンネル層を形成する際のマスクとして使用するため、マスクを形成するためのレジスト工程を不要とすることができる。また、底壁絶縁膜をマスクとしてセルフアラインで形成されるチャンネル層により、トレンチの下端部とチャンネル層の下端部の間隔、すなわちゲート突出長が決定される。したがって、レジスト工程を省いてプロセスを簡略化し、製造コストを低減できるだけでなく、レジスト工程に伴うゲート突出長の製造ばらつきを排除することができる。また、半導体基板の全面へのCVD酸化膜の堆積と、エッチバックの組合せにより、トレンチ底壁に底壁絶縁膜を形成する従来の方法に較べて、底壁絶縁膜の膜厚制御を一つの工程に単純化することができる。これにより、底壁絶縁膜の厚さばらつきを小さくし、ひいては、ゲート突出長のばらつきを抑制することができる。なお、トレンチの側壁から第2導電型の不純物を導入して、トレンチの側壁に沿ったチャンネル層を形成する。したがって、半導体基板の一方の主面側から不純物を導入してチャンネル層を形成する方法に較べて、深さ方向における不純物濃度の勾配やばらつきを小さくでき、ゲート閾値電圧のばらつきを抑制することもできる。

【0011】

また、低濃度ボディ層を形成しない場合に較べて、チャンネル層の電位を安定化することができる。また、JFETとしての効果を抑制することができる。さらに、導電型によってエッチングレートが異なる反応性イオンエッチングを用い、低濃度ボディ層とドリフト層とのエッチングレートの違いを利用して、エッチングの終了点を検出し、トレンチを形成する。したがって、トレンチの最終的な深さを、高精度に制御することができる。

【0020】

請求項2に記載のように、

前記底壁絶縁膜を形成する工程として、

前記半導体基板の前記一方の主面全面に窒化膜を堆積する工程と、

前記トレンチの深さ方向に異方性エッチングして、前記トレンチの側壁に形成されている前記窒化膜を残し、前記トレンチの底壁に形成されている前記窒化膜を選択的に除去する工程と、

前記半導体基板を熱酸化して、前記窒化膜が除去された前記トレンチの底壁を選択的に酸化する工程と、を含むようにしても良い。

【0021】

これによれば、底壁絶縁膜の膜厚を、側壁の窒化膜除去後に行う熱酸化条件だけで制御することができる。このように、底壁絶縁膜の膜厚制御を一つの工程に単純化できるため、膜厚制御が二つの工程に亘る上記方法に較べて、底壁絶縁膜の厚さばらつきを小さくすることができる。

【0022】

請求項3に記載のように、

前記底壁絶縁膜を形成する工程では、前記トレンチの深さ方向に酸素プラズマを導入して、前記トレンチの底壁を選択的に酸化しても良い。これによっても、底壁絶縁膜の膜厚を、酸素プラズマの導入条件だけで制御することができ、底壁絶縁膜の膜厚制御を一つの工程に単純化できる。このため、底壁絶縁膜の厚さばらつきを小さくすることができる。

【0023】

請求項4に記載のように、

前記チャンネル層を形成する工程では、前記トレンチの側壁に対して斜めに不純物を注入すると良い。

【0024】

これによれば、トレンチの側壁に対して効率的に不純物を注入することができる。特に、半導体基板の一方の主面側から不純物を導入してチャンネル層を形成する方法に較べて、深さ方向における不純物濃度の勾配やばらつきを小さくでき、ゲート閾値電圧のばらつきを抑制できる。

【0025】

請求項5に記載のように、

前記ゲート電極を埋め込む工程では、前記ゲート電極における前記一方の主面側の端部が、前記トレンチ内において当該トレンチの開口位置よりも深い位置となるように形成し、

前記ゲート電極を埋め込んだ後に、少なくとも前記トレンチの側壁から第1導電型の不純物を注入することでソース層又はエミッタ層を形成する工程を行うと良い。

【0026】

これによれば、埋め込まれたゲート電極の端部（一方の主面側の端部）をソース層又はエミッタ層の深さの基準とすることができ、ゲート電極及びトレンチ上端部に整合させたソース層又はエミッタ層の形成が可能となる。

【図面の簡単な説明】

【0027】

【図1】第1実施形態に係る半導体装置の概略構成を示す断面図である。

【図2】図1に示す半導体装置の製造方法を説明する断面図である。

【図3】図1に示す半導体装置の製造方法を説明する断面図である。

10

20

30

40

50

【図4】図1に示す半導体装置の製造方法を説明する断面図である。

【図5】図1に示す半導体装置の製造方法を説明する断面図である。

【図6】図1に示す半導体装置の製造方法を説明する断面図である。

【図7】図1に示す半導体装置の製造方法を説明する断面図である。

【図8】図1に示す半導体装置の製造方法を説明する断面図である。

【図9】(a), (b)は、ともに第2実施形態に係る半導体装置の製造方法を説明する断面図である。

【図10】トレンチ形成工程におけるエッチングレートの変化を説明する説明図である。

【図11】(a), (b)は、ともに第2実施形態に係る半導体装置の製造方法を説明する断面図である。

10

【図12】(a), (b)は、ともに第2実施形態に係る半導体装置の製造方法を説明する断面図である。

【図13】第3実施形態に係る半導体装置の概略構成を示す断面図である。

【図14】(a)~(c)は、ともに図13に示す半導体装置の製造方法を説明する断面図である。

【図15】(a)~(c)は、図14(c)に示した底壁絶縁膜の形成工程の一例を示す断面図である。

【図16】図14(c)に示した底壁絶縁膜の形成工程の別の例を示す断面図である。

【図17】図13に示す半導体装置の製造方法を説明する断面図である。

【図18】(a), (b)は、ともに図13に示す半導体装置の製造方法を説明する断面図である。

20

【図19】(a), (b)は、ともに図13に示す半導体装置の製造方法を説明する断面図である。

【図20】第4実施形態に係る半導体装置の概略構成を示す断面図である。

【図21】図20に示す半導体装置の製造方法を説明する断面図である。

【図22】(a)~(c)は、ともに図20に示す半導体装置の製造方法を説明する断面図である。

【図23】(a), (b)は、ともに図20に示す半導体装置の製造方法を説明する断面図である。

【図24】(a), (b)は、ともに図20に示す半導体装置の製造方法を説明する断面図である。

30

【図25】第5実施形態に係る半導体装置の概略構成を示す断面図である。

【図26】図25に示す半導体装置の製造方法を説明する断面図である。

【図27】半導体装置の変形例を示す断面図である。

【図28】図27に示す半導体装置の製造方法を説明する断面図である。

【図29】半導体装置のその他変形例を示す断面図である。

【図30】半導体装置のその他変形例を示す断面図である。

【図31】半導体装置のその他変形例を示す断面図である。

【図32】半導体装置のその他変形例を示す断面図である。

【図33】半導体装置のその他変形例を示す断面図である。

40

【図34】従来のトレンチゲート構造を有する半導体装置について、トレンチの周りを拡大した断面図である。

【発明を実施するための形態】

【0028】

以下、本発明の実施の形態を、図面を参照して説明する。なお、各図において、共通乃至関連する要素には同一の符号を付与するものとする。本発明に係る半導体装置は、パワーMOSFET、IGBTなどのトレンチゲート構造を持つトランジスタを有している。そして、半導体基板の一方の主面側にトレンチが形成されると共に、トレンチ内において半導体基板との間にゲート絶縁膜を介在させてゲート電極が埋め込まれた構造となっている。なお、以下に示す実施形態では、nチャネル型の縦型のMOSFETを例に示す。

50

【 0 0 2 9 】

(第1実施形態)

図1に示す半導体装置100は、シリコン基板1、ドリフト層2、ベース層4、ソース層5などによって構成される半導体基板10を備えており、この半導体基板10の第1主面10a側に、当該半導体基板10の厚さ方向を深さ方向とするように掘り下げられたトレンチ3が形成されている。このトレンチ3は、ソース層5及びベース層4を貫通し、ドリフト層2の深さまで達するように構成されている。なお、第1主面10aが、特許請求の範囲に記載の、一方の主面に相当する。

【 0 0 3 0 】

シリコン基板1は、MOSFETのドレインとして機能するn導電型(n+)の基板として構成されている。このシリコン基板1上に、エピタキシャル成長によって、n導電型(n-)のドリフト層2が形成されている。そして、ドリフト層2は、上端がトレンチ3の底壁3bよりも上方となっており、トレンチ3は、第1主面10aから、ドリフト層2に達するように掘り下げられている。

【 0 0 3 1 】

なお、本実施形態ではn導電型が特許請求の範囲に記載の第1導電型に相当し、p導電型が特許請求の範囲に記載の第2導電型に相当する。また、図1等の例では、半導体基板10の厚さ方向を上下方向とし、第1主面10a側を上方、第1主面10aと反対の第2主面10b側を下方として説明する。

【 0 0 3 2 】

ドリフト層2の上には、チャンネル領域を設定するp導電型のベース層4が形成されている。ベース層4の所定位置には、p導電型(p+)の高濃度ボディ領域4bが形成されており、トレンチ3に隣接する位置には、チャンネル領域として機能するp導電型(p)のチャンネル層4aが形成されている。チャンネル層4aは、半導体基板10内の少なくともトレンチ3の側壁3a側において後述する調整層8と第1主面10aとの間に形成されており、上端側がソース層5に隣接し、下端側が調整層8に隣接するように配置されている。このように、トレンチ3の側壁3aに沿ってチャンネル層4aが形成されており、隣り合うトレンチ3の互いに対向する側壁3aに沿って形成されたチャンネル層4a間に、高濃度ボディ領域4bが形成されている。この高濃度ボディ領域4bは、チャンネル層4aの下端部とほぼ同じ深さまで形成されている。なお、半導体基板10の第1主面10a側表層には、トレンチ3に隣接する部分よりも浅いチャンネル層4aが形成されている。

【 0 0 3 3 】

ソース層5は、n導電型(n+)の半導体領域として構成され、トレンチ3の内壁における第1主面10a側に設けられている。このソース層5は、ベース層4の上端寄りの位置に配置されており、その上端部が半導体基板10の第1主面10aに位置し、下端部が後述するゲート電極7の上端部よりも深い位置となるように配置されている。

【 0 0 3 4 】

また、トレンチ3の内壁を覆う構成でゲート絶縁膜6が形成されている。このゲート絶縁膜6は、例えばシリコン酸化膜によって構成されており、トレンチ3の側壁3a、底壁3b、上部(開口部周辺)3cを覆う構成で配置されている。また、ゲート絶縁膜6のうち、トレンチ3の底壁3bに形成された底壁絶縁膜6bは、トレンチ3の側壁3aに形成された側壁絶縁膜6aよりも膜厚が厚い膜となっている。なお、トレンチ3の底壁3bは、トレンチ3の底側のコーナー部を含む部分であり、このような底壁3bを覆う構成で膜厚の厚い底壁絶縁膜6bが配置されている。このように構成されているため、トレンチ3の底壁3b側においてコーナー部での電界集中が緩和されることになり、その部分での耐圧低下を防止することができる。

【 0 0 3 5 】

また、トレンチ3内には、例えば、ノンドープトポリシリコン膜堆積後に不純物を導入したポリシリコン、又はドープトポリシリコンシリコンで形成されたゲート電極7が形成されている。ゲート電極7は、トレンチ3内において半導体基板10との間にゲート絶縁

10

20

30

40

50

膜 6 を介在させる構成で埋め込まれている。そして、ゲート電極 7 の上端部 7 a が、トレンチ 3 内において当該トレンチ 3 の開口位置（トレンチ 3 の上端部）よりも深い位置となるように形成されている。上記したソース層 5 は、このゲート電極 7 の上端部 7 a よりも上方位置から下方位置に及ぶように配置されている。

【 0 0 3 6 】

さらに、半導体基板 1 0 においてトレンチ 3 の底壁 3 b には、不純物がドリフト層 2 よりも高濃度で導入された n 導電型 (n +) の調整層 8 が形成されている。この調整層 8 は、底壁絶縁膜 6 b の周囲を囲むように配置されている。また、その上端部が、トレンチ 3 の底壁 3 b の上端部、具体的には、湾曲部として構成された底壁 3 b のコーナー部の湾曲の終端に位置するように形成されている。

10

【 0 0 3 7 】

この調整層 8 は、トレンチ 3 の底壁 3 b を構成しており、その上端部が、トレンチ 3 の内壁においてチャンネル層 4 a の下端部 9 に隣接している。そして、チャンネル層 4 a の深さ方向への広がりを抑え、チャンネル層 4 a の下端部 9 が下方にずれることを防ぐように機能している。なお、チャンネル層 4 a の下端部 9 とは、チャンネル層 4 a のうち、トレンチ 3 の側壁 3 a に沿って形成された部分であって、側壁 3 a に隣接する部分の下端である。

【 0 0 3 8 】

また、半導体基板 1 0 の第 1 主面 1 0 a 上には、ゲート電極 7 の上方からチャンネル層 4 a 及びソース層 5 の上方にかけて、B P S G 等からなる層間絶縁膜 1 1 が形成されている。そして、この層間絶縁膜 1 1 に形成されたコンタクトホールを介して、図示しないソース電極などが接続されている。一方、第 2 主面 1 0 b には、図示しないドレイン電極が接続されている。

20

【 0 0 3 9 】

次に、上記した半導体装置 1 0 0 の製造方法について、図 2 ~ 図 8 に示す工程図を参照して説明する。

【 0 0 4 0 】

図 2 は、ドリフト層 2 の形成及びトレンチ 3 の形成を行う工程を示している。この工程では、先ず、n 導電型 (n +) のシリコン基板 1 を用意し、このシリコン基板 1 上に n 導電型 (n -) のドリフト層 2 を、エピタキシャル成長により成膜する。これにより、トレンチ 3 が形成されるべき領域に、ドリフト領域となるドリフト層 2 が設けられることになる。そして、ドリフト層 2 が成膜された半導体基板 1 0 の第 1 主面 1 0 a に対し、トレンチ 3 を形成すべき部分を被覆しない構成で、S i O ₂ 等のレジストマスク（ハードマスク）1 2 を配置する。このレジストマスク 1 2 は、例えば C V D 法等により S i O ₂ 等を堆積し、フォトリソグラフィ及び異方性ドライエッチングによってパターンングを行うことで形成する。そして、レジストマスク 1 2 を用いた異方性ドライエッチング等により、半導体基板 1 0 に、その厚さ方向に延びる所定深さ（例えば 1 ~ 4 μ m 程度）のトレンチ 3 を形成する。

30

【 0 0 4 1 】

ドリフト層 2 及びトレンチ 3 を形成した後は、図 3 に示すように、調整層 8 を形成する工程を行う。この工程では、先ず、半導体基板 1 0 の第 1 主面 1 0 a においてトレンチ 3 の形成領域を除く部分に、当該部分への不純物導入を遮断するためのレジストマスク 1 3 を配置する。そして、トレンチ 3 の内部に向けて不純物の導入を行う。

40

【 0 0 4 2 】

不純物の導入方法は、トレンチ 3 内において、図 3 に一点鎖線で示す所定位置 1 4 よりも下側の領域に、N 導電型の不純物をドリフト層 2 よりも高濃度に導入し得る方法であればよい。例えば、斜め方向のイオン注入などが挙げられる。トレンチ 3 の深さ方向、すなわち半導体基板 1 0 の厚さ方向に対して、斜め方向に不純物イオンを注入すれば、底壁 3 b のコーナー付近において両方向により広がるように調整層 8 を形成することができる。なお、所定位置 1 4 とは、トレンチ 3 の底壁 3 b と側壁 3 a の境界位置に設定される。以下、所定位置を境界 1 4 と示す。イオン注入によって不純物を導入する場合、境界 1 4 が

50

注入の上端位置となるように、境界14よりも下側の領域(底壁3b側)を狙って不純物イオンを注入する。なお、トレンチ3の幅が上方側となるにつれて大きくなるようにトレンチ3の側壁3aがある程度傾斜している場合、トレンチ3の深さ方向にイオン注入する方法を用いてもよい。

【0043】

なお、調整層8の形成方法はこのような方法に限られず、トレンチ3の底壁3bに高濃度の不純物を導入し得る他の方法でもよい。例えば、トレンチ3の形成後に予め高濃度にドーパされたポリシリコンをトレンチ3の底壁3b付近に選択的に充填し、熱拡散により底壁3b付近の所望の位置に調整層8を形成するようにしてもよい。

【0044】

調整層8を形成した後は、図4に示すように、ゲート絶縁膜6を形成する工程を行う。この工程では、トレンチ3の側壁3a及び底壁3bを覆う構成で、側壁3a側よりも底壁3b側の方が膜厚が大きくなるようにゲート絶縁膜6を形成する。ゲート絶縁膜6のうち、側壁3aに位置する側壁絶縁膜6aの厚さは、例えば300 ~ 1000程度に設定し、底壁3bに位置する底壁絶縁膜6bや上部3cに位置する上部絶縁膜6cの厚さは、側壁絶縁膜6aよりも厚く、例えば1000 ~ 2000程度に設定する。

【0045】

このように底壁3b側に部分的に厚膜を形成する方法は公知の様々な方法を用いることができ、例えば、LOCOS法によって部分的に厚膜を形成してもよい。或いは、CVDによってトレンチ3内に絶縁膜を堆積し、エッチバックを行うことで埋め込み層を形成する方法、プラズマ酸化を用いた異方性酸化、或いは調整層8の部分にボロン等を導入し、熱拡散を行うことにより増殖酸化させる方法等であってもよい。具体的な方法としては、特開2008-4686公報、特開2003-8018公報、特開2001-196587公報に示されるような方法を用い、これらの公報と同様のゲート絶縁膜6を形成するようにしてもよい。上記のように底壁絶縁膜6bや上部絶縁膜6cが適正に形成されている場合には、ドレイン耐圧、ゲート耐圧を高めることができ、性能向上、信頼性確保を図ることができる。

【0046】

ゲート絶縁膜6を形成した後は、図5に示すようにチャネル層4aを形成する工程を行う。この工程では、半導体基板10におけるトレンチ3の側壁3a及び第1主面10aに対し、P導電型の不純物を導入することで、調整層8と第1主面10aとの間にチャネル層4aを形成する。このチャネル層4aを形成する構成では、底壁3b上に形成された膜厚の大きい底壁絶縁膜6bをマスクとして、トレンチ3の側壁3aに対し、イオン注入法等により不純物注入を行う。イオン注入を行う場合、例えば、トレンチ3の深さ方向に対して傾斜した方向に不純物を注入することで、第1主面10a側及び側壁3a側に良好に不純物を導入することができる。この工程では、既に形成された調整層8によって深さ方向への広がりが抑えられつつチャネル層4aが形成されることとなる。

【0047】

なお、図5の例では、側壁3a側及び第1主面10a側にチャネル層4aを形成した例を示したが、トレンチ3のピッチが狭く、トレンチ3間の領域(メサ領域)の幅が狭い場合には、メサ領域においてチャネル層4aを一様に形成することも可能である。

【0048】

チャネル層4aを形成した後は、図6に示すようにゲート電極7を埋め込む工程を行う。この工程では、例えば、ドーパトポリシリコンをLP-CVD法により形成すると共にトレンチ3内に充填し、そのポリシリコンを所望の厚さにエッチバックすることで、所望の形状のゲート電極7とする。また、この工程では、ゲート電極7における第1主面10a側の端部、すなわち上端部7aが、トレンチ3内において当該トレンチ3の開口位置よりも深い位置となるように形成する。

【0049】

ゲート電極7を埋め込む工程を行った後は、図7に示すようにソース層5を形成する

10

20

30

40

50

工程を行う。図7の工程では、ゲート電極7を形成した後に、トレンチ3の開口部付近を除く所定位置に、不純物導入を遮断するためのレジストマスク15を形成し、第1主面10a側から半導体基板10にN導電型の不純物をイオン注入することで、所定深さのソース層5を形成する。

【0050】

本実施形態では、ゲート絶縁膜6が、トレンチ3の上端部付近においては下方側となるにつれて薄くなるように膜厚が構成され、所定位置よりも下側がほぼ一定の膜厚となるように構成されている。また、ソース層5は、ゲート電極7の上端部7aよりも深く、ゲート絶縁膜6が一定の薄さとなる位置まで達するように形成される。上記したように、ゲート電極7の上端部7aがトレンチ3の開口よりも深い位置となっているため、第1主面10a側だけでなく、トレンチ3の側壁3a側からN導電型の不純物が注入され易くなる。これにより、側壁3aにおいてソース層5を所望の深さに達するまで形成し易くなる。

10

【0051】

ソース層5を形成した後は、レジストマスク15を除去し、図8に示すように高濃度ボディ領域4bを形成する工程を行う。高濃度ボディ領域4bの形成は、例えば、トレンチ3及びトレンチ3の開口部周辺を覆うようにSiO₂等のマスク材を用いてハードマスクとし、第1主面10a側から半導体基板10にp導電型の不純物をイオン注入法等によって注入する。本実施形態では、チャンネル層4aに隣接する位置において、チャンネル層4aの下端部9とほぼ同じ深さとなるように、p導電型の不純物をチャンネル層4aよりも高濃度で注入する。すなわち、トレンチ3よりも浅くなるように高濃度ボディ領域4bを形成する。なお、SiO₂等のマスク材をハードマスクとして用いた場合、このマスク材をそのまま層間絶縁膜11として残すようにしてもよい。或いは、ボディ注入の際のマスクとして有機レジストを用い、高濃度ボディ領域4bを形成した後に、この有機レジストを除去し、その後、BPSG膜等の層間絶縁膜11を形成するようにしてもよい。

20

【0052】

このように層間絶縁膜11を形成した後は、フォトリソグラフィーや異方性ドライエッチ等によりコンタクトホールを形成し、ソース電極等となる金属膜をスパッタ法等により形成する。また、第2主面10b側にドレイン電極を形成する。以上により、図1に示す半導体装置100を得ることができる。

【0053】

次に、本実施形態に係る半導体装置100及びその製造方法の効果について説明する。

30

【0054】

本実施形態に係る製造方法では、半導体基板10におけるトレンチ3の底壁3bに、n導電型の不純物がドリフト層2よりも高濃度で導入された調整層8を形成する。そして、トレンチ3の側壁3a側において、調整層8と第1主面10aとの間にp導電型の不純物を導入することで、チャンネル層4aを、調整層8によって深さ方向への広がりを抑えつつ形成する。この方法によれば、チャンネル層4aと極性が異なるn導電型の不純物が高濃度で導入された調整層8の存在により、チャンネル層4aが沈み込むことを効果的に抑えることができる。具体的には、チャンネル層4aを形成する不純物の注入以降において、熱処理によりチャンネル層4aが拡散するのを抑制し、これにより、チャンネル層4aの下端部9が下方にずれることを抑制することができる。このように、下端部9の深さ方向の位置のばらつき、すなわちゲート突出長のばらつきを抑制することができる。なお、ゲート突出長とは、トレンチ3の下端部と、チャンネル層4aの下端部9との間隔である。このため、チャンネル層4aの深さの増大に起因するデバイス機能の低下を抑制ないし防止することができる。

40

【0055】

また、本実施形態では、チャンネル層4aを形成する工程において、トレンチ3の深さ方向に対して傾斜した方向に不純物を注入する。このため、トレンチ3の側壁3aに対して効率的に不純物を注入することができる。特に、トレンチ3の側壁3aから不純物を注入する場合、トレンチ3の側壁3a近傍における深さ方向の不純物プロファイルをより均一

50

化しやすく、これによりゲート閾値電圧のばらつきを抑制し易くなる。

【0056】

また、本実施形態では、チャネル層4aを形成する前に、側壁絶縁膜6aよりも底壁絶縁膜6bのほうが膜厚が厚くなるようにゲート絶縁膜6を形成する。これにより、チャネル層4aを形成する際の底壁絶縁膜6bのマスク性を高くすることができ、底壁3b側への不純物の導入を抑えてチャネル層4aを形成することができる。このため、チャネル層4aを形成するためのレジスト工程を不要とすることができる。また、底壁絶縁膜6bをマスクとしてセルフアラインで形成されるチャネル層4aにより、チャネル層4a形成時においてゲート突出長が決定される。このため、レジスト工程に伴うゲート突出長の製造ばらつきを排除することもできる。このように、調整層8だけでなく、底壁絶縁膜6bによっても、チャネル層4aを位置精度よく形成することができる。また、底壁絶縁膜6bにより、調整層8側にp導電型の不純物が導入されるのを抑制することもできる。そして、チャネル層4aの形成するための不純物導入以降においては、調整層8により、チャネル層4aの沈み込みを抑制することができる。したがって、ゲート突出長のばらつきを効果的に抑制することができる。

10

【0057】

また、ゲート電極7を埋め込む工程において、ゲート電極7の上端部7aが、トレンチ3内において当該トレンチ3の開口位置よりも深い位置となるように形成している。そして、ゲート電極7を埋め込んだ後に、少なくともトレンチ3の側壁3aからN導電型の不純物を注入することでソース層5を形成する工程を行っている。このようにすると、埋め込まれたゲート電極7の上端部7aをソース層5の深さの基準とすることができ、ゲート電極7及びトレンチ3の上端部に整合させたソース層5の形成が可能となる。

20

【0058】

また、本実施形態では、半導体基板10のチャネル層4aに隣接する位置に、チャネル層4aの下端部9とほぼ同じ深さで、高濃度ボディ領域4bを形成する。このようにすると、高濃度ボディ領域4bを有さない構成に較べて、JFETとしての効果を抑制することができる。また、チャネル層4aの電位を安定化させることができる。また、ベース層4、すなわちチャネル層4a及び高濃度ボディ領域4bがトレンチ3よりも浅いため、トレンチ3の下端部でブレイクさせることができる。これにより、ドレイン耐圧を向上させることができる。

30

【0059】

なお、本実施形態では、トレンチ3、調整層8、ゲート絶縁膜6、チャネル層4a、ゲート電極7の順に形成する例を示した。しかしながら、調整層8の効果は、調整層8の形成後において、チャネル層4aの拡散による沈み込みを抑制する点にある。したがって、例えばトレンチ3、ゲート絶縁膜6、調整層8、チャネル層4a、ゲート電極7の順に形成しても良い。また、トレンチ3、調整層8、チャネル層4a、ゲート絶縁膜6、ゲート電極7の順に形成しても良い。ただし、本実施形態に示したように、チャネル層4aの形成前に調整層8を形成したほうが、チャネル層4aを形成する際の熱処理時に、チャネル層4aが沈み込むのも抑制することができるため好ましい。

40

【0060】

(第2実施形態)

本実施形態において、第1実施形態に示した半導体装置100及びその製造方法と共通する部分についての説明は割愛する。第2実施形態では、チャネル層4aの構成及びチャネル層4aの形成工程が第1実施形態と異なり、それ以外の構成及び工程は第1実施形態と同様である。

【0061】

本実施形態では、調整層8を形成する前に、チャネル層4aを形成する。先ず、図9(a)に示す半導体基板10を準備する工程を行う。この工程では、第1実施形態と同様、n+型のシリコン基板1上にn-型のドリフト層2を成膜する。そして、ドリフト層2におけるシリコン基板1と反対側に、p導電型のチャネル層4aを例えばイオン注入によ

50

て形成する。すなわち、半導体基板10の第1主面10a全面に、p導電型の不純物を注入してチャンネル層4aを形成する。このようにして、トレンチ3が形成されるべき領域のトレンチ底壁側にn導電型のドリフト層2が配された半導体基板10を準備する。そして、図9(b)のように、半導体基板10の第1主面10a側から、ドリフト層2に達する深さでトレンチ3を形成する。

【0062】

本実施形態では、Cl、Br系ガスによるRIE(Reactive Ion Etching)等、キャリア極性、濃度によってエッチングレートが異なるエッチングにより、図9(b)に示すトレンチ3を形成する。具体的には、半導体基板10のトレンチ3を形成すべき領域に対し、選択的に上記エッチングを行い、エッチング期間中にエッチングレートを監視し続ける。なお、図9(b)では、マスクの図示を省略している。

10

【0063】

この例では、図10のように、p導電型のチャンネル層4aをエッチングする期間はエッチングレートが相対的に小さい所定の第1レート付近に収まるようになっており、n導電型のドリフト層2をエッチングする期間は、エッチングレートが第1レートよりも相対的に大きい第2レート付近に収まるようになっている。本実施形態では、このようなエッチングレートの違いを利用し、エッチングレートに所定の変化が生じた時点(例えば、エッチングレートが第1レートから一定割合増加した時点、或いはエッチングレートが第1レートから一定値増加した時点等)を検出し、この時点、或いはこの時点から所定時間経過した時点でエッチングを終了している。これにより、トレンチ3の底壁3bとチャンネル層4aの下端位置とを所望の関係に位置合わせすることができる。

20

【0064】

トレンチ3を形成した後は、図11(a)のように、調整層8を形成する工程を行う。調整層8の形成工程は、図3を参照して説明した第1実施形態での調整層8の形成と同様である。本実施形態では、チャンネル層4aとドリフト層2の境界14よりも下側領域に調整層8を形成するように、当該境界14よりも下側を狙って不純物を注入する。このように、本実施形態でも、チャンネル層4aに隣接させて調整層8を形成するため、調整層8の形成後において、チャンネル層4aの深さ方向への広がりを抑制することができる。

【0065】

調整層8を形成した後は、図11(b)に示すように、図4を参照して説明した第1実施形態と同様の方法でゲート絶縁膜6を形成する。次いで、図6を参照して説明した第1実施形態と同様の方法でゲート電極7を埋め込む。そして、図12(a)に示すように、図7を参照して説明した第1実施形態と同様の方法でソース層5を形成する。

30

【0066】

ソース層5を形成した後は、レジストマスク15を除去し、図12(b)のように高濃度ボディ領域4bを形成する工程を行う。この高濃度ボディ領域4bの形成も第1実施形態と同様の方法で行うことができ、例えば、図12(b)に示すように、トレンチ3及びトレンチ3の開口部周辺を覆うようにSiO₂等のマスク材を用いてハードマスクとし、p導電型の不純物をイオン注入法等によって注入する。本実施形態でも、チャンネル層4aに隣接する位置において、チャンネル層4aの下端部よりも浅い位置となるように、p導電型の不純物をチャンネル層4aよりも高濃度で注入して高濃度ボディ領域4bを形成している。なお、本実施形態では、一例として、ハードマスクをそのまま層間絶縁膜11として残している。次いで、フォトリソグラフィや異方性ドライエッチ等により、層間絶縁膜11にコンタクトホールを形成し、ソース電極等となる金属膜をスパッタ法等により形成する。また、第2主面10b側にドレイン電極を形成する。以上により、半導体装置100を得ることができる。

40

【0067】

第2実施形態でも、第1実施形態同様、n導電型の不純物が高濃度で導入された調整層8の存在により、p導電型のチャンネル層4a、特にチャンネル層4aのうち、チャンネルが形成されるトレンチ3の側壁3aに隣接する部分、が沈み込むことを効果的に抑えることが

50

できる。

【0068】

また、本実施形態では、トレンチ3の形成前において、半導体基板10の第1主面10a側からp導電型の不純物を導入することで、トレンチ3の形成領域の深さよりも浅くチャンネル層4aを形成する。そして、チャンネル層4aの形成工程の後に、チャンネル層4aとドリフト層2とでエッチングレートが異なるエッチング方法によりトレンチ3を形成する。また、トレンチ3の形成工程では、エッチングレートの変化を検出することに基づいてエッチングの終了時期を定めている。このようにすると、チャンネル層4aとドリフト層2との境界14を適切に検出した上で、トレンチ3の終端位置を定めることができるため、ゲート絶縁膜6のうち、底壁絶縁膜6bや上部絶縁膜6cとチャンネル層4aとの位置合わせ、ひいては、トレンチ3の下端部とチャンネル層4aの下端部9との位置合わせを行いやすくなる。そして、チャンネル層4aに隣接する位置であって且つチャンネル層4aとドリフト層2との境界14よりも下側の領域に高濃度の調整層8を形成しているため、チャンネル層4aの下端部9が下方にずれることを抑制することができる。このように、チャンネル層4aの深さのばらつき、すなわちゲート突出長のばらつきを抑制することができる。このため、チャンネル深さの増大に起因するデバイス機能の低下を抑制ないし防止することができる。

10

【0069】

なお、本実施形態では、チャンネル層4a、トレンチ3、調整層8、ゲート絶縁膜6、ゲート電極7の順に形成する例を示した。しかしながら、チャンネル層4a、トレンチ3、ゲート絶縁膜6、調整層8、ゲート電極7の順に形成しても良い。また、トレンチ3、調整層8、ゲート絶縁膜6、チャンネル層4a、ゲート電極7の順に形成しても良い。さらには、トレンチ3、調整層8、チャンネル層4a、ゲート絶縁膜6、ゲート電極7の順に形成しても良い。

20

【0070】

(第3実施形態)

本実施形態において、上記実施形態に示した半導体装置100及びその製造方法と共通する部分についての説明は割愛する。第1実施形態では、主として調整層8により、チャンネル層4aの拡散による沈み込みを抑制し、ひいてはゲート突出長のバラツキを抑制する例を示した。これに対し、本実施形態では、底壁絶縁膜6bの厚さのばらつきを抑制し、ひいてはゲート突出長のばらつきを抑制する点を特徴とする。

30

【0071】

図13に示す半導体装置100は、基本的に第1実施形態の図1に示した半導体装置100と類似の構成となっている。異なる点は、調整層8を有していない点と、高濃度ボディ領域4bを有していない点と、ボディコンタクト領域16を有している点である。

【0072】

図13に示す半導体装置100も、シリコン基板1、ドリフト層2、チャンネル層4a、ソース層5などによって構成される半導体基板10を備えており、この半導体基板10の第1主面10a側に、当該半導体基板10の厚さ方向を深さ方向とするように掘り下げられたトレンチ3が形成されている。

40

【0073】

シリコン基板1は、MOSFETのドレイン領域として機能するn導電型(n+)の基板として構成されており、このシリコン基板1上に、エピタキシャル成長によりn導電型(n-)のドリフト層2が形成されている。また、半導体基板10には第1主面10aに開口するトレンチ3が形成されており、このトレンチ3は、ソース層5を貫通しつつ、ドリフト層2まで掘り下げられている。また、トレンチ3には、トレンチ3の壁面に形成されたゲート絶縁膜6を介して、導電材料であるポリシリコンが埋め込まれ、ゲート電極7が構成されている。

【0074】

また、ゲート絶縁膜6として、トレンチ3の側壁3aに形成された側壁絶縁膜6aと底

50

壁 3 b に形成された底壁絶縁膜 6 b を有しており、底壁絶縁膜 6 b のほうが、側壁絶縁膜 6 a よりも膜厚が厚くなっている。底壁絶縁膜 6 b は、後述するように、トレンチ 3 の底壁 3 b を選択的に酸化することで形成されている。そして、底壁絶縁膜 6 b をマスクとして、n 導電型 (n -) のドリフト層 2 にトレンチ 3 の側壁 3 a から p 導電型の不純物が導入され、側壁 3 a に沿って p 導電型 (p) のチャネル層 4 a が形成されている。チャネル層 4 a は、このようにトレンチ 3 の側壁 3 a に沿って形成された部分と、隣り合う側壁 3 a に沿って形成された部分を連結する深さの浅い部分と、を有している。

【 0 0 7 5 】

また、トレンチ 3 の側壁 3 a に隣接する部分において、チャネル層 4 a の上方には、n 導電型 (n +) のソース層 5 が形成されている。また、該ソース層 5 に隣接して、p 導電型 (p +) のボディコンタクト領域 1 6 が形成されている。このボディコンタクト領域 1 6 は、隣り合うトレンチ 3 の中間部に形成されている。ソース層 5 とボディコンタクト領域 1 6 には、ソース電極 1 7 が接続されている。

【 0 0 7 6 】

次に、図 1 4 ~ 図 1 9 を参照して、図 1 3 に示す半導体装置 1 0 0 の製造方法について説明する。

【 0 0 7 7 】

先ず、n 導電型 (n +) のシリコン基板 1 上に、エピタキシャル成長により n 導電型 (n -) のドリフト層 2 が形成された半導体基板 1 0 を準備する。

【 0 0 7 8 】

次に、図 1 4 (a) に示すように、半導体基板 1 0 の第 1 主面 1 0 a 上にレジストや酸化膜等で所定の開口部を有する図示しないマスクを形成した後、ドリフト層 2 をエッチングして、半導体基板 1 0 にトレンチ 3 を形成する。なお、上記エッチングにおいて酸化膜からなるハードマスクを使用する場合、トレンチ 3 の形成後、該ハードマスクを第 1 主面 1 0 a に残しておいてもよい。

【 0 0 7 9 】

次に、図 1 4 (b) に示すように、トレンチ 3 が形成された半導体基板 1 0 を熱酸化して、トレンチ 3 の側壁 3 a に側壁絶縁膜 6 a を形成する。このとき、トレンチ 3 の底壁 3 b や上部 3 c (第 1 主面 1 0 a) にも、熱酸化による絶縁膜が形成される。

【 0 0 8 0 】

次に、図 1 4 (c) に示すように、トレンチ 3 の内壁のうち、底壁 3 b を選択的に酸化して、底壁 3 b に側壁絶縁膜 6 a よりも膜厚の厚い底壁絶縁膜 6 b を形成する。

【 0 0 8 1 】

上記トレンチ 3 の底壁 3 b を選択的に酸化する工程は、本実施形態に係る半導体装置 1 0 0 の製造方法における要部であり、図 1 5 及び図 1 6 を用いてより詳細に説明する。

【 0 0 8 2 】

図 1 5 に示す底壁絶縁膜 6 b の形成工程は、通常、半導体基板 1 0 の第 1 主面 1 0 a で行われる L O C O S (Local Oxidation of Silicon) 法を、トレンチ 3 の底壁 3 b の選択的な酸化に応用したものである。

【 0 0 8 3 】

図 1 4 (b) に示した側壁絶縁膜 6 a の形成後、図 1 5 (a) に示すように、先ず半導体基板 1 0 の第 1 主面 1 0 a 全面に窒化膜 1 8 を堆積させる。

【 0 0 8 4 】

次に、図 1 5 (b) に示すように、例えば A r イオンを用い、第 1 主面 1 0 a 側からトレンチ 3 の深さ方向に窒化膜 1 8 を異方性エッチングして、窒化膜 1 8 のうち、トレンチ 3 の側壁 3 a に形成されている部分を残し、底壁 3 b に形成されている部分を選択的に除去する。なお、この工程では、トレンチ 3 の底壁 3 b だけでなく第 1 主面 1 0 a 上に形成されていた窒化膜 1 8 も同時に除去する。

【 0 0 8 5 】

次に、図 1 5 (c) に示すように、トレンチ 3 の側壁 3 a に窒化膜 1 8 が残った状態で

10

20

30

40

50

、半導体基板 10 を酸化雰囲気中に曝して熱酸化する。これによって、窒化膜 18 が除去されたトレンチ 3 の底壁 3 b を選択的に熱酸化し、底壁 3 b に、側壁絶縁膜 6 a よりも膜厚の厚い底壁絶縁膜 6 b を形成する。なお、この工程では、トレンチ 3 の底壁 3 b だけでなく、窒化膜 18 が形成されていない半導体基板 10 の第 1 主面 10 a も熱酸化されて、側壁絶縁膜 6 a よりも膜厚の厚い絶縁膜が形成される。

【 0 0 8 6 】

最後に、リン酸によるウェットエッチングや等方的なドライエッチングを行って、トレンチ 3 の側壁 3 a に形成されている窒化膜 18 を除去することで、図 14 (c) に示した底壁絶縁膜 6 b が形成された状態となる。なお、トレンチ 3 の側壁 3 a に形成されている窒化膜 18 は、除去せずに最後まで残しておき、上記側壁絶縁膜 6 a と該窒化膜 18 とで、側壁絶縁膜を構成するようにしてもよい。

10

【 0 0 8 7 】

図 15 に示す底壁絶縁膜 6 b を形成する工程においては、トレンチ 3 の底壁 3 b に形成する底壁絶縁膜 6 b の膜厚を、窒化膜 18 の選択的除去の後に行う図 15 (c) の半導体基板 10 の熱酸化条件だけで制御することができる。このように、底壁絶縁膜 6 b の膜厚制御を一つの工程に単純化できるため、CVD 酸化膜の堆積とエッチバックの二つの工程により、底壁絶縁膜 6 b の膜厚を制御する従来の方法に較べて、底壁絶縁膜 6 b の厚さばらつきを小さくすることができる。

【 0 0 8 8 】

一方、図 16 に示す底壁絶縁膜 6 b の形成工程は、異方性プラズマ酸化を、トレンチ 3 の底壁 3 b の選択的な酸化に応用したものである。異方性プラズマ酸化では、酸素プラズマを一定方向に導入し、該酸素プラズマが垂直に突き当たる面と該酸素プラズマの導入方向に平行な面とで酸化速度が異なり、後者の面ではほとんど酸化が行われずに、前者の面において厚い酸化膜を得ることができる。これを、以下のようにして、底壁絶縁膜 6 b の形成に用いるものである。

20

【 0 0 8 9 】

図 16 に示す工程では、図 14 (b) に示した側壁絶縁膜 6 a の形成後において、高バイアスを印加してトレンチ 3 内に酸素プラズマを導入し、酸素プラズマが垂直に突き当たるトレンチ 3 の底壁 3 b を選択的に酸化して、底壁 3 b に底壁絶縁膜 6 b を形成する。なお、この場合にも、トレンチ 3 の底壁 3 b だけでなく、酸素プラズマが垂直に突き当たる半導体基板 10 の第 1 主面 10 a が酸化され、側壁絶縁膜 6 a より膜厚の厚い絶縁膜が形成される。

30

【 0 0 9 0 】

図 16 に示す工程においても、底壁絶縁膜 6 b の膜厚を、トレンチ 3 の深さ方向に導入する酸素プラズマの導入条件だけで制御することができる。したがって、この場合も、底壁絶縁膜 6 b の膜厚制御を一つの工程に単純化できるため、上記した従来の方法に較べて、底壁絶縁膜 6 b の厚さばらつきを小さくすることができる。なお、上記したゲート絶縁膜 6 の形成方法は、第 1 実施形態及び第 2 実施形態に示した半導体装置の製造にも適用することができる。

【 0 0 9 1 】

次に、図 14 (c) に示した底壁絶縁膜 6 b の形成工程に再び戻って、以降の半導体装置 100 の製造で実施する工程を説明する。

40

【 0 0 9 2 】

底壁絶縁膜 6 b を形成した後は、図 17 に示すように、底壁絶縁膜 6 b をマスクとして、トレンチ 3 の側壁 3 a から半導体基板 10 のドリフト層 2 に、ボロン (B) 等の p 導電型の不純物を導入する。このとき、膜厚の厚い底壁絶縁膜 6 b によってトレンチ 3 の底壁 3 b 側には p 導電型の不純物が導入されることなく、トレンチ 3 の側壁 3 a に沿って p 導電型 (p) のチャンネル層 4 a を形成することができる。なお、この場合、トレンチ 3 の側壁 3 a だけでなく、第 1 主面 10 a から不純物が導入され、第 1 主面 10 a の表層にも、チャンネル層 4 a が形成される。そして、第 1 主面 10 a の表層に形成されたチャンネル層

50

4 a により、側壁 3 a に沿って形成されたチャンネル層 4 a 同士が連結された状態となる。

【0093】

なお、図 1 5 と図 1 6 に例示した底壁絶縁膜 6 b の形成工程では、上記したように、トレンチ 3 の底壁 3 b だけでなく、半導体基板 1 0 の第 1 主面 1 0 a にも膜厚の厚い絶縁膜が形成される。第 1 主面 1 0 a に膜厚の厚い絶縁膜が付いた状態でチャンネル層 4 a の形成工程を実施すると、隣り合うトレンチ 3 の間隔が広い場合には、半導体基板 1 0 における第 1 主面 1 0 a の表層に p 導電型の不純物が導入されず、側壁 3 a に沿って形成されたチャンネル層 4 a が隣り合うトレンチ 3 間で連結されなくなる。このため、図 1 7 に示したチャンネル層 4 a の形成工程を実施する前に、第 1 主面 1 0 a 上に形成されている絶縁膜をエッチングして、ある程度、薄くしておくことが好ましい。

10

【0094】

図 1 7 に例示したチャンネル層 4 a の形成工程は、トレンチ 3 の側壁 3 a に対して、p 導電型の不純物のボロン (B) を斜めにイオン注入する、斜めイオン注入工程からなる。この斜めイオン注入工程は、トレンチ 3 の側壁 3 a からのチャンネル層 4 a の厚さや、不純物濃度を制御する上で好ましい。しかしながら、チャンネル層 4 a の形成工程はこれに限らず、例えば p 導電型の不純物を気相拡散によってトレンチ 3 の側壁 3 a から導入し、チャンネル層 4 a を形成するようにしてもよい。

【0095】

次に、図 1 8 (a) に示すように、トレンチ 3 に導電材料を埋め込んで、ゲート電極 7 を形成する。

20

【0096】

ゲート電極 7 の形成では、例えば、半導体基板 1 0 の第 1 主面 1 0 a 全面にポリシリコン等の導電材料を堆積してトレンチ 3 を埋め込んだ後、エッチバックする方法を用いる。また、この工程においては、図 1 8 (a) に示すように、トレンチ 3 に埋め込まれる導電材料の表面が半導体基板 1 0 の第 1 主面 1 0 a より深い位置となるようにして、ゲート電極 7 を形成することが好ましい。換言すれば、ゲート電極 7 の上端部 7 a が、第 1 主面 1 0 a よりも深い位置となるように、トレンチ 3 内に導電材料を埋め込む。これによれば、第 1 主面 1 0 a より深い位置に設定されるゲート電極 7 の上端部 7 a の深さ d 1 を基準として、ソース層 5 の不純物導入を行うことができる。これによれば、ゲート電極 7 の深さ d 1 に対するソース層 5 の深さ d 2 をゲート電極 7 の上端部 7 a に整合させて、セルフアラインで制御することができる。

30

【0097】

次に、図 1 8 (b) に示すように、半導体基板 1 0 の第 1 主面 1 0 a 上に所定の開口部を有するレジストマスク 1 5 を形成して、砒素 (As) 等の n 導電型の不純物を半導体基板 1 0 にイオン注入し、トレンチ 3 の側壁 3 a に沿って形成されたチャンネル層 4 a の上方に、n 導電型 (n+) のソース層 5 を形成する。このソース層 5 の形成工程では、上記したように、図 1 8 (a) に示したゲート電極 7 の深さ d 1 を基準として、ソース層 5 の深さ d 2 をセルフアラインで制御することができる。なお、隣り合うトレンチ 3 の間隔が狭い場合には、レジストマスク 1 5 を形成することなく、半導体基板 1 0 の第 1 主面 1 0 a 全面に n 導電型の不純物をイオン注入するようにしてもよい。

40

【0098】

次に、図 1 9 (a) に示すように、半導体基板 1 0 の第 1 主面 1 0 a 上に所定の開口部を有するレジストマスク 1 9 を形成して、ボロン (B) 等の p 導電型の不純物を半導体基板 1 0 に導入し、隣り合うトレンチ 3 間の中央部に、p 導電型 (p+) のボディコンタクト領域 1 6 を形成する。

【0099】

次に、図 1 9 (b) に示すように、半導体基板 1 0 の第 1 主面 1 0 a 全面に層間絶縁膜 1 1 を堆積した後、この層間絶縁膜 1 1 に、n 導電型 (n+) のソース層 5 と p 導電型 (p+) のボディコンタクト領域 1 6 に、ソース電極 1 7 を接続するための開口部 2 0 を形成する。

50

【0100】

最後に、半導体基板10の第1主面10a全面にアルミニウム(Al)等からなる配線材料を堆積して、ソース層5とボディコンタクト領域16に接続するソース電極17を形成すれば、図13の半導体装置100を製造することができる。

【0101】

次に、本実施形態に係る半導体装置100の製造方法の効果について説明する。

【0102】

本実施形態では、トレンチ3の底壁3bに形成した底壁絶縁膜6bをマスクとして、トレンチ3の側壁3aに不純物を導入し、チャンネル層4aを形成する。したがって、チャンネル層4aを形成するためのレジスト工程が必要なくなり、底壁絶縁膜6bからなるマスクによりセルフアラインで形成されるチャンネル層4aによって、トレンチ3の下端部とチャンネル層4aの下端部9の間隔であるゲート突出長が決定される。このため、レジスト工程を省いてプロセスを簡略化し、製造コストを低減できるだけでなく、レジスト工程に伴うゲート突出長の製造ばらつきを排除することができる。

10

【0103】

また、トレンチ3の底壁3bを選択的に酸化することにより、ゲート絶縁膜6として、側壁絶縁膜6aよりも膜厚の厚い底壁絶縁膜6bを形成するようにしている。このように、底壁絶縁膜6bの膜厚制御を一つの工程に単純化している。このため、二つの工程を経る従来の底壁絶縁膜の形成方法に較べて、底壁絶縁膜6bの厚さばらつきを小さくすることができる。ゲート突出長は、底壁絶縁膜6bの厚さによってばらつくため、これにより、ゲート突出長のばらつきを抑制することができる。

20

【0104】

なお、本実施形態では、トレンチ3の側壁3aからp導電型の不純物を導入して、側壁3aに沿ったチャンネル層4aを形成する。したがって、トレンチ3の深さ方向において、チャンネル層4aの不純物濃度の勾配やばらつきを小さくでき、ゲート閾値電圧のばらつきを抑制できることは言うまでもない。

【0105】

以上のように、本実施形態に係る製造方法によれば、チャンネル層4aの下端部9からのゲート突出長をばらつきなく安定して得ることができ、性能とコストを両立することができる。

30

【0106】

(第4実施形態)

本実施形態において、上記実施形態に示した半導体装置100及びその製造方法と共通する部分についての説明は割愛する

図20に示す半導体装置100は、基本的に第3実施形態の図13に示した半導体装置100と同じ構成となっている。異なる点は、p導電型(p-)の低濃度ボディ層21が、ドリフト層2の上に、追加形成されている点である。

【0107】

この低濃度ボディ層21は、不純物濃度がp導電型(p)のチャンネル層4aより低濃度に設定され、チャンネル層4aの下端部9と同程度の深さで形成されている。したがって、図13に示す半導体装置100と異なり、隣り合うトレンチ3間が、チャンネル層4aの下端部9近くの深さまで、ソース層5を除いてp導電型となっている。このため、トレンチ3の側壁3aに沿って形成されたチャンネル層4aの電位を安定化させることができる。また、トレンチ3の側壁3aに沿うチャンネル層4aの間に、p導電型の低濃度ボディ層21が存在するため、JFETとしての効果を抑制することができる。

40

【0108】

さらに、図20に示す例では、低濃度ボディ層21がチャンネル層4aと同程度の深さで形成されており、n導電型とp導電型の境界面は、隣接するトレンチ3間において略フラットで、大きな曲率変化がない構造となっている。すなわち、電界集中が起き難い構造となっている。

50

【0109】

また、チャンネル層4a及び低濃度ボディ層21がトレンチ3よりも浅いため、トレンチ3の下端部でブレイクさせることができる。これにより、ドレイン耐圧を向上させることができる。

【0110】

次に、図20に示す半導体装置100の製造方法について、図21～図24を参照して説明する。

【0111】

先ず、図21に示すように、n導電型(n+)のシリコン基板1上にn導電型(n-)のドリフト層2が形成され、該ドリフト層2上にp導電型(p-)の低濃度ボディ層21が形成された半導体基板10を準備する。このように、トレンチ3を形成する前に、後工程で形成するチャンネル層4aより低濃度の低濃度ボディ層21を、半導体基板10の第1主面10a側に予め形成しておく。

10

【0112】

次に、図22(a)に示すように、半導体基板10の第1主面10aに開口し、低濃度ボディ層21を貫通して、ドリフト層2に達するトレンチ3を形成する。このトレンチ形成工程においては、p導電型の低濃度ボディ層21におけるエッチングレートに較べて、n導電型のドリフト層2のエッチングレートのほうが大きいエッチャントを選択する。

【0113】

これによれば、p導電型の低濃度ボディ層21を小さいエッチングレートでエッチングして、トレンチ3の下端部がn導電型のドリフト層2との境界面(PN接合面)に到達した時、エッチングレートが急に大きくなる。このようなエッチングレートの違いを利用し、エッチングレートに所定の変化が生じた時点を検出し、この時点、或いはこの時点から所定時間経過した時点でエッチングを終了する。したがって、トレンチ3の最終的な深さを、高精度に制御することができる。上記エッチングには、例えば、塩素(Cl)系ガスや臭素(Br)系ガスのRIE等が利用可能である。

20

【0114】

次の図22(b)以降の工程は、それぞれ、第3実施形態の図14(b)以降で説明した半導体装置100の各製造工程と同様の処理をする工程である。このため、各図の対応関係だけを示して、処理内容の説明は省略する。

30

【0115】

図22(b)は、側壁絶縁膜6aの形成工程で、図14(b)で説明した処理を実施する。また、図22(c)は、底壁絶縁膜6bの形成工程で、図14(b)で説明した処理を実施する。本実施形態における底壁絶縁膜6bの形成においても、図15と図16で説明した詳細工程を適用できることは言うまでもない。

【0116】

図23(a)は、チャンネル層4aの形成工程で、図17で説明した処理を実施する。また、図23(b)は、ゲート電極7の形成工程で、図18(a)で説明した処理を実施する。

【0117】

図24(a)は、ソース層5の形成工程で、図18(b)で説明した処理を実施する。また、図24(b)は、ボディコンタクト領域16の形成工程で、図19(a)で説明した処理を実施する。

40

【0118】

ボディコンタクト領域16を形成した後、図19(b)で説明したように、半導体基板10の第1主面10a全面に層間絶縁膜11を堆積し、ソース電極17をソース層5とボディコンタクト領域16に接続するための開口部20を形成する。

【0119】

最後に、半導体基板10の第1主面10a全面にアルミニウム(Al)等からなる配線材料を堆積して、ソース層5とボディコンタクト領域16に接続するソース電極17を形

50

成すれば、図 20 に示す半導体装置 100 を製造することができる。

【0120】

(第5実施形態)

本実施形態において、上記実施形態に示した半導体装置 100 及びその製造方法と共通する部分についての説明は割愛する

図 25 に示す半導体装置 100 は、基本的に第 4 実施形態の図 20 に示した半導体装置 100 と同じ構成となっている。異なる点は、p 導電型 (p-) の低濃度ボディ層 21 に代えて、p 導電型 (p+) の高濃度ボディ領域 22 を有する点である。

【0121】

この高濃度ボディ領域 22 は、不純物濃度が p 導電型 (p) のチャンネル層 4a より高濃度に設定され、多段で構成されている。詳しくは、p 導電型 (p+) のボディコンタクト領域 16 と同じ半導体基板 10 の平面位置において、ボディコンタクト領域 16 に連なって 3 段で形成されている。最下段の高濃度ボディ領域 22a は、その下端部が、チャンネル層 4a の下端部 9 と同程度の深さに形成されている。最上段の高濃度ボディ領域 22c は、半導体基板 10 の第 1 主面 10a 側表面において、ボディコンタクト領域 16 に隣接して形成されている。そして、中段の高濃度ボディ領域 22b は、2 つの高濃度ボディ領域 22a, 22c に挟まれて形成されている。

10

【0122】

図 25 に示す半導体装置 100 も、図 20 に示した半導体装置同様、隣り合うトレンチ 3 間、チャンネル層 4a の下端部 9 近くの深さまで、ソース層 5 を除いて p 導電型となっ

20

【0123】

また、図 25 に示す例でも、高濃度ボディ領域 22 の下端部がチャンネル層 4a の下端部 9 と同程度の深さとなっているため、n 導電型と p 導電型の境界面は、隣接するトレンチ 3 間において略フラットで、大きな曲率変化がない構造となる。すなわち、電界集中が起き難い構造となっている。

【0124】

また、チャンネル層 4a 及び高濃度ボディ領域 22 がトレンチ 3 よりも浅いため、トレンチ 3 の下端部でブレイクさせることができる。これにより、ドレイン耐圧を向上させるこ

30

【0125】

図 25 に示す半導体装置 100 を製造するにあたっては、図 18 (b) で説明した処理まで実施した後、図 26 に示すように、注入深さを変えてイオン注入を多段に行う。図 26 では、最下段の高濃度ボディ領域 22a が形成された状態を示している。

【0126】

なお、図 26 に示す工程では、レジストマスク 19 を形成して多段イオン注入を実施しているが、図 19 (b) に示した層間絶縁膜 11 の形成後、層間絶縁膜 11 に形成した開口部 20 をマスクとして、多段イオン注入を実施してもよい。多段イオン注入後には、先に形成してあるチャンネル層 4a への影響がない程度の温度と時間で、注入したイオンの活性化と拡散の処理を行う。具体的には、チャンネル層 4a とのクリアランスを $0.5 \mu\text{m}$ 程度とした場合、濃い注入 ($\sim 10^{15} \text{cm}^{-2}$) であっても、900 程度のアニールで、チャンネル層 4a に影響が及ぶことなく、注入したイオンの活性化と拡散の処理を行うことができる。

40

【0127】

なお、上記実施形態では、多段イオン注入による高濃度ボディ領域 22 の例を示した。しかしながら、図 27 に示すように、隣り合うトレンチ 3 の中間部において、第 2 のトレンチ 23 が形成され、第 2 のトレンチ 23 の下端部に隣接する形で、p 導電型 (p+) の高濃度ボディ領域 24 が形成されても良い。この高濃度ボディ領域 24 は、その下端部が、チャンネル層 4a の下端部 9 と同程度の深さに形成されている。また、高濃度ボディ領域

50

24は、図13に示す半導体装置100のボディコンタクト領域16としても機能する。ソース電極17は、層間絶縁膜11を介して、高濃度ボディ領域24とソース層5に接続されている。

【0128】

図27に示す半導体装置100を製造するにあたっては、図19(a)に示したボディコンタクト領域16の形成工程を実施することなく、図19(b)に示した層間絶縁膜11の形成工程を実施する。そして、図28に示すように、層間絶縁膜11に開口部20を形成した後も引き続きエッチングを継続して、第2のトレンチ23を形成する。次いで、第2のトレンチ23を介してイオン注入を行い、高濃度ボディ領域24を形成する。なお、この場合も、イオン注入後には、先に形成してあるチャンネル層4aへの影響がない程度

10

の温度と時間で、注入したイオンの活性化と拡散の処理を行う。

【0129】

図26及び図28に示した製造方法によれば、トレンチ3の形成前に低濃度ボディ層21を予め形成しておく方法に較べて、隣接するトレンチ3間のp導電型の不純物領域をより高濃度とすることができる。したがって、上記方法により製造される図25及び図27に示す半導体装置100においては、図20に示した半導体装置100に較べて、トレンチ3の側壁3aに沿って形成されるチャンネル層4aの電位をより安定化することができる。また、隣接するトレンチ3間でp導電型領域とn導電型領域の境界面を略フラットにすることで、電界集中が起き難い構造にできることは言うまでもない。

【0130】

20

以上、本発明の好ましい実施形態について説明したが、本発明は上述した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

【0131】

半導体装置における各層の導電型は、例えば図1に示すものに限らず、それと逆になってもよい。すなわち、Pチャンネル型の素子として構成されていてもよい。

【0132】

上記実施形態では、MOSFETとして構成された半導体装置100を例示したが、半導体装置100はIGBTとして構成されていてもよい。この場合、コレクタとして機能するp導電型(p+)のシリコン基板1を採用すれば良い。また、製造方法については、上記各実施形態と同様の製造方法を用いればよい。

30

【0133】

調整層8を有さない半導体装置100において、図1に示す高濃度ボディ領域4bを採用しても良い。一方、調整層8を有する半導体装置100において、図25に示す多段イオン注入による高濃度ボディ領域22、図27に示す第2のトレンチ23を利用した高濃度ボディ領域24を採用しても良い。

【0134】

また、調整層8を有さない半導体装置100において、高濃度ボディ領域4bに代えて、図20に示す低濃度ボディ層21を採用しても良い。

【0135】

40

第1実施形態、第2実施形態、第5実施形態では、高濃度ボディ領域4b、22、24が、チャンネル層4aの下端部9と同程度の深さとされ、トレンチ3の下端部よりも浅くされる例を示した。しかしながら、高濃度ボディ領域の深さは上記例に限定されるものではない。

【0136】

例えば図29に示す半導体装置100は、第1実施形態の図1に示した半導体装置100に対し、高濃度ボディ領域4bが、チャンネル層4aの下端部9、ひいてはトレンチ3の下端部よりも深い位置まで形成された構成となっている。

【0137】

また、図30に示す半導体装置100は、第1実施形態の図1に示した半導体装置100

50

0に、第5実施形態の図25に示した多段イオン注入による高濃度ボディ領域22を組み合わせた構成となっている。そして、高濃度ボディ領域22が、チャンネル層4aの下端部9、ひいてはトレンチ3の下端部よりも深い位置まで形成された構成となっている。

【0138】

また、図31に示す半導体装置100は、第1実施形態の図1に示した半導体装置100に、第5実施形態の図27に示した、第2のトレンチ23を利用した高濃度ボディ領域24を組み合わせた構成となっている。そして、高濃度ボディ領域24が、チャンネル層4aの下端部9、ひいてはトレンチ3の下端部よりも深い位置まで形成された構成となっている。

【0139】

また、図32に示す半導体装置100は、第5実施形態の図25に示した半導体装置100に対し、高濃度ボディ領域22が、チャンネル層4aの下端部9、ひいてはトレンチ3の下端部よりも深い位置まで形成された構成となっている。

【0140】

また、図33に示す半導体装置100は、第5実施形態の図27に示した半導体装置100に対し、高濃度ボディ領域24が、チャンネル層4aの下端部9、ひいてはトレンチ3の下端部よりも深い位置まで形成された構成となっている。

【0141】

これら図29～図33に例示したように、高濃度ボディ領域4b, 22, 24がトレンチ3の下端部よりも深い位置まで形成された構成とすると、アバランシェブレークダウン時のブレークポイントがトレンチ3の下端部ではなく、高濃度ボディ領域4b, 22, 24の下端部となる。これにより、アバランシェブレークダウン時に生じたキャリアは、高濃度ボディ領域4b, 22, 24を介して引き抜かれることとなる。したがって、リカバリー耐量を向上させることができる。

【0142】

特に、調整層8を有する構成では、チャンネル層4aの下端部9より深い位置まで高濃度ボディ領域4b, 22, 24を設けても、調整層8の効果により、高濃度ボディ領域4b, 22, 24の形成に伴ってチャンネル層4aの下端部9の位置が深くなる、すなわちチャンネル層4aが沈み込むのを抑制することができる。このため、高濃度ボディ領域4b, 22, 24がトレンチ3の下端部よりも深い位置まで形成された構成では、チャンネル層4aの沈み込みを抑制しつつ、リカバリー耐量を向上させることができる。

【符号の説明】

【0143】

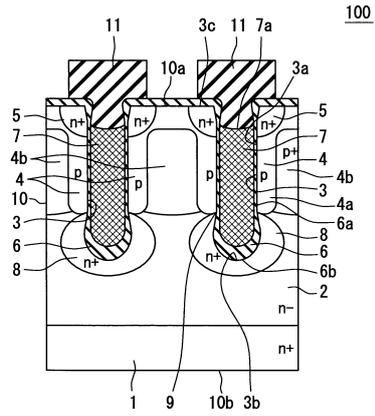
1...シリコン基板、2...ドリフト層、3...トレンチ、3a...側壁、3b...底壁、4a...チャンネル層、4b...高濃度ボディ領域、6...ゲート絶縁膜、6a...側壁絶縁膜、6b...底壁絶縁膜、7...ゲート電極、8...調整層、9...下端部、10...半導体基板、22, 22a～22c...高濃度ボディ領域、23...第2のトレンチ、24...高濃度ボディ領域、100...半導体装置

10

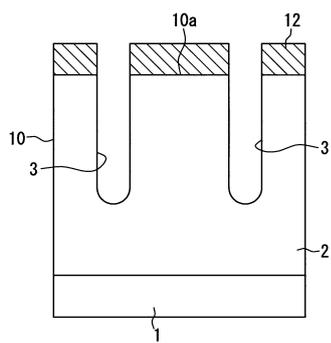
20

30

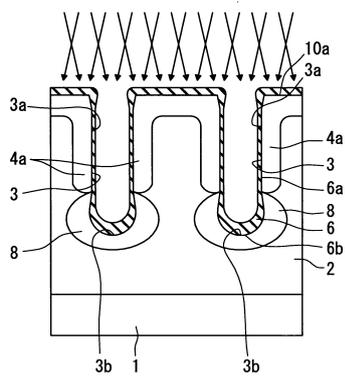
【 図 1 】



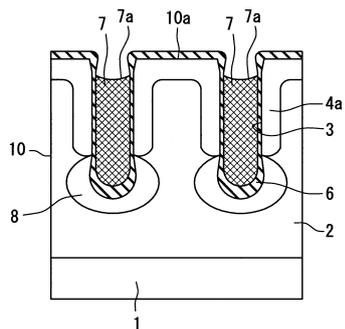
【 図 2 】



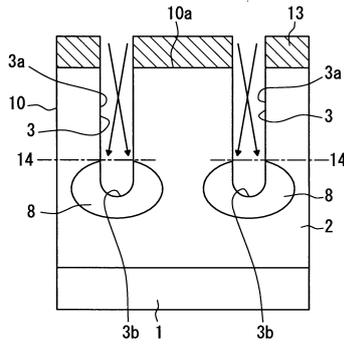
【 図 5 】



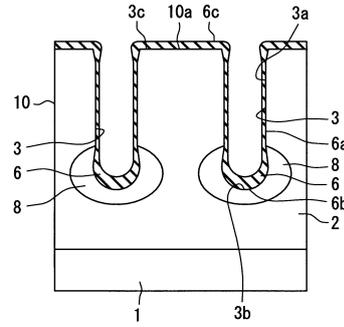
【 図 6 】



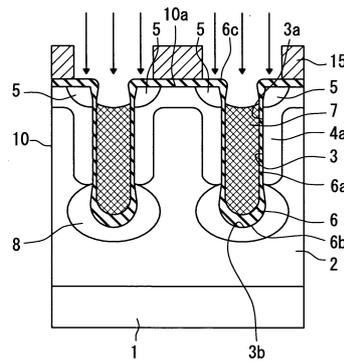
【 図 3 】



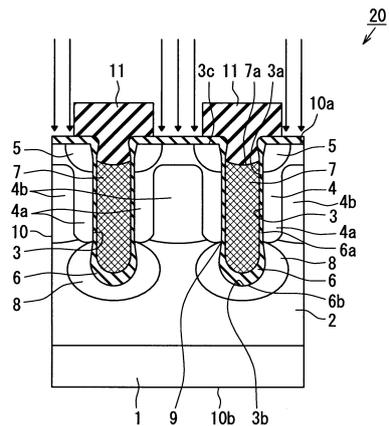
【 図 4 】



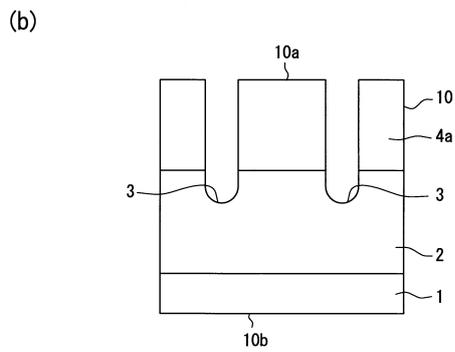
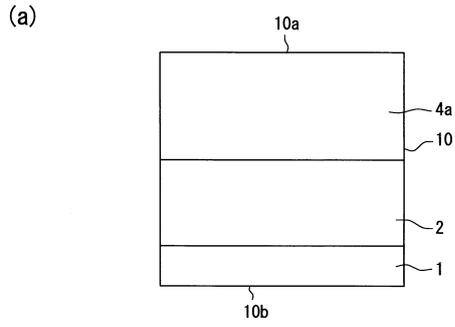
【 図 7 】



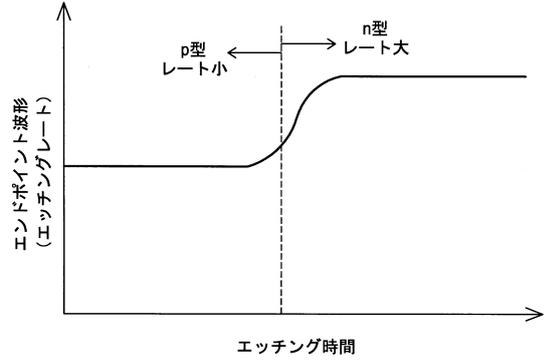
【 図 8 】



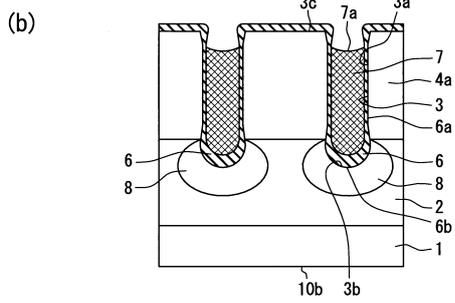
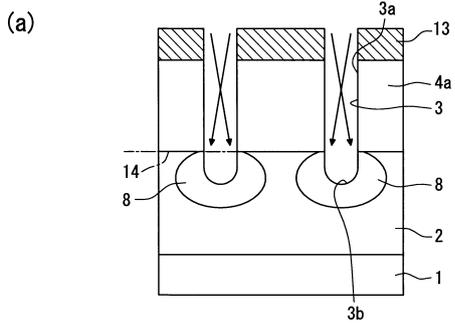
【図9】



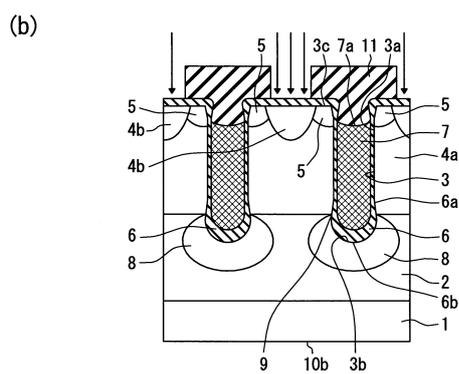
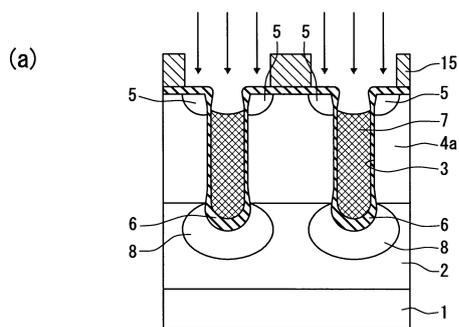
【図10】



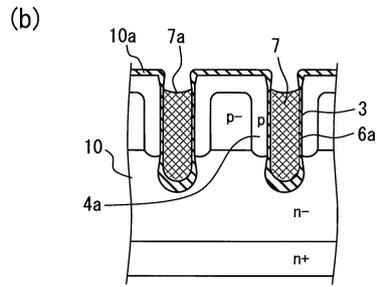
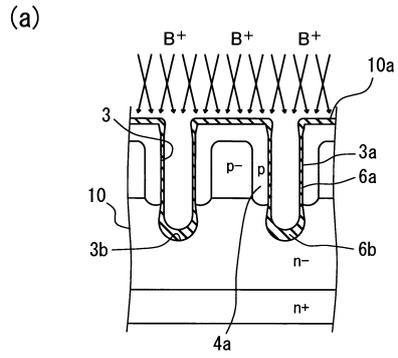
【図11】



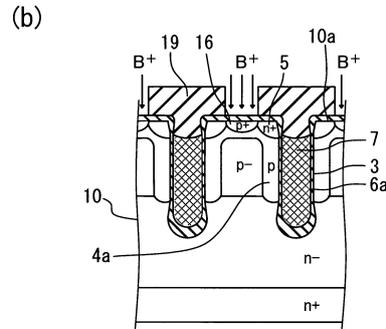
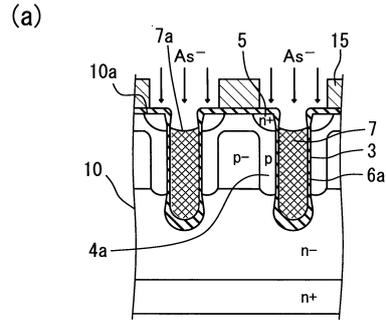
【図12】



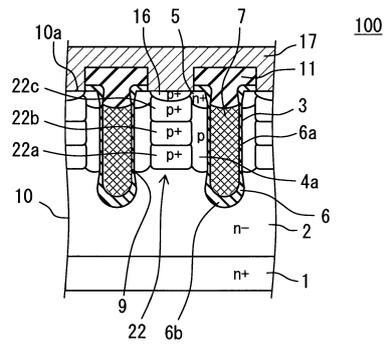
【 図 2 3 】



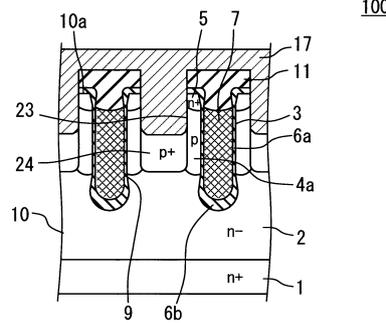
【 図 2 4 】



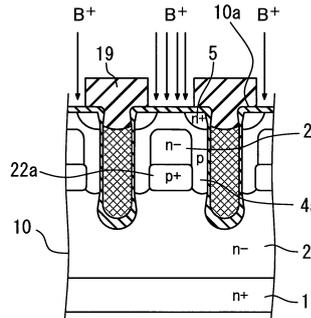
【 図 2 5 】



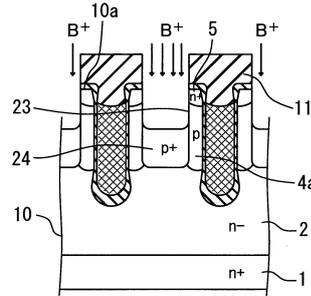
【 図 2 7 】



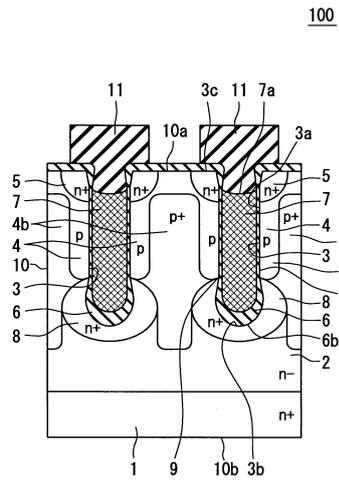
【 図 2 6 】



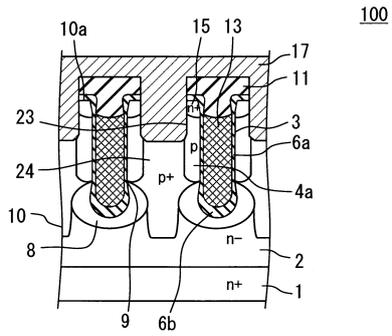
【 図 2 8 】



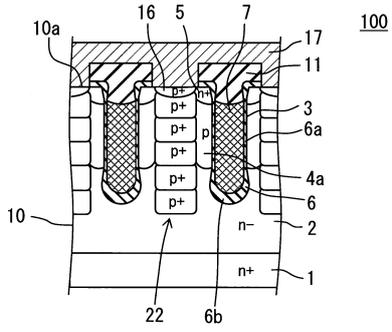
【 図 2 9 】



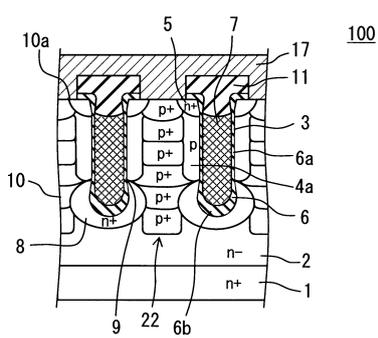
【 図 3 1 】



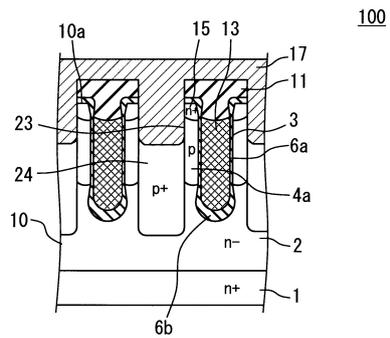
【 図 3 2 】



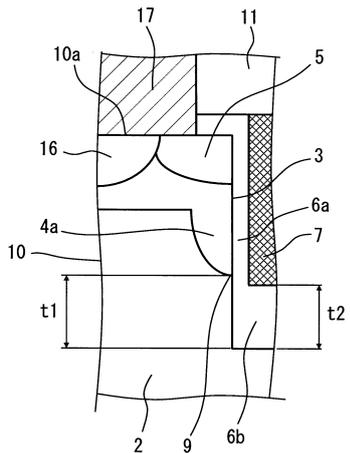
【 図 3 0 】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 E
H 0 1 L 29/78 6 5 2 H
H 0 1 L 29/78 6 5 2 J
H 0 1 L 29/78 6 5 2 K
H 0 1 L 29/78 6 5 3 C

審査官 工藤 一光

(56)参考文献 特開2004-303802(JP,A)
特開平03-211885(JP,A)
特開平7-122749(JP,A)
特開平8-288382(JP,A)
特表2006-509350(JP,A)
特表2006-514443(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 - 2 9 / 7 9 2