



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월11일 10-0655283 2006년12월01일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0081861 2004년10월13일 2004년10월13일	(65) 공개번호 (43) 공개일자	10-2006-0032868 2006년04월18일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김재황
 경기 용인시 기흥읍 구갈리 코오롱하늘채아파트 503동 2201호

 윤승범
 경기 수원시 권선구 금곡동 530번지 LG빌리지아파트 208동 1104호

 고광옥
 서울 광진구 자양3동 우성1차아파트 102동 702호

 이창훈
 경기 수원시 영통구 망포동 동수원엘지빌리지1차 109동 1401호

 김성호
 경기 오산시 오산동 920-2 주공아파트 209동 1004호

 박성철
 서울 동작구 사당2동 우성아파트 304동 1414호

 김주리
 서울 서초구 양재동 15-26호 5층 501호

(74) 대리인 임창현
 권혁수
 송윤호
 오세준

심사관 : 박근오

전체 청구항 수 : 총 18 항

(54) 이이피름 장치 및 그 제조 방법

(57) 요약

이이피롬 장치 및 그 제조 방법을 제공한다. 이 이이피롬은 반도체기판의 소정영역에 배치되어 활성영역들을 정의하는 소자분리막, 상기 활성영역을 가로지르는 한 쌍의 제어 게이트들, 상기 제어 게이트들 사이에 배치되어 상기 활성영역을 가로지르는 한 쌍의 선택 게이트들, 상기 제어 게이트들과 상기 활성영역 사이에서 차례로 적층된 부유 게이트 및 게이트 층간절연막 패턴, 상기 부유 게이트와 상기 활성영역 사이에 개재된 메모리 트랜지스터의 게이트 절연막 및 상기 메모리 트랜지스터의 게이트 절연막보다 얇은 터널 절연막, 및 상기 선택 게이트들과 상기 활성영역 사이에 개재된 선택 트랜지스터의 게이트 절연막을 포함한다. 이때, 상기 터널 절연막은 상기 부유 게이트의 일측에 정렬되는 것을 특징으로 한다.

대표도

도 5b

특허청구의 범위

청구항 1.

반도체기판의 소정영역 상에 주형막 패턴들을 형성하는 단계;

상기 주형막 패턴들이 형성된 결과물 상에 터널 절연막을 형성하는 단계;

상기 주형막 패턴들의 측벽에 배치되어, 상기 터널 절연막의 상부면 및 측벽을 덮는 터널 스페이서를 형성하는 단계;

상기 터널 스페이서들 사이의 반도체기판 상에, 상기 터널 절연막보다 두꺼운 게이트 절연막을 형성하는 단계;

상기 터널 스페이서들을 제거하여 상기 터널 절연막을 노출시키는 단계;

상기 터널 스페이서가 제거된 결과물 상에 제 1 도전막을 형성하는 단계;

상기 주형막 패턴이 노출될 때까지 상기 제 1 도전막을 평탄화 식각하여, 상기 주형막 패턴들 사이의 갭영역을 채우는 제 1 도전막 패턴을 형성하는 단계;

상기 노출된 주형막 패턴을 제거하는 단계;

상기 주형막 패턴이 제거된 결과물 상에 게이트 층간절연막 및 제 2 도전막을 차례로 형성하는 단계; 및

상기 제 2 도전막, 상기 게이트 층간절연막 및 상기 제 1 도전막 패턴을 패터닝하여, 메모리 트랜지스터 및 선택 트랜지스터의 게이트 전극들을 형성하는 단계를 포함하는 것을 특징으로 하는 이이피롬의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 터널 절연막을 형성하는 단계는 화학기상증착, 원자층증착 또는 열산화 공정을 사용하여 실리콘 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 이이피롬의 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 터널 스페이서는 상기 터널 절연막 및 상기 게이트 절연막에 대한 식각없이 선택적으로 제거될 수 있는 물질로 형성하는 것을 특징으로 하는 이이피롬의 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 주형막 패턴은 상기 제 1 도전막 및 상기 터널 절연막에 대한 식각없이 선택적으로 제거될 수 있는 물질로 형성하는 것을 특징으로 하는 이이피롬의 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 메모리 트랜지스터 및 선택 트랜지스터의 게이트 전극들을 형성하는 단계는

상기 제 2 도전막, 상기 게이트 층간절연막, 상기 제 1 도전막 패턴 및 상기 게이트 절연막을 패터닝하여, 상기 반도체기판을 노출시키는 제 2 도전막 패턴, 게이트 층간절연막 패턴, 부유 게이트 및 게이트 절연막 패턴을 형성하는 단계;

상기 노출된 반도체기판에 소오스 영역을 형성하는 단계; 및

상기 제 2 도전막 패턴 및 상기 게이트 층간절연막 패턴을 패터닝하여, 상기 부유 게이트 상에 배치되는 제어 게이트 및 상기 주형막 패턴이 제거된 영역에 배치되는 선택 게이트를 형성하는 단계를 포함하는 이이피롬의 제조 방법.

청구항 6.

제 5 항에 있어서,

상기 메모리 트랜지스터 및 선택 트랜지스터의 게이트 전극들을 형성한 후,

상기 선택 게이트들 사이의 반도체기판에 드레인 영역을 형성하는 단계를 더 포함하는 이이피롬의 제조 방법.

청구항 7.

제 5 항에 있어서,

상기 터널 절연막에 접하는 상기 부유 게이트의 가장 낮은 하부면은 상기 부유 게이트의 최외곽 경계에 배치되는 것을 특징으로 하는 이이피롬의 제조 방법.

청구항 8.

제 1 항에 있어서,

상기 게이트 층간절연막을 형성하기 전에, 상기 주형막 패턴의 양측벽에 측벽 스페이서들을 형성하는 단계를 더 포함하는 이이피롬의 제조 방법.

청구항 9.

제 1 항에 있어서,

상기 주형막 패턴들을 형성하기 전에,

상기 반도체기판에 활성영역을 정의하는 소자분리막들을 형성하는 단계; 및

상기 활성영역에 복수개의 터널 불순물 영역들을 형성하는 단계를 더 포함하는 이이피롬의 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 주형막 패턴들을 형성하는 단계는 상기 주형막 패턴들의 측벽이 상기 터널 불순물 영역의 상부에 배치되도록 실시하
되,

상기 메모리 트랜지스터 및 선택 트랜지스터의 게이트 전극들을 형성한 후, 상기 터널 불순물 영역의 상부에 배치되는 게
이트 스페이서들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 이이피롬의 제조 방법.

청구항 11.

제 10 항에 있어서,

상기 소자분리막을 형성하는 단계는 상기 터널 스페이서가 배치되는 위치에서의 활성영역의 폭이 상기 게이트 스페이서가
배치되는 위치에서의 활성영역의 폭보다 크도록 상기 소자분리막을 형성하는 단계를 포함하는 이이피롬의 제조 방법.

청구항 12.

반도체기판의 소정영역에 배치되어 활성영역들을 정의하는 소자분리막;

상기 소자분리막들 및 활성영역을 가로지르는 한 쌍의 제어 게이트들;

상기 제어 게이트들 사이에 배치되어 상기 소자분리막들 및 상기 활성영역을 가로지르는 한 쌍의 선택 게이트들;

상기 제어 게이트들과 상기 활성영역 사이에서 차례로 적층된 부유 게이트 및 게이트 층간절연막 패턴;

상기 부유 게이트와 상기 활성영역 사이에 개재된 메모리 트랜지스터의 게이트 절연막 및 상기 메모리 트랜지스터의 게이
트 절연막보다 얇은 터널 절연막; 및

상기 선택 게이트들과 상기 활성영역 사이에 개재된 선택 트랜지스터의 게이트 절연막을 포함하되,

상기 터널 절연막은 상기 부유 게이트의 일측에 정렬되는 것을 특징으로 하는 이이피롬.

청구항 13.

제 12 항에 있어서,

상기 제어 게이트들과 상기 선택 게이트들은 동일한 두께를 갖는 동일한 물질로 이루어진 것을 특징으로 하는 이이피롬.

청구항 14.

제 12 항에 있어서,

상기 게이트 층간절연막 패턴은 상기 선택 트랜지스터의 게이트 절연막과 동일한 두께 및 동일한 물질로 이루어지는 것을 특징으로 하는 이이피롬.

청구항 15.

제 14 항에 있어서,

상기 게이트 층간절연막 패턴과 상기 선택 트랜지스터의 게이트 절연막은 적어도 하나의 실리콘 산화막 및 적어도 하나의 실리콘 질화막을 포함하는 다중막인 것을 특징으로 하는 이이피롬.

청구항 16.

제 14 항에 있어서,

상기 제어 게이트와 상기 선택 게이트 사이의 활성영역에 배치되어, 상기 부유 게이트의 하부로 연장된 터널 불순물 영역들;

상기 선택 게이트들 사이의 활성영역에 배치되는 드레인 영역들; 및

상기 서로 다른 소자분리막들을 가로지르면서 배치되는 인접한 상기 제어 게이트들 사이에 배치되는 소오스 영역을 더 구비하는 것을 특징으로 하는 이이피롬.

청구항 17.

제 12 항에 있어서,

상기 터널 절연막에 접하는 상기 부유 게이트의 가장 낮은 하부면은 상기 부유 게이트의 최외곽 경계에 배치되는 것을 특징으로 하는 이이피롬.

청구항 18.

제 12 항에 있어서,

상기 터널 절연막이 배치되는 위치에서의 상기 활성영역들의 폭은 상기 선택 게이트가 지나는 위치에서의 상기 활성영역의 폭보다 좁은 것을 특징으로 하는 이이피롬.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 더 자세하게는 이이피롬 장치 및 그 제조 방법에 관한 것이다.

반도체 소자의 이이피롬 셀은 전원 공급이 중단될지라도, 저장된 데이터를 그대로 유지하는 비휘발성 특성을 갖는다. 이이피롬 셀은 데이터를 저장하는 장소로서 플로팅 게이트를 갖는다. 플로팅 게이트는 전기적으로 격리되며, 그것의 내부에 전하들을 저장할 수 있다. 플로팅 게이트 내에 저장된 전하들의 양에 따라, 이이피롬 셀에 저장된 데이터는 논리 "1" 또는 논리 "0"으로 구분될 수 있다.

도 1a 및 도 1b는 종래 기술에 따른 이이피롬의 구조를 설명하기 위한 평면도 및 공정단면도이다.

도 1a 및 도 1b를 참조하면, 반도체기판(10)의 소정영역에 활성영역(A)을 한정하는 소자분리막(15)이 배치되고, 상기 활성영역(A) 및 상기 소자분리막(15) 상에는 메모리 트랜지스터의 제어 게이트 전극 및 선택 트랜지스터의 게이트 전극으로 사용되는 제어 게이트(CG)와 선택 게이트(SG)이 배치된다. 상기 제어 게이트(CG)와 상기 활성영역 사이에는 전하저장막으로 사용되는 부유 게이트(FG)가 배치된다. 상기 부유 게이트(FG)와 상기 제어 게이트(CG) 사이에는 게이트 층간절연막(50)이 배치되어, 상기 부유 게이트(FG)를 전기적으로 고립(float)시킨다.

상기 부유 게이트(FG)와 상기 활성영역(A) 사이에는 게이트 산화막(30) 및 터널 산화막(20)이 배치된다. 평면적으로 볼 때, 도 1a에 도시한 것처럼, 상기 터널 산화막(20)은 상기 게이트 산화막(30)에 의해 둘러싸인다. 또한, 단면을 볼 때, 도 1b에 도시한 것처럼, 상기 터널 산화막(20)은 상기 게이트 산화막(30)보다 얇은 두께를 갖는다.

이에 비해, 상기 선택 게이트(SG)와 상기 활성영역(A) 사이에는 상기 선택 게이트(SG)에 전기적으로 연결되는 하부 도전막 패턴(60)이 배치된다. 이를 위해, 상기 게이트 층간절연막(50)은 상기 선택 게이트(SG)와 상기 하부 도전막 패턴(60) 사이에는 형성되지 않는다. 또한, 상기 하부 도전막 패턴(60)과 상기 활성영역(A) 사이에는 게이트 산화막(30)이 배치된다.

상기 제어 게이트(CG)와 상기 선택 게이트(SG) 사이에는 상기 터널 산화막(20)의 아래로 연장된 터널 불순물 영역(40)이 배치된다. 또한, 상기 제어 게이트(CG)의 일측에는 상기 터널 불순물 영역(40)으로부터 이격된 소오스 영역(S)이 배치되고, 상기 선택 게이트(SG)의 일측에는 상기 터널 불순물 영역(40)으로부터 이격된 드레인 영역(D)이 배치된다.

한편, 일반적인 이이피롬의 제조 방법에 따르면, 상기 제어 게이트(CG) 및 상기 부유 게이트(FG)를 형성하는 단계는 자기정렬 식각 공정을 사용한다. 상기 자기정렬 식각 공정에서 오정렬이 발생할 경우 유발될 수 있는 상기 터널 산화막(20)의 식각 손상을 방지하기 위해, 상기 부유 게이트(FG)는 상기 터널 산화막(20)의 가장자리로부터 소정 폭(w)의 여유 공간을 갖는다. 상기 터널 산화막(20)의 식각 손상은 이이피롬의 특성에 중요한 영향을 미치기 때문에, 상기 여유 공간을 없앨 수는 없다. 하지만, 상기 여유 공간에 의해 보다 고집적화된 이이피롬을 개발하는 것을 어렵게 만든다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 집적도를 증가시킬 수 있는 이이피롬을 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 집적도를 증가시킬 수 있는 이이피롬의 제조 방법을 제공하는 데 있다.

발명의 구성

상기 기술적 과제들을 달성하기 위하여, 본 발명은 주형막 패턴 및 그 측벽에 배치되는 스페이서를 이용하여 터널 절연막을 자기정렬적으로 형성하는 것을 특징으로 하는 이이피롬의 제조 방법을 제공한다. 이 방법은 반도체기판의 소정영역 상에 주형막 패턴들을 형성하는 단계; 상기 주형막 패턴들이 형성된 결과물 상에 터널 절연막을 형성하는 단계; 상기 주형막 패턴들의 측벽에 배치되어, 상기 터널 절연막의 상부면 및 측벽을 덮는 터널 스페이서를 형성하는 단계; 상기 터널 스페이서들 사이의 반도체기판 상에, 상기 터널 절연막보다 두꺼운 게이트 절연막을 형성하는 단계; 상기 터널 스페이서들을 제거하여 상기 터널 절연막을 노출시키는 단계; 상기 터널 스페이서가 제거된 결과물 상에 제 1 도전막을 형성하는 단계; 상기 주형막 패턴이 노출될 때까지 상기 제 1 도전막을 평탄화 식각하여, 상기 주형막 패턴들 사이의 꺾여진 영역을 채우는 제 1 도전막 패턴을 형성하는 단계; 상기 노출된 주형막 패턴을 제거하는 단계; 상기 주형막 패턴이 제거된 결과물 상에 게이트 층간절연막 및 제 2 도전막을 차례로 형성하는 단계; 및 상기 제 2 도전막, 상기 게이트 층간절연막 및 상기 제 1 도전막 패턴을 패터닝하여, 메모리 트랜지스터 및 선택 트랜지스터의 게이트 전극들을 형성하는 단계를 포함한다.

바람직하게는, 상기 터널 절연막을 형성하는 단계는 화학기상증착, 원자층증착 또는 열산화 공정을 사용하여 실리콘 산화막을 형성하는 단계를 포함한다. 또한, 상기 터널 스페이서는 상기 터널 절연막 및 상기 게이트 절연막에 대한 식각 손상없이 선택적으로 제거될 수 있는 물질로 형성하고, 상기 주형막 패턴은 상기 제 1 도전막 및 상기 터널 절연막에 대한 식각 손상이 선택적으로 제거될 수 있는 물질로 형성하는 것이 바람직하다.

본 발명의 실시예에 따르면, 상기 메모리 트랜지스터 및 선택 트랜지스터의 게이트 전극들을 형성하는 단계는 상기 제 2 도전막, 상기 게이트 층간절연막, 상기 제 1 도전막 패턴 및 상기 게이트 절연막을 패터닝하여, 상기 반도체기판을 노출시키는 제 2 도전막 패턴, 게이트 층간절연막 패턴, 부유 게이트 및 게이트 절연막 패턴을 형성하는 단계; 상기 노출된 반도체기판에 소오스 영역을 형성하는 단계; 및 상기 제 2 도전막 패턴 및 상기 게이트 층간절연막 패턴을 패터닝하여, 상기 부유 게이트 상에 배치되는 제어 게이트 및 상기 주형막 패턴이 제거된 영역에 배치되는 선택 게이트를 형성하는 단계를 포함한다.

또한, 상기 게이트 층간절연막을 형성하기 전에, 상기 주형막 패턴의 양측벽에 측벽 스페이서들을 더 형성할 수 있다.

본 발명에 따르면, 상기 주형막 패턴들을 형성하기 전에, 상기 반도체기판에 활성영역을 정의하는 소자분리막들을 형성한 후, 상기 활성영역에 복수개의 터널 불순물 영역들을 형성하는 단계들을 더 실시할 수 있다. 이때, 상기 주형막 패턴들의 측벽 및 상기 게이트 스페이서들은 상기 터널 불순물 영역의 상부에 배치된다.

특히, 본 발명에 따르면, 상기 소자분리막을 형성하는 단계는 상기 활성영역들의 폭이 상기 게이트 스페이서들이 배치되는 위치에서 좁아지도록 상기 소자분리막을 형성하는 단계를 포함한다. 또한, 상기 터널 절연막에 접하는 상기 부유 게이트의 가장 낮은 하부면은 상기 부유 게이트의 최외곽 경계에 배치된다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 부유 게이트의 일측에 정렬된 터널 절연막을 구비하는 이이피롬을 제공한다. 이 이이피롬은 반도체기판의 소정영역에 배치되어 활성영역들을 정의하는 소자분리막; 상기 활성영역을 가로지르는 한 쌍의 제어 게이트들; 상기 제어 게이트들 사이에 배치되어 상기 활성영역을 가로지르는 한 쌍의 선택 게이트들; 상기 제어 게이트들과 상기 활성영역 사이에서 차례로 적층된 부유 게이트 및 게이트 층간절연막 패턴; 상기 부유 게이트와 상기 활성영역 사이에 개재된 메모리 트랜지스터의 게이트 절연막 및 상기 메모리 트랜지스터의 게이트 절연막보다 얇은 터널 절연막; 및 상기 선택 게이트들과 상기 활성영역 사이에 개재된 선택 트랜지스터의 게이트 절연막을 포함한다. 이때, 상술한 것처럼, 상기 터널 절연막은 상기 부유 게이트의 일측에 정렬되는 것을 특징으로 한다.

본 발명의 실시예에 따르면, 상기 제어 게이트들과 상기 선택 게이트들은 동일한 두께를 갖는 동일한 물질로 이루어지고, 상기 게이트 층간절연막 패턴은 상기 선택 트랜지스터의 게이트 절연막과 동일한 두께 및 동일한 물질로 이루어진다. 예를 들면, 상기 게이트 층간절연막 패턴과 상기 선택 트랜지스터의 게이트 절연막은 적어도 하나의 실리콘 산화막 및 적어도 하나의 실리콘 질화막을 포함하는 다중막일 수 있다.

이에 더하여, 상기 제어 게이트와 상기 선택 게이트 사이의 활성영역에는 상기 부유 게이트의 하부로 연장된 터널 불순물 영역들이 배치되고, 상기 선택 게이트들 사이의 활성영역에는 드레인 영역들이 배치되고, 상기 서로 다른 활성영역들을 가로지르면서 배치되는 인접한 상기 제어 게이트들 사이에는 소오스 영역들이 배치된다.

본 발명의 실시예들에 따르면, 상기 터널 절연막에 접하는 상기 부유 게이트의 가장 낮은 하부면은 상기 부유 게이트의 최외곽 경계에 자기정렬적으로 배치된다. 또한, 상기 터널 절연막이 배치되는 위치에서의 상기 활성영역들의 폭은 상기 선택 게이트가 지나가는 위치에서의 상기 활성영역의 폭보다 좁다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

도 2a 내지 도 10a는 본 발명에 따른 이이피롬의 제조 방법을 설명하기 위한 평면도들이고, 도 2b 내지 도 10b는 각각 도 2a 내지 도 10a에 도시된 II-II'을 따라 보여지는 이이피롬의 단면을 보여주는 공정단면도들이다.

도 2a 및 도 2b를 참조하면, 반도체기판(100)의 소정영역에 활성영역들(A)을 정의하는 소자분리막 패턴들(105)을 형성한다. 상기 소자분리막 패턴들(105)은 트렌치 식각 기술을 사용하여 형성된 트렌치들을 채우는 절연막들로 구성될 수 있다. 이때, 상기 반도체기판(100)은 메모리 트랜지스터(memory transistor, MT) 영역과 선택 트랜지스터(selection transistor, ST) 영역으로 나누어질 수 있다.

이어서, 상기 반도체기판(100)에 복수개의 터널 불순물 영역들(110)을 형성한다. 상기 터널 불순물 영역들(110)은 소정의 이온 주입 공정을 통해 형성될 수 있으며, 바람직하게는 상기 메모리 트랜지스터 영역(MT)과 상기 선택 트랜지스터 영역(ST)의 경계에 형성된다. 상기 메모리 트랜지스터 영역(MT)과 상기 선택 트랜지스터 영역(ST)의 경계에서의 상기 활성영역(A)의 폭(L_1)은, 도 3a에 도시된 것처럼, 상기 경계가 아닌 영역에서의 폭(L_0)보다 좁다. 이처럼 좁은 활성영역의 폭은 후속 공정에서 터널의 면적을 줄임으로써, 프로그램/이레이즈 효율을 증가시킨다.

상기 터널 불순물 영역들(110)이 형성된 결과물 전면에 주형막(120)을 형성한다. 본 발명의 일 실시예에 따르면, 상기 주형막(120)은 차례로 적층된 제 1, 제 2 및 제 3 주형막들(122, 124, 126)로 구성된다. 상기 제 1 주형막(122)은 열산화 공정 또는 화학기상증착 공정을 통해 형성된 실리콘 산화막이고, 상기 제 2 주형막(124)은 화학기상증착 공정을 통해 형성된 실리콘 질화막이고, 상기 제 3 주형막(126)은 화학기상증착 공정을 통해 형성된 실리콘 산화막인 것이 바람직하다.

도 3a 및 도 3b를 참조하면, 상기 주형막(120)을 패터닝하여 상기 메모리 트랜지스터라인 영역(MT)과 상기 선택 트랜지스터 영역(ST)을 정의하는 주형막 패턴들(mold patterns)(130)을 형성한다. 상기 주형막 패턴(130)은 차례로 적층된 제 1, 제 2 및 제 3 주형막 패턴들(132, 134, 136)로 구성된다. 상기 주형막 패턴(130)은 상기 선택 트랜지스터(ST) 영역의 상부에 배치되어, 상기 메모리 트랜지스터 영역(MT)의 상부면을 노출시킨다. 본 발명에 따르면, 상기 주형막 패턴(130)은 후속 공정에서 터널 스페이서(150), 게이트 절연막(160) 및 제 1 도전막 패턴(175) 등을 형성하기 위한 거푸집으로 이용된다.

상기 주형막 패턴들(130)을 포함하는 반도체기판 상에, 터널 절연막(140)을 형성한다. 이에 따라, 상기 터널 절연막(140)은 상기 노출된 메모리 트랜지스터(MT) 영역의 상부면을 덮는다. 상기 터널 절연막(140)은 열산화 공정, 화학기상증착 공정 또는 원자층증착 공정을 통해 형성된 실리콘 산화막인 것이 바람직하다. 상기 화학기상증착 공정을 통해 상기 터널 산화막(140)을 형성할 경우, 추가적인 열처리 공정을 더 실시할 수도 있다.

도 4a 및 도 4b를 참조하면, 상기 터널 산화막(140) 상에 절연막을 형성한 후, 이방성 식각하여 상기 주형막 패턴(130)의 측벽에 배치되는 터널 스페이서(150)를 형성한다. 상기 터널 스페이서(150)를 형성하는 단계는 상기 메모리 트랜지스터 영역(MT)에서 상기 반도체기판(100)의 상부면을 노출시키는 터널 절연막 패턴(145)을 형성하도록, 상기 터널 절연막(140)을 식각하는 단계를 더 포함한다. 이에 따라, 상기 터널 절연막 패턴(145)은 상기 터널 스페이서(150)와 상기 반도체기판(100) 사이에 개재된다. 이에 더하여, 상기 터널 절연막(140)을 화학기상증착 공정을 통해 형성할 경우, 상기 주형막 패턴(130)의 상부면을 덮는 상기 터널 절연막(140) 역시 식각되어, 상기 터널 절연막 패턴(145)은 상기 터널 스페이서(150)와 상기 주형막 패턴(130) 사이에도 개재된다.

상기 절연막 및 상기 터널 스페이서(150)는 상기 터널 절연막(140)에 대해 식각 선택성을 갖는 물질로 형성하는 것이 바람직하다. 즉, 상기 터널 스페이서(150)은 상기 터널 절연막(140)의 식각을 최소화하면서 제거될 수 있는 물질로 형성하는 것이 바람직하다. 이에 더하여, 상기 터널 스페이서(150)는 상기 반도체기판(100)과 같은 실리콘에 대해서도 식각 선택성을 갖는 물질인 것이 바람직하다. 본 발명의 실시예에 따르면, 상기 터널 스페이서(150)는 실리콘 산화막 및 실리콘막에 대해 선택적으로 제거될 수 있는 실리콘 질화막으로 형성하는 것이 바람직하다.

이후, 상기 메모리 트랜지스터 영역(MT)의 노출된 반도체기판(100) 상에 게이트 절연막(160)을 형성한다. 이에 따라, 상기 게이트 절연막(160)은 상기 터널 스페이서들(150) 사이의 반도체기판(100) 상에 형성된다. 상기 게이트 절연막(160)은 이이피롬의 프로그램/이레이즈 동작의 효율 증가를 위해, 상기 터널 절연막 패턴(145)보다 두껍게 형성하는 것이 필요하다. 또한, 상기 게이트 절연막(160)은 열산화 공정을 통해 형성한 실리콘 산화막인 것이 바람직하다.

도 5a 및 도 5b를 참조하면, 상기 게이트 절연막(160) 및 상기 터널 절연막(140)에 대해 식각 선택성을 갖는 식각 레시프를 사용하여, 상기 터널 스페이서들(150)을 선택적으로 제거한다. 상기 터널 스페이서들(150)을 제거하는 단계는 인산을 포함하는 식각액을 사용하여 실시하는 것이 바람직하다.

이어서, 상기 터널 스페이서들(150)이 제거된 결과물 상에 제 1 도전막(170)을 형성한다. 상기 제 1 도전막(170)은 메모리 트랜지스터의 부유 게이트 전극으로 사용된다. 따라서, 상기 제 1 도전막(170)은 다결정 실리콘으로 형성하는 것이 바람직하다. 상기 제 1 도전막(170)은 상기 주형막 패턴들(130) 사이의 공간을 채울 수 있는 두께로 형성하는 것이 바람직하다. 또한, 상기 제 1 도전막(170)은 상기 터널 절연막(140) 및 상기 게이트 절연막(160)의 상부면을 덮도록 형성된다.

한편, 상기 터널 스페이서(150)를 제거하는 단계에서 상기 터널 절연막(140)이 제거한 후, 열산화 공정 또는 화학기상증착 공정을 통해 다시 터널 절연막을 형성하는 방법이 사용될 수도 있다. 이 경우, 상술한 상기 게이트 절연막(160)과 상기 터널 절연막(140) 사이의 두께 차이를 유지할 수 있도록, 상기 터널 절연막(140)을 제거할 때 식각 시간의 조절하는 방법 등을 통해 상기 게이트 절연막(160)을 완전히 제거하지 않는 것이 필요하다.

도 6a 및 도 6b를 참조하면, 상기 주형막 패턴(130)의 상부면이 노출될 때까지, 상기 제 1 도전막(170)을 평탄화 식각하여 제 1 도전막 패턴(175)을 형성한다. 상기 제 1 도전막(170)을 평탄화 식각하는 단계는 화학-기계적 연마(chemical mechanical polishing, CMP) 기술을 사용하여 실시하는 것이 바람직하다.

본 발명의 바람직한 실시예에 따르면, 식각 균일도의 향상을 위해 상기 평탄화 식각 공정은 상기 제 2 주형막 패턴(134)이 노출될 때까지 실시하는 것이 바람직하다. 그 결과, 상기 제 1 도전막 패턴(175)은 상기 제 2 주형막 패턴들(134) 사이의 공간을 채우면서, 상기 터널 절연막(140) 및 상기 게이트 절연막(160)의 상부면을 덮는다.

도 7a 및 도 7b를 참조하면, 상기 노출된 제 2 주형막 패턴(134)을 제거한다. 상기 제거 공정은 상기 제 1 도전막 패턴(175) 및 상기 터널 절연막 패턴(145)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시하는 것이 바람직하다. 즉, 상기 제 1 도전막 패턴(175) 및 상기 터널 절연막 패턴(145)에 대한 식각 손상없이 상기 제 2 주형막 패턴(134)을 선택적으로 제거한다.

그 결과, 상기 선택 트랜지스터(ST) 영역의 반도체기판(100) 상에는 상기 제 1 주형막 패턴(132)이 잔존한다. 본 발명의 실시예에 따르면, 상기 제 1 주형막 패턴(132)은 상기 제 2 주형막 패턴(134)을 제거하는 동안 식각 중단막으로 사용된다. 본 발명의 다른 실시예에 따르면, 상기 잔존한 제 1 주형막 패턴(132)은 제거될 수도 있다.

도 8a 및 도 8b를 참조하면, 상기 제 1 도전막 패턴(175)의 양쪽에 상기 제 1 주형막 패턴(132) 상에 배치되는 측벽 스페이서(180)를 형성한다. 상기 측벽 스페이서(180)는 후속 게이트 패터닝 공정에서 발생할 수 있는 식각 손상으로부터, 상기 제 1 도전막 패턴(175) 및 상기 터널 절연막 패턴(145)을 보호한다. 이어서, 상기 측벽 스페이서(180)가 형성된 결과물 상에 게이트 층간절연막(190) 및 제 2 도전막(200)을 형성한다.

상기 측벽 스페이서(180)를 형성하는 단계는 상기 제 1 도전막 패턴(175)을 포함하는 결과물 상에 화학기상증착 공정을 사용하여 스페이서 절연막을 형성한 후, 이방성 식각하는 단계를 포함한다. 본 발명의 실시예에 따르면, 상기 스페이서 절연막 및 상기 측벽 스페이서(180)는 실리콘 질화막으로 형성한다. 또한, 상기 측벽 스페이서(180)를 형성하는 단계는 상기 측벽 스페이서들(180) 사이의 반도체기판(100)이 노출되도록 상기 제 1 주형막 패턴(132)을 식각하는 단계를 더 포함할 수 있다.

상기 게이트 층간절연막(190)은 실리콘 질화막 및 실리콘 산화막 중에서 선택된 적어도 두개의 물질로 형성하는 것이 바람직하다. 예를 들면, 상기 게이트 층간절연막(190)은 차례로 적층된 실리콘 질화막-실리콘 산화막이거나, 실리콘 산화막-실리콘 질화막-실리콘 산화막일 수 있다. 본 발명에 따르면, 상기 게이트 층간절연막(190)은 상기 선택 트랜지스터(ST) 영역에서 반도체기판의 상부면을 덮는다. 상기 제 2 도전막(200)은 다결정 실리콘, 실리콘사이드 중에서 선택된 한가지로 형성한다.

도 9a 및 도 9b를 참조하면, 상기 제 2 도전막(200), 상기 게이트 층간절연막(190) 및 상기 제 1 도전막 패턴(175)을 패터닝하여, 상기 메모리 트랜지스터(MT) 영역에서 상기 반도체기판(100)의 상부면을 노출시키는 제 2 도전막 패턴(202), 게이트 층간절연막 패턴(192) 및 부유 게이트(FG)를 형성한다. 이어서, 소정의 이온 주입 공정을 실시하여 상기 노출된 반도체기판(100) 내에 소오스 영역(S)을 형성한다. 결과적으로, 상기 부유 게이트(FG)는 상기 소오스 영역(S) 및 상기 터널 불순물 영역(110)에 걸쳐서 형성되어, 메모리 트랜지스터의 전하 저장막으로 사용된다.

도 10a 및 도 10b를 참조하면, 상기 제 2 도전막 패턴(202)을 다시 패터닝하여, 메모리 트랜지스터의 게이트 전극으로 사용되는 제어 게이트(CG) 및 선택 트랜지스터의 게이트 전극으로 사용되는 선택 게이트들(SG)을 형성한다. 이어서, 상기 선택 게이트들(SG) 사이의 반도체기판에 드레인 영역(D)을 형성한다.

본 발명의 실시예에 따르면, 상기 선택 게이트들(SG)을 형성한 후, 절연막 증착 및 이방성 식각 공정을 통해, 상기 선택 게이트들(SG) 및 상기 제어 게이트들(CG)의 측벽에 형성되는 게이트 스페이서들(220)을 형성한다. 상기 드레인 영역(D)을 형성하기 위해, 상기 게이트 스페이서들(220)을 형성한 후, 이를 이온주입 마스크로 사용하는 또다른 이온 주입 공정을 더 실시할 수도 있다.

다시 도 10a 및 도 10b를 참조하여 본 발명에 따른 이이피롬을 설명하기로 한다. 아래에서는 상술한 이이피롬의 제조 방법에서 설명되지 않았거나 명확히 설명될 필요가 있는 본 발명의 이이피롬의 구조적 특징에 대해 설명할 것이다.

다시 도 10a 및 도 10b를 참조하면, 반도체기판(100)의 소정영역에는 활성영역(A)을 정의하는 복수개의 소자분리막들(105)이 배치된다. 상기 활성영역(A)의 상부에는 상기 소자분리막(105)을 가로지르는 한 쌍의 제어 게이트들(CG) 및 한 쌍의 선택 게이트들(SG)이 배치된다. 상기 제어 게이트들(CG)과 상기 선택 게이트들(SG)은 동일한 두께를 갖는 동일한 물질로 이루어진다.

본 발명에 따르면, 상기 선택 게이트들(SG)은 상기 제어 게이트들(CG) 사이에 배치된다. 상기 제어 게이트들(CG) 사이의 활성영역(A)에는 이이피롬의 드레인 전극으로 사용되는 드레인 영역(D)이 배치된다. 상기 제어 게이트(CG)와 상기 선택 게이트(SG) 사이의 활성영역(A)에는 터널 불순물 영역(110)이 배치된다. 상기 터널 불순물 영역(110)은 상기 제어 게이트(CG) 하부의 활성영역(A)으로 확장될 수 있다. 상기 서로 다른 소자분리막들을 가로지르면서 배치되는 인접한 상기 제어 게이트들(CG) 사이에는 이이피롬의 소오스 전극으로 사용되는 소오스 영역(S)이 배치된다.

상기 제어 게이트들(CG)과 상기 활성영역(A)의 사이에는 차례로 적층된 부유 게이트(FG) 및 게이트 층간절연막 패턴(192)이 개재된다. 상기 부유 게이트(FG), 상기 제어 게이트(CG) 및 상기 선택 게이트(SG)는 모두 다결정 실리콘으로 이루어지는 것이 바람직하다. 상기 게이트 층간절연막 패턴(192)은 차례로 적층된 실리콘 질화막 및 실리콘 산화막으로 이루어지되, 적어도 하나의 실리콘 질화막 및 적어도 하나의 실리콘 산화막으로 구성되는 다중막일 수도 있다. 이에 더하여, 상기 선택 게이트(SG)와 상기 활성영역(A) 사이에는 선택 트랜지스터를 구성하는 게이트 절연막이 배치된다.

본 발명에 따르면, 상기 선택 트랜지스터를 구성하는 게이트 절연막은 상기 게이트 층간절연막 패턴(192)과 동일한 두께를 갖는 동일한 물질막이다. 결과적으로, 상기 선택 트랜지스터를 구성하는 게이트 절연막은 차례로 적층된 실리콘 질화막 및 실리콘 산화막으로 이루어지되, 적어도 하나의 실리콘 질화막 및 적어도 하나의 실리콘 산화막으로 구성되는 다중막일 수도 있다.

이에 더하여, 상기 부유 게이트(FG)와 상기 활성영역(A) 사이에는 메모리 트랜지스터를 구성하는 게이트 절연막 패턴(165) 및 상기 게이트 절연막 패턴(165)보다 얇은 두께를 갖는 터널 절연막 패턴(145)이 배치된다. 이때, 상기 터널 절연막(145)은 상기 부유 게이트(FG)의 일측에 정렬된다. 즉, 도 10a 및 도 10b에 도시된 것처럼, 상기 터널 절연막 패턴(145)에 접하는 상기 부유 게이트(FG)의 가장 낮은 하부면은 상기 부유 게이트(FG)의 최외곽 경계에 배치된다.

본 발명에 따르면, 이이피롬의 프로그램/이레이즈 동작의 효율을 증가시키기 위해, 상기 터널 절연막 패턴(145)의 면적은 최소화되는 것이 바람직하다. 이를 위해, 상기 터널 절연막 패턴(145)이 배치되는 위치에서의 상기 활성영역(A)의 폭은 상기 선택 게이트(SG)가 지나가는 위치에서의 상기 활성영역(A)의 폭보다 좁다. 이 경우, 상기 터널 절연막 패턴(145)은, 도 10a에 도시된 것처럼, 상기 활성영역(A)을 가로지르도록 배치된다. 본 발명의 다른 실시예에 따르면, 상기 터널 절연막 패턴(145)의 폭은 그 위치에서의 상기 활성영역(A)의 폭과 같을 수도 있다.

발명의 효과

본 발명에 따르면, 주형막 패턴을 이용하여 터널 절연막 및 부유 게이트를 형성한다. 이에 따라, 상기 터널 절연막과 부유 게이트는 자기정렬적으로 형성될 수 있다. 그 결과, 본 발명은 보다 고집적화된 이이피롬을 제조하는 과정에 이용될 수 있다.

또한, 선택 트랜지스터의 게이트 절연막은 게이트 층간절연막을 이용하여 형성된다. 이에 따라, 선택 트랜지스터의 게이트 절연막을 형성하기 위한 추가적인 공정이 필요없이 공정을 단순화시킬 수 있다. 또한, 상기 게이트 층간절연막은 질화막을 포함하는 고유전막을 사용하기 때문에, 선택 트랜지스터의 유효 산화막 두께를 증가시킬 수 있다. 그 결과, 보다 단순한 공정을 통해 보다 우수한 이이피롬을 제작하는 것이 가능하다.

도면의 간단한 설명

도 1a 및 도 1b는 종래 기술에 따른 이이피롬의 구조를 설명하기 위한 평면도 및 공정단면도이다.

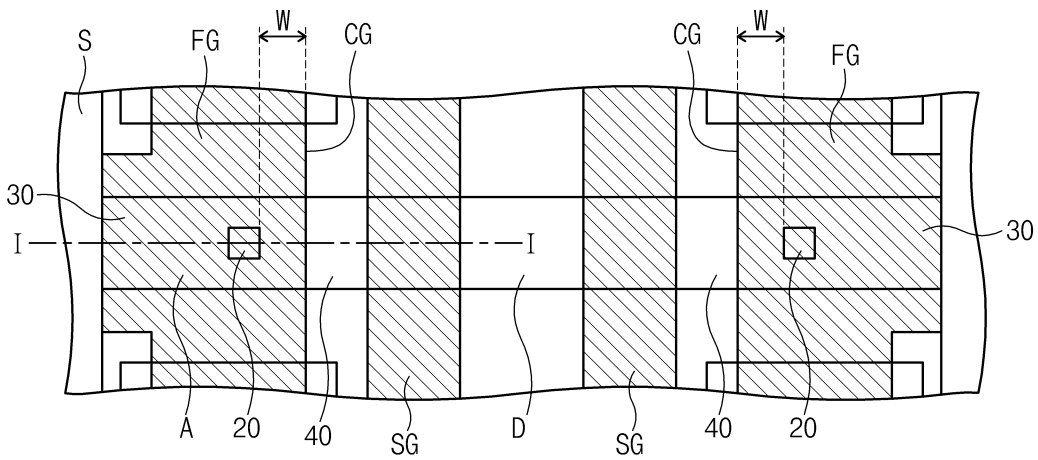
도 2a 내지 도 10a는 본 발명에 따른 이이피롬의 제조 방법을 설명하기 위한 평면도들이다.

도 2b 내지 도 10b는 본 발명에 따른 이이피롬의 제조 방법을 설명하기 위한 공정단면도들이다.

도면

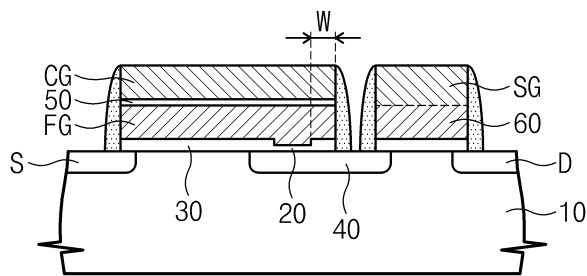
도면1a

(종래 기술)

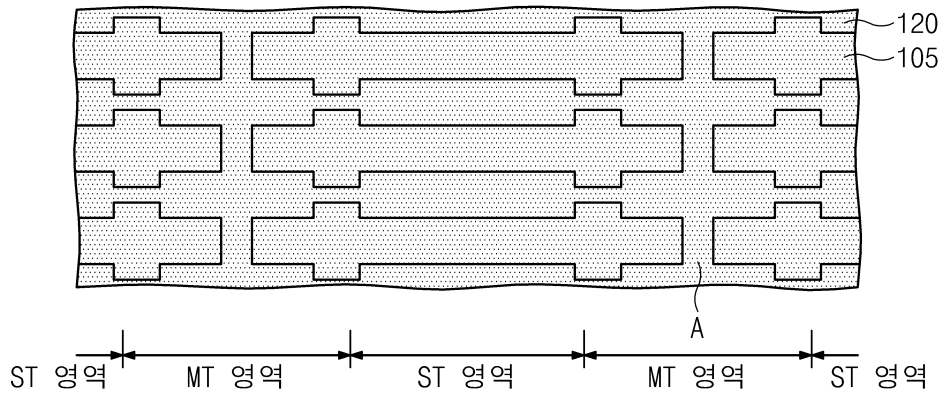


도면1b

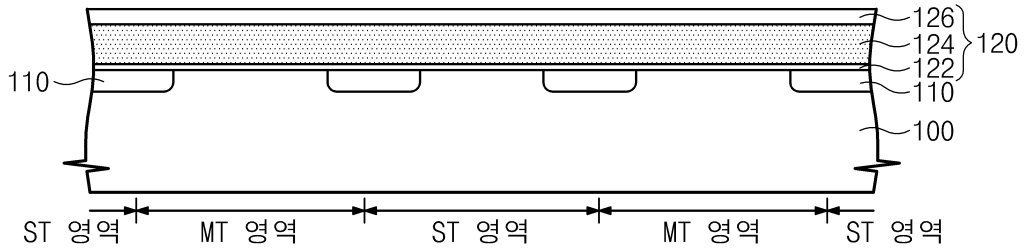
(종래 기술)



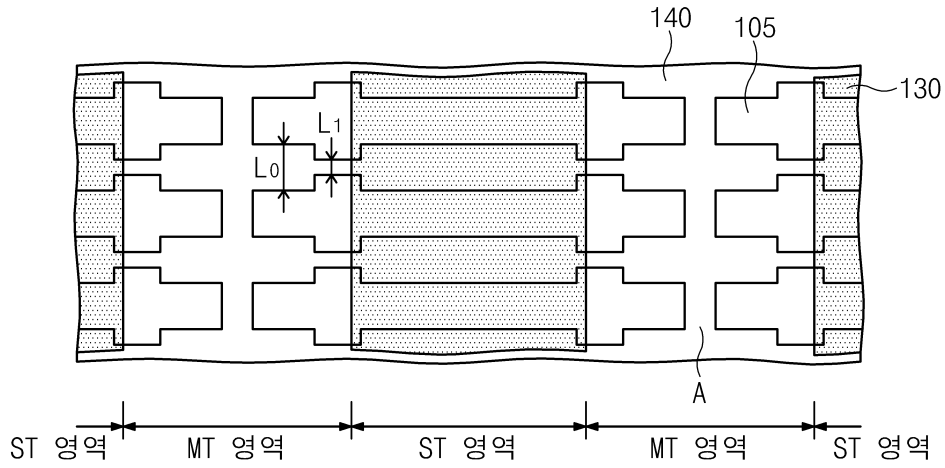
도면2a



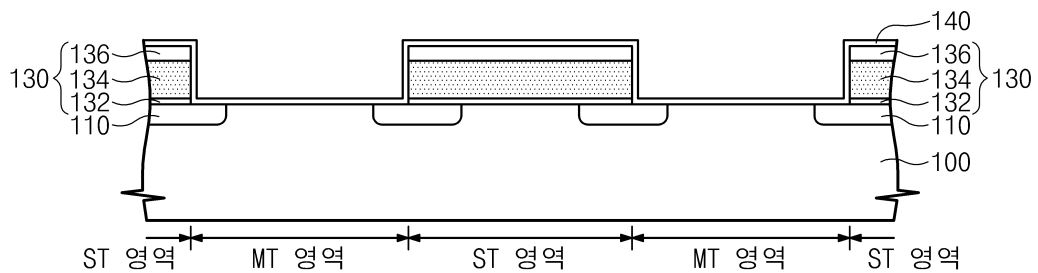
도면2b



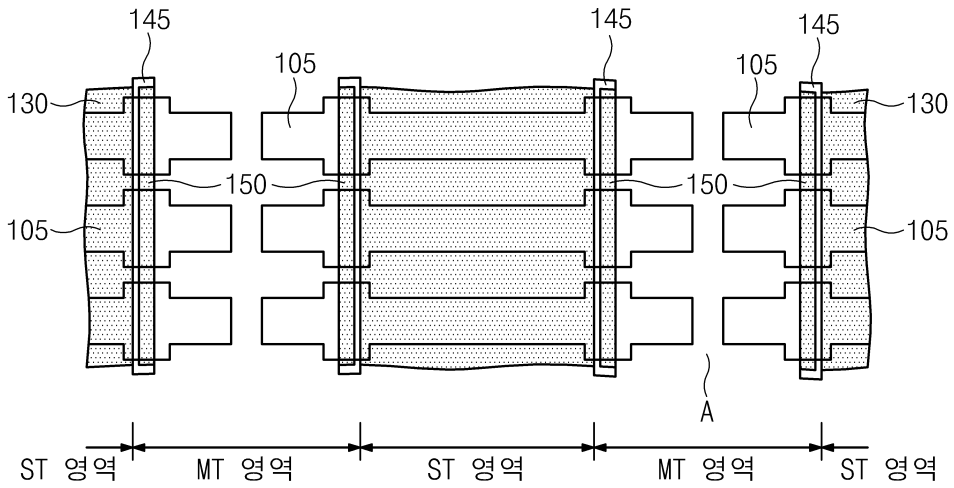
도면3a



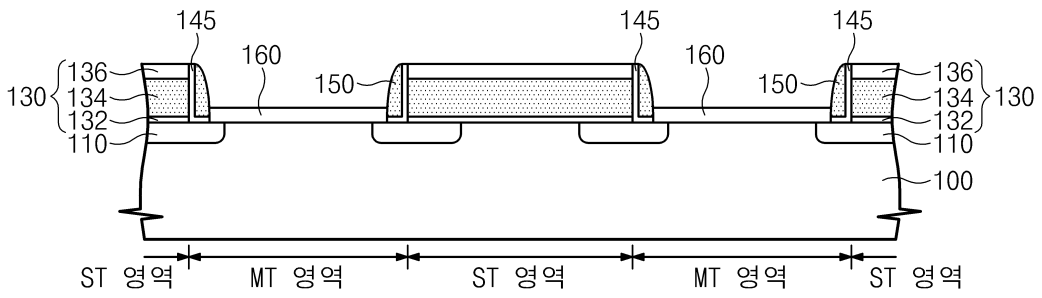
도면3b



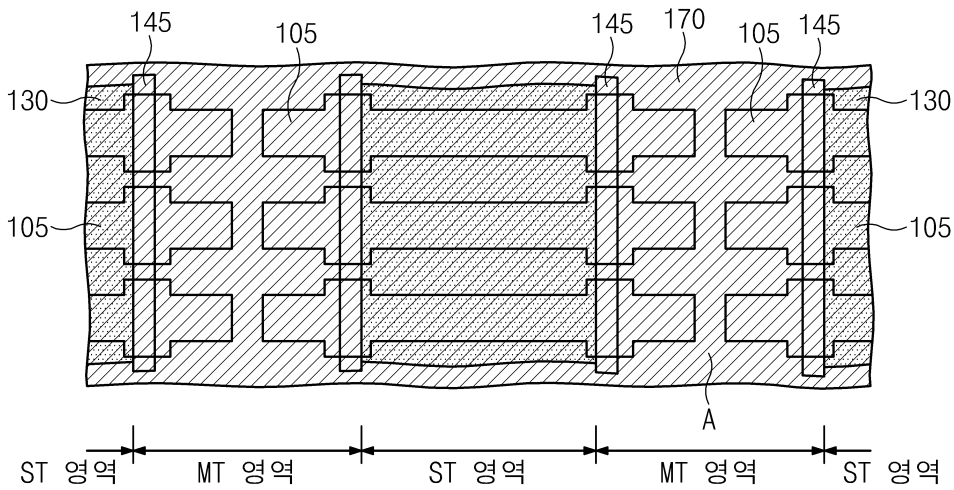
도면4a



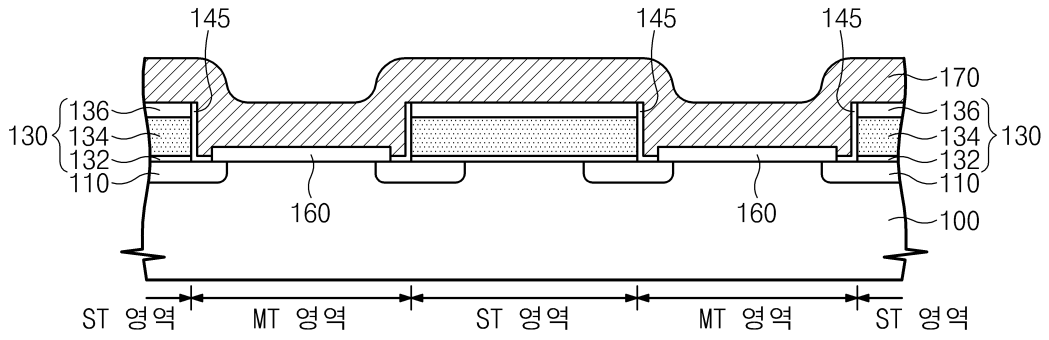
도면4b



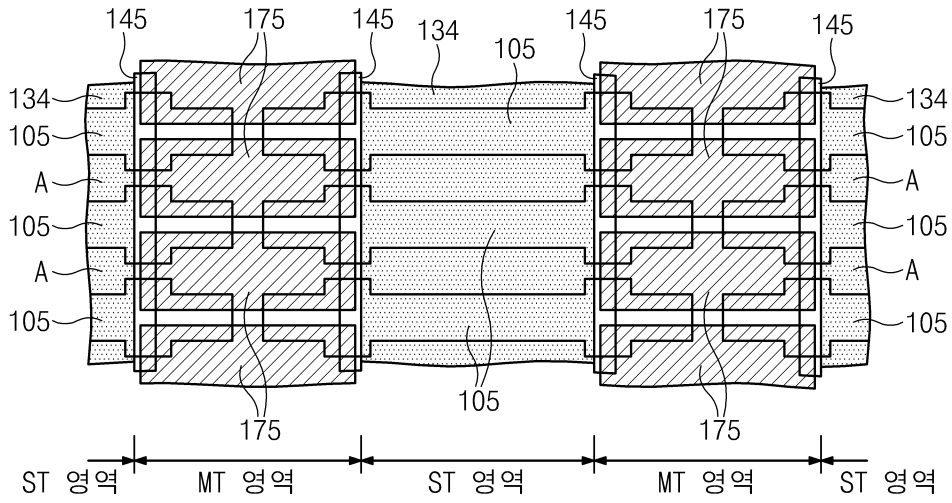
도면5a



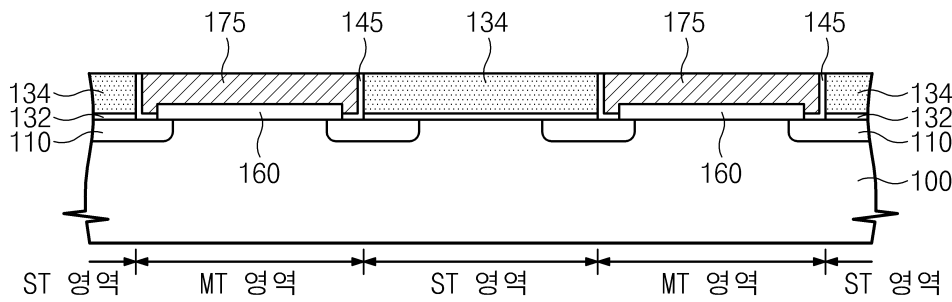
도면5b



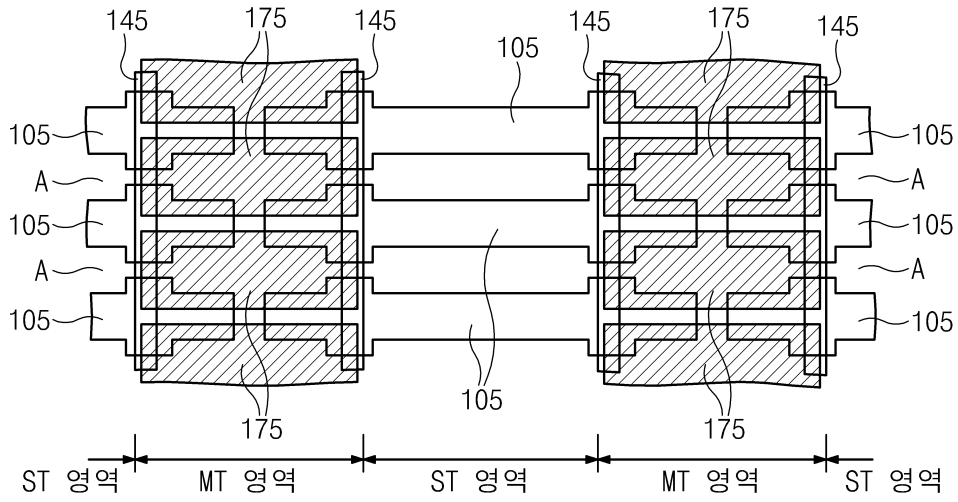
도면6a



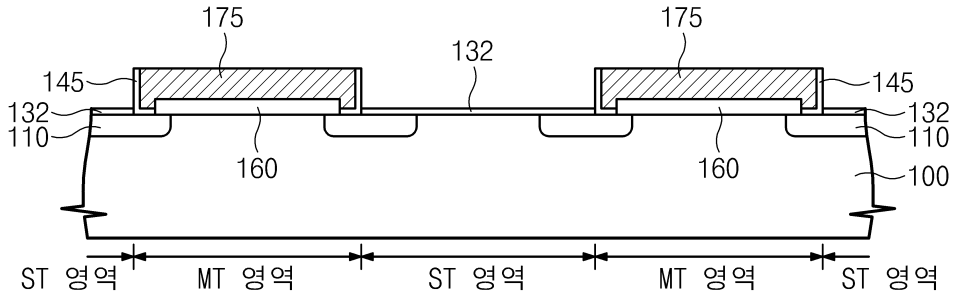
도면6b



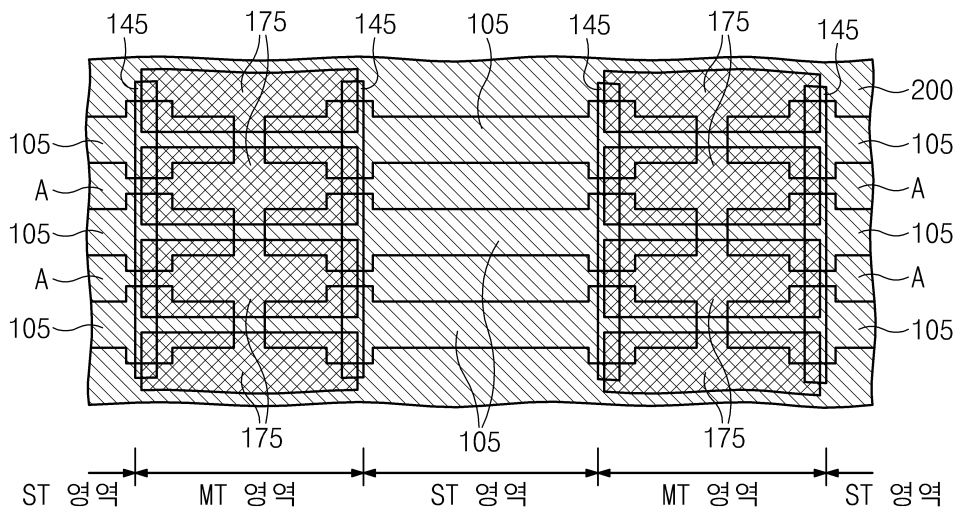
도면7a



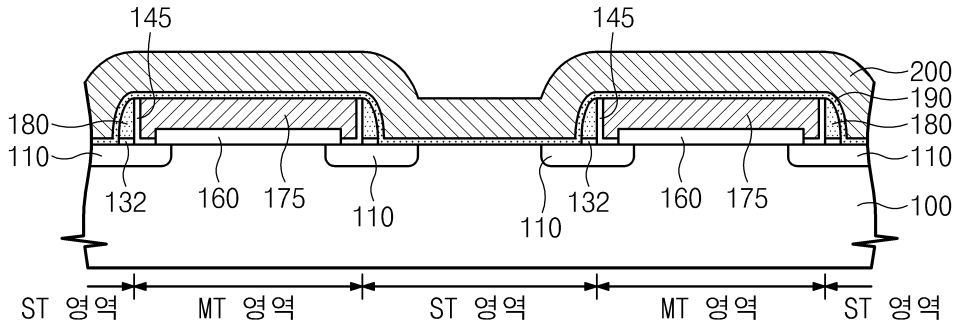
도면7b



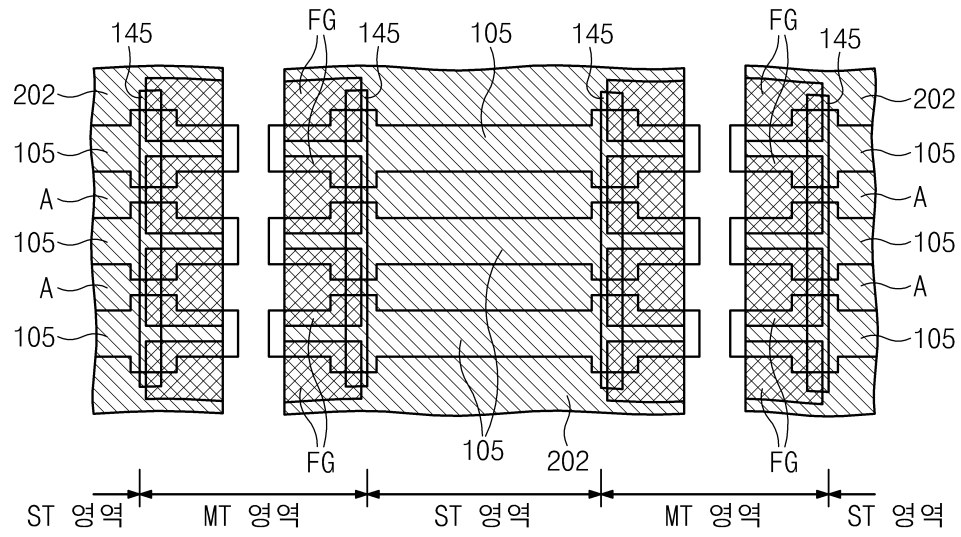
도면8a



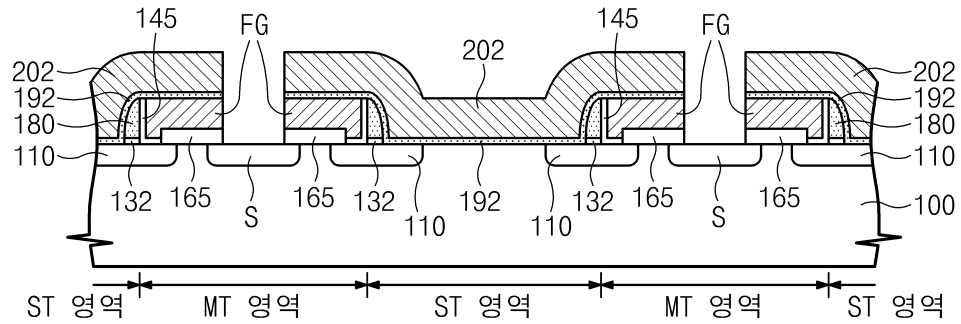
도면8b



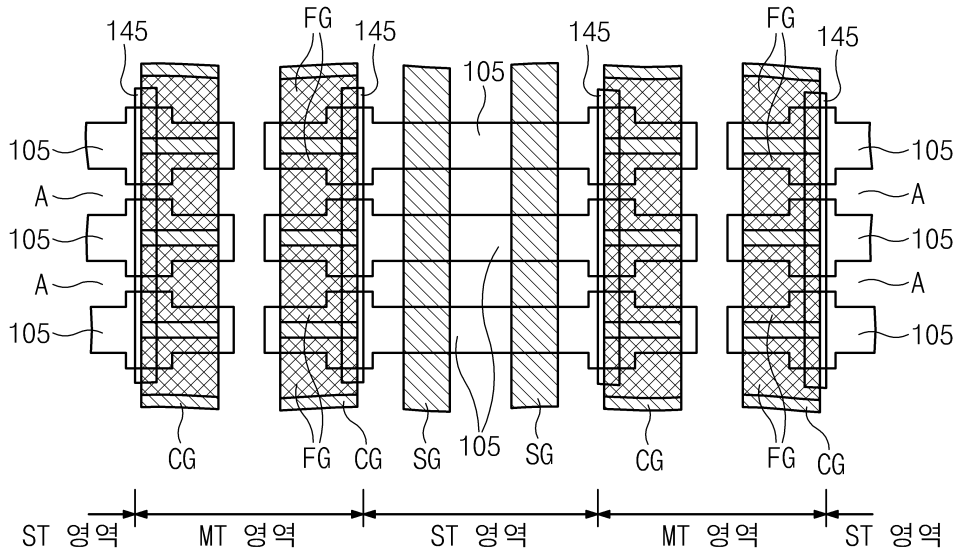
도면9a



도면9b



도면10a



도면10b

