



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월16일  
(11) 등록번호 10-1888422  
(24) 등록일자 2018년08월08일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) G02F 1/136 (2006.01)  
(21) 출원번호 10-2011-0053026  
(22) 출원일자 2011년06월01일  
심사청구일자 2016년05월23일  
(65) 공개번호 10-2012-0134245  
(43) 공개일자 2012년12월12일  
(56) 선행기술조사문헌  
CN101770125 A\*  
(뒷면에 계속)

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
이민직  
경기도 파주시 번영로 55, 새꽃마을1단지 114동  
404호 (금촌동)  
(74) 대리인  
박영복

전체 청구항 수 : 총 19 항

심사관 : 이수한

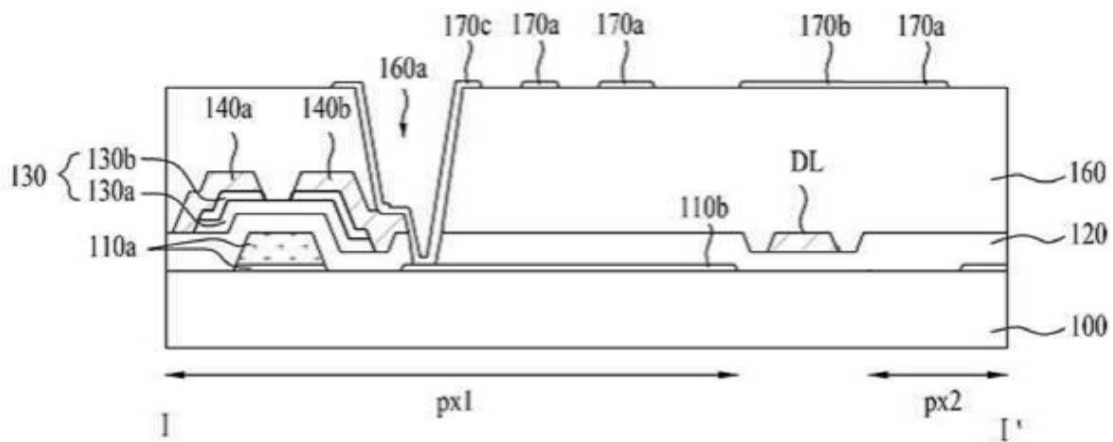
(54) 발명의 명칭 박막 트랜지스터 기관 및 이의 제조 방법

(57) 요약

본 발명은 개구율을 향상시킬 수 있는 박막 트랜지스터 기관에 관한 것으로, 본 발명의 박막 트랜지스터 기관은, 기관; 상기 기관 상에 제 1 방향으로 배열된 게이트 라인; 상기 게이트 라인과 수직하게 제 2 방향으로 배열되어 화소 영역을 정의하며, 이웃하는 화소 영역을 공유하는 데이터 라인; 상기 데이터 라인과 평행한 제 2 방향으로

(뒷면에 계속)

대표도 - 도2b



복수개의 공통 라인; 상기 게이트 라인과 접속된 게이트 전극, 상기 데이터 라인과 접속된 소스 전극, 상기 소스 전극과 마주보도록 형성된 드레인 전극, 상기 게이트 전극과 게이트 절연막을 사이에 두고 중첩되도록 형성된 액티브층을 포함하는 박막 트랜지스터; 상기 드레인 전극과 접속하는 화소 전극; 상기 박막 트랜지스터를 포함한 상기 게이트 절연막 전면에 형성된 보호막; 상기 보호막 상에 형성되며, 상기 보호막을 선택적으로 제거하여 형성된 공통 콘택홀을 통해 상기 공통 라인과 접속하는 공통 전극; 및 상기 보호막을 사이에 두고 상기 데이터 라인과 중첩되도록 상기 보호막 상에 형성되어 상기 이웃하는 화소 영역의 공통 전극을 연결하는 연결부를 포함한다.

(56) 선행기술조사문헌

KR1020060098536 A\*

KR1020090015757 A\*

KR1020070023997 A\*

KR1020080097055 A\*

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

기관;

상기 기관 상에 제 1 방향으로 배열된 게이트 라인;

상기 게이트 라인과 수직하게 제 2 방향으로 배열되어 화소 영역을 정의하며, 이웃하는 화소 영역을 공유하는 데이터 라인;

상기 데이터 라인과 평행한 제 2 방향으로 배열된 공통 라인;

상기 게이트 라인과 접속된 게이트 전극, 상기 데이터 라인과 접속된 소스 전극, 상기 소스 전극과 마주보도록 형성된 드레인 전극, 상기 게이트 전극과 게이트 절연막을 사이에 두고 중첩되도록 형성된 액티브층을 포함하는 박막 트랜지스터;

상기 드레인 전극과 접속하는 화소 전극;

상기 박막 트랜지스터를 포함한 상기 게이트 절연막 전면에 배치된 보호막;

상기 보호막 상에 형성되며, 상기 보호막을 선택적으로 제거하여 형성된 공통 콘택홀을 통해 상기 공통 라인과 접속하는 공통 전극; 및

상기 보호막을 사이에 두고 상기 데이터 라인과 중첩되도록 상기 보호막 상에 배치되어 상기 이웃하는 화소 영역의 공통 전극을 연결하는 연결부를 포함하며,

상기 공통 전극은 상기 화소 전극과 상기 제2 방향으로 마주보는 상기 공통 라인과 중첩되는 박막 트랜지스터 기관.

**청구항 2**

제 1 항에 있어서,

상기 게이트 라인, 게이트 전극은 투명 도전 물질층과 불투명 도전 물질층이 차례로 적층된 이중층 구조인 박막 트랜지스터 기관.

**청구항 3**

제 2 항에 있어서,

상기 화소 전극은 상기 게이트 라인과 동일층에 형성되며, 상기 게이트 절연막과 보호막을 선택적으로 제거하여 형성된 화소 콘택홀을 따라 형성된 연결 전극을 통해 상기 드레인 전극과 전기적으로 접속되는 박막 트랜지스터 기관.

**청구항 4**

제 3 항에 있어서,

상기 연결 전극은 상기 공통 전극과 동일층에 배치되는 박막 트랜지스터 기관.

**청구항 5**

제 1 항에 있어서,

상기 공통 전극은 상기 화소 영역 가장자리의 상기 공통 라인과 중첩되는 박막 트랜지스터 기관.

**청구항 6**

제 1 항에 있어서,

상기 공통 전극과 상기 연결부는 동일한 물질로 형성되는 박막 트랜지스터 기판.

**청구항 7**

제 1 항에 있어서,

상기 연결부는 상기 데이터 라인의 일측에 배치되는 상기 화소 영역의 공통 전극과, 상기 데이터 라인의 타측에 배치되는 상기 화소 영역의 공통 전극을 연결하기 위해 브릿지 형상(bridge shape)으로 형성되는 박막 트랜지스터 기판.

**청구항 8**

제 1 항에 있어서,

상기 공통 전극은 상기 데이터 라인의 일측 또는 타측에 배치되는 상기 화소 영역, 상기 공통 라인, 및 상기 공통 라인과 상기 화소 영역 사이의 영역으로 연장되는 박막 트랜지스터 기판.

**청구항 9**

제 1 항에 있어서,

상기 데이터 라인의 일측에 배치되는 상기 화소 영역을 커버하는 공통 전극과, 상기 데이터 라인의 타측에 배치되는 상기 화소 영역을 커버하는 공통 전극은 동일한 패턴을 가지는 박막 트랜지스터 기판.

**청구항 10**

기판 상에 제 1 방향으로 배열된 게이트 라인과 게이트 전극을 형성하는 단계;

상기 게이트 라인과 게이트 전극을 포함한 상기 기판 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극에 대응되는 상기 게이트 절연막 상에 액티브층을 형성하는 단계;

상기 액티브층을 포함한 상기 게이트 절연막 전면에 상기 게이트 라인과 수직하게 제 2 방향으로 배열되어 화소 영역을 정의하며, 이웃하는 화소 영역을 공유하는 데이터 라인과 소스, 드레인 전극을 형성하고, 동시에 상기 데이터 라인과 평행한 제 2 방향으로 배열된 공통 라인을 형성하는 단계;

상기 드레인 전극과 접속하는 화소 전극을 형성하는 단계;

상기 소스, 드레인 전극, 데이터 라인 및 공통 라인을 포함한 상기 게이트 절연막 전면에 보호막을 형성하고, 상기 보호막을 선택적으로 제거하여 상기 공통 라인을 노출시키는 공통 콘택홀을 형성하는 단계; 및

상기 보호막 상에 상기 공통 콘택홀을 통해 상기 공통 라인과 접속하는 공통 전극을 형성하고, 동시에 상기 보호막을 사이에 두고 상기 데이터 라인과 중첩되어 상기 이웃하는 화소 영역의 공통 전극을 연결하는 연결부를 형성하는 단계를 포함하며,

상기 공통 전극은 상기 화소 전극과 상기 제2 방향으로 마주보는 상기 공통 라인과 중첩되는 박막 트랜지스터 기판의 제조 방법.

**청구항 11**

제 10 항에 있어서,

상기 게이트 라인, 게이트 전극을 투명 도전 물질층과 불투명 도전 물질층이 차례로 적층된 이중층 구조로 형성하는 박막 트랜지스터 기판의 제조 방법.

**청구항 12**

제 11 항에 있어서,

상기 화소 전극을 상기 게이트 라인과 동일층에 형성하며, 상기 화소 전극을 투명 도전 물질층의 단일층 구조로 형성하는 박막 트랜지스터 기판의 제조 방법.

**청구항 13**

제 12 항에 있어서,

상기 게이트 절연막과 보호막을 선택적으로 제거하여 형성된 화소 콘택홀을 통해 상기 화소 전극과 상기 드레인 전극이 전기적으로 접속하는 박막 트랜지스터 기관의 제조 방법.

**청구항 14**

제 10 항에 있어서,

상기 화소 전극을 형성하는 단계는 하프톤 마스크를 이용하는 박막 트랜지스터 기관의 제조 방법.

**청구항 15**

제 10 항에 있어서,

상기 공통 전극을 상기 화소 영역 가장자리의 상기 공통 라인과 중첩되도록 형성하는 박막 트랜지스터 기관의 제조 방법.

**청구항 16**

제 10 항에 있어서,

상기 공통 전극과 상기 연결부는 동일한 물질로 형성되는 박막 트랜지스터 기관의 제조 방법.

**청구항 17**

제 10 항에 있어서,

상기 연결부는 상기 데이터 라인의 일측에 배치되는 상기 화소 영역을 커버하는 공통 전극과, 상기 데이터 라인의 타측에 배치되는 상기 화소 영역을 커버하는 공통 전극을 연결하기 위해 브릿지 형상(bridge shape)으로 형성되는 박막 트랜지스터 기관의 제조 방법.

**청구항 18**

제 10 항에 있어서,

상기 공통 전극은 상기 데이터 라인의 일측 또는 타측에 배치되는 상기 화소 영역, 상기 공통 라인, 및 상기 공통 라인과 상기 화소 영역 사이의 영역으로 연장되는 박막 트랜지스터 기관의 제조 방법.

**청구항 19**

제 10 항에 있어서,

상기 데이터 라인의 일측에 배치되는 상기 화소 영역을 커버하는 공통 전극과, 상기 데이터 라인의 타측에 배치되는 상기 화소 영역을 커버하는 공통 전극은 동일한 패턴을 가지는 박막 트랜지스터 기관의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터 기관에 관한 것으로 특히, 개구율을 향상시킬 수 있는 박막 트랜지스터 기관 및 이의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

[0003] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정 표시 장치가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모

니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

[0004] 이러한 액정 표시 장치는 컬러 필터 어레이가 형성된 컬러 필터 기관, 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기관 및 컬러 필터 기관과 박막 트랜지스터 기관 사이에 형성된 액정층을 포함하여 이루어진다.

[0005] 컬러 필터 기관은 컬러 구현을 위한 컬러 필터와 빛샘 방지를 위한 블랙 매트릭스가 형성된다. 그리고, 박막 트랜지스터 기관에는 데이터 신호가 개별적으로 공급되는 다수의 화소 전극이 매트릭스 형태로 형성된다. 또한 박막 트랜지스터 기관에는 다수의 화소 전극을 개별적으로 구동하기 위한 박막 트랜지스터, 박막 트랜지스터를 제어하는 게이트 라인 및 박막 트랜지스터에 데이터 신호를 공급하는 데이터 라인이 형성된다.

[0006] 이러한 박막 트랜지스터 기관은 게이트 라인들을 구동하기 위한 게이트 드라이브 IC와 데이터 라인들을 구동하기 위한 데이터 드라이브 IC를 포함하며, 박막 트랜지스터 기관을 대형화 및 고해상도화 할수록 요구되는 드라이브 IC들의 개수는 증가한다.

[0007] 그런데, 데이터 드라이브 IC는 다른 소자에 비해 상대적으로 가격이 비싸므로, 박막 트랜지스터 기관의 제조 비용을 절감하기 위해 인접한 화소 영역이 하나의 데이터 라인을 공유하는 DRD(Double Rate Driving) 구동 방식의 박막 트랜지스터 기관이 제안되었다. DRD 구동 방식은 게이트 라인들의 개수는 2배로 늘리는 대신, 데이터 라인들의 개수를 1/2배로 줄여 필요로 하는 데이터 드라이브 IC의 개수 또한 1/2로 줄이는 방식으로, 데이터 라인들의 개수를 줄여도 기존과 동일한 해상도를 구현할 수 있다.

[0008] 도 1은 일반적인 DRD 구동 방식의 박막 트랜지스터 기관의 평면도이다.

[0009] 도 1과 같이, DRD 구동 방식의 박막 트랜지스터 기관은 서로 인접하게 위치한 두 개의 서브 화소들이 하나의 데이터 라인(DL1, DL2, DL3)을 공유하기 때문에 데이터 라인의 수를 기존에 비해 반으로 줄일 수 있다. 그런데, 상술한 바와 같이 DRD 구동 방식은 게이트 라인(GL1, GL2, GL3, GL4)이 더 추가되므로, 8% 내지 12% 정도 개구율이 감소된다.

[0010] 더욱이, 절연막을 사이에 두고 화소 전극과 공통 전극이 중첩하여 화소 전극과 공통 전극 사이에 형성되는 프린지 전계에 의해 액정 분자를 동작시키는 프린지 전계 모드 박막 트랜지스터 기관은 데이터 라인(DL)을 공유하는 화소 영역의 공통 전극을 연결하기 위해 화소 영역 내부에 게이트 라인(GL)과 데이터 라인(DL)에 평행한  $\pm 90^\circ$  회전된 'ㄷ자'형의 공통 라인을 형성한다.

[0011] 그리고, 공통 라인과 화소 전극이 중첩되어 스토리지 커패시터가 형성되는데, 절연막 상에 화소 전극을 형성할 때, 기관과 틀어짐이 발생하면 데이터 라인(DL)을 기준으로 좌, 우의 화소 영역의 스토리지 커패시터 용량이 달라져 휘도차에 의한 얼룩이 발생할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0012] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 데이터 라인과 평행하는 공통 라인을 형성하고 게이트 라인과 평행하는 공통 라인을 제거하여 개구율을 향상시킬 수 있는 박막 트랜지스터 기관 및 이의 제조 방법을 제공하는데, 그 목적이 있다.

**과제의 해결 수단**

[0013] 상기와 같은 목적을 달성하기 위한 본 발명의 박막 트랜지스터 기관은, 기관; 상기 기관 상에 제 1 방향으로 배열된 게이트 라인; 상기 게이트 라인과 수직하게 제 2 방향으로 배열되어 화소 영역을 정의하며, 이웃하는 화소 영역을 공유하는 데이터 라인; 상기 데이터 라인과 평행한 제 2 방향으로 배열된 공통 라인; 상기 게이트 라인과 접속된 게이트 전극, 상기 데이터 라인과 접속된 소스 전극, 상기 소스 전극과 마주보도록 형성된 드레인 전극, 상기 게이트 전극과 게이트 절연막을 사이에 두고 중첩되도록 형성된 액티브층을 포함하는 박막 트랜지스터; 상기 드레인 전극과 접속하는 화소 전극; 상기 박막 트랜지스터를 포함한 상기 게이트 절연막 전면에 형성된 보호막; 상기 보호막 상에 형성되며, 상기 보호막을 선택적으로 제거하여 형성된 공통 콘택홀을 통해 상기 공통 라인과 접속하는 공통 전극; 및 상기 보호막을 사이에 두고 상기 데이터 라인과 중첩되도록 상기 보호막 상에 형성되어 상기 이웃하는 화소 영역의 공통 전극을 연결하는 연결부를 포함한다.

[0014] 상기 게이트 라인, 게이트 전극은 투명 도전 물질층과 불투명 도전 물질층이 차례로 적층된 이중층 구조이다.

- [0015] 상기 화소 전극은 상기 게이트 라인과 동일층에 형성되며, 상기 게이트 절연막과 보호막을 선택적으로 제거하여 형성된 화소 콘택홀을 따라 형성된 연결 전극을 통해 상기 드레인 전극과 전기적으로 접속된다.
- [0016] 상기 연결 전극은 상기 공통 전극과 동일층에 형성된다.
- [0017] 상기 공통 전극은 상기 화소 영역 가장자리의 상기 공통 라인과 중첩되도록 형성된다.  
상기 공통 전극과 상기 연결부는 동일한 물질로 형성된다.  
상기 연결부는 상기 제 1 및 제 2 화소 영역의 공통 전극을 연결하기 위해 브릿지 형상(bridge shape)으로 형성된다.  
상기 공통 전극은 상기 제 1 또는 제 2 화소 영역, 상기 공통 라인, 및 상기 공통 라인과 상기 제 1 또는 제 2 화소 영역 사이의 영역으로 연장된다.  
상기 제 1 화소 영역을 커버하는 공통 전극과, 상기 제 2 화소 영역을 커버하는 공통 전극은 동일한 패턴을 가진다.
- [0018] 또한, 동일 목적을 달성하기 위한 본 발명의 박막 트랜지스터 기관의 제조 방법은, 기관 상에 제 1 방향으로 배열된 게이트 라인과 게이트 전극을 형성하는 단계; 상기 게이트 라인과 게이트 전극을 포함한 상기 기관 전면에 게이트 절연막을 형성하는 단계; 상기 게이트 전극에 대응되는 상기 게이트 절연막 액티브층을 형성하는 단계; 상기 액티브층을 포함한 상기 게이트 절연막 전면에 상기 게이트 라인과 수직하게 제 2 방향으로 배열되어 화소 영역을 정의하며, 이웃하는 화소 영역을 공유하는 데이터 라인과 소스, 드레인 전극을 형성하고, 동시에 상기 데이터 라인과 평행한 제 2 방향으로 배열된 공통 라인을 형성하는 단계; 상기 드레인 전극과 접속하는 화소 전극을 형성하는 단계; 상기 소스, 드레인 전극, 데이터 라인 및 공통 라인을 포함한 상기 게이트 절연막 전면에 보호막을 형성하고, 상기 보호막을 선택적으로 제거하여 상기 공통 라인을 노출시키는 공통 콘택홀을 형성하는 단계; 및 상기 보호막 상에 상기 공통 콘택홀을 통해 상기 공통 라인과 접속하는 공통 전극을 형성하고, 동시에 상기 보호막 사이에 두고 상기 데이터 라인과 중첩되어 상기 이웃하는 화소 영역의 공통 전극을 연결하는 연결부를 형성하는 단계를 포함한다.
- [0019] 상기 게이트 라인, 게이트 전극을 투명 도전 물질층과 불투명 도전 물질층이 차례로 적층된 이중층 구조로 형성한다.
- [0020] 상기 화소 전극을 상기 게이트 라인과 동일층에 형성하며, 상기 화소 전극을 투명 도전 물질층의 단일층 구조로 형성한다.
- [0021] 상기 게이트 절연막과 보호막을 선택적으로 제거하여 형성된 화소 콘택홀을 통해 상기 화소 전극과 상기 드레인 전극이 전기적으로 접속한다.
- [0022] 상기 화소 전극을 형성하는 단계는 하프톤 마스크를 이용한다.
- [0023] 상기 공통 전극을 상기 화소 영역 가장자리의 상기 공통 라인과 중첩되도록 형성한다.  
상기 공통 전극과 상기 연결부는 동일한 물질로 형성된다.  
상기 연결부는 상기 제 1 및 제 2 화소 영역의 공통 전극을 연결하기 위해 브릿지 형상(bridge shape)으로 형성된다.  
상기 공통 전극은 상기 제 1 또는 제 2 화소 영역, 상기 공통 라인, 및 상기 공통 라인과 상기 제 1 또는 제 2 화소 영역 사이의 영역으로 연장된다.  
상기 제 1 화소 영역을 커버하는 공통 전극과, 상기 제 2 화소 영역을 커버하는 공통 전극은 동일한 패턴을 가진다.

**발명의 효과**

- [0024] 상기와 같은 본 발명의 박막 트랜지스터 기관 및 이의 제조 방법은 다음과 같은 효과가 있다.
- [0025] 첫째, 데이터 라인을 공유하는 인접한 화소 영역의 공통 전극을 데이터 라인과 오버랩되는 영역에 형성되는 연결부를 통해 연결함으로써, 화소 영역 내부에서 게이트 라인과 평행한 공통 라인을 제거하여 개구율을 향상시킬 수 있다.

[0026] 둘째, 게이트 라인과 동일층에 화소 전극을 형성하고 최상위층에 공통 전극을 형성하여, 공통 전극이 데이터 라인과 화소 전극 사이의 전계 간섭을 차단할 수 있다.

**도면의 간단한 설명**

[0027] 도 1은 일반적인 DRD 구동 방식의 박막 트랜지스터 기관의 평면도.

도 2a는 본 발명의 박막 트랜지스터 기관의 평면도.

도 2b는 도 2a에 도시된 박막 트랜지스터 기관을 I-I'선을 따라 절단한 단면도.

도 3a는 최상위층에 화소 전극이 형성된 박막 트랜지스터 기관의 단면도.

도 3b는 최상위층에 공통 전극이 형성된 박막 트랜지스터 기관의 단면도.

도 4a 내지 도 4d는 본 발명의 박막 트랜지스터 기관의 제조 방법을 나타낸 공정 평면도.

도 5a 내지 도 5d는 도 4a 내지 도 4d에 도시된 박막 트랜지스터 기관을 I-I'선을 따라 절단한 단면도.

**발명을 실시하기 위한 구체적인 내용**

[0028] 이하, 본 발명의 박막 트랜지스터 기관을 설명하면 다음과 같다.

[0029] 도 2a는 본 발명의 따른 박막 트랜지스터 기관의 평면도이며, 도 2b는 도 2a에 도시된 박막 트랜지스터 기관을 I-I'선을 따라 절단한 단면도이다.

[0030] 도 2a와 2b를 참조하면, 본 발명의 박막 트랜지스터 기관은, 기관(100) 상에 수직 교차하여 화소 영역을 정의하는 게이트 라인(GL)과 데이터 라인(DL), 데이터 라인(DL)과 평행하게 형성된 공통 라인(CL), 게이트 라인(GL) 및 데이터 라인(DL)의 교차 영역에 형성된 박막 트랜지스터, 박막 트랜지스터의 드레인 전극(140b)과 접속하며 통 전극 형태로 형성된 화소 전극(110b), 보호막(160) 상에 형성되어 화소 전극(110b)과 프린지 필드를 형성하는 복수개의 슬릿 형태의 공통 전극(170a)을 포함한다. 여기서, 두개의 인접한 화소 영역을 커버하는 공통 전극들은 바람직하게 동일한 슬릿 구조/패턴을 갖는다. 슬릿은 동일한 방향으로 형성된다.

[0031] 상기와 같은 본 발명의 박막 트랜지스터 기관은 데이터 라인(DL)을 중심으로 제 1, 제 2 화소 영역(px1, px2)이 하나의 데이터 라인(DL)을 공유하는 DRD(Double Rate Driving) 구동 방식으로, 데이터 라인(DL)과 데이터 드라이브 IC(미도시)의 개수를 1/2로 줄여 제조 비용을 절감할 수 있다.

[0032] 기관(100) 상에 형성된 게이트 라인(GL)과 게이트 전극(110a)은 틴 옥사이드(Tin Oxide: TO), 인듐 틴 옥사이드(Indium Tin Oxide: ITO), 인듐 징크 옥사이드(Indium Zinc Oxide: IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide: ITZO) 등과 같은 투명 도전 물질층과 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같은 불투명 도전 물질층이 차례로 적층된 이중층 구조로 형성되거나, 불투명 도전 물질층의 단일층 구조로 형성될 수도 있다. 도면에서는 게이트 라인(GL)과 게이트 전극(110a)이 투명 도전 물질층과 불투명 도전 물질층이 차례로 적층된 이중층 구조로 형성된 것을 도시하였다.

[0033] 게이트 전극(110a)은 게이트 라인(GL)으로부터의 스캔 신호가 공급되도록, 게이트 라인(GL)에서 돌출 형성되거나, 게이트 라인(GL)의 일측에서 돌출 형성되지 않고 게이트 라인(GL)의 일부 영역으로 정의될 수도 있다.

[0034] 그리고, 게이트 전극(110a)과 동일층에 형성되는 화소 전극(110b)은 단일층의 통 전극 형태로 형성되며, 게이트 전극(110a)의 하부층인 틴 옥사이드(Tin Oxide: TO), 인듐 틴 옥사이드(Indium Tin Oxide: ITO), 인듐 징크 옥사이드(Indium Zinc Oxide: IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide: ITZO) 등과 같은 투명 도전 물질로 형성된다.

[0035] 게이트 전극(110a)과 화소 전극(110b)을 포함한 기관(100) 전면에는 산화 실리콘(SiOx), 질화 실리콘(SiNx) 등과 같은 무기 절연 물질로 게이트 절연막(120)이 형성되며, 반도체층(130a)과 오믹 콘택층(130b)이 차례로 적층된 구조의 액티브층(130)은 게이트 절연막(120)을 사이에 두고 게이트 전극(110a)과 중첩된다.

[0036] 반도체층(130a) 상에 형성된 오믹 콘택층(130b)은 소스, 드레인 전극(140a, 140b)과 반도체층(130a) 사이의 전기 접촉 저항을 감소시키는 역할을 한다. 그리고, 소스, 드레인 전극(140a, 140b)의 이격된 구간에 대응되는 오믹 콘택층(130b)을 제거하여 반도체층(130a)을 노출시키는 채널이 형성된다.

[0037] 게이트 라인(DL)과 수직 교차하여 화소 영역을 정의하는 데이터 라인(DL)과 소스, 드레인 전극(140a, 140b)은



Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo/Ti/Al(Nd), Cu 합금/Mo, Cu 합금/Al, Cu 합금/Mo 합금, Cu 합금/Al 합금, Al/Mo 합금, Mo 합금/Al, Al 합금/Mo 합금, Mo 합금/Al 합금, Mo/Al 합금 등과 같이 이층층 이상이 적층된 구조로 형성되거나, Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등 등과 같은 단일층 구조의 불투명 도전 물질층으로 형성될 수 있다.

- [0038] 데이터 라인(DL)은 인접한 제 1, 제 2 화소 영역(px1, px2)이 공유하며, 소스 전극(140a)은 데이터 라인(DL)과 접속되어 데이터 라인(DL)의 화소 신호를 공급받는다. 그리고 드레인 전극(140b)은 반도체층(130a)의 채널을 사이에 두고 소스 전극(140a)과 마주하도록 형성된다.
- [0039] 드레인 전극(140b)은 데이터 라인(DL)으로부터의 화소 신호를 화소 전극(110b)에 공급하기 위해 게이트 절연막(120)과 보호막(160)을 선택적으로 제거하여 형성된 화소 콘택홀(160a)을 따라 형성된 연결 전극(170c)을 통해 게이트 라인(GL)과 동일층에 형성된 화소 전극(110b)과 전기적으로 접속된다. 이 때, 연결 전극(170c)은 투명 도전 물질층으로 공통 전극(170a)과 동일층에 형성된다.
- [0040] 게이트 전극(110a), 액티브층(130), 소스, 드레인 전극(140a, 140b)으로 구성되는 박막 트랜지스터를 포함한 게이트 절연막(120) 전면에는 보호막(160)이 형성된다. 그리고, 보호막(160) 상에 복수개의 슬릿 형태의 공통 전극(170a)이 형성되어 보호막(160)을 선택적으로 제거하여 형성된 공통 콘택홀(160b)을 통해 공통 라인(CL)과 접속되므로 콘택 저항을 낮출 수 있다.
- [0041] 공통 전극(170a)은 화소 전극(110b)과 같이 투명 도전 물질층의 단일층 구조로 형성되어 보호막(160)과 게이트 절연막(120)을 사이에 두고 화소 전극(110b)과 중첩되어 프린지 전계를 형성한다. 그리고, 화소 전극(110b)을 데이터 라인(DL)과 동일층에 형성하는 경우에는 보호막(160) 만을 사이에 두고 화소 전극(110b)과 공통 전극(170)이 중첩되어 프린지 전계를 형성한다.
- [0042] 프린지 전계에 의해 박막 트랜지스터 기관과 컬러 필터 기관 사이의 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상이 구현된다.
- [0043] 특히, 공통 전극(170a)은 화소 영역(px1, px2) 가장자리의 공통 라인(CL)과 오버랩되도록 형성되어 개구율이 더 향상된다.
- [0044] 그런데, 상술한 바와 같이 일반적인 DRD 구동 방식의 박막 트랜지스터 기관은, 서로 인접하게 위치한 제 1, 제 2 화소 영역(px1, px2)이 하나의 데이터 라인(DL)을 공유하여 데이터 라인(DL) 및 데이터 구동 IC(미도시)의 수를 줄일 수 있다.
- [0045] 그러나, 화소 영역 내부에 게이트 라인과 평행한 방향의 공통 라인(CL)으로 인해 개구율이 더 저하된다. 그리고, 화소 전극(110b)을 형성할 때 기관과 틀어짐이 발생하면, 데이터 라인(DL)을 기준으로 제 1, 제 2 화소 영역(px1, px2)의 스토리지 커패시터 용량이 달라져 휘도차에 의한 얼룩이 발생할 수 있다.
- [0046] 따라서, 본 발명의 박막 트랜지스터 기관은 개구율이 저하되는 것을 방지하기 위해, 데이터 라인(DL)을 공유하는 제 1, 제 2 화소 영역(px1, px2)의 공통 전극(170a)을 연결하기 위한 연결부(170b)를 데이터 라인(DL)과 중첩되는 영역에 형성한다. 연결부(170b)는 바람직하게 제 1, 제 2 화소 영역(px1, px2)의 공통 전극(170a)을 연결하기 위한 브릿지(bridge) 형상을 가질 수 있다.
- [0047] 즉, 제 1, 제 2 화소 영역(px1, px2)의 공통 전극(170a)이 화소 영역 내부가 아닌 데이터 라인(DL)과 중첩되도록 형성된 연결부(170b)를 통해 서로 접속함으로써, 화소 영역(px1, px2) 내부에서 게이트 라인(GL)과 평행한 방향의 공통 라인(CL)을 제거할 수 있다. 따라서, 화소 영역 내부에 형성된 공통 라인(CL)으로 인해 개구율이 저하되는 것을 방지할 수 있다. 또한, 제 1 화소 영역(px1)을 커버하는 공통 전극(170a)들과 제 2 화소 영역(px2)을 커버하는 공통 전극(170a)들은 동일한 구조 또는 형상 또는 실질적으로 동일한 구조/형상을 가진다. 바람직하게는, 그들은 동일한 구조/형상을 가진다. 예를 들어, 도 2a에 도시된 바와 같이, 제 1 화소 영역(px1)을 커버하는 공통 전극(170a)들은 제 2 화소 영역(px2)을 커버하는 공통 전극(170a)들과 동일한 슬릿 패턴을 가진다.
- [0048] 그리고, 데이터 라인(DL)을 공유하는 제 1, 제 2 화소 영역(px1, px2)은 동일한 구조를 가지므로, 박막 트랜지스터 기관과 대향된 컬러 필터 기관에 형성되는 블랙 매트릭스가 시프트(Shift)되어도 제 1, 제 2 화소 영역(px1, px2)의 휘도차가 발생하지 않는다. 따라서, 휘도차에 의해 얼룩이 발생하거나 화질이 저하되는 것을 방지할 수 있다.

- [0049] 더욱이, 본 발명의 박막 트랜지스터 기판은 최상위층에 공통 전극(170a)을 형성함으로써, 제 1, 제 2 화소 영역(px1, px2) 사이의 데이터 라인(DL)과 화소 전극(110b) 사이에 발생할 수 있는 전계를 공통 전극(170a)이 차폐함으로써 데이터 라인(DL)과 공통 전극(170a) 사이의 간격을 좁혀 개구율을 향상시킬 수 있다.
- [0050] 구체적으로, 도 3a는 최상위층에 화소 전극이 형성된 박막 트랜지스터 기판의 단면도이며, 도 3b는 최상위층에 공통 전극이 형성된 박막 트랜지스터 기판의 단면도로, 화소 전극, 공통 전극, 데이터 라인 및 보호막만을 도시하였다.
- [0051] 도 3a와 같이, 일반적인 박막 트랜지스터 기판은 최상위층에 화소 전극(110b)을 형성한다. 따라서, 데이터 라인(DL)과 화소 전극(110b) 사이에 전계가 형성되어 액정이 비정상적으로 구동하거나 빛샘이 발생할 수 있다. 따라서, 이를 방지하기 위해 화소 전극(110b)과 데이터 라인(DL) 사이의 간격을 넓혀야 하므로 개구율이 감소한다.
- [0052] 그러나, 도 3b를 참조하면 본 발명의 박막 트랜지스터와 같이 공통 전극(170a)을 최상위층에 형성하면, 데이터 라인(DL)과 화소 전극(110b) 사이에 발생할 수 있는 전계를 공통 전극(170a)이 차폐한다. 따라서, 공통 전극(170a)과 데이터 라인(DL) 사이의 간격을 좁힐 수 있으므로 개구율을 향상시킬 수 있다.
- [0053] 이하, 본 발명에 따른 박막 트랜지스터 기판의 제조 방법을 상세히 설명하면 다음과 같다.
- [0054] 도 4a 내지 도 4d는 본 발명의 박막 트랜지스터 기판의 제조 방법을 나타낸 공정 평면도이며, 도 5a 내지 도 5d는 도 4a 내지 도 4d에 도시된 박막 트랜지스터 기판을 I-I'선을 따라 절단한 단면도이다.
- [0055] 도 4a, 도 5a와 같이, 기판(100) 상에 게이트 전극(110a), 게이트 라인(GL) 및 화소 전극(110b)을 형성한다. 구체적으로, 기판(100) 상에 스퍼터링(Sputtering) 방법 등의 증착 방법으로 틴 옥사이드(Tin Oxide: TO), 인듐 틴 옥사이드(Indium Tin Oxide: ITO), 인듐 징크 옥사이드(Indium Zinc Oxide: IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide: ITZO) 등과 같은 투명 도전 물질층과 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같은 불투명 도전 물질층을 차례로 적층한다.
- [0056] 그리고, 하프톤 마스크를 이용하여 이를 패터닝하여 투명 도전 물질층과 불투명 도전 물질층이 차례로 적층된 이중층 구조의 게이트 전극(110a)과 게이트 라인(GL)을 형성하고, 투명 도전 물질층으로만 구성된 단일층 구조로 통 전극 형태의 화소 전극(110b)을 형성한다.
- [0057] 도 4b, 도 5b와 같이, 게이트 전극(110a), 게이트 라인(GL) 및 화소 전극(110b)을 포함한 기판(100) 전면에 게이트 절연막(120)을 형성하고, 게이트 전극(110a)에 대응되는 게이트 절연막(120) 상에 반도체층(130a)과 오믹 콘택층(130b)이 차례로 적층된 구조의 액티브층(130)을 형성한다.
- [0058] 그리고, 액티브층(130)을 포함한 게이트 절연막(120) 상에 스퍼터링 방법 등의 증착 방법으로 게이트 라인(DL)과 수직 교차하여 화소 영역을 정의하는 데이터 라인(DL), 공통 라인(CL), 일정 간격 이격된 소스, 드레인 전극(140a, 140b)을 형성한다. 데이터 라인(DL)과 공통 라인(CL), 소스, 드레인 전극(140a, 140b)은 Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo/Ti/Al(Nd), Cu 합금/Mo, Cu 합금/Al, Cu 합금/Mo 합금, Cu 합금/Al 합금, Al/Mo 합금, Mo 합금/Al, Al 합금/Mo 합금, Mo 합금/Al 합금, Mo/Al 합금 등과 같이 이중층 이상이 적층된 구조로 형성되거나, Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등 등과 같은 단일층 구조의 불투명 도전 물질층으로 형성될 수 있다.
- [0059] 이 때, 마스크 공정을 줄이기 위해, 하프톤 마스크(Half Tone Mask)를 이용하여 액티브층(130)과 소스, 드레인 전극(140a, 140b)을 동시에 형성할 수 있다.
- [0060] 데이터 라인(DL)은 데이터 라인(DL)을 중심으로 서로 인접하게 위치한 제 1, 제 2 화소 영역(px1, px2)이 공유한다. 그리고, 드레인 전극(140b)은 게이트 절연막(120)과 보호막(160)을 선택적으로 제거하여 형성된 화소 콘택홀(160a)을 통해 화소 전극(110b)과 전기적으로 접속되며, 소스, 드레인 전극(140a, 140b) 사이의 이격된 구간에 노출된 오믹 콘택층(130b)을 제거하여 채널을 형성한다.
- [0061] 도 4c, 도 5c와 같이, 소스, 드레인 전극(140a, 140b)과 데이터 라인(DL)을 포함한 게이트 절연막(120) 전면에 보호막(160)을 형성한다. 그리고, 보호막(160)과 게이트 절연막(120)을 선택적으로 제거하여, 드레인 전극(140b)과 화소 전극(110b)을 노출시키는 화소 콘택홀(160a)을 형성한다.
- [0062] 그리고, 도 4d, 도 5d와 같이, 보호막(160) 전면에 투명 도전 물질층을 형성하고, 투명 도전 물질층을 패터닝하여 복수개의 슬릿 형태의 공통 전극(170a)을 형성한다.
- [0063] 공통 전극(170a)은 보호막(160)을 선택적으로 제거하여 형성된 공통 콘택홀(160b)을 통해 공통 라인(CL)과 전기

적으로 접속되는데, 공통 전극(170a)은 화소 영역(px1, px2) 가장자리의 공통 라인(CL)과 오버랩되도록 형성되어 개구율이 더 향상된다.

[0064] 공통 전극(170a)은 게이트 절연막(120)과 보호막(160)을 사이에 두고 화소 전극(110b)과 중첩되어 프린지 전계를 형성한다. 그리고, 데이터 라인(DL)을 공유하는 제 1, 제 2 화소 영역(px1, px2)의 공통 전극(170a)을 연결하기 위한 연결부(170b)를 데이터 라인(DL)과 중첩되는 영역에 형성한다.

[0065] 즉, 서로 인접하게 위치한 제 1, 제 2 화소 영역(px1, px2)의 공통 전극(170a)이 화소 영역 내부가 아닌 데이터 라인(DL)과 중첩되도록 형성된 연결부(170b)를 통해 서로 접속함으로써, 제 1, 제 2 화소 영역(px1, px2) 내부에서 게이트 라인(GL)과 평행한 방향의 공통 라인(CL)을 제거할 수 있다. 따라서, 공통 라인(CL)으로 인해 개구율이 저하되는 것을 방지할 수 있다.

[0066] 특히, 공통 전극(170a)과 연결부(170b)를 형성함과 동시에, 드레인 전극(140b)과 화소 전극(110b)을 연결시키는 연결 전극(170c)을 형성하여 드레인 전극(140b)과 화소 전극(110b)이 전기적으로 접속되어, 드레인 전극(140b)이 데이터 라인(DL)으로부터의 화소 신호를 화소 전극(110b)에 공급한다.

[0067] 본 발명의 박막 트랜지스터 기판은 공통 전극(170a)을 최상위층에 형성하여 데이터 라인(DL)과 화소 전극(110b) 사이에 발생할 수 있는 전계를 공통 전극(170a)이 차폐할 수 있다.

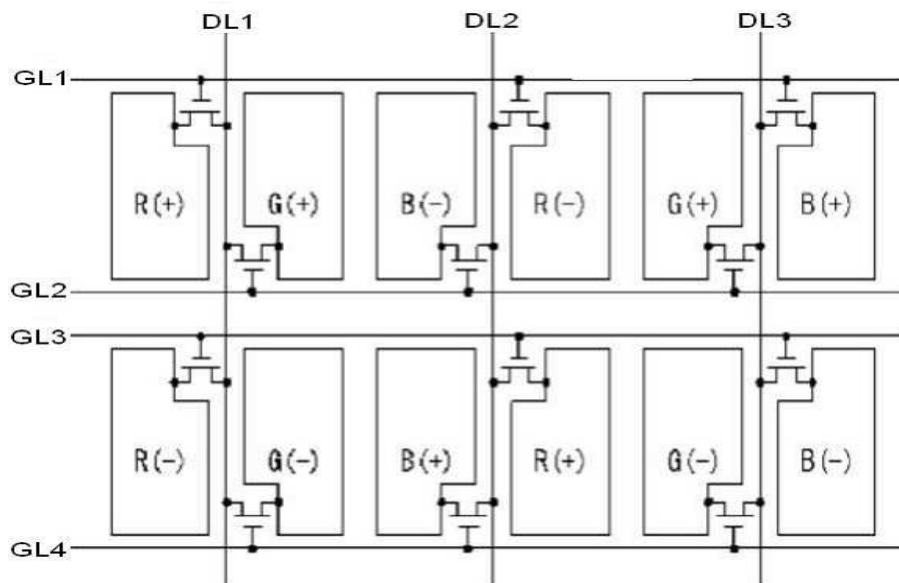
[0068] 한편, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

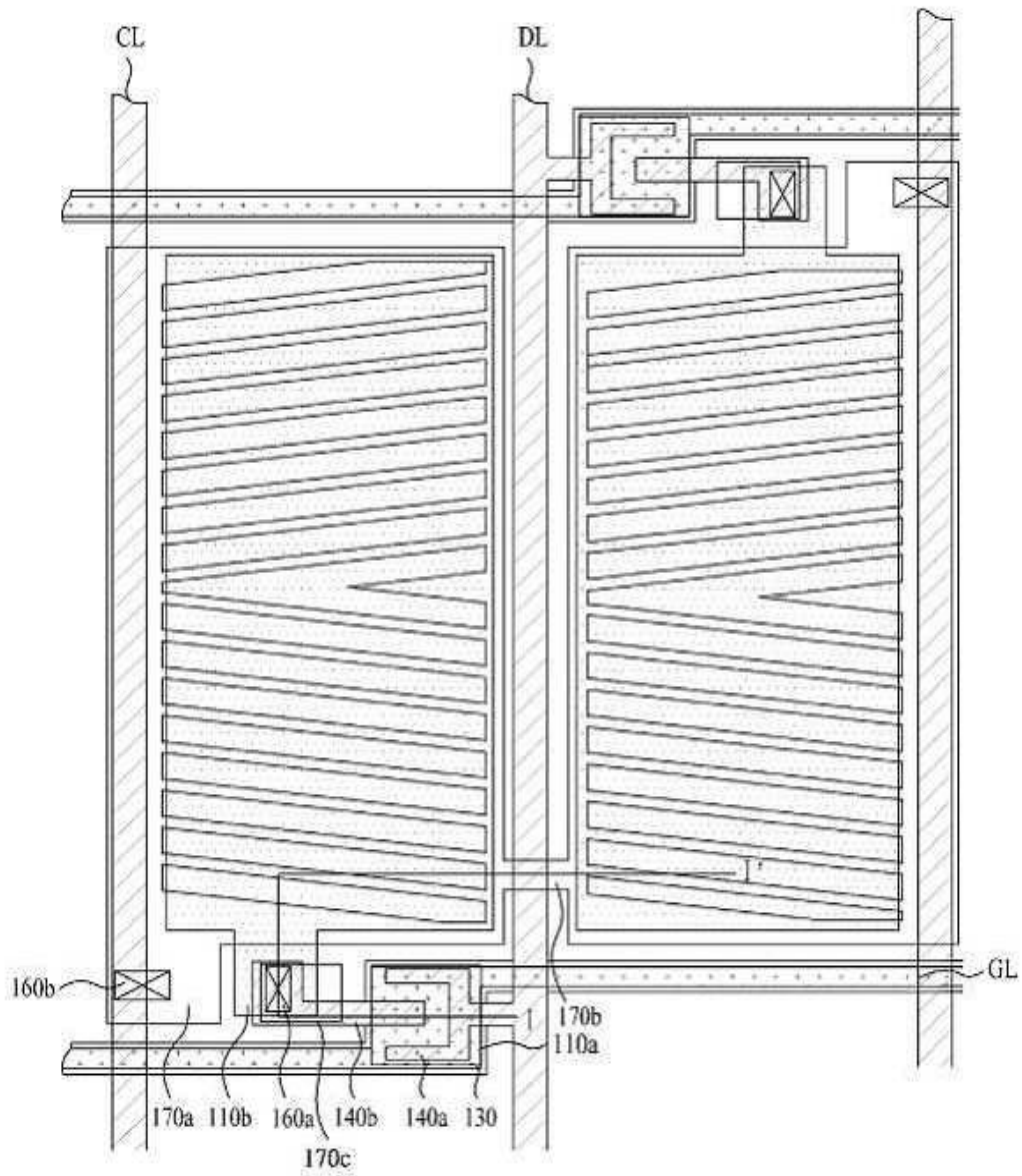
- |        |              |              |
|--------|--------------|--------------|
| [0069] | CL: 공통 라인    | DL: 데이터 라인   |
|        | GL: 게이트 라인   | 100: 기판      |
|        | 110a: 게이트 전극 | 110b: 화소 전극  |
|        | 120: 게이트 절연막 | 130: 액티브층    |
|        | 130a: 반도체층   | 130b: 오믹 콘택층 |
|        | 140a: 소스 전극  | 140b: 드레인 전극 |
|        | 160: 보호막     | 160a: 화소 콘택홀 |
|        | 160b: 공통 콘택홀 | 170a: 공통 전극  |
|        | 170b: 연결부    | 170c: 연결 전극  |

도면

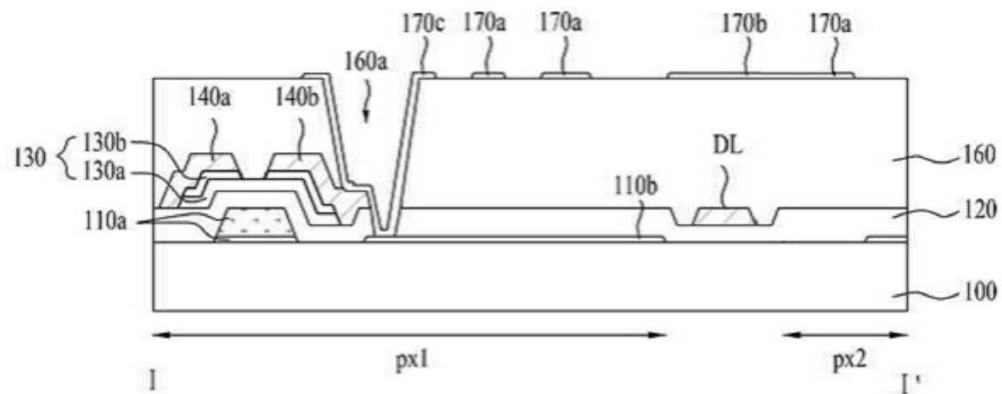
도면1a



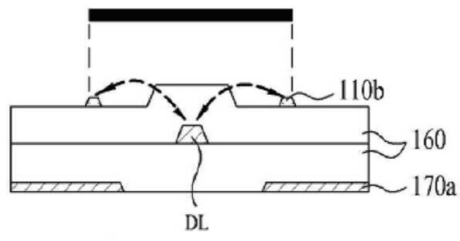
도면2a



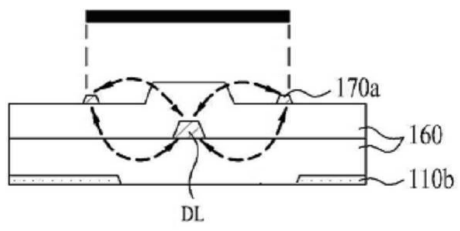
도면2b



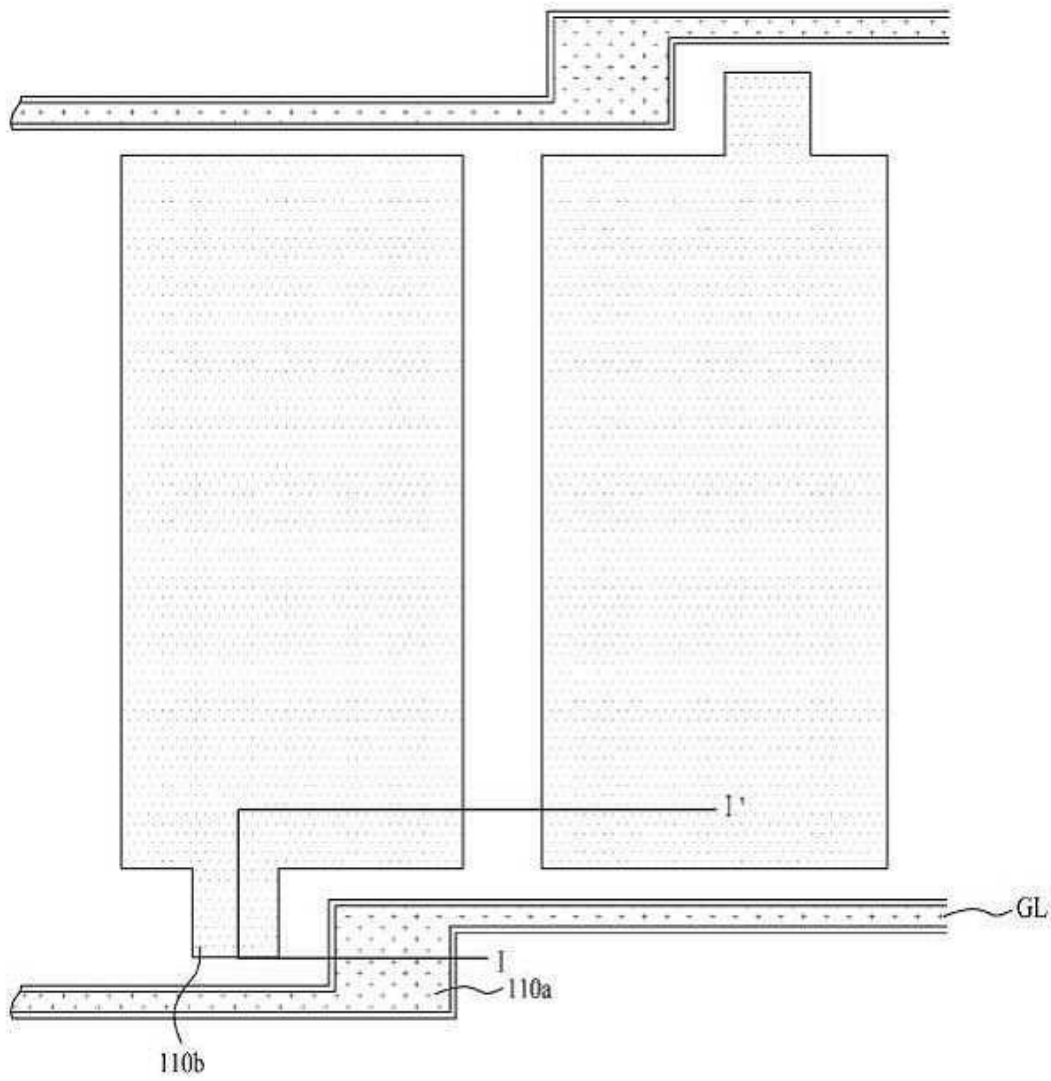
도면3a



도면3b

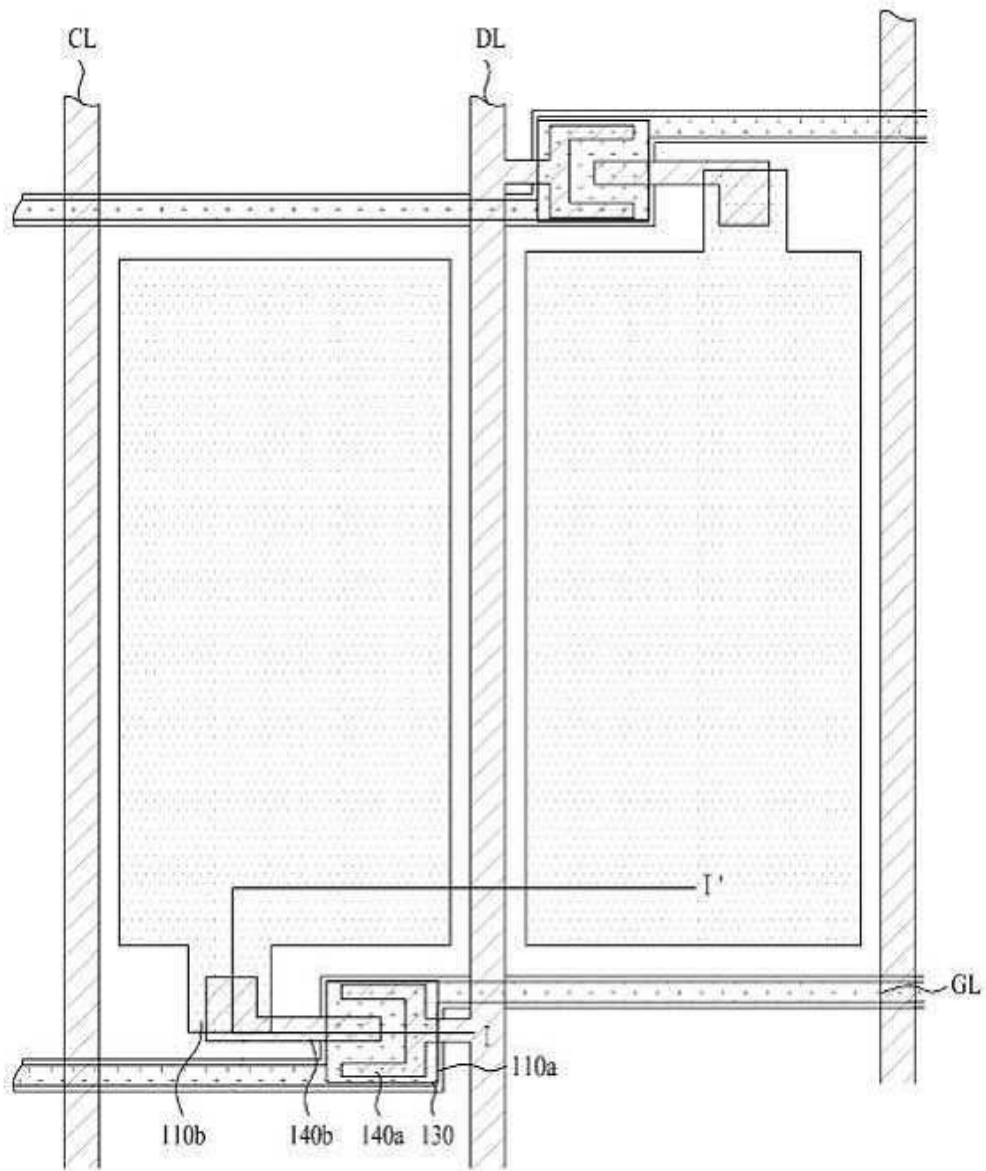


도면4a



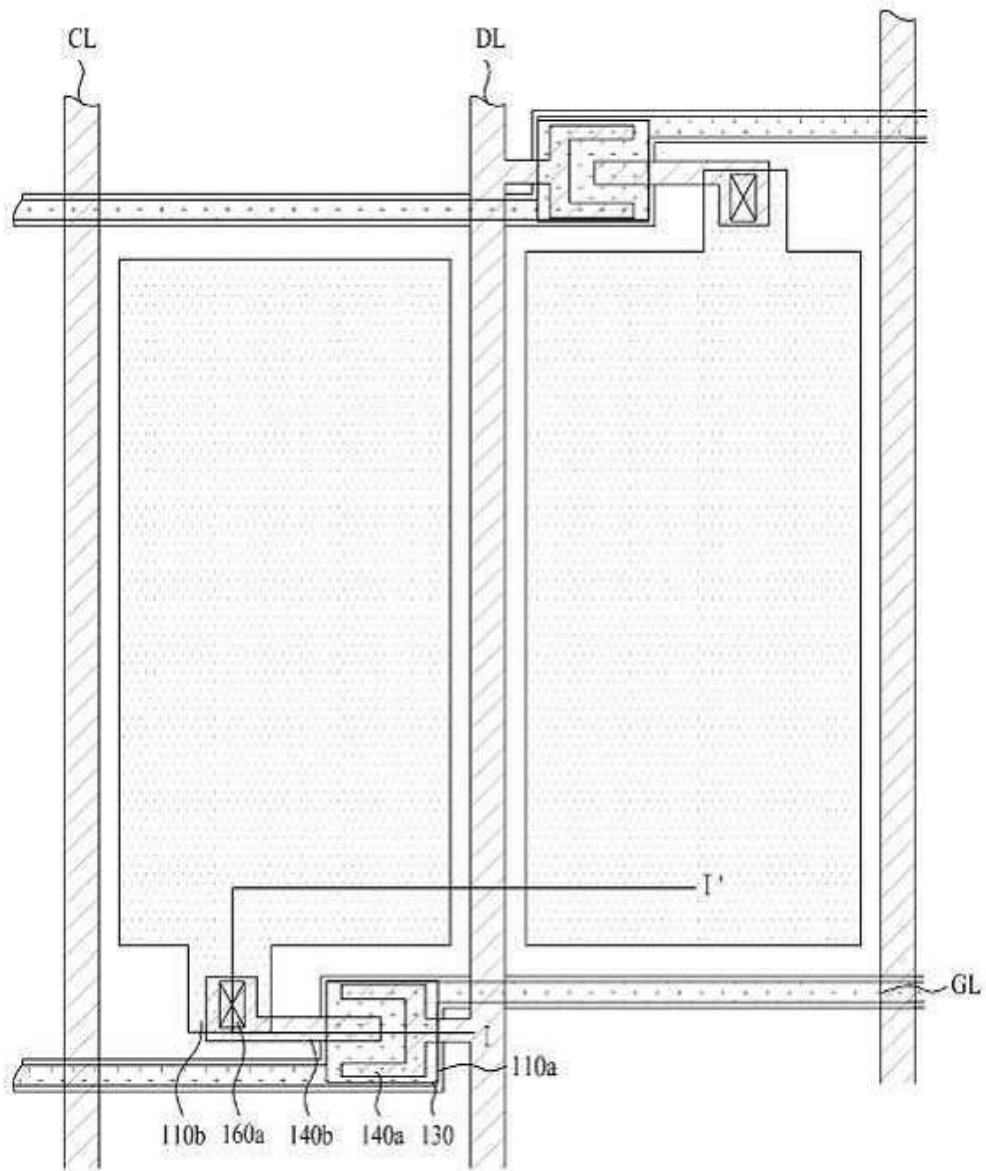


도면4b

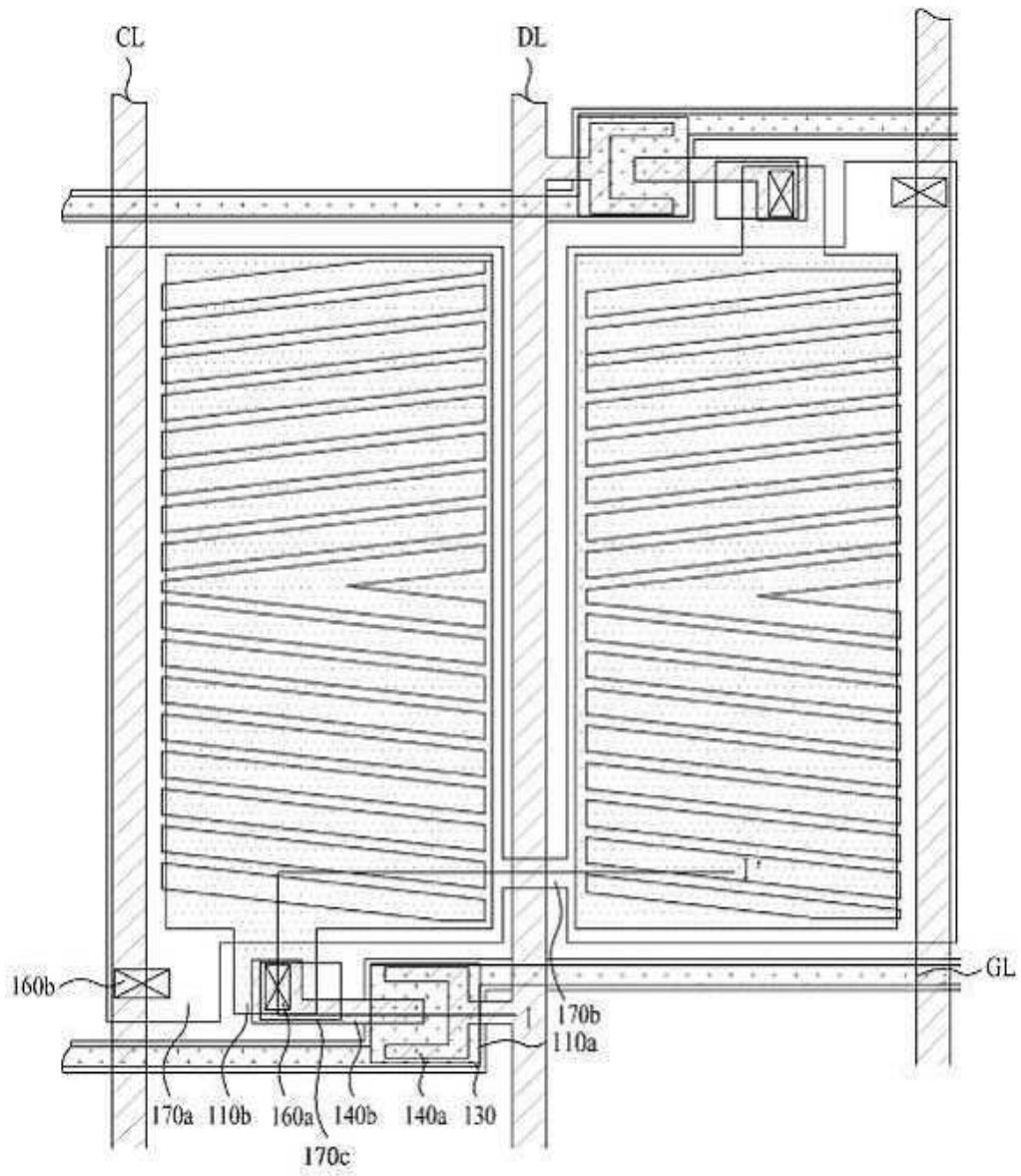




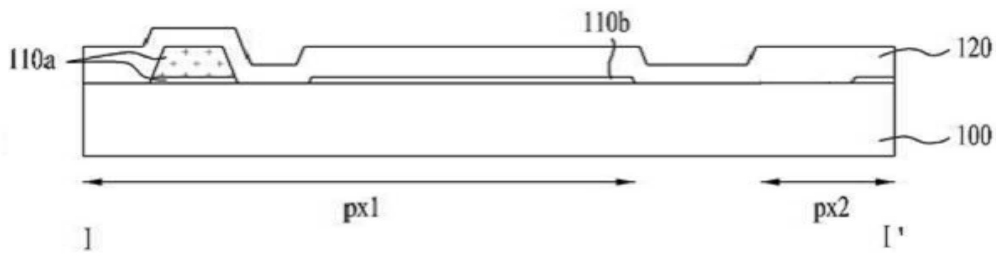
도면4c



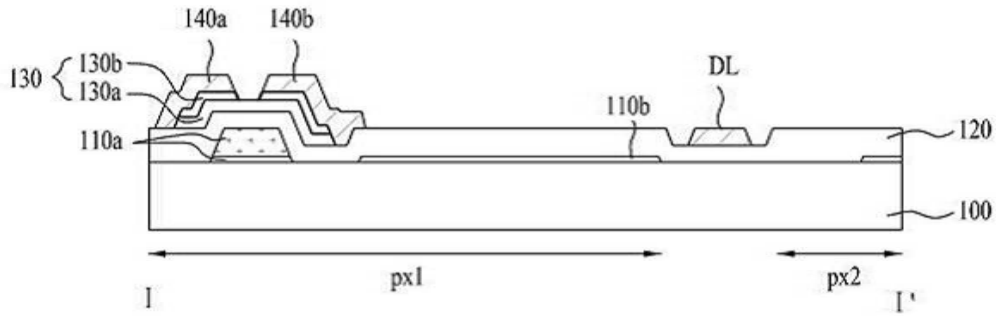
도면4d



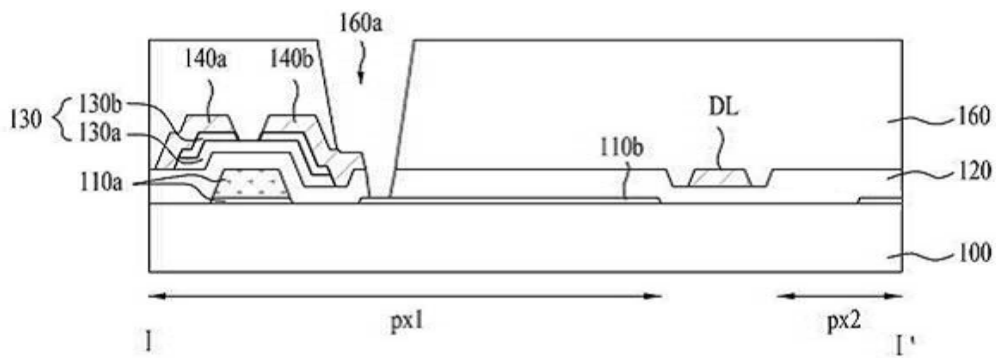
도면5a



도면5b



도면5c



도면5d

