

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/98

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0323488
(24) 등록일자 2002년01월24일

(21) 출원번호	10-1995-0704886	(65) 공개번호	특1996-0702176
(22) 출원일자	1995년11월06일	(43) 공개일자	1996년03월28일
번역문제출일자	1995년11월06일		
(86) 국제출원번호	PCT/DE1994/00492	(87) 국제공개번호	WO 1994/25982
(86) 국제출원일자	1994년05월03일	(87) 국제공개일자	1994년11월10일
(81) 지정국	국내특허 : 일본 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴		

(30) 우선권주장 P4314913.8 1993년05월05일 독일(DE)

(73) 특허권자 지멘스 악티엔게젤샤프트 칼 하인쯔 호르닝어

독일 뮌헨 80333 비텔스파허프라썸 2

(72) 발명자 빈네를, 요제프

독일연방공화국데-81929뮌헨슈테판-게오르게-링49

알스마이어, 요한

독일연방공화국데-81373뮌헨하이테르방어슈트라썸 19

노이뮐러, 발터

독일연방공화국데-80539뮌헨부르췌슈트라썸 10

(74) 대리인 남상선

심사관 : 반성원

(54) 수직칩연결을위한접촉구조체

명세서

- <1> 본 발명은 다수의 반도체 소자의 수직적 접속을 위해 제공되는 특정접촉 구조체를 갖는 반도체 소자에 관한 것이다. 부가적으로, 관련된 제조공정이 기재된다.
- <2> 요즘은 반도체 회로가 평탄화 기술을 이용하여 제조된다. 칩에서 이를 수 있는 복잡성은 칩의 크기와 이를 수 있는 구조체의 정교함에 의해 제한된다. 상호 접속된 다수의 반도체 칩을 포함하는 시스템의 성능은 종래기술의 경우 접촉 접속부(패드)에 의한 개별 칩 사이의 가능한 접속부의 제한된 수, 다른 칩 사이(인터페이스 회로 패드/인쇄 회로 기판)의 이러한 접속부를 통한 신호 전송의 낮은 속도, 광범위하게 분기된 도전 트랙으로 야기되는 복잡한 칩의 경우의 제한된 속도 및 인터페이스 회로의 높은 전력 소비로 인하여 상당히 제한된다.
- <3> 평탄화 기술의 사용에 있어 상기 명시된 제한은 3차원 상호 접속 기술을 사용하여 극복될 수 있다. 기능적 평면들이 서로의 상부에 위치하도록 배치함으로써 더 적은 접속을 위한 요구조건들로 이러한 소자들 사이에 병렬 통신이 가능하고, 속도를 제한하는 집간 접속이 부가적으로 제거된다.
- <4> 3차원 IC를 제조하기 위한 공지된 방법은 소자의 평면에 추가의 반도체 층(예를 들면, 실리콘)을 증착하는 단계, 적절한 공정(예를 들면, 레이저에 의한 국부 가열)을 사용하여 상기 층을 재결정화하는 단계 및 추가 평면 소자를 제공하는 단계를 기초로 한다. 이 기술은 역시 재결정화 중에 하부 평면의 열 부하 및 결점에 의해 제한된 수율로 인하여 상당한 제한을 갖고 있다.
- <5> NEC의 선택적인 공정은 서로 분리된 각각의 소자 평면을 만들어 낸다. 이 평면들은 수 μm 로 얇아서 웨이퍼 결합에 의해 서로 접속된다. 칩간 접속을 위한 접촉부를 개별 소자 평면의 앞면과 뒷면에 제공함으로써 접속이 이루어진다. 이 공정은 아래의 단점과 제한을 갖고 있다: 얇은 웨이퍼는 기술적 공정(반도체 웨이퍼에 의해 조정된 석판술)을 사용하여 앞면과 뒷면에서 처리되어야 한다. 상기 공정에서 각각의 소자가 완성된 회로에서 실행되는 것이 아니라 각각의 평면에서 실행되어지는 사실 때문에 조립 이전에 각각의 평면의 기능 검사를 하는 것은 더 어렵다. 소자 바로 아래의 웨이퍼를 얇게 함으로써 SOI-형 소자가 제조되고, 그 결과 표준 기술(예를 들면, 표준 CMOS)을 사용하여 미리 만들어진 웨이퍼를 사용할 수 없게 된다.
- <6> 본 발명의 목적은 3차원 접속으로 만들기기에 적합하고, 용이하게 제조할 수 있으며, 선행의 상호 접속 및 관련된 제조 공정과 비교하여 향상된 접촉 구조체를 갖는 반도체 소자를 제공하는 것이다.
- <7> 이 목적은 청구 범위 제 1항의 특징에 따른 접촉 구조체를 갖는 반도체 소자에 의해 이룩된다. 특히 제조 공정에서, 더 정교함이 종속 청구 범위로부터 나타난다.
- <8> 본 발명에 따른 반도체 소자의 경우에, 접촉 구조체는 금속 핀을 구비하고, 이러한 금속 핀은 기

판의 상층 면에 정렬되고 기능 엘리먼트를 갖는 층 구조체와 접촉될 영역에 접속되며, 기판을 완전히 관통하고 및 추가의 반도체 소자의 상층 면에 금속 접촉부에 이러한 금속 핀들의 접속이 가능할 정도로 기판의 반대쪽 하부면 아래로 돌출한다. 본 발명에 따른 반도체 소자와 관련된 제조 공정의 경우, 표준 기술을 사용하여 미리 만들어진 웨이퍼를 사용할 수 있다. 수직적 연결에 필요한 접촉 구조체의 변형이 제조 공정의 마지막 단계에 수행되기 때문에, 통상적 기초 기술에 다른 단계를 추가할 필요가 없다. 전기적 접촉부가 소자의 앞면 및 뒷면에 만들어 질 수 있다. 그러므로, 본 발명의 반도체 소자의 구조체 및 관련된 제조 공정은 접속을 위한 높은 요구를 갖는 정교한 시스템을 수행하기에 특히 적합하다. 서로에게 수직적으로 연결된 각각의 반도체 평면은 순수 소자 평면이어야 할 필요가 없고, 오히려 표를 기술(예를 들면, CMOS, 쌍극 기술 또는 다층 금속화를 갖는 기억장치)을 사용하여 미리 만들어질 수 있는 전체 회로 평면이다. 이것은 각각의 회로 평면이 본 발명에 따른 서로에 대하여 수직적으로 정렬되어 있는 반도체 소자의 조립에 우선하여 테스트될 수 있다는 것을 의미하고, 그 결과로서 단지 기능적인 소자가 서로 결합되기 때문에 수율이 증가한다. 본 발명에 따른 반도체 소자는 낮은 공급 전원의 결과로서 칩의 저전력 손실을 보장하는 공정(예를 들면, CMOS와 같은 공정)을 사용하여 특히 간단히 제조될 수 있고, 웨이퍼 결합에 의해 개별 평면의 연결을 가능케 하고, 특별하고 고가인 다음의 평탄화를 필요로 하지 않도록(다층 금속화를 포함하여) 평탄하고, 층간 연결의 자유로운 배치를 가능케 하며, 접속을 위해 표준 마이크로일렉트로닉스 공정을 사용하고 및 만약 적당하다면 공정의 마지막 단계에서 낮은 녹는점을 갖는 금속과 같은 특별한 물질의 사용을 가능케 한다.

<9> 본 발명에 따른 반도체 소자를 사용하여 3차원적으로 집적된 회로를 제조하기 위한 공정은 모듈 적이고, 즉 상호 독립적인 방법으로 각각의 평면이 만들어지고, 테스트되고, 서로 연결될 수 있다. 각각의 평면은 CMOS 회로 평면뿐만 아니라 다른 기술들을 사용하여 제조된 회로 평면의 형태를 가질 수 있고, 사용된 공정(예를 들면, DRAM, SRAM 또는 비휘발성 기억장치와 같은 기억장치 또는 쌍극소자)의 상기 언급된 특성에 따라서 만들어진다. 직선 방향 상호 연결 평면과 같이 불활성 소자를 갖는 부분 회로 평면 사이에 배열시키는 것 또한 가능하다. 아래의 설명은 본 발명에 따른 반도체 소자 및 각각의 특별한 요구에 대해 적용될 수 있고 쉽게 변형될 수 있는 관련된 제조 공정의 실시예이다.

<10> 제 1도 내지 13도를 참조하여 본 발명에 따른 소자 및 제조 공정의 설명이 아래에 기재될 것이다.

<11> 제 1도 및 제 2도는 서로 수직적으로 접속된 본 발명에 따른 2개의 반도체 소자의 단면도.

<12> 제 3도 내지 제 7도는 관련된 제조 공정의 다른 단계 후 본 발명에 따른 반도체 소자의 단면도.

<13> 제 8도 내지 13도는 다른 관련된 제조 공정의 다른 단계 후 본 발명에 따른 반도체 소자의 다른 실시예에 대한 단면도.

<14> 제 1도는 서로에 대하여 수직적으로 배열되고 상호 접속된 본 발명에 따른 2개의 반도체 소자에 대한 단면도를 도시한다. 제조 공정에 대해, 만약 3-층의 기판이 본 발명에 따른 소자를 위해 사용된다면, 특별히 유용하다. 이 기판의 경우에, 2개의 반도체 층은 절연 층에 의해 상호 절연되어 있다. 이 경우에 기판은 예를 들면, SOI(절연체상의 실리콘)기판일 수 있다. 본 발명에 따른 반도체 소자는 오직 기판의 한 측면 즉, 상층 면의 기능적 엘리먼트를 지탱한다. 3-층 기판이 사용될 때, 상층 면과 대향하는 반도체 층은 용이하게 완전히 제거되고, 그 결과로 절연 층이 하부층에 노출된다. 여러 반도체 칩을 수직적으로 연결할 때, 기능적 엘리먼트가 하부면에 개별적으로 위치한 평면에 의해 손상되지 않기 위하여, 만약 절연체가 SOI 기판의 경우에서 일반적인 두께보다 더 두꺼운 것이 바람직하다. 예를 들면, 절연 층으로서 두꺼운 산화층이 제공될 수 있으며, 웨이퍼 결합에 의해 3-층 기판을 만들 수 있다. SOI 기판을 사용하는 경우에, 절연체 층(22) 및 얇은 실리콘 층(21)만이 제 1도 도시된 상부 반도체 소자의 상부에 남아 있다. 그러나, 층(21)은 종래 기판 위에서 성장된 반도체 층 구조체일 수도 있다. 똑같이, 절연체 층(22)은 다층 기판의 상응하는 더 두꺼운 층이 될 수 있다. 제 1도의 하부 반도체 소자의 경우에, 기판의 기저 반도체 층은 SOI 기판의 캐리어 웨이퍼(20)로서 부분적으로 도시되어 있다. 예를 들면, 제 1도의 전형적인 실시예에서, 전계효과 트랜지스터는 실리콘(21)(또는 일반적으로 반도체 층 구조체)에 형성되어 있다. 상기 트랜지스터의 게이트 금속화 층(24)이 마찬가지로 도시되어 있다. 반도체 재료로 만들어진 이 층 구조체는 하나 또는 그 이상의 층을 가질 수 있다. 반도체 재료로 만들어진 다른 전도성 영역은 그 사이에 배열된 절연 영역(23)에 의해 절연될 수 있다. 부가적으로, 단일 층 또는 다층 금속화 층 구조체가 위치할 수도 있다. 제 1도에서, 이 금속화 층 구조체는 명확함을 위해 게이트 금속화 층(24)에 제한되어 있다. 이 실시예에서, 제 1유전체 층(25) 및 제 2유전체 층(26)이 반도체 층으로 만들어진 상기 층 구조와 금속화 평면 사이에 배열되고, 그 평면은 도전트랙에 제공된다. 도전 트랙(10)은 제 3 유전체 층(9)에 의해 서로로부터 절연되어 있다. 제 1도의 실시예에서 도전 트랙(10)상에 유전체로 만들어진 덮개층(11)에 금속 접촉부(12)가 위치한다. 예를 들면, 이 금속 접촉부(12)는 상기 이 소자 상부에 배열된 추가 반도체 소자로 전기적 접촉이 만들기 위해 사용될 수 있다.

<15> 수직 배열내에서 접속을 만드는 방법이 제 1도에 상부 반도체 소자와 하부 반도체 소자의 연결로부터 추론될 수 있다. 반도체 재료로 만들어진 전도적 접촉층, 추가 도전 트랙 또는 다른 금속화 평면에 금속 접촉부(제 1도의 실시예에서 실리콘으로 만들어진 FET의 접촉층)는 기판의 상층 면에 대하여 수직적으로 뺀 금속 핀(8)에 의하여 금속 접촉부(12) 또는 도전 트랙(10)에 연결된다. 이 금속 핀(8)은 기판 또는 기판으로부터 왼쪽에 절연층(22)을 관통하여 아래로 뺀다. 칩이 조립되었을 때, 금속 핀(8)의 단부가 낮은 위치의 소자의 금속 접촉부(12)에 상응하게 도전적 연결에 의한 방법으로 추가 소자가 기판 아래에 정렬된다. 낮은 위치의 소자가 높은 위치의 소자와 유사한 구조체를 갖고 있다. 전계 효과 트랜지스터가 SOI기판(20, 21';22')에 있는 실리콘 기판(21')에 형성된다. 이 전계 효과 트랜지스터는 금속 핀(8')에 의해 도전 트랙(10')에 도전적으로 연결된다. 도전 트랙(10')의 평면은 유전체(26')에 의해 실리콘 층(21')의 평면으로부터 다시 절연된다. 수직적으로 전도 연결을 위한 금속 접촉부(12')는 도전 트랙(10')에 부착된다. 덮개층(11')를 표면을 평탄화되게 하고 2개의 반도체 소자의 수직 연결을 편리하게 한다. 하부 소자가 이 예에서 기저 소자로 제공되기 때문에, 기판의 캐리어 웨이퍼(20)가 제공되고 절연층(22')은 금속 핀(8')에 의해 관통되지 않는다.

<16>

제 1도에 도시된 아날로그 방식으로, 제 2도는 본 발명에 따른 추가 실시 예에서 상기 한 부분 위에 다른 한 부분이 수직으로 놓여진 2개의 반도체 소자의 단면도를 부분적으로 도시한다. 기능적 엘리먼트를 갖는 층 구조체는 기판(15)위에 배치되고, 그것은 단일 층 웨이퍼이거나 또는 절연층 또는 다층 기판에서 생기는 산화 층일 수 있다. 예로서 제 2도는 전계효과 트랜지스터에 제공된 게이트 금속화 층을 갖는 전계효과 트랜지스터에 대해 에피택셜로 성장되는 층 구조체를 도시한다. 기판(15) 및 기판에 제공되거나 집적된 기능적 엘리먼트상에 유전체로 구성된 인터층(interlayer)(13)이 위치하고, 도전 트랙을 갖는 하나 또는 그 이상의 금속화 평면이 제공되고 또는 삽입된다. 제 2도는 상부 금속 표면(1) 및 그 하부의 추가 금속 평면(2)이 도시된다. 기판(15)을 관통하고 및 하부에 수직적으로 배열된 반도체 소자에 도전 트랙(3)을 접속시키는 금속 핀(8)은 유전체(6)에 의해 기판(15) 및 인터층(13)으로부터 절연된다. 도전 트랙(3) 및 금속 핀(8) 사이에 도전 패시베이션층(5)이 위치하고, 그것은 금속 핀(8)의 제조 중에 도전 트랙(3)의 금속으로 인한 기판(15)의 오염을 방지한다. 추가 금속 핀은 제 2도의 오른쪽에 도시된다. 양 금속 핀은 하부에 배열된 추가 반도체 소자의 금속 접촉부(12')에 접속된다. 도시된 이러한 추가의 반도체 소자의 부분은 상층 금속평면(1') 및 인터층(13')의 일부에 배치된 추가 금속 평면(2')이다. 유전체로 구성된 덮개층(11')은 상층 면을 평탄화하고, 금속 접촉부(12') 사이의 상층 소자와 마주한다. 상부 반도체 소자의 인터층(13)은 예에서 도시된 유전체로 만들어진 평탄화 층(4)에 의해 평탄해진다. 상부 반도체 소자의 오른쪽 측면(화살표 19)에 최상단 금속 평면(1)위에 위치한 금속 접촉부(12)가 위치한다. 표면은 덮개 층(11)에 의해 평탄하게 된다. 금속 접촉부(12)는 도전 트랙(1)의 금속보다 낮은 녹는점을 갖는 금속으로 만들어진다. 이러한 금속 접촉부(12)는 수직적으로 연결되는 추가 반도체 소자의 상부에 배열된 금속핀으로 접속을 위해 사용된다. 금속 접촉부(12) 및 금속 핀(8) 사이의 접속이 열에 의해 만들어지고, 도전 트랙(1,2,3) 및 금속화 층의 나머지가 손상되지 않게 충분히 낮은 반응 온도를 유지하기 때문에 금속 접촉부(12)의 금속은 낮은 녹는점을 갖고 있다. 알루미늄으로 만들어진 도전 트랙의 경우에, 금속 접촉부(12)는 예를 들면, AuIn일 수 있다.

<17>

제 1도의 전형적인 실시예의 상세한 설명이 제조 공정의 설명을 이용하여 아래에 더 자세히 설명된다. 시작 물질로서, 예를 들면, 용도는 캐리어 웨이퍼(20)(예를 들면, 실리콘)상의 절연체 층(22)(예를 들면, 산화층)상에 거의 100nm의 두께를 갖는 실리콘 층(21)을 갖는 SOI 기판을 사용할 수 있다. 이 형태의 SOI 기판은 웨이퍼 결합 또는 SIMOX와 같은 공지된 공정을 사용하여 만들어질 수 있다. 기능적 엘리먼트(이 소자의 활성 소자)는 예를 들면, 완전히 고갈된 MOSFET용 SOI-CMOS와 같은 저 전력 손실을 위한 기술을 사용하여 실리콘 층(21)에 만들어진다. 예를 들면, 상기 전계 효과 트랜지스터와 같은 각각의 기능적 엘리먼트는 절연층 영역(23)에 의해 서로로부터 절연된다. 이러한 절연 영역(23)은 예를 들면, 기능적 엘리먼트 사이에 실리콘 층(21)을 제거하고 이 영역을 산화 층으로 채움으로써 만들어질 수 있다. 이 영역의 국부 산화 작용 또는 절연물 주입이 대신 수행될 수 있다. 예를 들면, MOSFET용 시작 전압을 설정하기 위한 이온 주입에 의한 기능적 엘리먼트의 필요한 도핑이 다음으로 수행될 수 있다. MOSFET의 경우에 게이트의 절연용 유전체는 예를 들면, RTP(Rapid Thermal Processing)에 의해 열 산화물로서 만들어질 수 있다. 도핑된 폴리실리콘 또는 금속 또는 금속 규소 화합물로 만들어진 제 3도에 도시된 게이트 금속화 층(24)과 같은 필요한 금속화 층이 다음으로 제공된다. 게이트의 제조후, 도핑 물질은 이온 주입 및 다음의 활성화(어닐링)에 의해 소오스 및 드레인용 영역을 만들기 위하여 다시 내부확산될 수 있다. 다른 기능적 엘리먼트는 상응하는 이용 가능한 기초 기술을 이용하여 만들어질 수 있다. 더욱이, 반도체 층은 에피택셜 성장할 수 있다. 층 구조체는 제조 공정의 제 1부분에서 기판의 상층 면에 이런 방법으로 만들어진다. 이 층 구조체는 기능적 엘리먼트 및 하나 또는 그 이상 접촉 형성 평면을 갖는 활동 영역을 포함한다. 이러한 접촉 형성 평면은 예를 들면, 우수한 저-저항 금속/반도체 접촉용으로 고도핑된 반도체 재료로 만들어진 접촉 층에 의해, 유전체에 의하여 서로 절연되어 있는 도전 트랙을 갖는 금속 평면 또는 개별적으로 제공된 금속 접촉부에 의해 형성될 수 있다. 간략함을 위해, 실시예에서는 이 층 구조체내의 하나의 MOSFET만이 도시된다. 제 3도에 도시된 것처럼, 제 1 유전체 층(25)은 이하의 공정 단계에 전체 영역상에 제공될 수 있다. 제 4도에서, 제조하고자 하는 접촉 구조체의 금속 핀용 2개의 다른 구조체는 왼쪽 화살표(18) 및 오른쪽 화살표(19)에 의해 표시된다. 제조하고자 하는 금속 핀용 영역은 각각의 경우에 있어 예칭된다. 이 경우에, 제 1 유전체 층(25)의 유전체, 절연 영역(23)의 유전체 및 절연 층(22)의 유전체는 제 4도의 오른쪽의 예(오른쪽 화살표(19)와 같이) 예칭될 수 있다. 다음으로, 캐리어 웨이퍼(20)의 물질(예를 들면, 실리콘)이 도시된 바와 같이 예칭된다. 왼쪽(왼쪽 화살표(18))에 도시된 예에서, 유전체 층의 다른 물질 또는 산화 층 및 활동 영역과 캐리어 웨이퍼(20)의 다른 반도체 재료 또는 실리콘에 대한 선택적인 예칭제를 사용한다면 다른 예칭제가 각각의 경우에 선택적으로 사용된다. 각각의 경우, 캐리어 웨이퍼(20)는 다음의 얇게된 기판으로부터 돌출된 금속핀의 길이 정도로 예칭된다. 다음으로, 예칭된 영역이 금속(8)(제 5도 참조)으로 채워지는데, 이는 예를 들면, CVD에 의해 전체 영역상에 대해 금속(예를 들면, 텅스텐)을 증착하고 표면상의 금속을 예칭 백(etching back)함으로써 수행된다. 다음으로, 제 2유전체 층(26)은 전체 영역에 증착되고 평탄화된다. 이러한 평탄화는 예를 들면, 평탄화 보조층(예를 들면, 스피ن-온 그래스(spun-on glass)와 같은)을 증착하고 및 예칭 백 또는 화학 기계 연마함으로써 수행된다. 다음으로, 개구부(14)는 유입된 금속(8) 상부의 제 2유전체 층(26)내로 만들어진다.

<18>

제 2유전체 층(26)내 개구부(14) 또는 금속으로 채워진다. 예를 들면, 도전 트랙 또는 각각의 금속 접촉부를 포함하는 금속 평면이 제 2유전체층(26)상에 만들어진다. 이 경우에, 제 2유전체 층(26)은 활동 영역으로부터 이 금속 평면의 거리로 한정한다. 금속 핀(8)은 제 2유전체 층(26)의 표면까지 확장한다. 제조하고자 하는 금속 핀(8)의 하부를 노출시키는 도시된 개구부(14) 이외에, 상술된 층 구조체의 각각의 영역과 접촉할 수 있도록 추가 개구부가 제공될 수 있다. 본 발명에 따른 반도체 소자로서 금속 핀(8)을 갖는 접촉 구조체가 중요하기 때문에, 간략함을 위해 추가의 접촉 형성에 관한 예는 도면에 도시되지 않았다. 제 6도의 도면에서, 예를 들면, 도전 트랙(10)이 제 2유전체(26)에 제공되고 접촉 홀(이 예에서는 금속 핀(8)내에 있는 금속에 접속되도록 구조화된다. 제 3유전체 층(9)이 절연과 평탄화의 목적으로 도전 트랙(10) 사이에 제공된다. 이 제 3유전체 층(9)제 2유전체 층(26)에 가장먼저 제공될 수 있고 구조화될 수 있다. 도전 트랙(10)에 제공된 영역은 제 3유전체 층(9)으로부터 제거된다. 다음으로, 제 3유전체 층(9)에 있는 개구부가 금속 핀(8)의 제조의 경우에서처럼 금속으로 채워지고, 이것은 선택적인 CVD 증착(예를 들면, 부착 층상의 텅스텐) 또는 전 영역의 증착 및 RIE(반응성 이온 예칭)에 의한 예칭 백 또는 화학 기계 연마에 의해 만들어질 수 있다. 요구된 금속화 평면의 수에 상응하는 추가 유전체 층이 제공되고 구조화될 수 있다. 이런 방법으로, 도전 트랙의 금속 접촉부로 구성된 다수의 평면은 하나가

다른 하나 상부에 배열될 수 있고, 그들은 각각의 사이에 배치된 유전체 층에 의해 상호 절연된다. 이 유전체 층은 금속핀 영역(8)의 영역에 금속으로 더 채워질 수 있고, 그 결과, 금속 핀(8) 상부에 추가로 배열된 금속 평면까지 확장될 수 있다. 이에 대한 선택적인 예로서, 본 발명에 따른 접촉 구조체의 금속 핀 상부에 추가로 배열된 금속 평면의 제공이 가능하고, 이는 제 2도의 전형적인 실시 예를 사용하여 이하에서 추가로 더 기재된다. 제 6도는 상층 면에 위치하고 금속 접촉부(12)를 갖고 및 유전체 층으로 만들어진 덮개층(11)을 도시한다. 이 금속 접촉부(12)는 예를 들면, 일상적인 포토레지스트 기술을 사용하여 제공될 수 있다. 대신에, 덮개 층(11)은 전체 영역에 가장먼저 제공되고 구조화될 수 있다. 다음으로, 금속 접촉부(12)의 금속은 기상 증착 또는 스퍼터링에 의해 제공될 수 있다. 이 경우에, 도전 트랙의 금속보다 낮은 녹는점을 갖는 금속이 제공된다. 본 발명에 따른 금속 접촉부(12)가 이 소자에 대해 수직적으로 배열된 추가 소자의 상응하는 금속 핀에 연결을 위하여 사용된다. 금속 접촉부(12)에 추가의 금속 핀(8)의 연결이 가열에 의해 발생한다. 접촉 구조체의 수직적 연결이 충분히 낮은 반응 온도로 되기 위해 및 제공되는 도전 트랙 및 금속화 층의 부하가 낮게 유지되도록 하기 위해, 낮은 녹는점을 갖는 금속이 금속 접촉부(12)를 위해 제공된다. 알루미늄으로 만들어진 도전 트랙의 경우에, 금속 접촉부(12)의 금속이 예를 들면, AuIn으로 될 수 있다. 여분의 금속, 마스크 물질, 리프트-오프 처리에 사용된 물질이 제거된다. 부착층(16) 및 캐리어 웨이퍼(17)가 제 7도에 도시된 것처럼 제공된다. 캐리어 웨이퍼(17)는 이 소자의 안정화를 위해 기여한다. 다음으로, 기판은 후면으로부터 얇게 되고, 이것은 절연층(22)의 물질(산화물)에 대하여 선택적으로 캐리어 웨이퍼(20)의 반도체 재료(실리콘)를 제거함으로써 이 전형적인 실시예에 행해진다. 예를 들면, 이것은 습식 화학적 에칭 백에 의해 행해진다. 이 결과는 제 7도에 도시된 구조체이다. 부착층(16) 및 캐리어 웨이퍼(17)를 포함하는 안정화 층과 함께 반도체 웨이퍼는 칩으로 나뉜다. 각각의 칩은 준비된 제 1 칩 또는 다수의 칩의 하나의 스택에 배열되고, 증은된 온도 및 압력 아래에서 서로 부착된다. 이 경우에, 각각의 금속 접촉부(12) 및 금속 핀(8)이 서로 각각 연결된다. 칩의 분할 전에 연결의 수행이 가능해진다. 그러나, 기능적 칩의 우선 선택의 경우에 있어, 수율이 증가는 가능하지 않다. 소자의 상층부에 추가 반도체 소자와의 수직 접촉 이전에, 부착층(16) 및 캐리어 웨이퍼(17)가 제거된다.

<19> 본 발명에 따른 하나 위에 다른 하나가 배열된 다수의 반도체 소자의 스택에 있어, 바닥 평면에 대해 오직 금속 접촉부만이 상층 면에 만들어져야 하고 기판은 얇게 될 필요가 없다. 상층 평면은 금속 핀(8)으로만 제공되고, 즉 본 발명에 따른 접촉 구조체는 상층 면에 어떤 금속 접촉부(12)를 갖지 않는다. 각각의 사이에 배열된 반도체 소자는 상층 면에 금속 접촉부를 가진 금속 접촉부 구조체 및 하부에 얇아진 기판으로부터 돌출되는 금속 핀을 구비한다.

<20> 활성 소자가 없는 반도체 소자는, 즉 어떤 기능적 엘리먼트도 없는 반도체 소자는 본 발명에 따른 처리를 사용하여 실행될 수 있다. 서로 수직적으로 배열되어 있는 추가 소자 사이의 접촉만을 위하여 이런 형태의 반도체 소자가 사용될 수 있다. 쌍극 트랜지스터와 기억장치를 만드는 기술과 같은 추가 기술의 결합이 가능하다. 해당 소자를 만들기 위하여, 층 구조체가 이 해당 소자를 위해 수행되고 다음으로 설명된 바와 같이 본 발명에 따른 접촉 구조체가 제공될 수 있다.

<21> 제 2도의 전형적인 실시예에서, 시작점은 층 구조체와 예를 들면, 다수의 금속화 층(예를 들면, 다층의 금속화층을 갖는 CMOS) 및 패시베이션층(예를 들면, 산화물, 질화물)을 갖는 기판이며, 기판의 경우 패시베이션층은 수율 증가를 선택적으로 수행할 수 있도록 테스트 패드를 통하여 개방된다. 제 8도는 기판(15)상에 예를 들면, 게이트 금속화 층(24)을 갖는 FET를 형성하기 위해 반도체 재료로 만들어진 연속적인 층(21)을 도시한다. 적어도 하나의 금속화 평면은 인터층(13)에 형성되고, 그것은 다층일 수 있다. 제 8도에서 상층 금속 평면(1)이 추가 금속 평면(2) 상부에 배치된다. 이것은 개별 접촉부 또는 도전 트랙일 수 있다. 추가 금속 평면(2)의 하부 금속 평면에 본 발명에 따른 접촉 구조체의 금속 핀(8)이 이미 제공된다. 이 금속 핀(8)은 예를 들면, 선행 실시예에서 만들어질 수 있다. 이하에서 설명되는 제조 공정에서 있어서, 이미 제공되고 접촉을 가능케 하는 금속 평면(3)이 본 발명에 따른 접촉 구조체에 포함됨으로써, 추가의 금속 핀 다음으로 제거된다. 소자의 표면이 적당한 평탄화도를 갖지 않는다면, 유전체(예를 들면, PECVD에 의해 증착된 산화물) 층으로 만들어진 평탄화 층(4)이 인터층(13)에 제공된다. 만약 적당한다면 평탄화 에칭 백은 이런 목적으로 필요하다. 제 8도의 구조체로 시작하여, 수직적 접촉 형성을 위한 금속 핀(8)은 왼쪽(화살표 18)에 제공된다. 이를 위해, 예를 들면, 포토그래피 기술을 사용하여 마스크가 제공되고, 만약 적절히 패시베이션 층(4)을 포함한다면 인터층(13)이 접촉이 만들어질 수 있는 금속 평면(3)의 금속에 대하여 선택적으로 마스크 개구부내에서 제거된다. 금속이 인터층(13)의 물질에 대해 선택적으로 에칭된다. 금속 핀을 위해 제공된 원통형 영역의 상부가 얻어진다. 다음 단계에서, 접촉을 가능케 하는 금속 평면(3)의 금속으로 인한 오염으로부터 기판(15)의 반도체 재료(실리콘)를 보호하기 위하여 패시베이션 층(5)(제 9도 참조)(예를 들면, 도전적으로 도핑된 폴리실리콘)이 제공된다. 인터층(13) 또는 평탄화층(4)의 표면 및 에칭된 영역의 표면으로부터 이방성 에칭에 의해 패시베이션층(5)이 제거된다. 인터층의 재료(예를 들면, 실리콘)가 이방성적으로 에칭되고, 기판(15)의 실리콘에 대하여 기판(15)의 상부면까지 선택적으로 에칭된다. 관찰되는 기판(15)의 잔여 두께 및 기판의 아래 부분으로부터 돌출된 금속 핀의 부분의 길이로부터 한정된 길이로 기판(15)이 에칭된다. 제 10도에 도시된 바와 같이, 유전체층(6)은 에칭된 개구부 내부에 증착(예를 들면, PECVD에 의한 산화층)되며 표면 및 에칭된 영역의 바닥으로부터 이방성으로 제거된다. 제 11도에 따른 유전체(6)는 접촉이 만들어지는 금속 평면(3)의 영역에서 제거된다. 이것은 에칭된 개구부를 부분적으로 채움으로써 수행되고, 즉 예를 들면, 레지스트로 만들어진 마스크(7)로 만들어지는 접촉이 있는 금속 평면(3)의 밑면을 평탄하고 이 마스크(7)에 위치한 영역에 이 유전체 층(6)(예를 들면, 산화층)의 재료가 등방적 에칭에 의하여 제거된다. 마스크(7)가 마찬가지로 다음으로 제거된다. 제 11도에 도시된 바와 같이, 유전체 층(6)이 기판(15)의 물질과 그에 배치된 층 구조체로부터 만들어지는 금속 핀(8)에 대해 절연물로서 에칭된 개구부의 낮은 위치의 영역에 배치된다. 금속 핀(8)을 유전체 층(6)에 의해 노출된 도전 패시베이션 층(5)에 이해서 금속 평면(3)과 접촉할 수 있다. 에칭된 개구부는 금속 핀(8)의 금속으로 채워지고, CVD에 의해 전체 영역에 텅스텐을 증착시키고 및 표면상의 텅스텐을 에칭 백함으로써 수행된다.

<22> 본 발명의 소자의 하부 영역내 금속 핀(8)의 접촉 구조체가 제조된후, 제 12도에 도시된 바와 같이 금속 접촉부(12)가 추가 소자의 금속 핀과 수직적 연결을 위해 상층 면에 제조된다. 상층 금속면(1)에 이 형태의 금속 접촉부(12)가 제 12도의 오른쪽 영역에 제공된다(제 19도 참조). 이 목적을 위하여, 유전체로 만들어진 덮개 층(11)이 예를 들면, 전체 영역에 증착되고 및 평탄화된다. 다음으로, 포토그래피 기

술과 리프트-오프 기술 등의 금속 접촉부를 제조하는 통상적인 방법을 사용하여 제조가 계속된다. 덮개층(11)의 물질은 제조되는 금속 접촉부(12) 영역에서 제거되고, 금속은 기상 증착 또는 스퍼터링에 의해 제공될 수 있다. 선행하는 전형적인 실시예에서, 도전 트랙보다 더 낮은 녹는점을 갖는 금속이 제공된다. 표면 위의 마스크와 여분의 금속이 제거된다. 평탄한 상층면은 부착층(16) 및 캐리어 웨이퍼(17)를 제공함으로써 안정화 될 수 있다.

<23>

다음으로, 기판(15)은 금속 핀(8) 하부의 팁이 노출될 때까지 예를 들면, 화학 기계 연마(CMP)에 의해 반도체 재료를 에칭 백에 의해 후면으로부터 얇게 된다. 이 상태는 화학 기계 연마의 마찰에 의한 변화에 의해 도달할 수 있다는 것을 알 수 있다. 금속 핀(8)의 단부가 기판(15)의 하부에 돌출될 때까지(제 13도 참조), 기판(15)의 재료는 금속 핀(8)에 대하여 선택적인 방법으로 더 에칭 백된다. 이 실시예에서, 역시 이 마지막 처리 단계에서 다층 기판을 사용하여 단순화 될 수 있다. 층 구조체를 가진 상부 반도체 층과 반도체 재료로 만들어진 실제 캐리어 웨이퍼 사이에 인터층(예를 들면, 산화물)이 캐리어 웨이퍼의 도전 재료(예를 들면, 실리콘)가 선택적으로 에칭될 수 있도록 위치한다. 마지막 공정 단계에서 기판의 캐리어 웨이퍼만이 인터층에 대하여 선택적으로 및 완전히 제거되는 정도로 캐리어 웨이퍼내에 돌출되는 방법으로 금속 핀(8)이 만들어진다. 통상적으로 얇은 두께 층을 갖는 SOI기판 대신에, 밀층에 수직 배열된 추가 소자의 표면 층으로부터 기능적 엘리먼트를 갖는 층 구조체의 적절한 절연을 위하여 본 발명에 따라 상당히 두꺼운 절연 층을 가진 다층 기판을 사용할 수 있다.

<24>

반도체 소자의 추가 공정 즉, 추가 소자에 수직적 연결 및 침으로부터 분리는 앞에서 기술된 전형적인 실시예에 의해 가능하다. 금속 핀(8)을 위해 에칭되는 홀의 측벽에 패시베이션 층(5) 및 유전체 층(6)이 제 1실시예의 제조 공정에 사용될 수 있다. 제 2 전형적인 실시예에서와 유사하게 제 1 전형적인 실시예에서, 유전체 층 및 도전 트랙(10)이 제공될 때까지 금속 핀(8)이 제조되지 않는다.

<25>

추가 소자의 금속 핀(8)으로의 접촉을 위한 상부 금속 접촉부는 상층 금속 평면상에 마지막까지 제조되어지지 않는다. 금속 핀(8)을 위해 제공된 영역에서, 어떠한 도전 트랙 또는 각각의 금속 접촉부가 상부 금속 평면에 교차하지 않고 오히려 에칭이 이 층의 상응하는 유전체를 통해서만 수행되어야 한다면 추가의 상부 금속 평면에 통하여 금속 핀(8)이 만들어질 수 있다. 본 발명에 따른 접촉 구조체의 제조는 각각 소자의 층 구조체에 이런 방법으로 적용될 수 있고, 제조 공정이 상응하게 최적화 될 수 있다. 이런 경우에, 청구 범위 층 구조체는 도전적으로 도핑된 반도체 층 및/또는 금속화 평면, 도전 트랙 및/또는 각각의 금속 접촉부를 포함하는 임의의 구조체로 각각의 경우에 대하여 이해된다. 각각의 경우, 도전 영역은 절연 유전체에 의해 상호 절연된다. 제조 기술의 단순화를 위하여, 본 발명에 따른 동일한 구조체 및 접촉 구조체의 특정 배열에 의해 회로 접속이 이루어지며 수직적으로 상호 연결된 반도체 소자가 제공된다. 수직적으로 연결될 때, 동일한 기능적 엘리먼트를 포함하는 각 소자가 접촉 구조체상에서 상술한 방법을 상호 연결된다. 평탄화층 또는 덮개 층은 각각의 경우 소자의 위층 면을 평탄화하는 유전체 층의 상층부 또는 상층 유전체 층으로 이해될 수 있다.

(57) 청구의 범위

청구항 1

추가 반도체 소자와 수직으로 접촉하기 위한 접촉 구조체 및 상부면에 층 구조체를 갖는 기판(15)을 포함하는 반도체 장치에 있어서,

상기 상부면에 수직하여 상기 기판(15)을 관통하는 적어도 하나의 금속 핀(8)이 제공되며,

상기 금속 핀(8)은 반도체 재료로 구성된 접촉 층, 금속성 도전 트랙(10) 또는 상기 상부면상의 금속 접촉부(12)와 전기 접촉하며, 상기 도전 트랙 또는 상기 금속 접촉부는 상기 금속 핀의 일단부에 고정되고, 및

상기 금속 핀(8)은 금속 접촉부(12')를 갖는 상기 추가 반도체 소자가 상기 기판의 하부면에서 상기 금속 핀(8)을 향하여 정렬될 때, 상기 추가 반도체 소자의 상기 금속 접촉부(12')에 접촉될 수 있도록 상기 기판(15)의 상기 상부면과 대향하여 상기 하부면 아래로 돌출하는 것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 금속 접촉부(12)는 상기 도전 트랙의 녹는점보다 더 낮은 녹는점을 가지며, 상기 추가 반도체 소자의 상기 하부면상의 금속 핀에 접촉하기 위해 상기 층 구조체상에 제공되는 것을 특징으로 하는 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 적어도 하나의 금속 핀(8) 및 상기 적어도 하나의 금속 접촉부(12)는 상기 접촉 구조체를 구비하는 두 개의 동일한 반도체 소자가 상호 수직하게 배열되어 상기 반도체 소자의 상기 금속 핀(8)이 상기 추가 반도체 소자의 상기 금속 접촉부(12')에 접촉되도록 제공되는 것을 특징으로 하는 반도체 장치.

청구항 4

제 1 항 내지 제 3 항중 어느 한 항에 있어서,

상기 기판은 산화물 층(22)이고, 상기 반도체 소자는 부착층(16) 및 캐리어 웨이퍼(17)를 갖는 상기 층 구조체에 고정되는 것을 특징으로 하는 반도체 장치.

청구항 5

제 1 항 내지 제 3 항중 어느 한 항에 따른 반도체 소자의 접촉 구조체를 제조하는 방법에 있어서,

층 구조체(1, 2, 3; 21, 24)는 반도체 재료로 만들어지며 금속 핀과 접촉하는 접촉층, 도전 트랙 또는 금속 접촉부가 존재하도록 기판(15; 20, 21, 22)의 상부면상에 형성되는 제 1단계,

상기 층 구조체 및 기판은 마스크를 사용하여 제조될 상기 금속 핀 영역에서 상기 상부 면으로부터 하부면을 향하는 이방성 에칭에 의해 제거되는 제 2단계,

상기 금속 핀 영역으로 금속을 유입하는 제 3 단계, 및

상기 제 3단계에서 제조된 상기 금속 핀(8)이 상기 하부면으로 돌출하도록 상기 기판(15; 20)의 상기 하부면이 제거되는 제 4단계를 포함하는 것을 특징으로 하는 접촉 구조체 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 1단계에서, 상부면과 동일 평면상에 배열되는 절연체(22)에 의해 절연되는 반도체 재료로 구성된 2개층(20, 21)을 포함하는 기판이 사용되며,

상기 제 2단계에서, 상기 금속 핀 영역은 적어도 상기 기판의 상기 하부면을 형성하는 상기 반도체 재료층(20)까지 에칭되고, 및

상기 제 4단계에서, 상기 반도체 재료층(20)은 상기 절연층(22)에 대하여 선택적으로 상기 반도체 재료를 에칭함으로써 완전히 제거되는 것을 특징으로 하는 접촉 구조체 제조 방법.

청구항 7

제 6 항에 있어서,

상기 기판은 SOI 기판이고,

상기 제 1단계에서, 기능적 엘리먼트가 상기 기판의 얇은 실리콘 층에 만들어진 다음 제 1유전체 층(25)이 전체 영역에 제공되고, 및

상기 제 3단계 및 상기 제 4단계 사이에서, 제 2유전체 층(6)이 상기 전체 영역에 제공되어 평탄화되며, 개구부(14)가 마스크 기술을 사용하여 상기 제 2유전체 층(26)의 접촉 홀로서 제조되며, 상기 접촉 홀은 금속으로 채워지고, 다음으로 상기 도전 트랙(10) 또는 상기 금속 접촉부(12)가 제 3유전체 층(9)내에 만들어지는 것을 특징으로 하는 접촉 구조체 제조 방법.

청구항 8

제 5 항에 있어서,

상기 도전 트랙 또는 상기 금속 접촉부와 접촉하기 위한 상기 금속 핀은,

유전체로 구성된 평탄화층(4)이 제공되는 제 1 추가 단계, 및

상기 금속 핀을 위하여 제공된 영역이 마스크를 사용하여 상기 도전트랙 또는 상기 금속 접촉부까지 에칭하는 제 2 추가 단계,

에칭된 영역의 측면에 패시베이션 층(5)이 제공되는 제 3 추가 단계,

상기 금속 핀을 위하여 제공된 영역이 완전히 에칭되는 제 4 추가 단계,

상기 에칭된 영역이 측면이 유전체(6)로 코팅되는 제 5 추가 단계, 및

상기 유전체(6)가 마스크(7)를 사용하여 상기 도전 트랙 또는 상기 금속 접촉부의 영역에서 제거되는 제 6 추가 단계에 의하여 형성되는 것을 특징으로 하는 접촉 구조체 제조 방법.

청구항 9

제 5 항에 있어서,

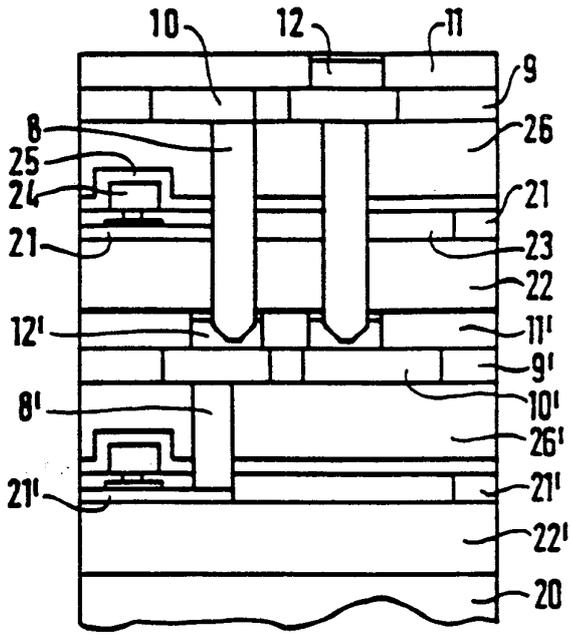
상기 접촉 구조체의 상기 금속 핀을 만드는 공정 단계의 순서가 상기 층 구조체의 다른 평면 사이에 접촉을 형성하기 위하여 반복되어 수행되는 것을 특징으로 하는 접촉 구조체 제조 방법.

요약

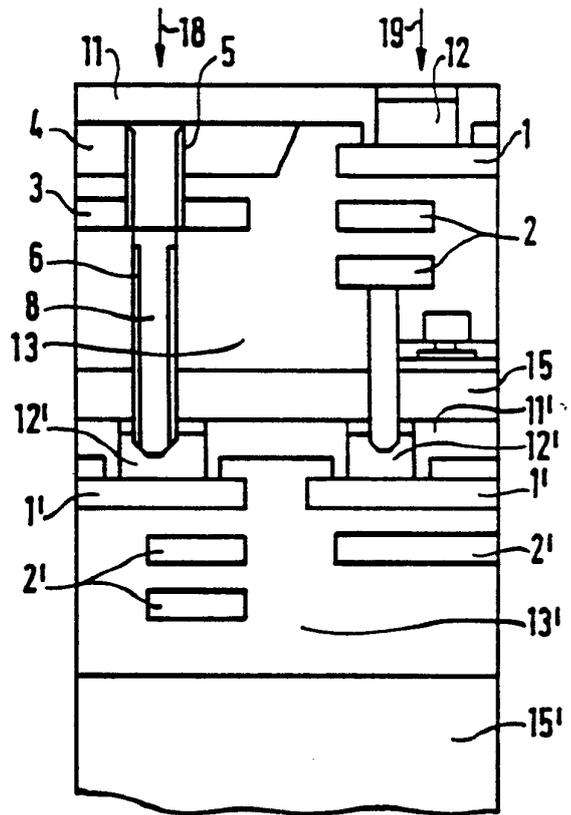
더 반도체 부품을 갖는 수직적인 접촉을 만들기 위한 접촉 구조체 및 접촉이 만들어지는 영역을 갖는 상층면 층구조체를 갖는 기판(15)을 갖고, 층 구조체에 대하여 수직적으로 상기 층(15)이 뺀 적어도 하나의 금속 핀(8)이 제공되고, 기판의 밑층에 금속 핀(8)이 돌출될 때까지 기판(15)이 얇게되며, 만약 적당하다면 상층면에 낮은 금속 녹는점을 갖는 금속으로 만들어진 금속 접촉이 제공되는 반도체 부품.

도면

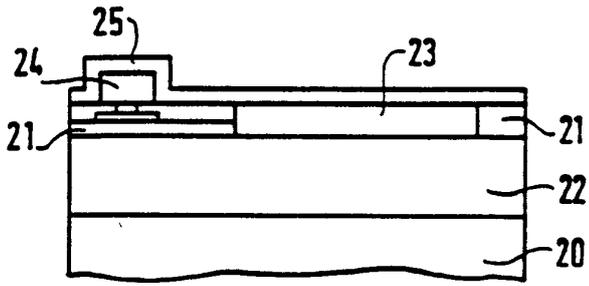
도면1



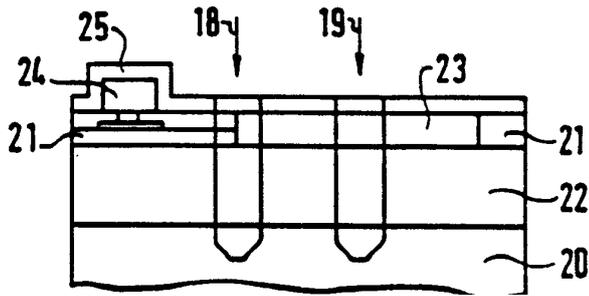
도면2



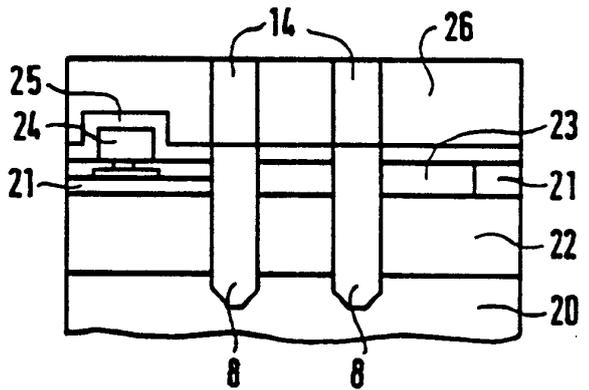
도면3



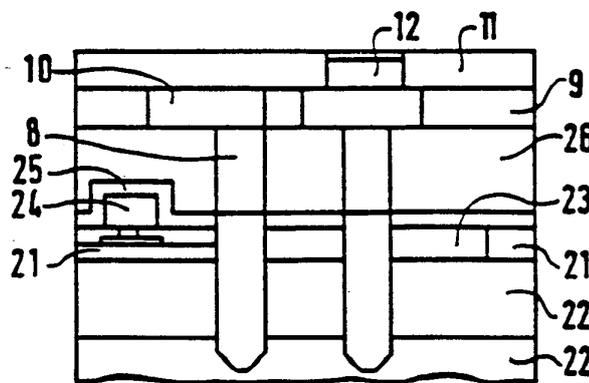
도면4



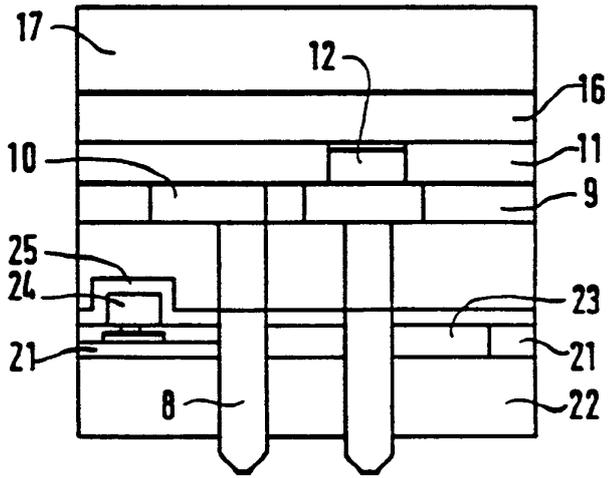
도면5



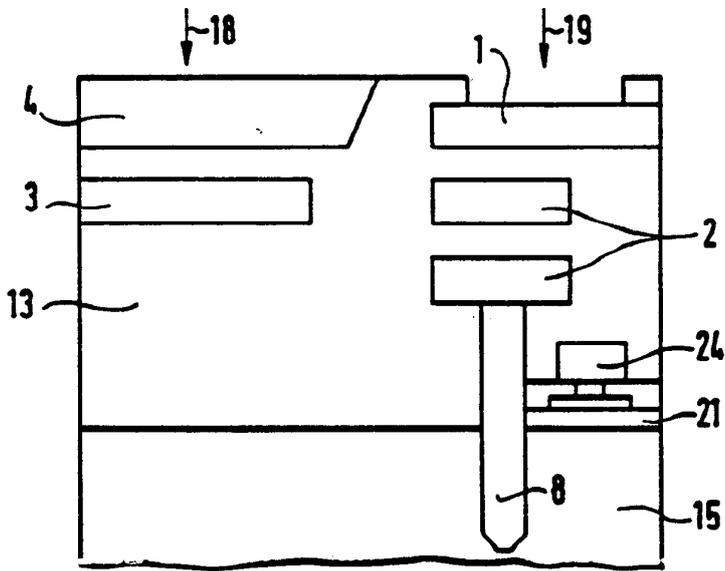
도면6



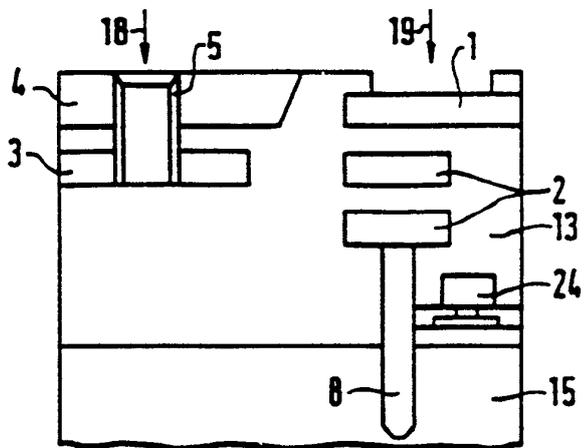
도면7



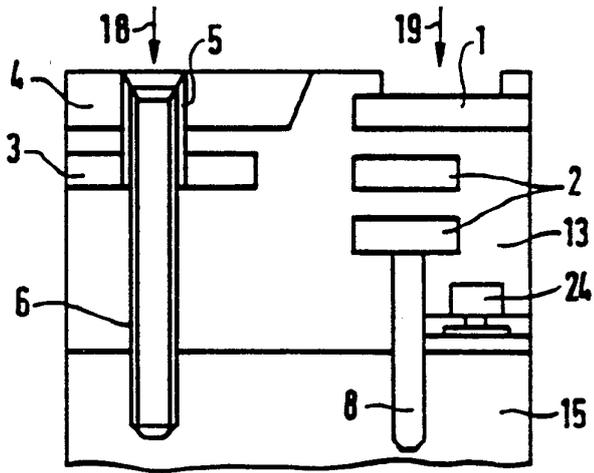
도면8



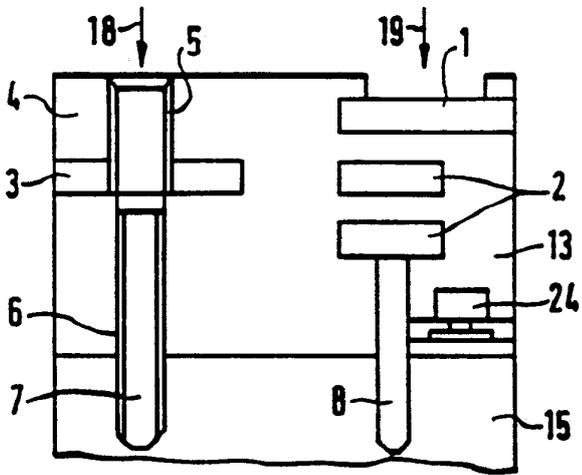
도면9



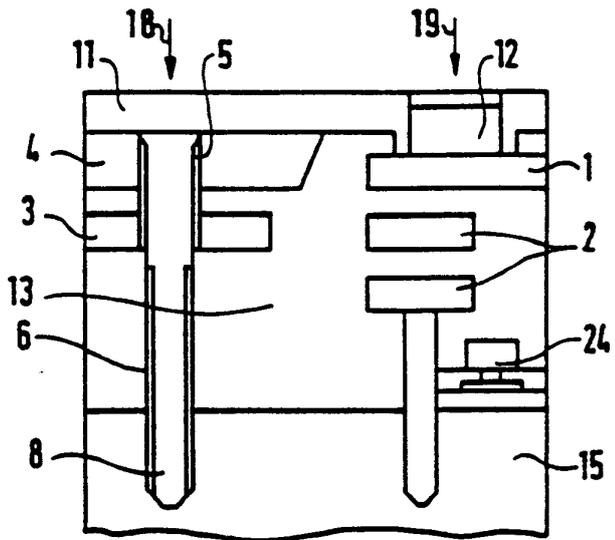
도면10



도면11



도면12



도면 13

