



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201526245 A

(43)公開日：中華民國 104 (2015) 年 07 月 01 日

(21)申請案號：103136366

(22)申請日：中華民國 103 (2014) 年 10 月 21 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2013/12/10 日本

2013-254917

(71)申請人：夏普股份有限公司(日本) SHARP KABUSHIKI KAISHA (JP)  
日本

(72)發明人：內田誠一 UCHIDA, SEIICHI (JP)

(74)代理人：陳長文；林宗宏

申請實體審查：無 申請專利範圍項數：16 項 圖式數：10 共 47 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

半導體裝置(101)係包含排列成具有列方向及行方向之矩陣狀之複數個像素區域 Pix，複數個像素區域 Pix 之各者係包含：薄膜電晶體(10)，其具有閘極電極(2)、覆蓋閘極電極之閘極絕緣層(5)、形成於閘極絕緣層上之氧化物半導體層(7A)、以及與氧化物半導體層電性連接之源極電極(9s)及汲極電極(9d)；金屬氧化物層(7B)，其係包含與氧化物半導體層相同之氧化物膜；層間絕緣層(13)，其覆蓋薄膜電晶體及金屬氧化物層；及像素電極(15)，其設置於層間絕緣層上，且與汲極電極電性連接；金屬氧化物層(7B)係包含導體區域(70c)，像素電極(15)係介隔層間絕緣層(13)而與導體區域(70c)中至少一部分重疊。

This semiconductor device (101) includes a plurality of pixel regions **Pix** which are arranged in matrix in row and column directions. Each of those pixel regions **Pix** includes: a thin-film transistor (10) which has a gate electrode (2), a gate insulating layer (5) covering the gate electrode, an oxide semiconductor layer (7A) formed on the gate insulating layer, and source and drain electrodes (9s, 9d) electrically connected to the oxide semiconductor layer; a metal oxide layer (7B) formed out of the same oxide film as the oxide semiconductor layer; an interlayer insulating layer (13) covering the thin-film transistor and metal oxide layer; and a pixel electrode (15) arranged on the interlayer insulating layer and electrically connected to the drain electrode. The metal oxide layer (7B) has a conductor region (70c). The pixel electrode (15) overlaps with at least a portion of the conductor region (70c) with the interlayer insulating layer (13) interposed between them.

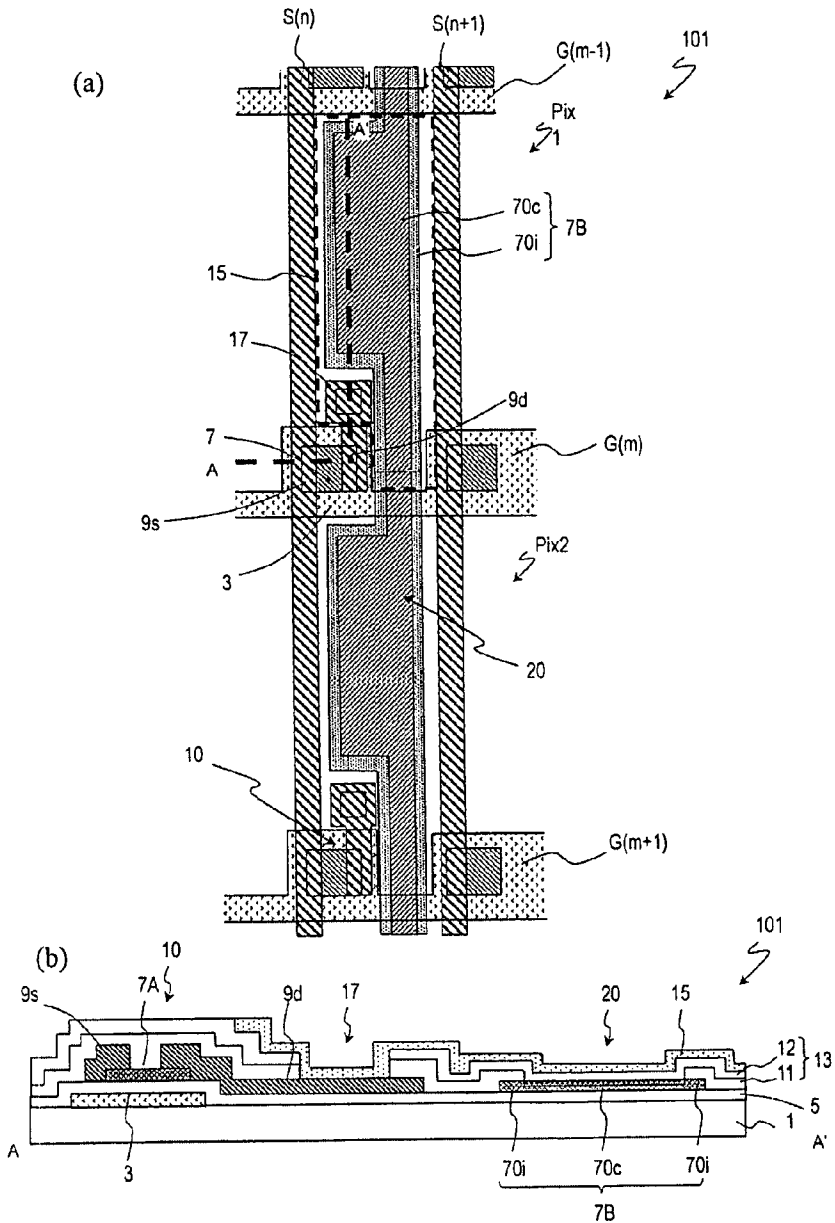


圖1

- 1 . . . 基板
- 3 . . . 閘極電極
- 5 . . . 閘極絕緣層
- 7A . . . 氧化物半導體層
- 7B . . . 金屬氧化物層
- 9d . . . 汲極電極
- 9s . . . 源極電極
- 10 . . . TFT
- 11 . . . 第1絕緣膜
- 12 . . . 第2絕緣膜
- 13 . . . 層間絕緣層
- 15 . . . 像素電極
- 17 . . . 接觸部
- 20 . . . 輔助電容
- 70c . . . 導電體區域
- 70i . . . 半導體區域
- 101 . . . TFT基板
- G(m-1) . . . 閘極線
- G(m) . . . 閘極線
- G(m+1) . . . 閘極線
- Pix . . . 像素區域
- Pix2 . . . 第2像素區域
- S(n) . . . 源極線
- S(n+1) . . . 源極線

## 發明摘要

※ 申請案號：103/36366

※ 申請日：103.10.21

※IPC 分類：H01L 29/186 2006.01

H01L 21/28 2006.01

## 【發明名稱】

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD  
THEREOF

## 【中文】

半導體裝置(101)係包含排列成具有列方向及行方向之矩陣狀之複數個像素區域Pix，複數個像素區域Pix之各者係包含：薄膜電晶體(10)，其具有閘極電極(2)、覆蓋閘極電極之閘極絕緣層(5)、形成於閘極絕緣層上之氧化物半導體層(7A)、以及與氧化物半導體層電性連接之源極電極(9s)及汲極電極(9d)；金屬氧化物層(7B)，其係包含與氧化物半導體層相同之氧化物膜；層間絕緣層(13)，其覆蓋薄膜電晶體及金屬氧化物層；及像素電極(15)，其設置於層間絕緣層上，且與汲極電極電性連接；金屬氧化物層(7B)係包含導電體區域(70c)，像素電極(15)係介隔層間絕緣層(13)而與導電體區域(70c)中至少一部分重疊。

## 【英文】

This semiconductor device (101) includes a plurality of pixel regions **Pix** which are arranged in matrix in row and column directions. Each of those pixel regions **Pix** includes: a thin-film transistor (10) which has a gate electrode (2), a gate insulating layer (5) covering the gate electrode, an oxide semiconductor layer (7A) formed on the gate insulating layer, and source and drain electrodes (9s, 9d) electrically connected to the oxide semiconductor layer; a metal oxide layer (7B) formed out of the same oxide film as the oxide semiconductor layer; an interlayer insulating layer (13) covering the thin-film transistor and metal oxide layer; and a pixel electrode (15) arranged on the interlayer insulating layer and electrically connected to the drain electrode. The metal oxide layer (7B) has a conductor region (70c). The pixel electrode (15) overlaps with at least a portion of the conductor region (70c) with the interlayer insulating layer (13) interposed between them.

## 【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

1	基板
3	閘極電極
5	閘極絕緣層
7A	氧化物半導體層
7B	金屬氧化物層
9d	汲極電極
9s	源極電極
10	TFT
11	第1絕緣膜
12	第2絕緣膜
13	層間絕緣層
15	像素電極
17	接觸部
20	輔助電容
70c	導體區域
70i	半導體區域
101	TFT基板
G(m-1)	閘極線
G(m)	閘極線
G(m+1)	閘極線
Pix	像素區域
Pix2	第2像素區域
S(n)	源極線

S(n+1)

源極線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD  
THEREOF

## 【技術領域】

本發明係關於使用氧化物半導體之半導體裝置及其製造方法。

## 【先前技術】

使用於液晶顯示裝置等之主動矩陣基板係於每個像素具備薄膜電晶體(Thin Film Transistor；以下為「TFT」)等之開關元件。作為此種開關元件，先前開始廣泛使用將非晶矽膜作為活性層之TFT(以下為「非晶矽TFT」)或將多結晶矽膜作為活性層之TFT(以下為「多結晶矽TFT」)。

近年來，作為TFT之活性層材料，有人提出使用氧化物半導體取代非晶矽或多結晶矽。將此種TFT稱為「氧化物半導體TFT」。氧化物半導體具有較非晶矽更高之遷移率。因此，氧化物半導體TFT可以較非晶矽TFT更快之速度進行動作。又，因氧化物半導體膜係較多結晶矽膜以更簡便之過程形成，故亦可應用於需要大面積之裝置。具備氧化物半導體TFT之主動矩陣基板(以下為「TFT基板」)係例如於專利文獻1中揭示。

又，例如於專利文獻2中揭示有藉由使氧化物半導體膜之一部分低電阻化，而使作為TFT活性層之半導體層、與像素電極等之導電層一體化形成。於專利文獻2中，記述有藉由上述之低電阻化處理，可以更低之成本製造具備氧化物半導體TFT之TFT基板之主旨。

將專利文獻1及2等揭示之先前之TFT基板用於液晶顯示裝置之情形時，根據需要而於TFT基板設置輔助電容。輔助電容可包含輔助電容電極(或輔助電容配線)、像素電極、及位於其等間之介電質層。輔助電容電極係例如包含與閘極配線相同之導電膜。

[先前技術文獻]

[專利文獻]

專利文獻1：日本特開2003-86808號公報

專利文獻2：日本特開2008-40343號公報

## 【發明內容】

[發明所欲解決之問題]

於TFT基板設置輔助電容之情形時，如上所述，若由與閘極配線相同之導電膜(通常為金屬膜)形成輔助電容電極，則可不使製造過程較為複雜，而於各像素內形成輔助電容。然而，存在開口率及光透射率以輔助電容電極之量降低之問題。

又，本發明者研究後亦獲知：於例如專利文獻2所揭示之TFT基板中，因像素電極之面積占像素整體之比例較小，故有開口率進而降低之虞。詳細內容係予以後述。

本發明係鑑於上述情況而完成者，本發明之一實施形態之目的在於提供一種可以簡便之過程進行製造，且可實現較先前更高之開口率及透射率之半導體裝置及其製造方法。

[解決問題之技術手段]

本發明之一實施形態之半導體裝置係具備：基板；及複數個像素區域，其係於上述基板上，排列成具有列方向及行方向之矩陣狀；上述複數個像素區域之各者係具有：薄膜電晶體，其係由上述基板支持者，且具有閘極電極、覆蓋上述閘極電極之閘極絕緣層、形成於上述閘極絕緣層上之氧化物半導體層、以及與上述氧化物半導體層電性



連接之源極電極及汲極電極；金屬氧化物層，其係包含與上述氧化物半導體層相同之氧化物膜；層間絕緣層，其覆蓋上述薄膜電晶體及上述金屬氧化物層；及像素電極，其設置於上述層間絕緣層上，且與上述汲極電極電性連接；上述金屬氧化物層係包含導電體區域，上述像素電極係介隔上述層間絕緣層而與上述導電體區域之至少一部分重疊。

於某實施形態中，進而具備分別朝上述列方向大致平行地延設之複數條閘極線、及分別朝上述行方向大致平行地延設之複數條源極線；上述複數個像素區域係具有第1像素區域、及與上述第1像素區域於上述行方向鄰接之第2像素區域，且上述第1像素區域及上述第2像素區域中上述金屬氧化物層之上述導電體區域係彼此電性連接。

於某實施形態中，上述第1像素區域中的上述金屬氧化物層、與上述第2像素區域中的上述金屬氧化物層係一體化形成。

於某實施形態中，進而具備：連接配線，其係包含與上述複數條源極線相同之導電膜，且以橫穿上述第1及第2像素區域之方式於上述行方向延設；上述第1像素區域及上述第2像素區域中上述金屬氧化物層之上述導電體區域係經由上述連接配線而彼此電性連接。

於某實施形態中，進而具備：第1及第2連接部，其係包含與上述複數條源極線相同之導電膜，且彼此分離；上述第2像素區域中的上述金屬氧化物層之上述導電體區域係藉由上述第1連接部，與上述第1像素區域中的上述金屬氧化物層之上述導電體區域電性連接，且藉由上述第2連接部，與於上述行方向與上述第2像素區域鄰接之其他像素區域中的上述金屬氧化物層之上述導電體區域電性連接。

於某實施形態中，上述複數個像素區域之各者係進而具有：接觸部，其係於形成於上述層間絕緣層之接觸孔內直接連接上述汲極電極與上述像素電極；且自上述基板之法線方向觀察時，上述接觸部係

與上述薄膜電晶體於上述行方向鄰接而配置。

於某實施形態中，上述複數條閘極線係包含與上述第1像素區域中的上述閘極電極電性連接之第1閘極線，且自上述基板之法線方向觀察時，上述第1閘極線係包含第1部分、及較上述第1部分寬度要小之第2部分，自上述基板之法線方向觀察時，上述第1像素區域中的上述氧化物半導體層之至少一部分係以與上述第1部分重疊之方式配置，且上述連接配線或上述第1連接部係跨越上述第2部分而延設。

於某實施形態中，上述金屬氧化物層係進而包含半導體區域，且上述半導體區域係位於上述金屬氧化物層之周緣部。

於某實施形態中，上述層間絕緣層係包含第1絕緣膜、及設置於上述第1絕緣膜上之第2絕緣膜，且上述第1絕緣膜係於上述金屬氧化物層上具有開口，上述導電體區域係包含上述金屬氧化物層中藉由上述開口露出之部分，上述半導體區域係包含上述金屬氧化物層中以上述第1絕緣膜覆蓋之部分。

於某實施形態中，上述層間絕緣層中位於上述金屬氧化物層之上述導電體區域與上述像素電極之間之部分係包含上述第2絕緣膜，且，不包含上述第1絕緣膜。

於某實施形態中，上述氧化物半導體層及上述金屬氧化物層係包含In、Ga、及Zn中至少一種之金屬元素。

於某實施形態中，上述氧化物半導體層及上述金屬氧化物層係包含結晶質部分。

本發明之一實施形態之半導體裝置之製造方法係包含基板、排列成具有列方向及行方向之矩陣狀之複數個像素區域、配置於上述複數個像素區域之各者之薄膜電晶體、各者於上述列方向大致平行地延設之複數條閘極線、及各者於上述行方向大致平行地延設之複數條源極線之半導體裝置之製造方法，且上述複數個像素區域係包含於上述

行方向鄰接之第1及第2像素區域，且於上述第1及第2像素區域之各者中，包含如下步驟：(a)於上述基板上，形成閘極電極及覆蓋上述閘極電極之閘極絕緣層；(b)於上述閘極絕緣層上，形成氧化物半導體膜，且對其進行圖案化，藉此分別形成氧化物半導體層及金屬氧化物層，且上述氧化物半導體層係至少一部分配置為介隔上述閘極絕緣層而與上述閘極電極重疊；(c)形成與上述氧化物半導體層連接之源極電極及汲極電極；(d)以覆蓋上述源極電極及上述汲極電極與上述金屬氧化物層之方式形成第1絕緣膜，且於上述第1絕緣膜形成露出上述汲極電極之一部分之第1開口、及露出上述金屬氧化物層之一部分之第2開口；(e)使上述金屬氧化物層中藉由上述第2開口露出之部分導體化而形成導體區域，且上述金屬氧化物層中未被導體化之部分係作為半導體區域殘留；(f)於上述第1絕緣膜上以及上述第1及第2開口內形成第2絕緣膜，且去除上述第2絕緣膜中位於上述第1開口內之部分，藉此貫通上述第1及第2絕緣膜，且形成露出上述汲極電極之接觸孔；(g)於上述第2絕緣膜上及上述接觸孔內形成像素電極，且上述像素電極係以於上述接觸孔內與上述汲極電極連接，且與上述金屬氧化物層之上述導體區域之至少一部分以介隔上述第2絕緣膜而重疊之方式配置。

於某實施形態中，於上述步驟(b)中，使上述第1及第2像素區域中的上述金屬氧化物層一體化形成。

於某實施形態中，進而包含形成使上述第1及第2像素區域中的上述金屬氧化物層彼此電性連接之連接配線之步驟，且上述連接配線係包含與上述源極及汲極電極相同之導體膜。

於某實施形態中，進而包含形成彼此分離之第1及第2連接部之步驟，且上述第1連接部係以連接上述第1及第2像素區域中的上述金屬氧化物層之方式配置，上述第2連接部係以連接上述第2像素區域及

與上述第2像素區域於上述行方向鄰接之其他像素區域中的上述金屬氧化物層之方式配置。

**[發明之效果]**

根據本發明之實施形態，可提供一種具備可以簡便之過程製造，且可實現較高之開口率及透射率之氧化物半導體TFT之半導體裝置。

**【圖式簡單說明】**

圖1(a)及(b)分別為本發明之第1實施形態之半導體裝置101之平面圖及剖面圖。

圖2(a)至(f)係分別用以說明第1實施形態之半導體裝置101之製造方法之步驟剖面圖。

圖3(a)及(b)分別為本發明之第2實施形態之半導體裝置102之平面圖及剖面圖。

圖4(a)至(d)係分別用以說明第2實施形態之半導體裝置102之製造方法之步驟剖面圖。

圖5(a)至(d)係分別用以說明第2實施形態之半導體裝置102之製造方法之其他例之步驟剖面圖。

圖6(a)及(b)分別為本發明之第3實施形態之半導體裝置103之平面圖及剖面圖。

圖7係例示使用本發明之實施形態之半導體裝置之顯示裝置之剖面圖。

圖8(a)及(b)分別為專利文獻2所揭示之TFT基板之平面圖及剖面圖。

圖9(a)係顯示於先前之TFT基板設置有輔助電容配線之參考例之TFT基板中的一像素之平面圖，(b)係顯示第1實施形態之TFT基板101之一像素之平面圖。

圖10係顯示TFT基板101之一例之示意性平面圖。

### 【實施方式】

(第1實施形態)

以下，一面參照圖式一面說明本發明之第1實施形態。

圖1(a)係本實施形態之半導體裝置(TFT基板)101之平面圖。圖1(b)係沿著圖1(a)中的A-A'線之剖面圖，顯示半導體裝置101中的TFT10及輔助電容20。另，於本說明書中，所謂「半導體裝置」，只要為具備TFT及電容元件之裝置即可，廣泛包含TFT基板及具有TFT基板之顯示裝置等。

TFT基板101係例如使用於以VA(Vertical Alignment：垂直對準)模式進行顯示之液晶顯示裝置。液晶顯示裝置係具有配置成具有列方向及行方向之矩陣狀之複數個像素。TFT基板101係具有與顯示裝置之複數個像素對應之複數個區域(以下為「像素區域」)Pix。圖1(a)係顯示複數個像素區域Pix中於行方向鄰接之2個像素區域Pix1、Pix2。

TFT基板101係具有基板1、於行方向大致平行地延設之複數條源極線(亦稱為源極匯流排線)S、及於列方向大致平行地延設之複數條閘極線(亦稱為閘極匯流排線)G。列方向及行方向可彼此正交。列方向及行方向亦可分別為液晶顯示裝置之顯示面之水平方向及垂直方向。自基板1之法線方向觀察時，藉由源極線S及閘極線G包圍之區域分別為「像素區域Pix」。於各像素區域Pix，形成有TFT10、金屬氧化物層7B、及像素電極15。

於圖1(a)顯示有複數條源極線S中鄰接之2條源極線S(n)、S(n+1)、及鄰接之3條閘極線G(m-1)、G(m)、G(m+1)(n及m為自然數)。將由源極線S(n)、S(n+1)、及閘極線G(m-1)、G(m)包圍之區域稱為「第1像素區域Pix1」，且將由源極線S(n)、S(n+1)、及閘極線G(m)、G(m+1)包圍之區域稱為「第2像素區域Pix2」。

第1像素區域Pix1中的TFT10之閘極電極3係與閘極線G(m)電性連接，源極電極9s係與源極線S(n)電性連接。同樣，第2像素區域Pix2中的TFT10之閘極電極3係與閘極線G(m+1)電性連接，源極電極9s係與源極線S(n)電性連接。

各像素區域Pix之TFT10係由基板1支持。TFT10係具有閘極電極3、覆蓋閘極電極3之閘極絕緣層5、形成於閘極絕緣層5上之氧化物半導體層7A、及源極電極9s及汲極電極9d之底閘極構造之TFT。氧化物半導體層7A係以至少通道區域介隔閘極絕緣層5而與閘極電極3重疊之方式配置。於本實施形態中，閘極線G中與氧化物半導體層7A介隔閘極絕緣層5重疊之部分為閘極電極3。源極及汲極電極9s、9d係與氧化物半導體層7A之通道區域之兩側分別電性連接。源極及汲極電極9s、9d亦可分別與氧化物半導體層7A直接連接。於本實施形態中，源極線S中與氧化物半導體層7A連接之部分為源極電極9s。源極電極9s係與源極線S電性連接，汲極電極9d係與像素電極15電性連接。又，TFT10係以層間絕緣層13覆蓋。

金屬氧化物層7B係包含與氧化物半導體層7A相同之氧化物膜。金屬氧化物層7B包含有導電體區域70c。導電體區域70c係較TFT10之氧化物半導體層7A電阻更低之區域，例如藉由對氧化物半導體膜進行低電阻化處理而形成。此處，導電體區域70c形成於氧化物半導體層7A之表面附近。另，導電體區域70c亦可遍及氧化物半導體層7A之厚度方向而形成。如圖所示，金屬氧化物層7B係除導電體區域70c外，亦可包含半導體區域70i。半導體區域70i係亦可自基板1之法線方向觀察時，位於金屬氧化物層7B之周緣部。

像素電極15係包含透明導電材料(例如ITO)。像素電極15設置於層間絕緣層13上，且於形成於層間絕緣層13之接觸孔內與TFT10之汲極電極9d電性連接。將該連接部分稱為「接觸部」17。

且，像素電極15係以介隔層間絕緣層13而與金屬氧化物層7B之導電體區域70c之至少一部分重疊之方式配置。藉此，形成將導電體區域70c設為下層電極(亦稱為輔助電容配線或輔助電容電極)，將像素電極15設為上層電極，且將層間絕緣層13中位於該等電極間之部分設為介電質層之輔助電容20。輔助電容20之上層電極(像素電極15)及下層電極(導電體區域70c)係分別包含透明導電材料。輔助電容20係於例如液晶顯示裝置中，與液晶電容電性並聯連接。

如此，根據本實施形態，因利用與氧化物半導體層7A相同之氧化物膜形成輔助電容20之下層電極，故不使過程較為複雜即可於像素區域Pix內形成輔助電容20。輔助電容20係由透明材料構成。因此，不使開口率降低，即可設置具有所需面積(自基板1之法線方向觀察時之面積)之輔助電容20，而可確保充足之輔助電容值。

於行方向鄰接之2個像素區域Pix1、Pix2中的金屬氧化物層7B之導電體區域70c亦可彼此電性連接。雖未圖示，但亦可使排列於行方向之所有像素區域Pix中的導電體區域70c彼此電性連接。藉此，可將共通之輔助電容電壓(Cs電壓)供給於複數個像素區域Pix之導電體區域70c(作為輔助電容電極發揮功能)。

於本實施形態中，鄰接之第1及第2像素區域Pix1、Pix2中的金屬氧化物層7B係一體化形成，且各個導電體區域70c係連續。換言之，自基板1之法線方向觀察時，像素區域Pix1、Pix2之金屬氧化物層7B係自第1像素區域Pix1，跨越閘極線G(此處為閘極線G(m))構成延設於第2像素區域Pix2之金屬氧化物配線。

排列於各行之3以上之像素區域Pix，較佳係排列於各行之所有像素區域Pix中的金屬氧化物層7B可一體化形成。例如，排列於行方向之複數個像素區域Pix之金屬氧化物層7B亦可為一體，構成跨越複數條閘極線G且於行方向延設之金屬氧化物配線。

於本實施形態中，在各像素區域Pix中，於源極線S與閘極線G交叉之部分之附近配置有TFT10。又，用以將像素電極15、與TFT10之汲極電極9d電性連接之接觸部17係與TFT10於行方向鄰接而配置。於圖示之例中，自基板1之法線方向觀察時，第1像素電極Pix1中的TFT10位於源極線S(n)與閘極線G(m)之交點附近，接觸部17配置於源極線S(n)、閘極線G(m)及金屬氧化物層7B所包圍之區域。藉由此種構成，可不降低開口率而使於行方向鄰接之2個像素區域Pix中的金屬氧化物層7B彼此連接。

覆蓋TFT10之層間絕緣層13亦作為輔助電容20之介電質層發揮功能。本實施形態之層間絕緣層13包含有第1絕緣膜11、及設置於第1絕緣膜11上之第2絕緣膜12。第1絕緣膜11係於金屬氧化物層7B上具有開口。金屬氧化物層7B之導電體區域70c係包含金屬氧化物層7B中藉由第1絕緣膜11之開口而露出之部分。另一方面，半導體區域70i係包含金屬氧化物層7B中以第1絕緣膜11覆蓋之部分。於第1絕緣膜11之開口，以與導電體區域70c連接之方式形成有第2絕緣膜12。層間絕緣層13中位於輔助電容20之下層電極(導電體區域70c)與上層電極(像素電極15)之間之部分係包含第2絕緣膜12，且不包含第1絕緣膜11。即，作為層間絕緣層13中的主要部分，第2絕緣膜12係作為輔助電容20之介電質層發揮功能。

如上所述之構成係將第1絕緣膜11設為遮罩，進行金屬氧化物層7B之低電阻化處理(下述之電漿處理等)而獲得。但，根據低電阻化處理之條件，自基板1之法線方向觀察時，有時導電體區域70c較第1絕緣膜11之開口略大，且與第1絕緣膜11之端部重疊。

另，層間絕緣層13不限定於如上所述之2層構造，亦可具有3層以上之積層構造。或，層間絕緣層13亦可為單一之絕緣膜。該情形時，於堆積絕緣膜後，亦可利用半色調曝光於絕緣膜上形成抗蝕劑



層，進行絕緣膜之蝕刻。藉此，形成於絕緣膜露出汲極電極9d之接觸孔，且露出絕緣膜中位於金屬氧化物層7B上之部分(作為輔助電容20之介電質層之部分)之表面。其後，亦可將抗蝕劑層作為遮罩進行低電阻化處理，且隔著絕緣膜(絕緣膜之露出部分)，進行位於其下方之金屬氧化物層7B之低電阻化。

自基板1之法線方向觀察時，閘極線G亦可包含第1部分、及較第1部分寬度要小之第2部分。TFT10之氧化物半導體層7A之通道區域係以與閘極線G之第1部分重疊之方式配置。如圖所示，氧化物半導體層7A整體亦可與閘極線G之第1部分重疊。藉此，因閘極線G亦作為氧化物半導體層7A之遮光膜發揮功能，故可抑制光入射於氧化物半導體層7A所引起之TFT特性之變動。又，藉由將閘極線G中不與TFT10重疊之部分之寬度抑制為較小，可抑制閘極線G引起之開口率之降低。於行方向鄰接之2個像素區域Pix1、Pix2之金屬氧化物層7B亦可以跨越位於該等像素區域Pix之間之閘極線G(m)之第2部分之方式一體化形成。

閘極電極3係只要與閘極線G電性連接即可，亦可包含與閘極線G相同之導電膜。閘極電極3亦可與閘極線G一體化形成。例如，閘極電極3亦可為閘極線G之一部分。即，閘極線G中與TFT10之氧化物半導體層7A之通道區域重疊之部分亦可作為閘極電極3發揮功能。又，自基板1之法線方向觀察時，閘極線G具有於特定方向延伸之部分、及自該部分向與上述特定方向不同之方向延伸之延伸部分，且延伸部分亦可作為閘極電極3發揮功能。

源極電極9s及汲極電極9d亦可包含與源極線S相同之導電膜。源極電極9s只要與源極線S電性連接即可，亦可與源極線S一體化形成。例如，源極電極9s亦可為源極線G之一部分。即，源極線G中與TFT10之氧化物半導體層7A連接之部分亦可作為源極電極9s發揮功能。又，

自基板1之法線方向觀察時，源極線S具有於特定方向延伸之部分、及自該部分朝與上述特定方向不同之方向延伸之部分，且延伸部分亦可作為源極電極9s發揮功能。

於本實施形態中，自基板1之法線方向觀察時，源極線S係橫穿氧化物半導體層7A而延伸。源極線S中與氧化物半導體層7A之上表面連接之部分係作為源極電極9s發揮功能。另一方面，汲極電極9d係與氧化物半導體層7A連接，且自氧化物半導體層7A延伸至接觸部17。於該例中，汲極電極9d係與源極線S大致平行地延伸，且於接觸部17與像素電極15連接。

氧化物半導體層7A及金屬氧化物層7B亦可包含例如In、Ga及Zn中至少1種金屬元素。於本實施形態中，氧化物半導體層7A及金屬氧化物層7B係包含例如In-Ga-Zn-O系之氧化物。此處，In-Ga-Zn-O系氧化物係In(銦)、Ga(鎵)、Zn(鋅)之三元系氧化物，In、Ga及Zn之比例(組合比)不特別限定，包含例如In：Ga：Zn=2：2：1、In：Ga：Zn=1：1：1、In：Ga：Zn=1：1：2等。此種氧化物半導體層7A及金屬氧化物層7B係可由包含In-Ga-Zn-O系之半導體之氧化物半導體膜形成。In-Ga-Zn-O系之半導體可為非晶質，又可為結晶質。作為結晶質In-Ga-Zn-O系之半導體，較佳為c軸與層面大致垂直而配向之結晶質In-Ga-Zn-O系之半導體。另，結晶質In-Ga-Zn-O系之半導體之結晶構造係例如於日本特開2012-134475號公報中揭示。為參考，而將日本特開2012-134475號公報之揭示內容全部援用於本說明書。由於具有In-Ga-Zn-O系半導體層之TFT係具有較高之遷移率(與a-SiTFT相比超過20倍)及較低之洩漏電流(與a-SiTFT相比不及百分之一)，因而適合用作驅動TFT及像素TFT。

氧化物半導體層7A及金屬氧化物層7B亦可包含其他氧化物取代In-Ga-Zn-O系之氧化物。亦可包含例如Zn-O系(ZnO)、In-Zn-O系

(IZO)、Zn-Ti-O系(ZTO)、Cd-Ge-O系、Cd-Pb-O系、In-Sn-Zn-O系(例如 $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ )、In-Ga-Sn-O系之氧化物等。

此處，一面比較先前之TFT基板及參考例之TFT基板，一面更詳細說明本實施形態之效果。

首先，作為先前之TFT基板，說明專利文獻2所揭示之TFT基板。

圖8(a)及(b)分別為專利文獻2所揭示之TFT基板之平面圖及剖面圖。TFT基板具有複數個像素，但此處僅顯示1個像素。

如圖所示，TFT基板具有源極線S、及閘極線G。於藉由源極線S及閘極線G規定之各像素中，形成有TFT40與像素電極45。TFT40具有閘極電極33、閘極絕緣層35、形成於閘極絕緣層35上之通道部37c、源極部37s及汲極部37d。TFT40之通道部37c、源極部37s及汲極部37d與像素電極45係由相同氧化物半導體膜一體化形成。具體而言，使氧化物半導體膜之一部分低電阻化，且作為像素電極45、源極部37s、汲極部37d使用。氧化物半導體膜之低電阻化處理係將保護絕緣膜42作為遮罩進行。

於專利文獻2所揭示之TFT基板中，若考慮進行氧化物半導體膜之低電阻化時之遮罩之位置對準，則有相對於由源極線S及閘極線G規定之像素區域之面積，像素電極之面積大幅度縮小之虞。因此，難以實現高開口率。

其次，說明於圖8所示之TFT基板設置有輔助電容30之構成。

圖9(a)係顯示於專利文獻2所揭示之先前之TFT基板(圖8)形成輔助電容30之參考例之TFT基板1000之平面圖。於與圖8相同之構成要件，標註相同之參照符號。圖9(b)係本實施形態之TFT基板101之平面圖，僅顯示有圖1(a)所示之平面圖中的1個像素區域Pix。

如圖9(a)所示，於參考例之TFT基板1000中，設置有下層電極(輔助電容配線)41。下層電極41與像素電極45介隔絕緣膜而重疊之部分

為輔助電容30。

下層電極41係例如使用與閘極線G相同之導電膜(金屬膜)形成。該情形時，藉由輔助電容30之形成而使開口率降低。尤其，若增大輔助電容30之面積，則以該量開口率降低，因而難以確保高開口率。

或，下層電極41亦具有利用與閘極線G不同之導電膜形成之情形。例如，亦考慮於像素電極45之下方形成包含透明導電膜之下層電極(透明電極)41。藉此，可抑制輔助電容30引起之開口率之降低。然而，為形成下層電極(透明電極)41，必須追加形成透明導電膜，且圖案化之過程。

另，於使用透明電極膜形成下層電極41之情形時，為對下層電極41供給輔助電容電壓，而必須於TFT基板中位於配置有複數個像素區域之顯示區域之周邊之周邊區域設置CS接觸部。於CS接觸部中，例如連接延設至周邊區域之下層電極41、與自外部供給輔助電容電壓之金屬配線(共通信號用配線)。金屬配線亦可為例如包含與閘極線G(或源極線S)相同之金屬膜之金屬配線。

如此，於先前之TFT基板設置輔助電容配線之情形時，若使用與閘極線G相同之導電膜形成輔助電容電極，則具有開口率降低之缺點。另一方面，若使用另外形成之透明導電膜形成輔助電容電極，則存在遮罩過程增加，而使製造過程較為複雜之缺點。另，於圖8及圖9中，雖參照專利文獻2所揭示之TFT基板進行說明，但於VA模式之液晶顯示裝置所使用之先前之其他TFT基板設置輔助電容之情形亦具有相同缺點。

與此相對，於本實施形態中，因利用與氧化物半導體層7A相同之氧化物膜，故不使過程較為複雜，而可形成輔助電容20之下層電極(導電體區域70c)。又，因下層電極為透明，故不使開口率降低，而可形成所需面積之輔助電容20。因可形成較先前面積更大之下層電極

(輔助電容電極)，故可確保足夠之輔助電容值。於例如圖9(b)所示之平面圖中，以粗線表示像素區域Pix中的導電體區域70c。根據該圖獲知，在藉由源極線S及閘極線G規定之像素區域Pix中，可於不與電極9s、9d、線S、G及接觸部17重疊之區域之大致整體中，配置作為輔助電容20之下層電極之導電體區域70c，形成輔助電容20。

再者，根據本實施形態，可簡單地確保導電體區域(輔助電容電極)70c與共通信號用配線之電性連接。以下，參照圖10進行說明。

圖10係TFT基板101之示意性平面圖。TFT基板101具有包含複數個像素區域之顯示區域90、及顯示區域以外之區域(周邊區域)92。於周邊區域92，以包圍顯示區域90之方式形成有共通信號用配線C。共通信號用配線C係與各像素之輔助電容電極(未圖示)連接。又，對共通信號用配線C經由端子部94自外部供給共通信號。於本實施形態中，亦可將各行之像素電極中的導電體區域(輔助電容電極)70c一體化形成，且藉由配線9w而與共通信號用配線C連接。配線9w與共通信號用配線C亦可使用與源極線S相同之導電膜而一體化形成。藉此，可將各像素之導電體區域(輔助電容電極)70c與位於周邊區域92之共通信號用配線C電性連接。端子部94亦可包含與閘極線G相同之導電膜。連接端子部94與共通信號用配線C之配線93係亦可與共通信號用配線C一體化形成，且於形成於閘極絕緣層之接觸孔內，與端子部94(或與端子部94一體化形成之配線)連接。另，於下述之實施形態中，藉由取代配線9w而將連接配線9b或連接部9p與共通信號用配線C一體化形成，可與本實施形態同樣確保共通信號用配線C與輔助電容電極之電性連接。

如此，根據本實施形態，可消除於先前之TFT基板中形成輔助電容所引起之缺點。即，可一面抑制開口率降低，一面以簡便之過程形成具有所需面積之輔助電容20。

其次，一面參照圖2，一面說明本實施形態之半導體裝置(TFT基板)101之製造方法之一例。圖2(a)~(f)係用以說明TFT基板101中TFT10及輔助電容20之製造方法之步驟剖面圖。該等剖面圖係與沿著圖1(a)中之A-A'線之剖面對應。

首先，如圖2(a)所示，於基板1上形成閘極用金屬膜後，藉由周知之光微影步驟對其進行圖案化。藉此，形成包含閘極電極3及閘極線(未圖示)之閘極配線層。其次，以覆蓋閘極配線層之方式形成閘極絕緣層5。

作為基板1，可使用透明且具有絕緣性之基板。此處使用玻璃基板。

閘極用電極膜之材料不特別限定，可適當使用包含鋁(Al)、鎢(W)、鉬(Mo)、鉭(Ta)、鉻(Cr)、鈦(Ti)、銅(Cu)等金屬或其合金之膜。又，亦可使用積層該等複數個膜之積層膜。此處，作為閘極用電極膜，使用將W膜(厚度：300 nm)設為上層、將Ta<sub>2</sub>N<sub>5</sub>膜(厚度：30 nm)設為下層之積層膜(W/Ta<sub>2</sub>N<sub>5</sub>)。

作為閘極絕緣層5，亦可使用例如氧化矽(SiO<sub>2</sub>)層或氮化矽(SiN<sub>x</sub>)層。此處，作為閘極絕緣層5，使用將氧化矽(SiO<sub>2</sub>)層(厚度：50 nm)設為上層，將氮化矽(SiN<sub>x</sub>)層(厚度：325 nm)設為下層之積層膜。

其次，如圖2(b)所示，於閘極絕緣層5上，藉由例如濺鍍法形成氧化物半導體膜，且藉由對其進行圖案化，而獲得氧化物半導體層7A及金屬氧化物層7B。氧化物半導體層7A係以介隔閘極絕緣層5而與閘極電極3(閘極線G)重疊之方式配置。此處，作為氧化物半導體膜，使用例如In-Ga-Zn-O系半導體膜(厚度：50 nm)。氧化物半導體膜之厚度亦可為例如30 nm以上60 nm以下。

其後，以覆蓋氧化物半導體層7A及金屬氧化物層7B之方式，藉由例如濺鍍法形成源極用電極膜。其次，如圖2(c)所示，藉由以周知

之光微影步驟對源極用電極膜進行圖案化，而形成包含源極電極9s、汲極電極9d、及源極線(未圖示)之源極配線層。源極電極9s及汲極電極9d係以與氧化物半導體層7A連接之方式配置。如此，形成TFT10。

源極用電極膜之材料不特別限定，可適當使用包含鋁(Al)、鎢(W)、鉬(Mo)、鉭(Ta)、銅(Cu)、鉻(Cr)、鈦(Ti)等金屬或其合金、又或其金屬氮化物之膜。此處，作為源極用電極膜，使用自基板1側，依序具有Ti膜(厚度：30 nm)、Al膜(200 nm)、及Ti膜(100 nm)之積層膜(Ti/Al/Ti)。

繼而，如圖2(d)所示，以覆蓋源極配線層及金屬氧化物層7B之方式形成第1絕緣膜11。作為第1絕緣膜11，可使用例如SiO<sub>2</sub>層。第1絕緣膜11之厚度不特別限定，只要為例如200 nm以上，即可於低電阻化步驟中更確實地作為遮罩發揮功能。另一方面，為節省TFT基板之空間，較佳為500 nm以下。此處，作為第1絕緣膜11，使用例如SiO<sub>2</sub>層(厚度：300 nm)。

其後，於第1絕緣膜11，設置露出金屬氧化物層7B之一部分之開口21、與露出汲極電極9d之一部分之開口22。繼而，使基板1暴露於還原性電漿或包含摻雜元素之電漿(低電阻化處理)。此處，暴露於還原性電漿即氬電漿。藉此，於金屬氧化物層7B中藉由開口21露出之部分之表面附近，電阻降低而成為導電體區域70c。金屬氧化物層7B中由第1絕緣膜11作為遮罩，而未被低電阻化之區域係作為半導體區域70i殘留。導電體區域70c之電性電阻亦可較半導體區域70i之電性電阻低，例如為 $1 \times 10^{-2} \Omega\text{cm}$ 以下。導電體區域70c之厚度可藉由低電阻化處理之條件而改變。低電阻化處理(電漿處理)之具體方法、或藉此降低氧化物半導體之電性電阻之機制係記述於例如專利文獻2。為參考，而將專利文獻2之揭示內容全部援用於本說明書。

其次，如圖2(e)所示，於第1絕緣膜11上及開口21、22內，形成

第2絕緣膜12，繼而，藉由周知之光微影步驟，去除第2絕緣膜12中位於開口22內之部分。藉此，貫通第1及第2絕緣膜11、12，形成露出汲極電極9d之接觸孔CH。

第2絕緣膜12係可適當使用例如氮化矽(SiN<sub>x</sub>)膜、氧化矽(SiO<sub>x</sub>)膜、氧氮化矽(SiO<sub>x</sub>N<sub>y</sub>；x > y)膜、氮氧化矽(SiN<sub>x</sub>O<sub>y</sub>；x > y)膜等。於本實施形態中，由於第2絕緣膜12亦利用作為構成輔助電容之電容絕緣膜，因而較佳為以獲得特定之電容C<sub>cs</sub>之方式，適當選擇第2絕緣膜12之材料或厚度。例如，根據介電常數與絕緣性之觀點可適當使用SiN<sub>x</sub>。第2絕緣膜12之厚度為例如70 nm以上180 nm以下。只要為70 nm以上，即可更確實地確保絕緣性。另一方面，只要為180 nm以下，即可更確實地獲得所需之電容C<sub>cs</sub>。此處，作為第2絕緣膜12而使用SiN膜(厚度：100 nm)。

其次，如圖2(f)所示，於第2絕緣膜12上及接觸孔CH內形成透明導電膜，且以周知之光微影步驟對其進行圖案化，藉此形成像素電極15。像素電極15係以介隔第2絕緣膜12而與金屬氧化物層7B之導電體區域70c重疊之方式配置。藉此，形成將導電體區域70c設為下層電極、將第2絕緣膜12設為介電質層、及將像素電極15設為上層電極之輔助電容20。

作為透明導電膜，可使用例如ITO(銦錫氧化物)膜、IZO膜、或ZnO膜(氧化鋅膜)等。此處，作為透明導電膜，使用ITO膜(厚度：100 nm)。

如此，獲得於像素區域Pix內具有TFT10及輔助電容20之TFT基板101。

### (第2實施形態)

以下，說明本發明之半導體裝置之第2實施形態。在本實施形態中，於使用連接配線使於行方向鄰接之2個像素區域中的導電體區域



70c彼此電性連接之點上，與第1實施形態之TFT基板101不同。

圖3(a)係本實施形態之半導體裝置(TFT基板)102之平面圖。此處，顯示有於TFT基板102二維排列之複數個像素區域Pix中，於行方向鄰接之2個像素區域Pix1、Pix2。

圖3(b)係沿著圖3(a)中之A-A'線之剖面圖，顯示TFT基板102中的輔助電容20之一部分。於圖3(a)及(b)中，於與圖1(a)及(b)相同之構成要件標註相同參照符號，且省略說明。再者，本實施形態中的TFT10之剖面構造係與圖1(b)所示之剖面構造相同，故此處省略圖示。

於TFT基板102中，各像素區域Pix1、Pix2中的金屬氧化物層7B係彼此分離而形成。

又，TFT基板102具備包含與源極電極9s或源極線S相同之導電膜之連接配線9b。連接配線9b係以橫穿第1及第2像素區域Pix1、Pix2之方式於行方向延設，且使各像素區域Pix1、Pix2中的金屬氧化物層7B之導電體區域70c彼此電性連接。自基板1之法線方向觀察時，連接配線9b亦可跨越複數條閘極線G而形成。

連接第1及第2像素區域Pix1、Pix2中的金屬氧化物層7B之導電體區域70c之連接配線9b係如圖所示，跨越閘極線G(m)而延設。另，自基板1之法線方向觀察時，亦可以橫穿各行中的複數個像素區域Pix之方式延設連接配線9b，且電性連接位於該行之全部像素區域Pix之導電體區域70c。

如圖所示，閘極線G(m)亦可包含與TFT10之氧化物半導體層7A之至少一部分重疊之第1部分、及較第1部分寬度要小之第2部分。連接配線9b亦可跨越閘極線G(m)之第2部分而形成。

於本實施形態中，亦與第1實施形態相同，使金屬氧化物層7B之導電體區域70c作為輔助電容20之下層電極發揮功能。又，利用與源極線S相同之導電膜形成連接配線9b。因此，不使製造過程較為複

雜，而可形成輔助電容20及連接配線9b。因輔助電容20係由透明材料形成，故可抑制輔助電容20引起之開口率之降低。又，因可不使開口率降低而擴大輔助電容20之面積，故可確保所需之輔助電容值。

再者，根據本實施形態，亦可獲得如下效果。

於上述之第1實施形態中，金屬氧化物層7B係跨越閘極線G於行方向延設。然而，若將此種構造應用於像素間距較小之高精細面板，則難以將TFT10與金屬氧化物層7B充分分離而配置。尤其於像素區域Pix中位於TFT10之源極線S(n+1)側之區域，TFT10與金屬氧化物層7B之間隔變窄。若為增大間隔而縮小金屬氧化物層7B之寬度，則較難以低電阻連接像素區域Pix1、Pix2中的金屬氧化物層7B之導電體區域70c彼此。

與此相對，於本實施形態中，第1及第2像素區域Pix1、Pix2中的金屬氧化物層7B具有彼此分離之圖案。因此，可將各像素區域Pix1、Pix2之金屬氧化物層7B自接觸部17及TFT10充分分離而配置。又，可使用包含源極用電極膜之電阻更低之連接配線9b連接第1及第2像素區域Pix1、Pix2中的金屬氧化物層7B之導電體區域70c。因此，與第1實施形態相比，可降低輔助電容電極之電阻，而可減少負荷。

又，於本實施形態中，以設置連接配線9b之量，較第1實施形態開口率降低。然而，由於連接配線9b之面積較輔助電容20之面積足夠小，故與使用與閘極線G相同之導電膜形成輔助電容配線之情形(根據輔助電容20之面積而使開口率降低)相比，可提高TFT基板之開口率。

其次，一面參照圖式，一面說明TFT基板102之製造方法之一例。

圖4(a)~(d)係用以說明TFT基板102之製造方法之步驟剖面圖。

首先，如參照圖2(a)及(b)上述般，於基板1上形成閘極電極3、閘極絕緣層5、氧化物半導體層7A及金屬氧化物層7B。

其次，如圖4(a)所示，形成源極用電極膜，且進行圖案化，藉此除了源極電極9s、汲極電極9d及源極線(未圖示)以外，亦形成連接配線9b。連接配線9b形成於各像素區域Pix中的金屬氧化物層7B之一部分上。具體而言，形成於金屬氧化物層7B中作為導電體區域之區域之一部分上。此時，金屬氧化物層7B中與連接配線9b連接之部分係藉由與連接配線9b(金屬)連接而低電阻化，且成為導電體區域70c。為進行該低電阻化，作為連接配線9b之材料(源極用電極膜之材料)，較佳為使用較金屬氧化物層7B所包含之金屬，標準電極電位要低之金屬。若金屬氧化物層7B為In-Ga-Zn-O系氧化物層，則可使用例如標準電極電位較In要低之Ti、Mo、Al等之金屬。

其後，如圖4(b)所示，形成具有開口21及22之第1絕緣膜11。其次，進行低電阻化處理(電漿處理)，使金屬氧化物層7B中藉由第1絕緣膜11之開口21露出之部分低電阻化。第1絕緣膜11之材料或厚度、低電阻化處理之方法亦可與參照圖2(d)上述之材料、厚度及低電阻化處理之方法相同。

藉此，金屬氧化物層7B中藉由開口21露出，且未與連接配線9b連接之部分被低電阻化。其結果，於金屬氧化物層7B中藉由開口21露出之區域形成導電體區域70c。導電體區域70c係包含以本步驟低電阻化之部分及與連接配線9b連接之部分。

其後，如圖4(c)及圖4(d)所示，藉由形成第2絕緣膜12及像素電極15，獲得TFT基板102。形成第2絕緣膜12及像素電極15之步驟係與參照圖2(e)及圖2(f)上述之步驟相同。

另，TFT基板102之製造方法不限定於圖4所示之方法。例如，作為TFT10，亦可形成於通道區域上具有蝕刻擋止膜之所謂之蝕刻擋止構造之TFT，且利用蝕刻擋止膜，進行金屬氧化物層7B之低電阻化。

首先，如參照圖2(a)及(b)上述般，於基板1上形成閘極電極3、閘

極絕緣層5、氧化物半導體層7A及金屬氧化物層7B。

其次，如圖5(a)所示，形成覆蓋氧化物半導體層7A及金屬氧化物層7B之蝕刻擋止膜14。其後，於蝕刻擋止膜14，形成露出氧化物半導體層7A中位於通道區域之兩側之區域之開口23、24、及露出金屬氧化物層7B之一部分之開口25。

繼而，以與上述實施形態相同之方法進行低電阻化處理。藉此，氧化物半導體層7A中藉由蝕刻擋止膜14之開口23、24露出之部分、與金屬氧化物層7B中藉由蝕刻擋止膜14之開口25露出之部分被低電阻化，成為導電體區域70a、70b、70c。氧化物半導體層7A及金屬氧化物層7B中未被低電阻化之區域係作為半導體區域70i殘留。

其後，如圖5(b)所示，於蝕刻擋止膜14上及開口23、24、25內形成源極用電極膜且進行圖案化，藉此形成源極電極9s、汲極電極9d、源極線(未圖示)及連接配線9b。源極電極9s係於開口23內與導電體區域70a連接，汲極電極9d係以於開口24內與導電體區域70b連接之方式形成。又，連接配線9b係以於開口25內，與導電體區域70c之一部分連接之方式形成。源極用電極膜之材料或厚度亦可與參照圖2(c)上述之材料及厚度相同。

其後，如圖5(c)及圖5(d)所示，藉由形成第2絕緣膜12及像素電極15，而獲得TFT基板102'。形成第2絕緣膜12及像素電極15之步驟係與參照圖2(e)及圖2(f)上述之步驟相同。藉此，獲得本實施形態之其他TFT基板102'。

### (第3實施形態)

以下，說明本發明之半導體裝置之第3實施形態。於本實施形態中，在使用連接部使於行方向鄰接之2個像素區域中的導電體區域70c彼此電性連接之點上，與第1實施形態之TFT基板101不同。

圖6(a)係本實施形態之半導體裝置(TFT基板)103之平面圖。此

處，顯示有於TFT基板103二維排列之複數個像素區域Pix中，排列於行方向之3個像素區域(第1像素區域Pix1、第2像素區域Pix2及第3像素區域Pix3)。

圖6(b)係沿著圖6(a)中之A-A'線之剖面圖，顯示TFT基板103中的輔助電容20之一部分。於圖6(a)及(b)中，對與圖1(a)及(b)相同之構成要件標註相同參照符號，且省略說明。再者，因本實施形態中的TFT10之剖面構造與圖1(b)所示之剖面構造相同，故此處省略圖示。

於TFT基板103中，與第2實施形態相同，各像素區域Pix1、Pix2、Pix3中的金屬氧化物層7B係彼此分離而形成。

又，TFT基板103具備包含與源極電極9s或源極線S相同之導電膜之複數個連接部9p。複數個連接部9p係彼此分離。各連接部9p係以將於行方向鄰接之2個像素區域中的金屬氧化物層7B之導電體區域70c彼此電性連接之方式配置。

使用圖6(a)所示之像素區域Pix1~Pix3更具體地說明上述構成。第2像素區域Pix2中的金屬氧化物層7B之導電體區域70c係藉由第1連接部9p(m)(m為自然數)，與第1像素區域Pix1中的金屬氧化物層7B之導電體區域70c連接，且藉由第2連接部9p(m+1)，與第3像素區域Pix3中的金屬氧化物層7B之導電體區域70c電性連接。第1連接部9p(m)與第2連接部9p(m+1)係彼此分離而形成。又，各連接部9p係以跨越對應之閘極線G之方式延設。例如，第1連接部9p(m)及第2連接部9p(m+1)係分別以跨越閘極線G(m)及G(m+1)之方式延設。

如圖所示，自基板1之法線方向觀察時，閘極線G(m)、G(m+1)亦可分別包含與TFT10之氧化物半導體層7A之至少一部分重疊之第1部分、及較第1部分寬度要小之第2部分。第1連接部9p(m)及第2連接部9p(m+1)亦可分別跨越閘極線G(m)及G(m+1)之第2部分而形成。

複數個連接部9p亦可具有於各導電體區域70c之中央部上分斷第2

實施形態之連接配線9b之構造。又，各連接部9p亦可僅與欲連接之2個導電體區域70c之端部附近連接。

於本實施形態中，亦與上述實施形態相同，使金屬氧化物層7B之導電體區域70c作為輔助電容20之下層電極發揮功能。又，利用與源極線S相同之導電膜形成連接部9p。因此，不使製造過程較為複雜，而可形成輔助電容20及連接部9p。由於輔助電容20係由透明材料形成，因此可抑制輔助電容20引起之開口率之降低。再者，因不使開口率降低而可擴大輔助電容20之面積，故可確保所需之輔助電容值。

又，與第2實施形態相同，第1及第2像素區域Pix1、Pix2中的金屬氧化物層7B具有彼此分離之圖案。因此，可將金屬氧化物層7B、與接觸部17及TFT10充分分離而配置。又，第1及第2像素區域Pix1、Pix2中的金屬氧化物層7B之導電體區域70c係使用包含源極用電極膜之電阻更低之連接部9p而連接。因此，與第1實施形態相比，可降低輔助電容電極之電阻，而可減小負荷。

另，於本實施形態中，以設置複數個連接部9p之量，較第1實施形態開口率降低。然而，於各像素區域Pix中，因連接部9p所必要之面積係較輔助電容20之面積足夠小，故較由與閘極線G相同之導電膜形成輔助電容配線之情形(根據輔助電容20之面積而使開口率降低)，可實現更高之開口率。再者，根據本實施形態，較以橫穿像素區域Pix之方式設置連接配線9b之第2實施形態，可抑制輔助電容20之形成所引起之開口率之降低。

雖未圖示，但自基板1之法線方向觀察時，亦可將各行中全部像素區域Pix之導電體區域70c以連接部9p電性連接。藉此，不使配線構造較為複雜，而可對複數個像素區域Pix之導電體區域70c(作為輔助電容電極發揮功能)供給共通之輔助電容電壓(Cs電壓)。

本實施形態之TFT基板103係可以與參照圖4上述之TFT基板102相

同之方法製造。但，在源極用電極膜之圖案步驟(圖4(a))中，取代連接配線9b而形成彼此被分斷之複數個連接部9p。又，亦可以與參照圖5上述之方法相同之方法，製造具備具有蝕刻擋止構造之TFT的TFT基板。另，說明該等製造步驟之剖面構造係除了取代連接配線9b而形成連接部9p之點以外，與上述實施形態中圖4及圖5所示之剖面構造相同，因而此處未進行圖示。

上述之TFT基板101~103係可作為例如液晶顯示裝置之主動矩陣基板而使用。

圖7係顯示使用上述實施形態之TFT基板101~103之液晶顯示裝置200之構成之一例之示意性剖面圖。

液晶顯示裝置200具有TFT基板100、對向基板(例如玻璃基板)151、及液晶層153。TFT基板100亦可為上述之TFT基板101~103中任一者。於對向基板151之液晶層153側，形成有對向電極152。於液晶顯示裝置200中，對存在於TFT基板100之像素電極15與對向電極152之間之液晶層153施加電壓。於像素電極15及對向電極152之各者之液晶層153側，根據需要形成配向膜(例如垂直配向膜)。

液晶顯示裝置200係可例如以下述方式製造。

首先，於玻璃基板上形成遮光膜(例如厚度：200 nm之Ti膜)，且藉由光微影步驟圖案化成所需之形狀。藉此形成黑矩陣。其次，於形成有黑矩陣之玻璃基板上，形成絕緣膜(例如厚度：200 nm之SiO<sub>2</sub>膜)。其後，於絕緣膜上形成對向電極152。對向電極152係以濺鍍法形成透明導電膜(例如厚度：100 nm之ITO)且對其進行圖案化而形成。以此種方式獲得對向基板151。

其次，於以上述實施形態所說明之方法形成之TFT基板100(TFT基板101~103)上配置光間隔片後，貼合TFT基板100與對向基板151。繼而，藉由於該等基板100、151之間注入液晶，而形成液晶層153。

其次，分斷形成有液晶層153之基板100、151，獲得液晶顯示裝置200。

液晶顯示裝置200係例如垂直配向模式(VA模式)液晶顯示裝置。當然，本發明之實施形態之液晶顯示裝置不限定於此，例如亦可應用於TFT基板上具有像素電極與對向電極之例如In-Plane Switching(IPS：平面內切換)模式或Fringe Field Switching(FFS：邊緣場切換)模式之橫向電場模式之液晶顯示裝置。因IPS模式或FFS模式之液晶顯示裝置之TFT之構造係眾所周知，故省略說明。

另，於FFS模式之液晶顯示裝置等中，因設置2層之透明電極層，故可形成利用其等之輔助電容。對此，於VA模式之液晶顯示裝置中，通常僅設置單一之透明電極層(像素電極)。因此，若將上述實施形態應用於VA模式之液晶顯示裝置，則因無需另外追加透明電極層，而可形成透明輔助電容，故可獲得特別顯著之效果。

上文雖以液晶顯示裝置為例進行說明，但上述實施形態之TFT基板101~103亦可應用於有機電致發光(EL)顯示裝置、無機電致發光顯示裝置、MEMS顯示裝置等其他顯示裝置。

#### [產業上之可利用性]

本發明之實施形態可廣泛應用於主動矩陣基板等之電路基板、液晶顯示裝置、有機電致發光(EL)顯示裝置及無機電致發光顯示裝置等之顯示裝置、影像感測器裝置等之攝像裝置、及具備圖像輸入裝置或指紋讀取裝置等電子裝置等之薄膜電晶體之裝置。

#### 【符號說明】

1	基板
3	閘極電極
5	閘極絕緣層
7A	氧化物半導體層(活性層)



7B	金屬氧化物層
9b	連接配線
9d	汲極電極
9p	連接部
9p(1)	連接部
9p(m)	連接部
9p(m+1)	連接部
9s	源極電極
9w	配線
10	氧化物半導體 TFT
11	第1絕緣膜
12	第2絕緣膜
13	層間絕緣層
14	蝕刻擋止膜
15	像素電極
17	接觸部
20	輔助電容
21	第1絕緣膜之開口
22	第1絕緣膜之開口
23	蝕刻擋止膜之開口
24	蝕刻擋止膜之開口
25	蝕刻擋止膜之開口
30	輔助電容
33	閘極電極
35	閘極絕緣層
37c	通道部

37d	汲極部
37s	源極部
40	TFT
41	下層電極
42	保護絕緣膜
45	像素電極
70a	金屬氧化物層之導電體區域
70b	金屬氧化物層之導電體區域
70c	金屬氧化物層之導電體區域
70i	金屬氧化物層之半導體區域
90	顯示區域
92	周邊區域
93	配線
94	端子部
100	TFT基板
101	半導體裝置(TFT基板)
102	半導體裝置(TFT基板)
102'	半導體裝置(TFT基板)
103	半導體裝置(TFT基板)
151	對向基板
152	對向電極
153	液晶層
200	液晶顯示裝置
1000	TFT基板
C	共通信號用配線
C <sub>cs</sub>	電容

CH	接觸孔
G	閘極線
G(m-1)	閘極線
G(m)	閘極線
G(m+1)	閘極線
Pix	像素區域
Pix1	第1像素區域
Pix2	第2像素區域
Pix3	第3像素區域
S	源極線
S(n)	源極線
S(n+1)	源極線

## 申請專利範圍

1. 一種半導體裝置，其係包含基板、及於上述基板上排列成具有列方向及行方向之矩陣狀之複數個像素區域者；

上述複數個像素區域之各者係包含：

薄膜電晶體，其係由上述基板支持者，且具有：閘極電極、覆蓋上述閘極電極之閘極絕緣層、形成於上述閘極絕緣層上之氧化物半導體層、以及與上述氧化物半導體層電性連接之源極電極及汲極電極；

金屬氧化物層，其係包含與上述氧化物半導體層相同之氧化物膜；

層間絕緣層，其覆蓋上述薄膜電晶體及上述金屬氧化物層；及

像素電極，其設置於上述層間絕緣層上，且與上述汲極電極電性連接；

上述金屬氧化物層係包含導電體區域；

上述像素電極係介隔上述層間絕緣層而與上述導電體區域之至少一部分重疊。

2. 如請求項1之半導體裝置，其中進而包含：

複數條閘極線，其分別於上述列方向大致平行地延設；及

複數條源極線，其分別於上述行方向大致平行地延設；且

上述複數個像素區域係具有：第1像素區域、及與上述第1像素區域於上述行方向鄰接之第2像素區域；

上述第1像素區域及上述第2像素區域中的上述金屬氧化物層之上述導電體區域係彼此電性連接。

3. 如請求項2之半導體裝置，其中上述第1像素區域中的上述金屬

氧化物層、與上述第2像素區域中的上述金屬氧化物層係一體化形成。

4. 如請求項2之半導體裝置，其中進而包含：連接配線，其係包含與上述複數條源極線相同之導電膜，且以橫穿上述第1及第2像素區域之方式於上述行方向延設；

上述第1像素區域及上述第2像素區域中的上述金屬氧化物層之上述導電體區域係經由上述連接配線而彼此電性連接。

5. 如請求項2之半導體裝置，其中進而包含：第1及第2連接部，其係包含與上述複數條源極線相同之導電膜，且彼此分離；

上述第2像素區域中的上述金屬氧化物層之上述導電體區域係藉由上述第1連接部，與上述第1像素區域中的上述金屬氧化物層之上述導電體區域電性連接，且藉由上述第2連接部，與於上述行方向與上述第2像素區域鄰接之其他像素區域中的上述金屬氧化物層之上述導電體區域電性連接。

6. 如請求項2至5中任一項之半導體裝置，其中上述複數個像素區域之各者係進而包含：接觸部，其係於形成於上述層間絕緣層之接觸孔內直接連接上述汲極電極與上述像素電極；且

自上述基板之法線方向觀察時，上述接觸部係與上述薄膜電晶體於上述行方向鄰接而配置。

7. 如請求項4或5之半導體裝置，其中上述複數條閘極線係包含與上述第1像素區域中的上述閘極電極電性連接之第1閘極線；且

自上述基板之法線方向觀察時，上述第1閘極線係包含第1部分、及較上述第1部分寬度要小之第2部分；

自上述基板之法線方向觀察時，上述第1像素區域中的上述氧化物半導體層之至少一部分係以與上述第1部分重疊之方式配置，且上述連接配線或上述第1連接部係跨越上述第2部分而延

設。

8. 如請求項1至7中任一項之半導體裝置，其中上述金屬氧化物層係進而包含半導體區域；且

上述半導體區域係位於上述金屬氧化物層之周緣部。

9. 如請求項8之半導體裝置，其中上述層間絕緣層係包含第1絕緣膜、及設置於上述第1絕緣膜上之第2絕緣膜；且

上述第1絕緣膜係於上述金屬氧化物層上具有開口；

上述導體區域係包含上述金屬氧化物層中藉由上述開口露出之部分，上述半導體區域係包含上述金屬氧化物層中以上述第1絕緣膜覆蓋之部分。

10. 如請求項9之半導體裝置，其中上述層間絕緣層中位於上述金屬氧化物層之上述導體區域與上述像素電極之間之部分係包含上述第2絕緣膜，且不包含上述第1絕緣膜。

11. 如請求項1至10中任一項之半導體裝置，其中上述氧化物半導體層及上述金屬氧化物層係包含In、Ga、及Zn中至少一種之金屬元素。

12. 如請求項11之半導體裝置，其中上述氧化物半導體層及上述金屬氧化物層係包含結晶質部分。

13. 一種半導體裝置之製造方法，其係包含基板、排列成具有列方向及行方向之矩陣狀之複數個像素區域、配置於上述複數個像素區域之各者之薄膜電晶體、各者於上述列方向大致平行地延設之複數條閘極線、及各者於上述行方向大致平行地延設之複數條源極線之半導體裝置之製造方法；且

上述複數個像素區域係包含於上述行方向鄰接之第1及第2像素區域；

於上述第1及第2像素區域之各者中，包含如下步驟：

(a)於上述基板上，形成閘極電極及覆蓋上述閘極電極之閘極絕緣層；

(b)於上述閘極絕緣層上，形成氧化物半導體膜，且對其進行圖案化，藉此分別形成氧化物半導體層及金屬氧化物層，且上述氧化物半導體層係至少一部分配置為介隔上述閘極絕緣層而與上述閘極電極重疊；

(c)形成與上述氧化物半導體層連接之源極電極及汲極電極；

(d)以覆蓋上述源極電極及上述汲極電極與上述金屬氧化物層之方式形成第1絕緣膜，且於上述第1絕緣膜形成露出上述汲極電極之一部分之第1開口、及露出上述金屬氧化物層之一部分之第2開口；

(e)使上述金屬氧化物層中藉由上述第2開口露出之部分導體化而形成導體區域，且上述金屬氧化物層中未被導體化之部分係作為半導體區域殘留；

(f)於上述第1絕緣膜上以及上述第1及第2開口內形成第2絕緣膜，且去除上述第2絕緣膜中位於上述第1開口內之部分，藉此貫通上述第1及第2絕緣膜，且形成露出上述汲極電極之接觸孔；及

(g)於上述第2絕緣膜上及上述接觸孔內形成像素電極，且上述像素電極係以於上述接觸孔內與上述汲極電極連接，且與上述金屬氧化物層之上述導體區域之至少一部分以介隔上述第2絕緣膜而重疊之方式配置。

14. 如請求項13之半導體裝置之製造方法，其中於上述步驟(b)中，使上述第1及第2像素區域中的上述金屬氧化物層一體化形成。
15. 如請求項13之半導體裝置之製造方法，其中進而包含形成使上述第1及第2像素區域中的上述金屬氧化物層彼此電性連接之連

接配線之步驟；且上述連接配線係包含與上述源極及汲極電極相同之導電膜。

16. 如請求項13之半導體裝置之製造方法，其中進而包含形成彼此分離之第1及第2連接部之步驟；且上述第1連接部係以連接上述第1及第2像素區域中的上述金屬氧化物層之方式配置，上述第2連接部係以連接上述第2像素區域及與上述第2像素區域於上述進行方向鄰接之其他像素區域中的上述金屬氧化物層之方式配置。



圖式

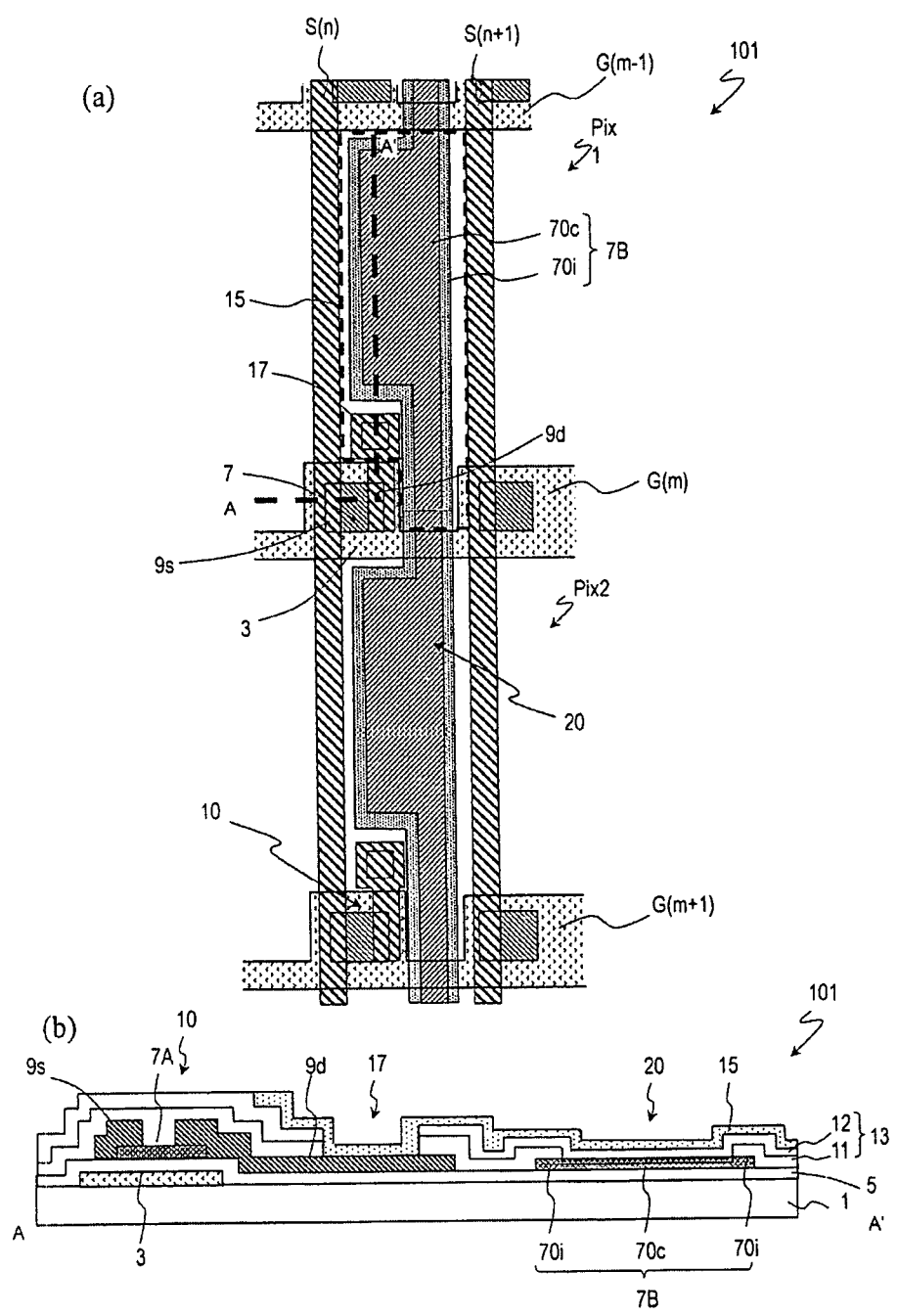


圖1

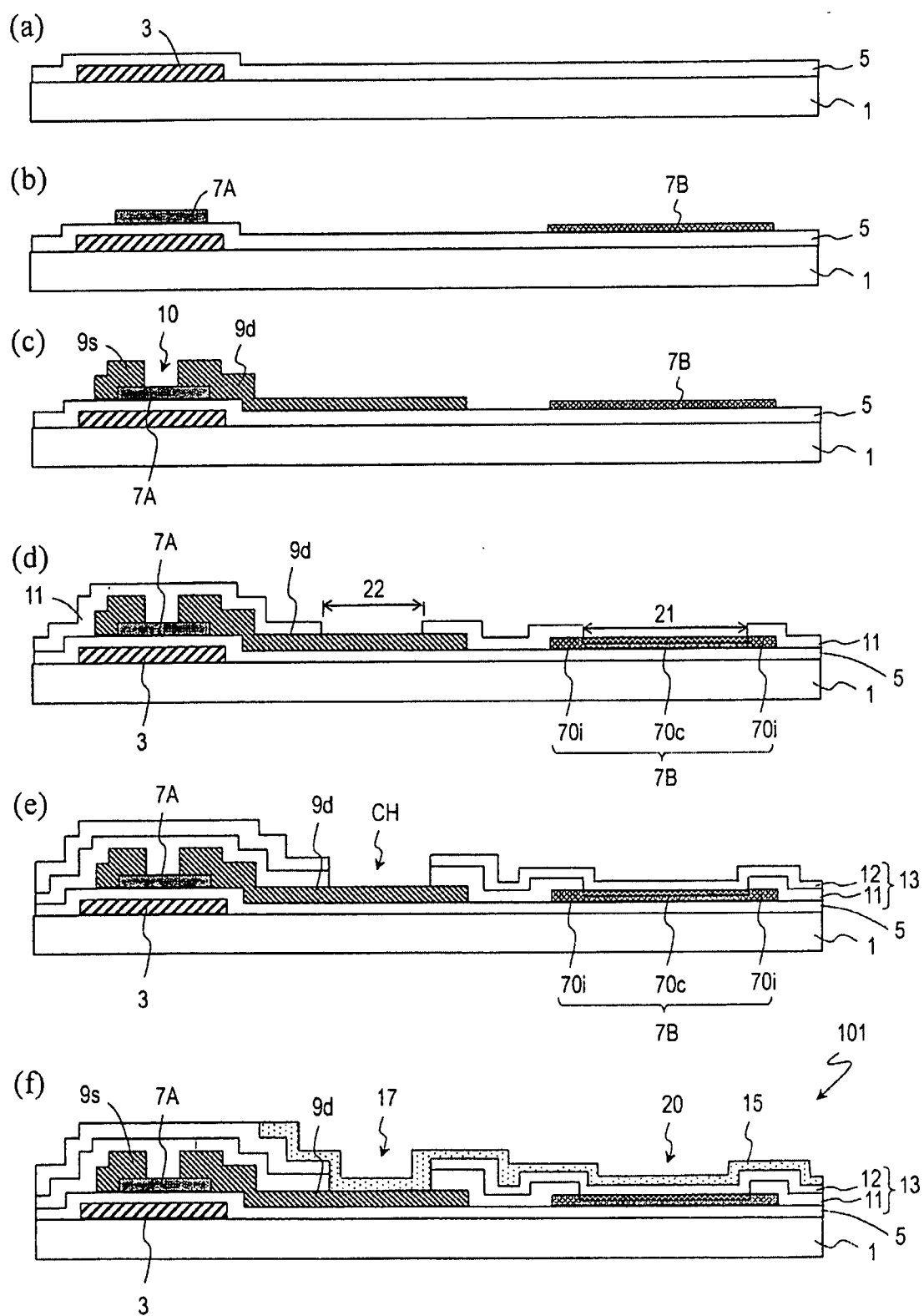


圖2

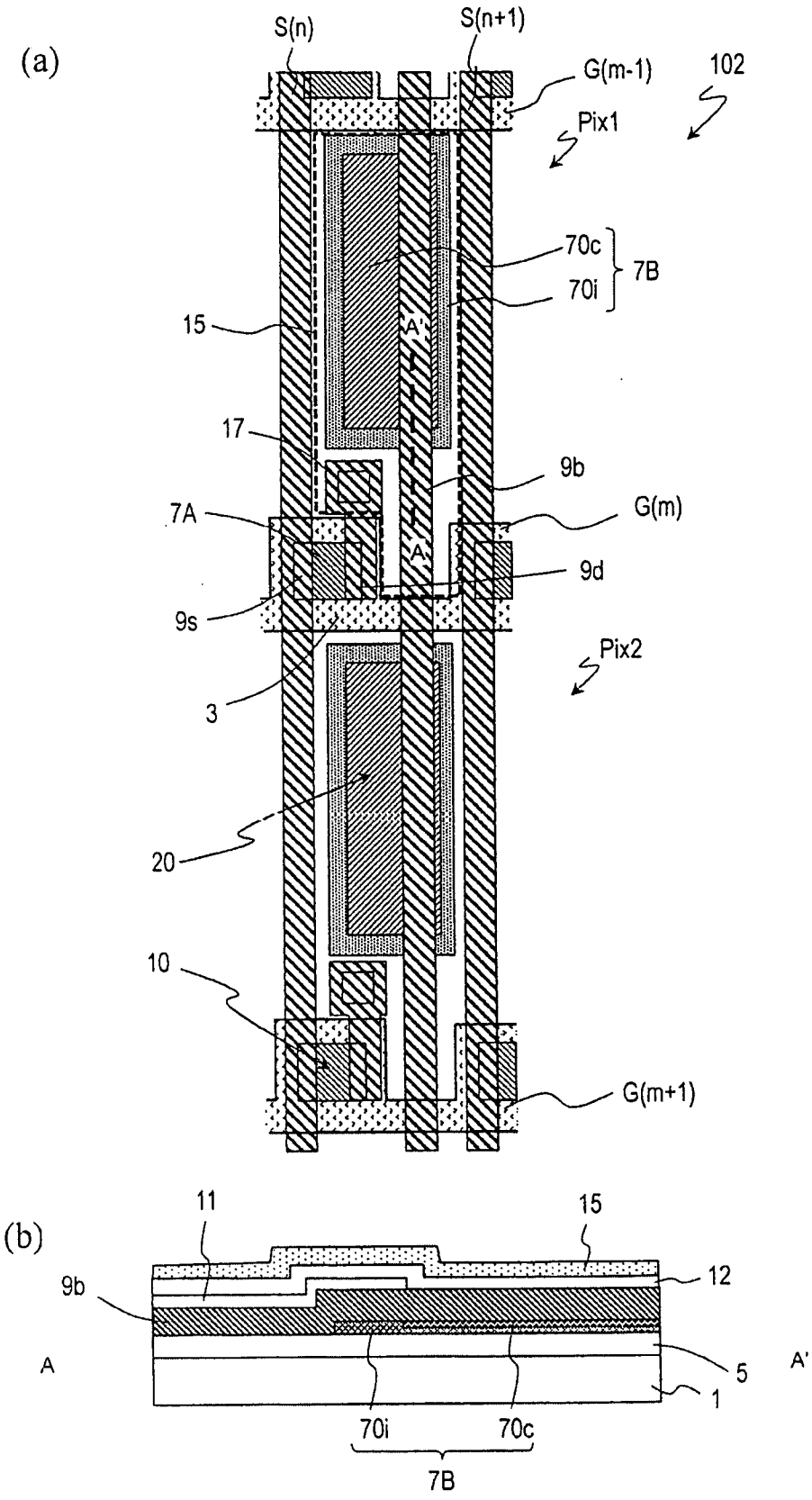


圖3

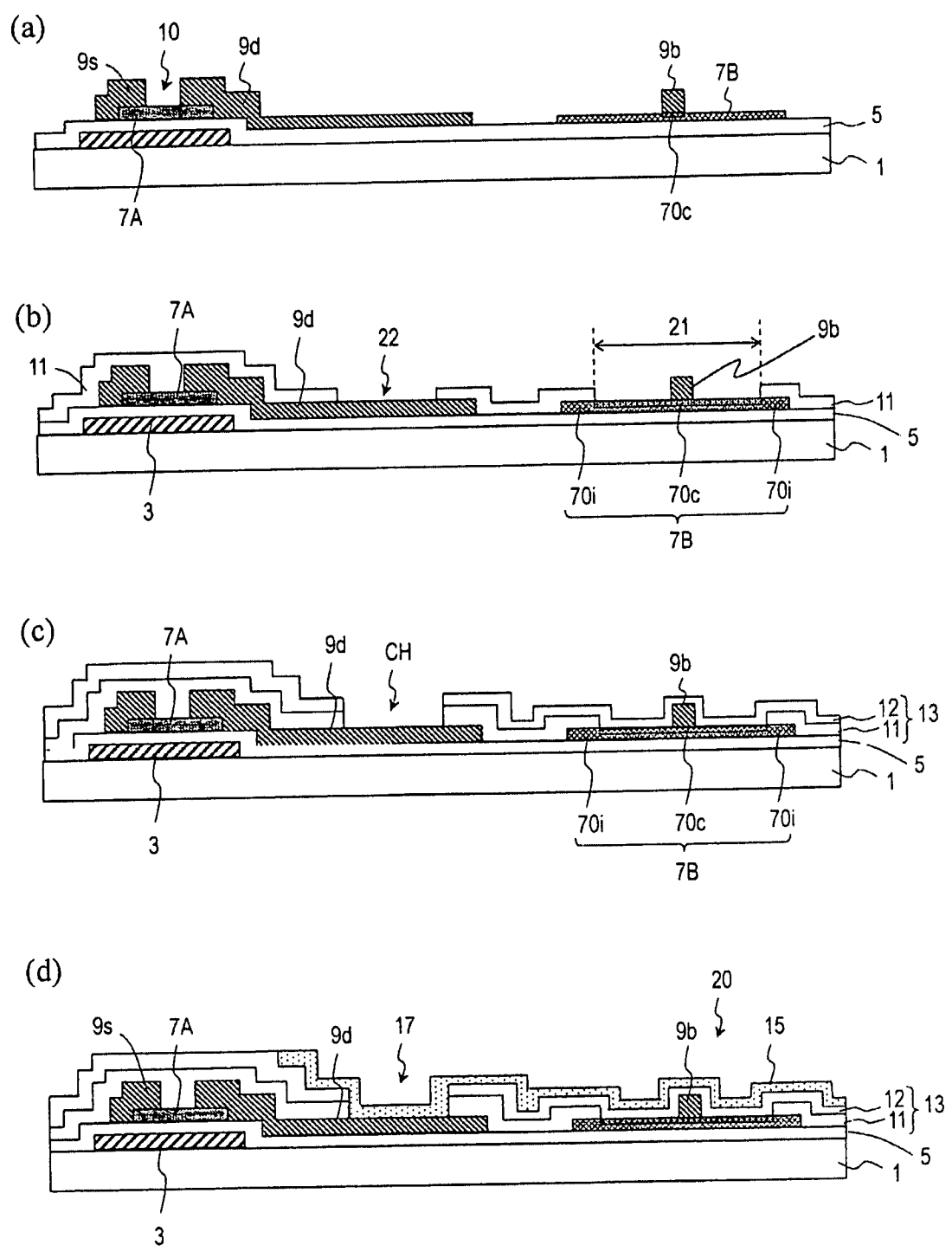


圖4

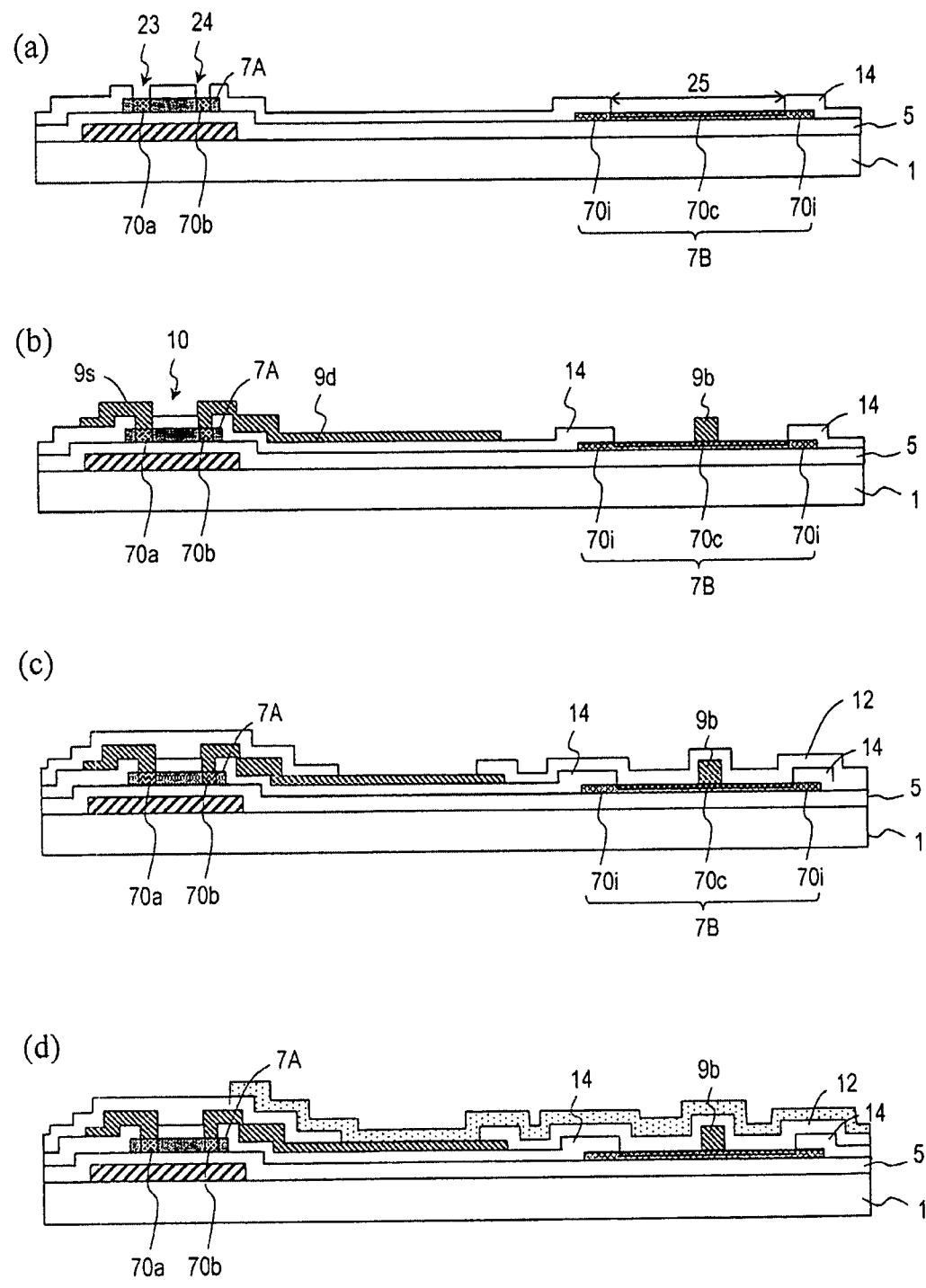
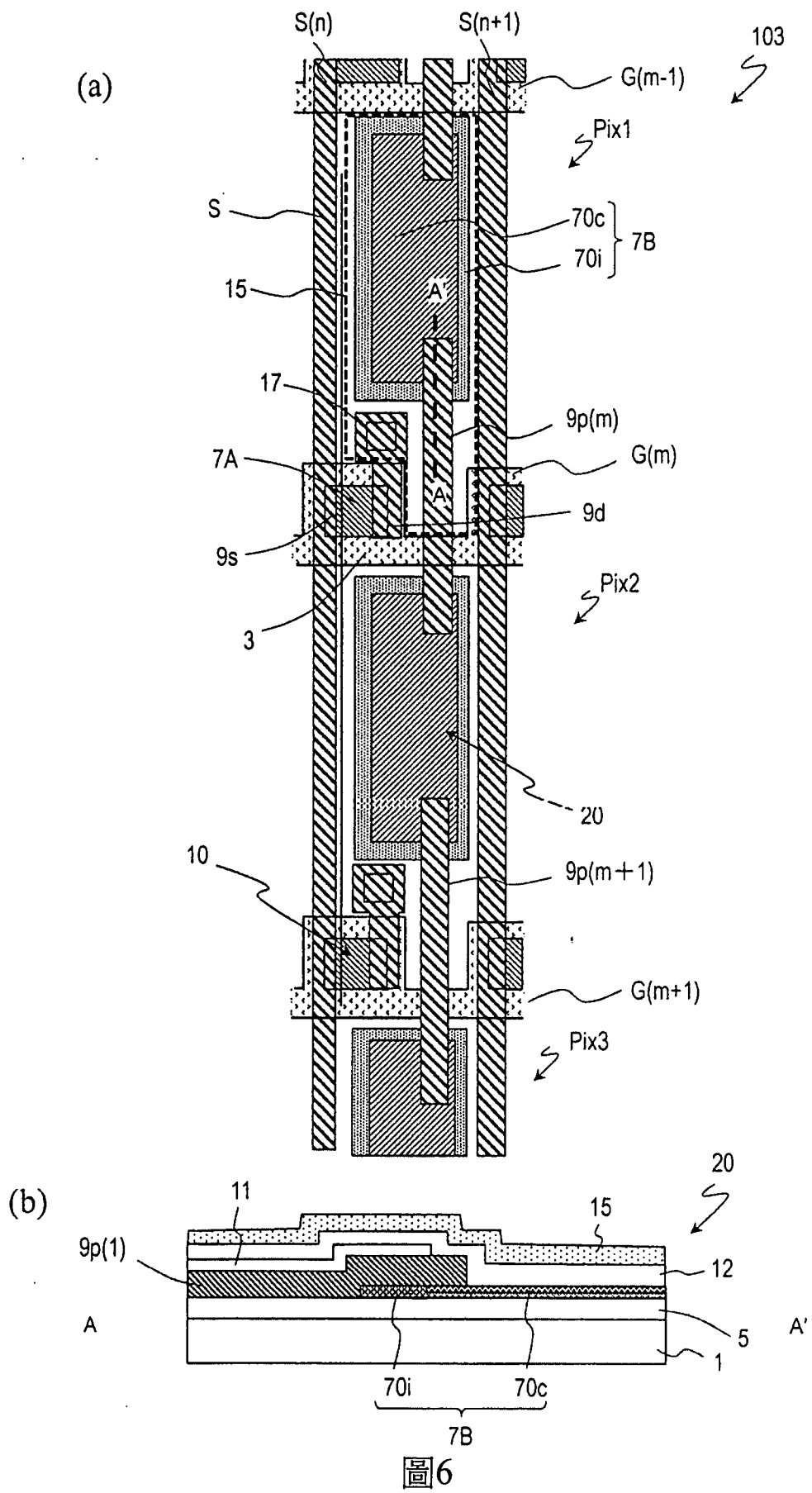


圖5



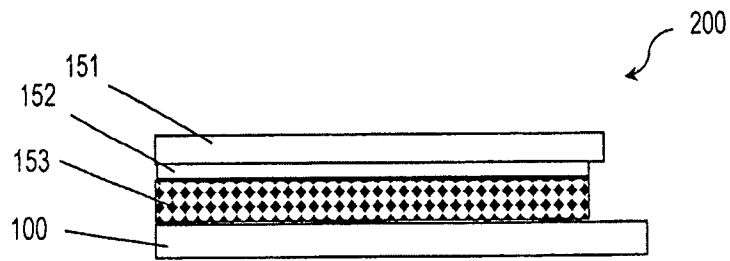


圖7

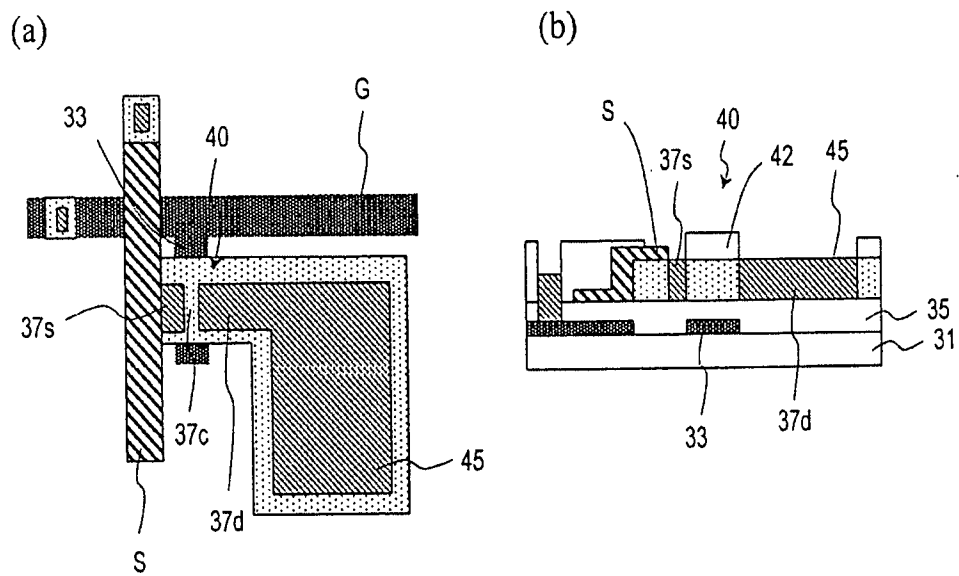


圖8

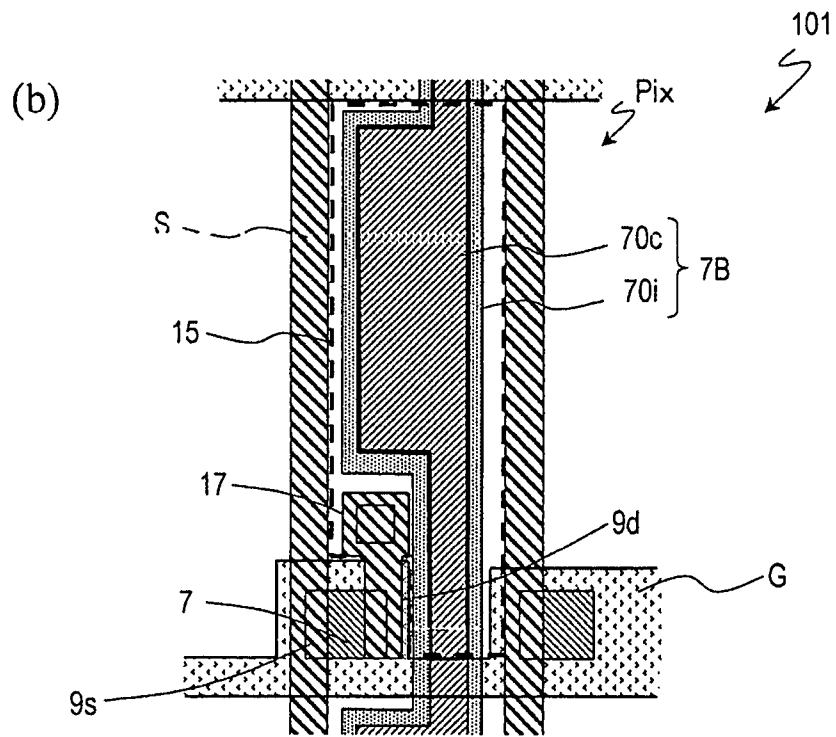
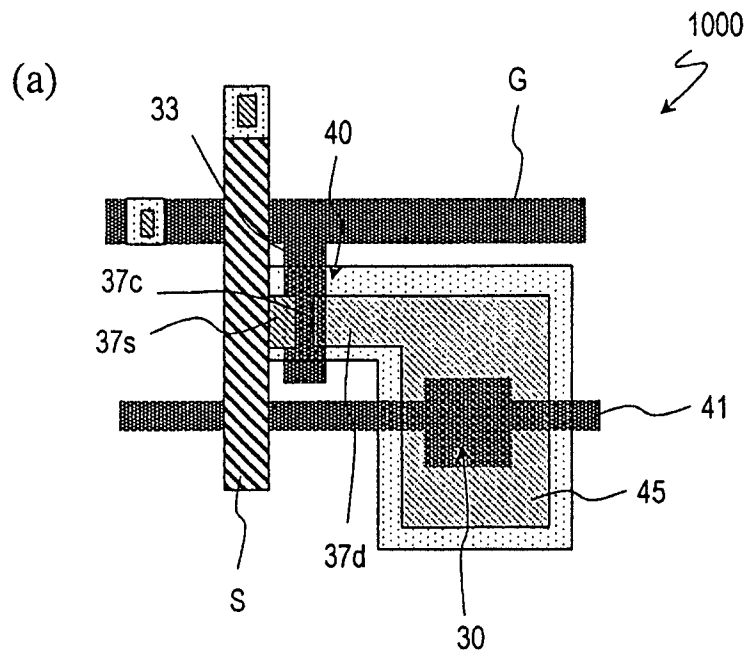


圖9



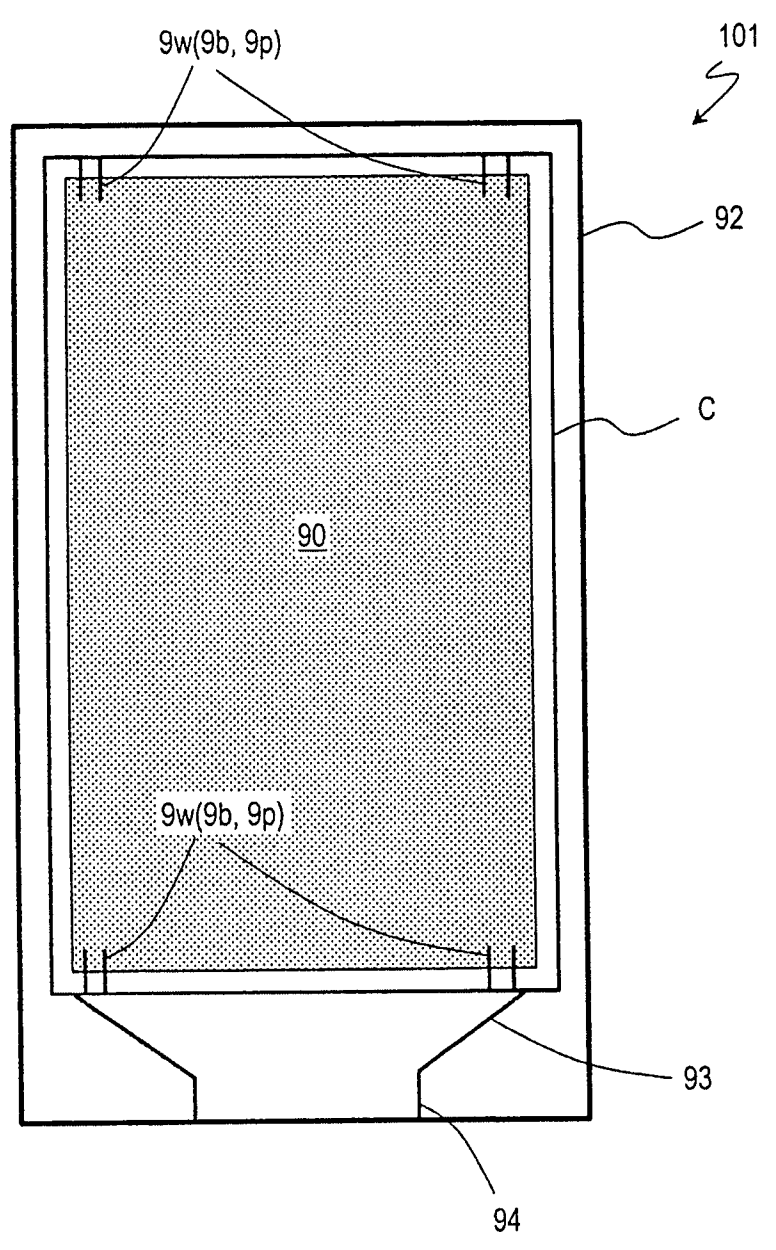


圖10