



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0013970  
(43) 공개일자 2010년02월10일

(51) Int. Cl.

H01L 23/544 (2006.01)

(21) 출원번호 10-2008-0075734

(22) 출원일자 2008년08월01일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박성기

경기 이천시 부발읍 신하리 진우아파트 104-2002호

(74) 대리인

신영무

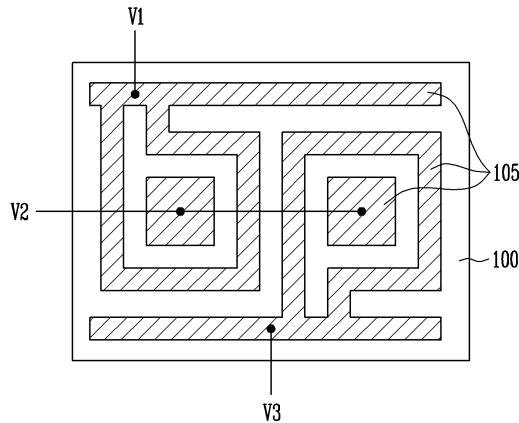
전체 청구항 수 : 총 7 항

(54) 반도체 소자의 테스트 패턴 및 이의 제조 방법

(57) 요약

본 발명은 반도체 소자의 테스트 패턴 및 이의 제조 방법에 관한 것으로, 반도체 기판 상에 도넛 타입으로 형성된 다수의 테스트 패턴들과, 상기 도넛 타입의 내부에 상기 패턴들과 접촉되지 않게 형성된 제1 패드, 및 상기 다수의 패턴들의 외부 테두리 부분과 접촉된 제2 패드들을 포함하는 반도체 소자의 테스트 패턴 및 이의 제조 방법을 개시한다.

대표도 - 도5b



## 특허청구의 범위

### 청구항 1

반도체 기판 상에 도넛 타입으로 형성된 다수의 테스트 패턴들;  
 상기 도넛 타입의 내부에 상기 패턴들과 접촉되지 않게 형성된 제1 패드; 및  
 상기 다수의 패턴들의 외부 테두리 부분과 접촉된 제2 패드들을 포함하는 반도체 소자의 테스트 패턴.

### 청구항 2

제 1 항에 있어서,  
 상기 다수의 테스트 패턴들은 직사각형 타입의 테두리모양으로 형성되며, 상기 직사각형 타입의 한면에 돌출부를 포함하여 상기 제2 패드들 중 어느 하나에 연결된 반도체 소자의 테스트 패턴.

### 청구항 3

제 2 항에 있어서,  
 상기 제1 패드들은 상기 테두리모양 내부에 형성되는 반도체 소자의 테스트 패턴.

### 청구항 4

제 2 항에 있어서,  
 상기 다수의 테스트 패턴들은 상기 돌출부를 교차적으로 상부 하부 방향으로 배치되어 상기 제2 패드부들은 서로 평행하게 형성되어 서로 접촉되지 않는 반도체 소자의 테스트 패턴.

### 청구항 5

반도체 기판 상에 도전막 및 하드 마스크막을 순차적으로 형성하는 단계;  
 상기 하드 마스크막 상에 다수의 보조 패턴을 형성하되, 상기 다수의 보조 패턴들은 도넛 타입으로 형성하는 단계;  
 상기 보조 패턴의 도넛 내부 및 보조 패턴의 외벽과 연결되는 패드 마스크를 각각 형성하는 단계;  
 상기 보조 패턴의 측벽에 스페이서를 형성하는 단계;  
 상기 보조 패턴을 제거하는 단계;  
 상기 스페이서 및 상기 패드 마스크를 이용하여 상기 하드 마스크막 및 상기 도전막을 패터닝하는 단계; 및  
 상기 스페이서, 상기 패드 마스크, 및 상기 하드 마스크막을 제거하는 단계를 포함하는 반도체 소자의 테스트 패턴 형성 방법.

### 청구항 6

제 5 항에 있어서,  
 상기 다수의 보조 패턴은 직사각형 테두리 모양으로 형성하되, 인접한 보조 패턴과 교차적으로 상부 하부 방향으로 돌출된 돌출부를 갖도록 형성하는 반도체 소자의 테스트 패턴 형성 방법.

### 청구항 7

제 6 항에 있어서,  
 상기 패드 마스크는 상기 다수의 보조 패턴 내부에 형성된 제1 패드 마스크;  
 상기 돌출부 중 상부 돌출부와 연결되는 제2 패드 마스크; 및  
 상기 돌출부 중 하부 돌출부와 연결되는 제3 패드 마스크를 포함하는 반도체 소자의 테스트 패턴 형성 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 소자의 테스트 패턴 및 이의 제조 방법에 관한 것으로, 특히 스페이서를 이용한 미세 패턴 형성 공정시 브릿지 현상을 테스트 하기 위한 반도체 소자의 테스트 패턴 및 이의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로 플래시 메모리 소자의 게이트는 반도체 기판 상에 터널 절연막, 플로팅 게이트용 도전막, 유전체막, 콘트롤 게이트용 도전막, 금속 게이트층을 적층하여 형성한 후, 이를 하드 마스크 패턴을 이용한 식각 공정으로 순차적으로 식각하여 다수의 메모리 셀 게이트 패턴과 선택 트랜지스터 게이트 패턴을 동시에 형성한다.

[0003] 반도체 장치가 고집적화되면서 일정한 셀(Cell) 면적 상에 고밀도로 반도체 소자들을 형성하여야 하며, 이로 인하여 메모리 셀 게이트의 크기 또한 점차 작아지고 있다. 이로 인하여 셀 게이트 패턴을 식각하기 위한 하드 마스크 형성 공정이 점차 어려워지고 있다.

[0004] 60nm 이하의 선폭을 갖는 플래시 메모리 소자에서 193nm의 파장을 갖는 ArF(불화아르곤) 노광을 이용하여 포토 리소그래피 공정을 적용할 경우, 기존의 식각 공정 개념(정확한 패턴 형성과 수직한 식각 프로파일 등)에 식각 도중 발생하는 포토레지스트의 변형(Deformation)의 억제라는 추가의 요구 조건이 필요하게 된다. 이에 따라 60nm 이하의 플래시 메모리 소자 제조시에는, 식각의 관점에서 기존의 요구조건과 패턴 변형 방지라는 새로운 요구 조건을 동시에 만족하기 위한 공정 조건의 개발이 주요한 과제가 되었다.

**발명의 내용**

**해결 하고자하는 과제**

[0005] 본 발명이 이루고자 하는 기술적 과제는 스페이서를 이용한 더블 패터닝 방법을 이용하여 마스크 패턴을 형성하고, 마스크 패턴을 이용하여 미세 패턴을 형성한다. 이때, 상술한 스페이서를 이용한 더블 패터닝 방법을 이용하여 테스트 패턴을 형성하되 테스트 패턴을 도넛(Donut) 타입으로 형성하여 인접한 패턴과의 브릿지 현상을 검출하고 도넛 내부와도 연결되는 패드를 형성하여 측정 노드를 증가시켜 정밀한 테스트를 진행할 수 있는 반도체 소자의 테스트 패턴 및 이의 제조 방법을 제공하는 데 있다.

**과제 해결수단**

[0006] 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴은 반도체 기판 상에 도넛 타입으로 형성된 다수의 테스트 패턴들과, 상기 도넛 타입의 내부에 상기 패턴들과 접촉되지 않게 형성된 제1 패드, 및 상기 다수의 패턴들의 외부 테두리 부분과 접촉된 제2 패드들을 포함한다.

[0007] 상기 다수의 테스트 패턴들은 직사각형 타입의 테두리모양으로 형성되며, 상기 직사각형 타입의 한면에 돌출부를 포함하여 상기 제2 패드들 중 어느 하나에 연결된다.

[0008] 상기 제1 패드들은 상기 테두리모양 내부에 형성된다.

[0009] 상기 다수의 테스트 패턴들은 상기 돌출부를 교차적으로 상부 하부 방향으로 배치되어 상기 제2 패드부들은 서로 평행하게 형성되어 서로 접촉되지 않는다.

[0010] 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴 제조 방법은 반도체 기판 상에 도전막 및 하드 마스크막을 순차적으로 형성하는 단계와, 상기 하드 마스크막 상에 다수의 보조 패턴을 형성하되, 상기 다수의 보조 패턴들은 도넛 타입으로 형성하는 단계와, 상기 보조 패턴의 도넛 내부 및 보조 패턴의 외벽과 연결되는 패드 마스크를 각각 형성하는 단계와, 상기 보조 패턴의 측벽에 스페이서를 형성하는 단계와, 상기 보조 패턴을 제거하는 단계와, 상기 스페이서 및 상기 패드 마스크를 이용하여 상기 하드 마스크막 및 상기 도전막을 패터닝하는 단계, 및 상기 스페이서, 상기 패드 마스크, 및 상기 하드 마스크막을 제거하는 단계를 포함한다.

[0011] 상기 다수의 보조 패턴은 직사각형 테두리 모양으로 형성하되, 인접한 보조 패턴과 교차적으로 상부 하부 방향으로 돌출된 돌출부를 갖도록 형성한다.

[0012] 상기 패드 마스크는 상기 다수의 보조 패턴 내부에 형성된 제1 패드 마스크와, 상기 돌출부 중 상부 돌출부와 연결되는 제2 패드 마스크, 및 상기 돌출부 중 하부 돌출부와 연결되는 제3 패드 마스크를 포함한다.

**효 과**

[0013] 본 발명의 일 실시 예에 따르면, 스페이서를 이용한 더블 패터닝 방법을 이용하여 마스크 패턴을 형성하고, 마스크 패턴을 이용하여 미세 패턴을 형성하며, 이때 상술한 스페이서를 이용한 더블 패터닝 방법을 이용하여 테스트 패턴을 형성하되 테스트 패턴을 도넛(Donut) 타입으로 형성하여 인접한 패턴과의 브릿지 현상을 검출하고 도넛 내부와도 연결되는 패드를 형성하여 측정 노드를 증가시켜 정밀한 테스트를 진행할 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0014] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허청구범위에 의해서 이해되어야 한다.

[0015] 본 발명의 일 실시 예는 플래시 메모리 소자의 게이트 패턴 형성 공정시 동시에 형성되는 테스트 패턴 형성 공정을 일례로 설명한다. 본 발명의 실시예는 게이트 패턴 뿐만 아니라 반도체 소자의 금속 배선 등 미세 패턴을 형성하기 위한 다수의 공정에 적용가능하다.

[0016] 도 1a 내지 도 5b는 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴 및 이의 제조 방법을 설명하기 위한 소자의 단면도 및 평면도이다.

[0017] 도 1a를 참조하면, 반도체 기판(100) 상에 터널 절연막(101), 플로팅 게이트용 도전막(102), 유전체막(103), 콘트롤 게이트용 도전막(104), 및 금속 게이트층(105)을 순차적으로 적층하여 형성한다.

[0018] 이 후, 금속 게이트층(105)을 포함한 전체 구조 상에 하드 마스크막(106)을 형성한다. 이 후, 하드 마스크막(106) 상에 보조 패턴(107)을 형성한다. 이때 보조 패턴(107)의 임계치수(a)는 보조 패턴(107)들 사이의 간격(b)의 1/3이 되도록 형성한다.

[0019] 도 1b를 참조하면, 보조 패턴(107)은 하드 마스크막(106) 상에 도넛(Donut) 타입으로 형성되는 것이 바람직하다. 즉 도 1a에 도시된 보조 패턴(107) 두개가 하나의 직사각형의 변을 이루도록 형성되는 것이 바람직하다. 또한 보조 패턴(107)은 반도체 기판의 상부 방향 또는 하부 방향으로 돌출부(A)를 갖도록 형성하는 것이 바람직하다. 돌출부(A)는 후속 공정시 전압 패드 부분과 연결되는 부분이다. 또한 돌출부(A)는 인접한 도넛(Donut) 타입의 보조 패턴(107)과 교차적으로 상부 하부에 형성하는 것이 바람직하다.

[0020] 도 2를 참조하면, 도 1b의 돌출부(A)와 연결되는 패드 마스크(108)와 도넛(Donut) 타입의 보조 패턴(107) 사이의 공간에 형성되는 패드 마스크(108)를 형성한다.

[0021] 도 3a 및 도 3b를 참조하면, 패드 마스크(108) 및 보조 패턴(107)을 포함한 전체 구조 상에 스페이서막을 형성한 후, 이를 식각하여 보조 패턴(107)의 측벽에 스페이서(109)를 형성한다. 이때 스페이서(109)의 두께는 보조 패턴(107)의 임계치수와 동일하도록 형성하는 것이 바람직하다.

[0022] 도 4a 및 도 4b를 참조하면, 노출되는 보조 패턴을 제거한다. 이로 인하여 보조 패턴 하부막인 하드 마스크막이 일부 노출된다. 노출되는 하드 마스크막을 식각하여 하드 마스크 패턴(106A)을 형성한다.

[0023] 도 5a 및 도 5b를 참조하면, 노출되는 금속 게이트층(105), 콘트롤 게이트용 도전막(104), 유전체막(103), 플로팅 게이트용 도전막(102), 및 터널 절연막(101)을 순차적으로 식각하여 게이트 패턴을 형성한다.

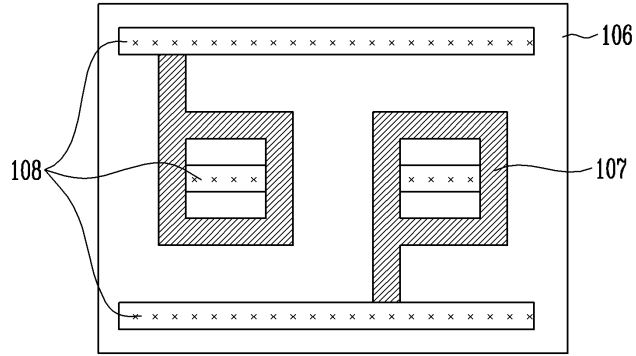
[0024] 이 후, 하드 마스크 패턴, 스페이서, 및 패드 마스크를 제거한다.

[0025] 이 후, 도 5b와 같이 패드 마스크를 이용하여 형성된 반도체 기판의 상부 하부 패드 부분과 도넛 타입 내부에 형성된 패드 마스크를 이용하여 형성된 패드 부분에 각각 제1 내지 제3 테스트 전압을 인가하여 게이트 패턴의 브릿지 현상을 검출한다.

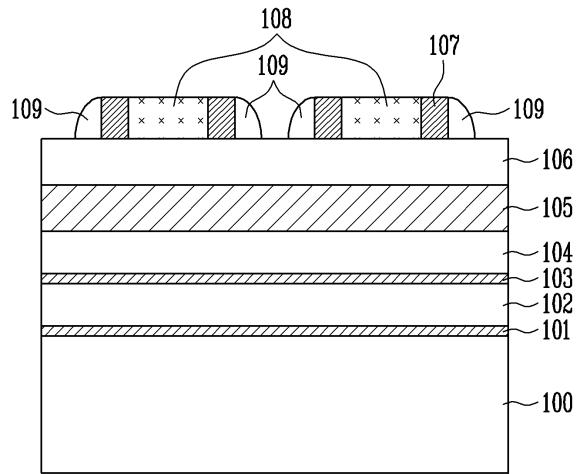
[0026] 스페이서를 이용한 미세 패턴 형성 방법은 스페이서 형성 공정시 보조 패턴 측벽에 스페이서가 잔류되도록 식각 공정이 진행되어야 하는데 이때 두개의 인접한 스페이서가 서로 붙어있게 되면 후속 미세 패턴 형성 공정시 브



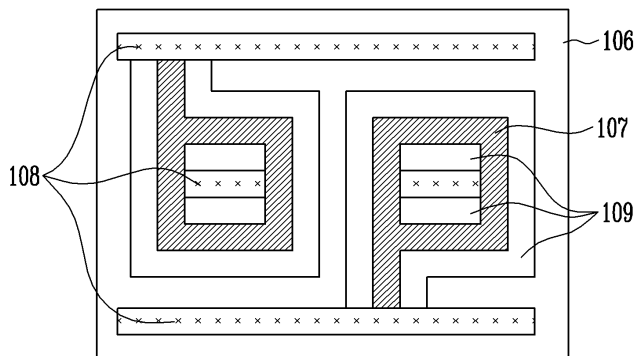
도면2



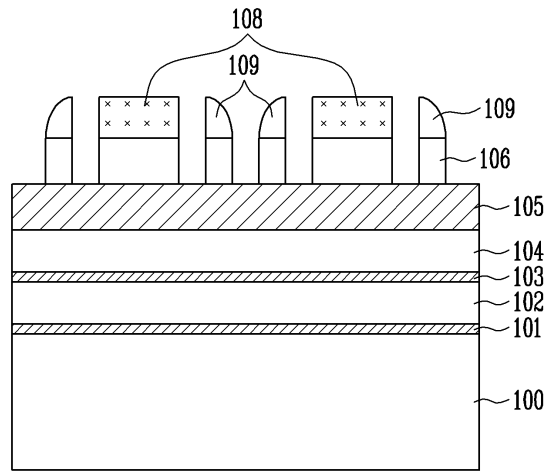
도면3a



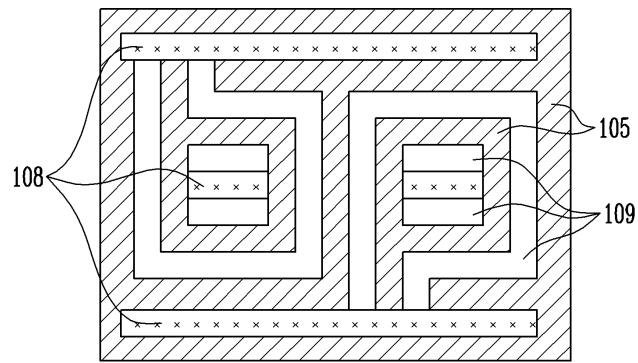
도면3b



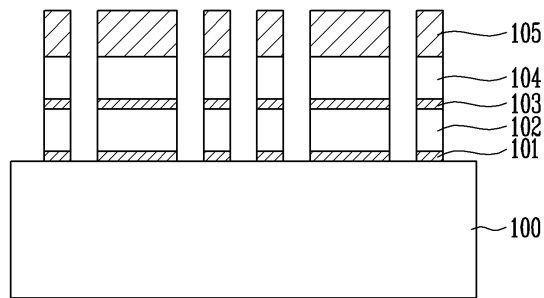
도면4a



도면4b



도면5a



도면5b

