



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월28일
(11) 등록번호 10-0833178
(24) 등록일자 2008년05월22일

(51) Int. Cl.

G06F 12/02 (2006.01)

(21) 출원번호 10-2005-0078908
(22) 출원일자 2005년08월26일
심사청구일자 2006년08월14일
(65) 공개번호 10-2007-0024212
(43) 공개일자 2007년03월02일

(56) 선행기술조사문헌
JP2003263364 A
(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김동근

서울 서초구 서초동 1350-13 동원베네스트아파트
101-902

(74) 대리인

리엔특특허법인

전체 청구항 수 : 총 19 항

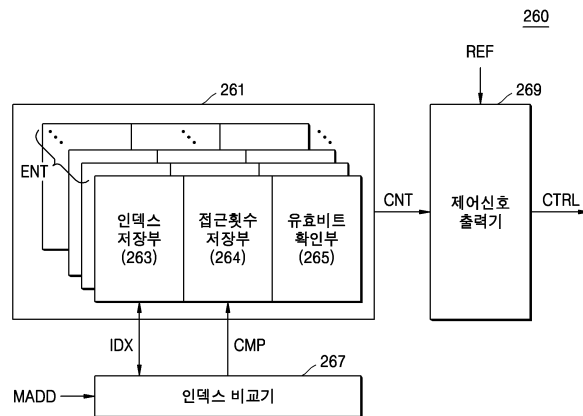
심사관 : 이종익

(54) 캐시 메모리에 저장되는 블록개수를 제어할 수 있는 캐시메모리 시스템 및 동작 방법

(57) 요약

캐시 메모리에 저장되는 블록개수를 제어할 수 있는 캐시 메모리 시스템 및 동작 방법이 개시된다. 위한 본 발명의 실시예에 따른 캐시 메모리 시스템은 중앙처리장치, 제 1 메모리, 제 2 메모리와 블록개수 결정부를 구비한다. 제 2 메모리는 상기 중앙처리장치와 상기 제 1 메모리 사이에서 상기 제 1 메모리의 내부 저장 영역인 블록을 저장한다. 블록개수 결정부는 상기 제 1 메모리에서 상기 제 2 메모리로 저장되는 상기 블록의 개수를 지시한다. 본 발명에 따른 캐시 메모리 시스템 및 동작 방법은 공간적 집약성이 넓은 영역에 걸쳐 존재하는 데이터들과 인접한 다수의 블록을 캐시 메모리에 저장함으로써 캐시미스 횟수를 줄여 메모리 액세스에 소요되는 시간을 줄일 수 있다.

대표도 - 도3



(56) 선행기술조사문헌

KR100193759 B1

US6341331 B1

JP2003030051 A

KR1020020037855 A*

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

중앙처리장치;

제 1 메모리;

상기 중앙처리장치와 상기 제 1 메모리 사이에서 상기 제 1 메모리의 내부 저장 영역인 블록을 저장하는 제 2 메모리; 및

상기 제 1 메모리에서 상기 제 2 메모리로 저장되는 상기 블록의 개수를 지시하는 블록개수 결정부를 구비하며, 상기 블록개수 결정부는,

복수 개의 엔트리들을 구비하며, 각각의 엔트리는 상기 제 1 메모리 상의 영역을 나타내는 인덱스 및 상기 인덱스의 접근횟수에 대한 정보를 갖는 인덱스 테이블; 및

상기 접근횟수를 기준횟수와 비교하고, 상기 비교 결과에 따라 상기 제 2 메모리로 저장되는 상기 블록의 개수를 지시하기 위한 제어신호를 출력하는 제어신호 출력기를 구비하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 2

제 1 항에 있어서, 상기 캐시 메모리 시스템은, 상기 중앙처리장치에서 발생된 주소가 상기 제 2 메모리에 존재할 경우 상기 주소에 대응되는 데이터를 상기 중앙처리장치에 반환하며,

상기 중앙처리장치에서 발생된 주소가 상기 제 2 메모리에 존재하지 않을 경우 상기 제 1 메모리에서 상기 주소를 포함하며, 상기 제어신호 출력기에서 출력되는 상기 제어 신호에 대응되는 개수의 블록을 읽어서 상기 제 2 메모리에 저장하고 상기 주소에 대응되는 데이터를 상기 중앙처리장치에 반환하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 3

제 2 항에 있어서, 상기 캐시 메모리 시스템은,

소정의 마스킹 비트에 응답하여 상기 주소에서 상기 마스킹 비트에 대응하는 일부 비트를 제외한 비트들인 마스킹 주소를 발생시키는 마스킹 회로를 더 구비하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 4

제 3 항에 있어서,

상기 블록개수 결정부는, 상기 마스킹 주소와 상기 인덱스를 비교하여 비교 신호를 발생하는 인덱스 비교기를 더 구비하고,

상기 각각의 엔트리는,

상기 인덱스를 저장하는 인덱스 저장부; 및

상기 마스킹 주소와 동일한 인덱스가 존재할 경우 상기 비교 신호에 응답하여 해당 인덱스의 접근횟수를 변화시키는 접근횟수 저장부를 구비하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 5

삭제

청구항 6

제 4 항에 있어서, 상기 캐시 메모리 시스템은,

상기 제어신호에 응답하여 상기 마스킹 비트에 대응되는 개수의 상기 제 1 메모리의 블록을 상기 제 2 메모리에 저장하고, 상기 주소에 해당하는 데이터를 상기 중앙처리장치에 반환하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 7

제 6 항에 있어서, 상기 캐시 메모리 시스템은, 상기 접근횟수가 상기 기준횟수보다 클 경우 상기 마스크 비트에 상응하는 개수의 상기 제 1 메모리의 블록을 상기 제 2 메모리에 저장하고, 상기 접근횟수가 상기 기준횟수와 같거나 크지 않을 경우 하나의 블록을 상기 제 1 메모리로부터 상기 제 2 메모리에 저장하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 8

제 1 항에 있어서,

상기 제 1 메모리는 상기 중앙처리장치보다 동작 속도가 느린 주 메모리이고, 상기 제 2 메모리는 캐쉬 메모리인 것을 특징으로 하는 캐시 메모리 시스템.

청구항 9

제 4 항에 있어서, 상기 인덱스 테이블은,

상기 마스크 주소와 동일한 상기 인덱스가 상기 엔트리들의 모든 인덱스 저장부에 존재하지 않을 경우 상기 마스크 주소를 인덱스로 하는 새로운 엔트리를 상기 인덱스 테이블에 추가하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 10

제 4 항에 있어서, 상기 각각의 엔트리는,

상기 각 엔트리가 유효한지를 나타내는 유효비트 확인부를 더 구비하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 11

제 4 항에 있어서, 상기 제 2 메모리는,

제1 캐시와 제2 캐시를 구비하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 12

제 11 항에 있어서,

상기 주소가 상기 제1 캐시에 존재하지 않을 경우에만 상기 중앙처리장치로부터 발생된 상기 주소를 상기 마스크 회로로 전송하는 캐시미스 검사부를 더 구비하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 13

제 12 항에 있어서,

상기 제어신호에 응답하여 상기 마스크 비트에 대응되는 개수의 상기 제 1 메모리의 블록을 상기 제2 캐시에 저장하고 상기 주소에 해당하는 데이터를 상기 중앙처리장치에 반환하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 14

제 11 항에 있어서, 상기 마스크 회로는,

상기 주소가 상기 제1 캐시에 존재하지 않을 경우에만 상기 제1 캐시로부터 발생된 상기 주소를 상기 마스크 비트로 변환하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 15

제 14 항에 있어서, 상기 제어신호에 응답하여 상기 마스크 비트에 대응되는 개수의 상기 제 1 메모리의 블록을 상기 제2 캐시에 저장하고 상기 제1 캐시로부터 발생된 주소에 해당되는 데이터를 상기 중앙처리장치에 반환하는 것을 특징으로 하는 캐시 메모리 시스템.

청구항 16

중앙처리장치, 제 1 메모리와 제 2 메모리를 구비하는 캐시 메모리 시스템의 동작 방법에 있어서,

수신된 주소가 상기 제 2 메모리에 존재하는지를 판단하는 단계 ;

상기 주소가 상기 제 2 메모리에 존재하지 아니하면, 상기 제2 메모리에 저장할 상기 제1 메모리의 블록개수를 결정하는 단계 ;상기 결정된 수의 블록들을 상기 제 2 메모리에 저장하고, 상기 주소에 해당하는 상기 제1 메모리의 데이터를 상기 중앙처리장치로 출력하는 단계를 구비하며,

상기 블록개수를 결정하는 단계는, 상기 제 1 메모리 상의 영역을 나타내는 인덱스의 접근횟수를 소정의 기준횟수와 비교하고, 상기 비교 결과에 따라 상기 제 2 메모리로 저장되는 블록의 개수를 결정하는 것을 특징으로 하는 캐시 메모리 시스템의 동작 방법.

청구항 17

제 16 항에 있어서, 상기 블록개수를 결정하는 단계는,

소정의 마스크링 비트에 응답하여 상기 주소에서 상기 마스크링 비트에 해당하는 하위 비트를 제외한 상위 비트들인 마스크링 주소를 발생하는 단계 ;

상기 마스크링 주소와 상기 인덱스를 비교하는 단계;

상기 마스크링 주소와 상기 인덱스가 같을 경우 상기 인덱스의 접근횟수를 증가시키는 단계; 및

상기 마스크링 주소와 상기 인덱스가 다를 경우 상기 마스크링 주소를 새로운 인덱스로 인식하는 단계를 구비하는 것을 특징으로 하는 캐시 메모리 시스템의 동작 방법.

청구항 18

제 17 항에 있어서, 상기 접근횟수를 증가시키는 단계는,

상기 접근횟수와 상기 기준횟수를 비교하는 단계;

상기 접근횟수가 상기 기준횟수보다 클 경우 상기 마스크링 비트에 상응하는 개수의 상기 제 1 메모리의 블록을 상기 제 2 메모리에 저장하는 단계; 및

상기 접근횟수가 상기 기준횟수와 같거나 크지 않을 경우 하나의 블록을 상기 제1 메모리로부터 상기 제2 메모리에 저장하는 단계를 구비하는 것을 특징으로 하는 캐시 메모리 시스템의 동작 방법.

청구항 19

제 17 항에 있어서, 상기 마스크링 주소를 발생하는 단계는,상기 제2 메모리가 용량이 작은 제1 캐시와 용량이 큰 제2 캐시를 구비할 경우,

상기 주소가 상기 제1 캐시에 존재하지 않을 경우에만 상기 마스크링 주소를 발생하는 것을 특징으로 하는 캐시 메모리 시스템의 동작 방법.

청구항 20

제 16 항에 있어서,

상기 제 1 메모리는 상기 중앙처리장치보다 동작 속도가 느린 주 메모리이고, 상기 제 2메모리는 캐쉬 메모리인 것을 특징으로 하는 캐시 메모리 시스템의 동작 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 캐시 메모리 시스템 및 동작 방법에 관한 것으로, 좀 더 구체적으로는 블록개수를 제어할 수 있는 캐시 메모리 시스템 및 동작 방법에 관한 것이다.
- <13> 일반적으로 중앙처리장치(CPU)의 처리속도 증가에 비해 메모리의 처리속도 증가는 매우 느리다. 이에 따라 중앙처리장치와 메모리간에는 속도 차이가 발생하는데 이를 해결하기 위하여 대부분의 시스템에서는 캐시 메모리(cache memory) 구조를 채택하고 있다.
- <14> 일반적으로 중앙처리장치는 한정된 시간 안에는 주 메모리의 특정영역만을 집중적으로 액세스(access)하는데 이를 공간적 집약성(spatial locality)이라 한다. 캐시 메모리는 중앙처리장치와 주 메모리 사이에 위치하는 속도가 빠른 메모리로서 자주 액세스 되는 주 메모리의 일부 영역만을 저장하여 중앙처리장치의 메모리 액세스 속도를 빠르게 한다. 일반적으로 캐시 메모리는 복수 개의 블록(block)들로 구성되며 블록단위로 읽기와 쓰기 동작을 수행한다. 도 1은 종래의 캐시 메모리 시스템(100)을 나타내는 블록도이다.
- <15> 도 1을 참조하면, 종래의 캐시 메모리 시스템(100)은 중앙처리장치(110), 캐시 메모리(120)와 주 메모리(130)를 구비한다.
- <16> 중앙처리장치(110)가 주 메모리(130)의 특정 주소(ADD)를 요청하면 먼저 주소(ADD)가 캐시 메모리(120)에 존재하는지 확인된다. 캐시 메모리(120)에 주소(ADD)가 존재할 경우, 즉 히트(hit)할 경우, 캐시 메모리(120)는 수신된 주소(ADD)에 해당하는 데이터(DATA)를 중앙처리장치(110)에 반환한다.
- <17> 캐시 메모리(120)에 주소(ADD)가 존재하지 않을 경우, 즉 미스(miss)일 경우, 주 메모리(130)의 주소(ADD)를 포함하는 블록이 캐시 메모리(120)에 저장되고 주소(ADD)에 해당하는 데이터(DATA)는 중앙처리장치(110)에 반환된다. 여기서, 블록(block)은 캐시 메모리(120)에서의 읽기와 쓰기의 단위로서 일반적으로 32바이트(byte) 또는 64바이트(byte)의 크기를 가진다.
- <18> 블록의 크기가 크면 집약성(locality)을 높이는 측면에서 유리하지만 캐시 메모리(120) 용량이 한정되어 있기 때문에 블록의 크기가 클수록 총 블록개수는 줄어들게 된다. 이에 따라 캐시 메모리(120)에 저장된 내용을 자주 바꿔야 하므로 캐시 메모리(120)의 성능저하를 초래한다. 따라서 대부분의 캐시 메모리 시스템에서 블록의 크기(block size)는 고정되어 있다.
- <19> 또한, 도 1과 같은 기존의 캐시 메모리 시스템(100)에서 캐시 메모리(120)로 저장되는 주 메모리(130)의 영역은 1개 블록뿐이다. 이에 따라, 중앙처리장치(110)가 블록 크기를 초과하는 공간적 집약성(spatial locality)을 가지는 데이터들을 자주 필요로 할 경우 캐시 메모리의 히트율(hit ration)이 떨어진다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <20> 본 발명이 이루고자 하는 기술적 과제는 기준횟수보다 자주 액세스하는 메모리 영역에 대응되는 복수 개의 인접한 블록을 캐시 메모리에 저장할 수 있는 캐시 메모리 시스템을 제공하는 데 있다.
- <21> 본 발명이 이루고자 하는 다른 기술적 과제는 기준횟수보다 자주 액세스하는 메모리 영역에 대응되는 복수 개의 인접한 블록을 캐시 메모리에 저장할 수 있는 캐시 메모리 시스템의 동작 방법을 제공하는 데 있다.

발명의 구성 및 작용

- <22> 상술한 본 발명의 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 캐시 메모리 시스템은 중앙처리장치, 제 1 메모리, 제 2 메모리와 블록개수 결정부를 구비한다.
- <23> 제 2 메모리는 상기 중앙처리장치와 상기 제 1 메모리 사이에서 상기 제 1 메모리의 내부 저장 영역인 블록을 저장한다. 블록개수 결정부는 상기 제 1 메모리에서 상기 제 2 메모리로 저장되는 상기 블록의 개수를 지시한다.
- <24> 상기 캐시 메모리 시스템은 상기 중앙처리장치에서 발생된 주소가 상기 제 2 메모리에 존재할 경우 상기 주소에 대응되는 데이터를 상기 중앙처리장치에 반환한다. 상기 중앙처리장치에서 발생된 주소가 상기 제 2 메모리에 존재하지 않을 경우 상기 제 1 메모리에서 상기 주소를 포함하며, 상기 블록개수 결정부에서 출력되는 소정의 제어 신호에 대응되는 개수의 블록을 읽어서 상기 제 2 메모리에 저장하고 상기 주소에 대응되는 데이터를 상기 중앙처리장치에 반환한다.
- <25> 상기 캐시 메모리 시스템은 소정의 마스킹 비트에 응답하여 상기 주소에서 상기 마스킹 비트에 대응하는 일부

비트를 제외한 비트들인 마스크 주소를 발생시키는 마스크 회로를 더 구비한다.

- <26> 상기 블록개수 결정부는 복수 개의 엔트리들을 구비하는 인덱스 테이블 및 상기 마스크 주소와 상기 엔트리에 저장되며 상기 제 1 메모리 상의 영역을 나타내는 인덱스를 비교하여 비교 신호를 발생하는 인덱스 비교기를 구비한다.
- <27> 상기 각각의 엔트리는 상기 인덱스를 저장하는 인덱스 저장부 및 상기 마스크 주소와 동일한 인덱스가 존재할 경우 상기 비교 신호에 응답하여 해당 인덱스의 접근횟수를 변화시키는 접근횟수 저장부를 구비한다.
- <28> 상기 블록개수 결정부는 상기 접근횟수와 기준횟수를 비교하여 상기 제어신호를 출력하는 제어신호 출력기를 더 구비한다. 상기 캐시 메모리 시스템은 상기 제어신호에 응답하여 상기 마스크 비트에 대응되는 개수의 상기 제 1 메모리의 블록을 상기 제 2 메모리에 저장하고, 상기 주소에 해당하는 데이터를 상기 중앙처리장치에 반환한다.
- <29> 상기 캐시 메모리 시스템은 상기 접근횟수가 상기 기준횟수보다 클 경우 상기 마스크 비트에 상응하는 개수의 상기 제 1 메모리의 블록을 상기 제 2 메모리에 저장하고, 상기 접근횟수가 상기 기준횟수와 같거나 크지 않을 경우 하나의 블록을 상기 제 1 메모리로부터 상기 제 2 메모리에 저장한다.
- <30> 상기 제 1 메모리는 상기 중앙처리장치보다 동작 속도가 느린 주 메모리이고, 상기 제 2메모리는 캐쉬 메모리이다. 상기 인덱스 테이블은 상기 마스크 주소와 동일한 상기 인덱스가 상기 엔트리들의 모든 인덱스 저장부에 존재하지 않을 경우 상기 마스크 주소를 인덱스로 하는 새로운 엔트리를 상기 인덱스 테이블에 추가한다.
- <31> 상기 각각의 엔트리는 상기 각 엔트리가 유효한지를 나타내는 유효비트 확인부를 더 구비한다. 상기 제 2 메모리는 제1 캐시와 제2 캐시를 구비한다. 상기 주소가 상기 제1 캐시에 존재하지 않을 경우에만 상기 중앙처리장치로부터 발생된 상기 주소를 상기 마스크 회로로 전송하는 캐시미스 검사부를 더 구비한다.
- <32> 상기 제어신호에 응답하여 상기 마스크 비트에 대응되는 개수의 상기 제 1 메모리의 블록을 상기 제2 캐시에 저장하고 상기 주소에 해당하는 데이터를 상기 중앙처리장치에 반환한다. 상기 마스크 회로는 상기 주소가 상기 제1 캐시에 존재하지 않을 경우에만 상기 제1 캐시로부터 발생된 상기 주소를 상기 마스크 비트로 변환한다.
- <33> 상기 제어신호에 응답하여 상기 마스크 비트에 대응되는 개수의 상기 제 1 메모리의 블록을 상기 제2 캐시에 저장하고 상기 제1 캐시로부터 발생된 주소에 해당되는 데이터를 상기 중앙처리장치에 반환한다.
- <34> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 캐시 메모리 시스템의 동작 방법은 중앙처리장치, 제 1 메모리와 제 2 메모리를 구비하는 캐시 메모리 시스템의 동작 방법에 관한 것이다.
- <35> 캐시 메모리 시스템의 동작 방법은 수신된 주소가 제 2 메모리에 존재하는지를 판단하는 단계, 상기 주소가 상기 제 2 메모리에 존재하지 아니하면, 상기 제2 메모리에 저장할 상기 제1 메모리의 블록개수를 결정하는 단계, 상기 결정된 수의 블록들을 상기 제 2 메모리에 저장하고, 상기 주소에 해당하는 상기 제1 메모리의 데이터를 상기 중앙처리장치로 출력하는 단계를 구비한다.
- <36> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조해야만 한다.
- <37> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시한 동일한 참조부호는 동일한 부재를 나타낸다.도 2는 본 발명의 실시예에 따른 캐시 메모리 시스템을 나타낸 블록도이다.
- <38> 도 2를 참조하면, 캐시 메모리 시스템(200)은 중앙처리장치(Central Processing Unit, 210), 제 1 메모리(230), 제 2 메모리(220)와 블록개수 결정부(260)를 구비한다. 제 1 메모리(230)는 중앙처리장치(210)보다 상대적으로 속도가 느리며 이러한 속도차이를 극복하기 위해 중앙처리장치(210)와 제 1 메모리(230) 사이에서 제 1 메모리(230)의 일부 영역을 저장하는 제 2 메모리(220)가 존재한다.
- <39> 제 1 메모리(230)는 주 메모리(main memory)이고, 제 2 메모리는 캐시 메모리(cache memory)이다. 이하에서는 설명의 편의를 위하여 제 1 메모리(230)를 주 메모리로, 제 2 메모리를 캐시 메모리로 명명한다.
- <40> 본 발명의 캐시 메모리 시스템(200)은 기존의 캐시 메모리 시스템(100)에서 블록의 개수가 고정되는 문제점을 해결하기 위해 블록개수 결정부(260)를 구비한다. 블록개수 결정부(260)는 주 메모리(230)에서 캐시 메모리(220)로 저장되는 블록(BLK)의 개수를 지시하기 위하여 제어신호(CTRL)를 출력한다. 여기서, 블록(BLK)은 주 메모

리(230) 내부의 저장 영역을 나타낸다.

- <41> 본 발명의 캐시 메모리 시스템(200)은 마스크 회로(Masking Circuit, 250)를 더 구비할 수 있다. 마스크 회로(250)는 마스크 비트(MBIT)를 사용하여 중앙처리장치(210)로부터 수신한 주소(ADD)를 마스크 주소(MADD)로 변환한다.
- <42> 블록개수 결정부(260)는 마스크 주소(MADD)를 사용하여 캐시 메모리(220)에 저장할 블록개수를 결정한다.
- <43> 도 3은 도 2의 블록개수 결정부(260)를 나타내는 블록도이다.
- <44> 도 3을 참조하면, 블록개수 결정부(260)는 인덱스 테이블(Index Table, 261), 인덱스 비교기(267)와 제어신호 출력기(269)를 구비한다. 인덱스 테이블(261)은 마스크 주소(MADD)로부터 추출한 인덱스(Idx)들을 저장하고 접근횟수(CNT)를 출력한다.
- <45> 인덱스(Idx)는 마스크 주소(MADD) 자체일 수도 있고 마스크 비트(MBIT)에 의해 마스크된 비트를 제외한 나머지일 수도 있다. 인덱스 비교기(267)는 마스크 회로(250)로부터 수신된 마스크 주소(MADD)와 인덱스(Idx)들을 비교하여 비교신호(CMP)를 출력한다.
- <46> 인덱스 테이블(261)은 복수개의 엔트리(entry, ENT)를 구비하는데 각각의 엔트리(ENT)는 인덱스 저장부(263)와 접근횟수 저장부(264)를 구비한다. 인덱스 저장부(263)는 인덱스(Idx)들을 저장하고 접근횟수 저장부(264)는 인덱스 비교기(265)의 비교신호(CMP)에 따라 해당 인덱스의 접근횟수를 증가시킨다.
- <47> 엔트리(ENT)는 유효비트 확인부(265)를 더 구비할 수 있다. 유효비트 확인부(265)는 인덱스 테이블(261)내의 각 엔트리들이 유효한 지를 나타내는 비트로서 초기에는 무효, 예를 들어 논리 0 로 설정되어 있다가 인덱스 저장부(263)에 인덱스(Idx)가 저장되면 유효, 예를 들어 논리 1 로 설정된다.
- <48> 블록개수 결정부(260)는 제어신호 출력기(269)를 더 구비할 수 있다. 제어신호 출력기(269)는 접근횟수(CNT)와 기준횟수(REF)를 비교하여 주 메모리(230)로부터 캐시 메모리(220)에 저장할 블록개수를 지시하는 제어신호(CTRL)를 출력한다.
- <49> 도 2와 도 3을 참조하여 본 발명의 캐시 메모리 시스템(200)을 상세히 설명하기로 한다.
- <50> 중앙처리장치(210)가 주 메모리(230)의 특정 주소(ADD)에 저장된 데이터(DATA)를 요청하면 캐시 메모리 시스템(200)은 먼저 주소(ADD)가 캐시 메모리(220)에 존재하는지 확인한다. 캐시 메모리(220)에 주소(ADD)가 존재할 경우, 즉 히트(hit)일 경우, 수신된 주소(ADD)에 해당하는 데이터(DATA)를 중앙처리장치(210)에 반환한다.
- <51> 캐시 메모리(220)에 주소(ADD)가 존재하지 않을 경우, 즉 미스(miss)일 경우, 주 메모리(230)에서 주소(ADD)를 포함하는 블록(BLK)을 읽어 캐시 메모리(220)에 저장하고 주소(ADD)에 해당하는 데이터(DATA)는 중앙처리장치로 반환된다.
- <52> 도 1과 같은 기존의 캐시 메모리 시스템(100)에서는 블록크기를 초과하는 공간적 집약성을 갖는 데이터들은 캐시미스(cache miss)로 판단되고 주 메모리(230)에 접근(access)함으로써 전체적인 성능저하를 초래한다.
- <53> 이러한 문제를 해결하기 위하여 본 발명의 캐시 메모리 시스템(200)은 중앙처리장치(210)가 특정 주소(ADD)의 데이터를 요청하면 주소(ADD)는 캐시 메모리(220)뿐만 아니라 마스크 회로(250)로도 전달된다.
- <54> 마스크 회로(250)는 마스크 비트(MBIT)를 사용하여 주소(ADD)를 마스크 주소(MADD)로 변환한다. 마스크 비트(MBIT)는 블록개수를 결정하는데 사용되며 사용자에게 의해 변경될 수 있다. 예를 들어, 주소(ADD)가 32비트이고 마스크 비트(MBIT)를 8비트로 설정했다면 마스크 주소(MADD)는 마스크된 비트에 대응되는 하위 비트를 제외한 상위 24비트가 된다. 마스크 비트가 8비트이면 256바이트(=2⁸ 바이트)이므로 블록크기(block size)를 64바이트(byte)라 가정하면 블록개수는 4개이다.
- <55> 블록개수 결정부(260)의 인덱스 비교기(267)는 수신된 마스크 주소(MADD)와 각 엔트리(ENT) 내의 인덱스 저장부(263)에 저장된 인덱스(Idx)들을 비교한다. 여기서, 인덱스(Idx)는 주 메모리(230)상의 소정의 영역을 나타낸다.
- <56> 동일한 인덱스(Idx)가 존재할 경우 해당 엔트리의 접근횟수 저장부(264)는 해당 인덱스의 접근횟수(CNT)를 증가시킨다. 만일, 동일한 인덱스(Idx)가 인덱스 테이블(261)의 모든 엔트리(ENT)의 인덱스 저장부(263)에 존재하지 않을 경우, 유효비트 확인부(265)를 검사하여 무효(논리 0)인 엔트리(entry)의 인덱스 저장부(263)에 마스크

주소(MADD)를 저장함으로써 새로운 엔트리로 등록한다.

- <57> 제어신호 출력기(269)는 마스킹 비트(MBIT)에 상응하는 영역, 예를 들어 4개의 블록으로 공간적 집약성(spatial locality)이 확장되는 지를 판단하기 위해 인덱스(IDX)로의 접근횟수(CNT)와 사용자가 설정한 기준횟수(REF)를 비교하여 제어신호(CTRL)를 출력한다.
- <58> 본 발명의 캐시 메모리 시스템(200)은 제어신호(CTRL)에 응답하여 해당되는 개수의 블록(BLK)을 주 메모리(230)로부터 캐시 메모리(220)에 저장하고 주소(ADD)에 해당하는 데이터(DATA)를 중앙처리장치(210)에 반환한다.
- <59> 즉, 접근횟수(CNT)가 기준횟수(REF)와 같거나 크지 않을 경우에는 기존의 캐시 메모리 시스템(100)과 똑같이 하나의 블록을 주 메모리(230)로부터 캐시 메모리(220)에 저장된다. 그러나, 접근횟수(CNT)가 기준횟수(REF)보다 큰 경우는 공간적 집약성(spatial locality)이 확장되는 것으로 판단하여 마스킹 비트(MBIT)에 상응하는 개수의 블록, 예를 들어 4개의 블록을 주 메모리(230)로부터 캐시 메모리(220)에 저장한다.
- <60> 따라서 본 발명의 캐시 메모리 시스템(200)은 공간적 집약성이 넓은 영역, 예를 들어, 마스킹 비트(MBIT)가 8비트일 경우 4개의 블록에서 일어난 것으로 판단되면 상응하는 개수의 블록 모두를 캐시 메모리(220)로 저장한다. 이것은 블록크기를 확장하는 결과가 되므로 캐시미스를 줄여 메모리 액세스 시간을 줄일 수 있다.
- <61> 도 4는 본 발명의 다른 실시예에 따른 캐시 메모리 시스템을 나타낸 블록도이다.
- <62> 도 4를 참조하면, 캐시 메모리 시스템(300)은 중앙처리장치(Central Processing Unit, 310), 캐시 메모리(Cache Memory, 320), 주 메모리(Main Memory, 330), 마스킹 회로(350)와 블록개수 결정부(360)를 구비한다.
- <63> 캐시 메모리(320)는 제1 캐시(323)와 제2 캐시(325)를 구비한다. 일반적으로 제 1 캐시(323)는 L1 캐시라고 불리고 제 2 캐시(325)는 L2 캐시라고 불린다. 제1 캐시(323)는 용량이 작으며 중앙처리장치(310)와 가까이 있어 액세스 속도가 빠르고, 제2 캐시(325)는 저장용량이 크지만 제1 캐시보다 액세스 속도가 느리다.
- <64> 본 발명의 캐시 메모리 시스템(300)은 제어신호(CTRL)에 따른 복수 개의 블록을 저장해야 하므로 용량이 작은 제1 캐시(323)에서는 캐시폭발(cache pollution)현상이 일어날 수 있다. 따라서 상대적으로 용량이 큰 제2 캐시(325)에 블록개수 결정부(360)에서 결정된 복수개의 블록을 저장하기 위해 캐시 메모리 시스템(300)은 캐시미스 검사부(340)를 구비한다.
- <65> 도2의 캐시 메모리 시스템(200)의 동작과 다른 부분을 중심으로 캐시 메모리 시스템(300)의 동작이 설명된다. 캐시 메모리 시스템(300)은 중앙처리장치(310)가 특정 주소(ADD)의 데이터를 요청하면 주소(ADD)는 캐시 메모리(320)의 제1 캐시(323)와 캐시미스 검사부(340)에 전달된다.
- <66> 주소(ADD)가 제1 캐시(323)에 존재하는 경우, 즉, 히트(hit)인 경우, 기존의 캐시 메모리시스템(100)과 같이 주소(ADD)에 해당되는 데이터(DATA)가 중앙처리장치(310)에 반환된다.
- <67> 캐시미스 검사부(340)는 주소(ADD)가 제1 캐시(323)에 존재하지 않을 경우, 즉, 캐시미스(cache miss)가 발생했을 경우에만 중앙처리장치(310)로부터 수신된 주소(ADD)를 마스킹 회로(350)로 전송한다.
- <68> 마스킹 회로(350)는 캐시미스 검사부(340)로부터 수신된 주소(ADD)와 마스킹 비트(MBIT)를 사용하여 주소(ADD)를 마스킹 주소(MADD)로 변환한다. 블록개수 결정부(360)는 마스킹 주소(MADD)에 응답하여 제어신호(CTRL)를 주 메모리(330)로 전송한다.
- <69> 캐시 메모리 시스템(300)은 제어신호(CTRL)에 응답하여 해당되는 개수의 블록(BLK)을 주 메모리(330)로부터 제2 캐시(325)에 저장하고 주소(ADD)에 해당하는 데이터(DATA)를 중앙처리장치(310)에 반환한다. 도 4에서 제 2 캐시(325)에서 제 1 캐시(323)로 전송되는 데이터(DATA)와 제 1 캐시(323)에서 중앙처리장치(310)로 전송되는 데이터(DATA)는 서로 다를 수 있다.
- <70> 도 5는 본 발명의 또다른 실시예에 따른 캐시 메모리 시스템을 나타낸 블록도이다
- <71> 도 5를 참조하면, 캐시 메모리 시스템(500)은 중앙처리장치(Central Processing Unit, 510), 캐시 메모리(Cache Memory, 520), 주 메모리(Main Memory, 530), 마스킹 회로(550)와 블록개수 결정부(560)를 구비한다.
- <72> 도 5의 캐시 메모리 시스템(500)은 도 4의 캐시 메모리 시스템(300)과 달리 캐시미스 검사부(340)가 존재하지 않는다. 대신 도 5의 캐시 메모리 시스템(500)에서의 마스킹 회로는 중앙처리장치(510)로부터 수신된 주소(ADD)가 아닌 제1 캐시(523)로부터 수신된 주소(ADD)를 사용한다.
- <73> 따라서 도3의 캐시 메모리 시스템(300)과 같이 상대적으로 용량이 큰 제2 캐시(525)에 블록개수 결정부(560)에

서 결정된 복수개의 블록을 저장할 수 있다. 캐시 메모리 시스템(500)은 다음과 같이 동작된다.

- <74> 캐시 메모리 시스템(500)은 중앙처리장치(510)가 특정 주소(ADD)의 데이터를 요청하면 주소(ADD)는 캐시 메모리(520)의 제1 캐시(523)에 전달된다.
- <75> 주소(ADD)가 제1 캐시(523)에 존재하는 경우, 즉, 히트(hit)인 경우, 기존의 캐시 메모리시스템(100)과 같이 주소(ADD)에 해당되는 데이터를 중앙처리장치(510)에 반환한다.
- <76> 주소(ADD)가 제1 캐시(523)에 존재하지 않을 경우, 즉, 캐시미스(cache miss)가 발생했을 경우에만 제 1 캐시(523)를 통과한 주소(ADD)가 마스크 회로(550)로 전송된다. 마스크 회로(550)는 제1 캐시(523)로부터 수신된 주소(ADD)와 마스크 비트(MBIT)를 사용하여 주소(ADD)를 마스크 주소(MADD)로 변환한다.
- <77> 블록개수 결정부(560)는 마스크 주소(MADD)에 응답하여 제어신호(CTRL)를 주 메모리(530)로 전송한다.
- <78> 캐시 메모리 시스템(500)은 제어신호(CTRL)에 응답하여 해당되는 개수의 블록(BLK)을 주 메모리(530)로부터 제2 캐시(525)에 저장하고 주소에 해당하는 데이터(DATA)를 중앙처리장치(510)에 반환한다. 도 5에서 제 2 캐시(525)에서 제 1 캐시(523)로 전송되는 데이터(DATA)와 제 1 캐시(523)에서 중앙처리장치(510)로 전송되는 데이터(DATA)는 서로 다를 수 있다.
- <79> 도 6은 본 발명의 다른 실시예에 따른 캐시 메모리 시스템의 동작 방법을 설명하는 도면이다.
- <80> 캐시 메모리 시스템의 동작 방법(600)은 중앙처리장치, 제 1 메모리와 제 2 메모리를 구비하는 캐시 메모리 시스템의 동작 방법에 관한 것이다.
- <81> 도 6을 참조하면, 캐시 메모리 시스템의 동작 방법(600)은 수신된 주소가 제 2 메모리에 존재하는지를 판단하는 610 단계, 상기 주소가 상기 제 2 메모리에 존재하지 아니하면, 상기 제2 메모리에 저장할 상기 제1 메모리의 블록개수를 결정하는 620 단계, 상기 결정된 수의 블록들을 상기 제 2 메모리에 저장하고, 상기 주소에 해당하는 상기 제1 메모리의 데이터를 상기 중앙처리장치로 출력하는 630단계를 구비한다.
- <82> 캐시 메모리 시스템의 동작 방법(600)은 상기 주소가 상기 제 2 메모리에 존재하면 제 2 메모리의 데이터를 중앙처리장치로 출력하는 640 단계를 더 구비할 수 있다. 610 내지 640 단계로 구성되는 캐시 메모리 시스템의 동작 방법(600)은 도 2 내지 도 5에 개시된 캐시 메모리 시스템(200, 300, 500)의 동작에 대응되며, 도 2 내지 도 5에 개시된 캐시 메모리 시스템(200, 300, 500)의 동작은 앞서 설명된 바 있으므로 캐시 메모리 시스템의 동작 방법(600)에 대한 상세한 설명을 생략한다.
- <83> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

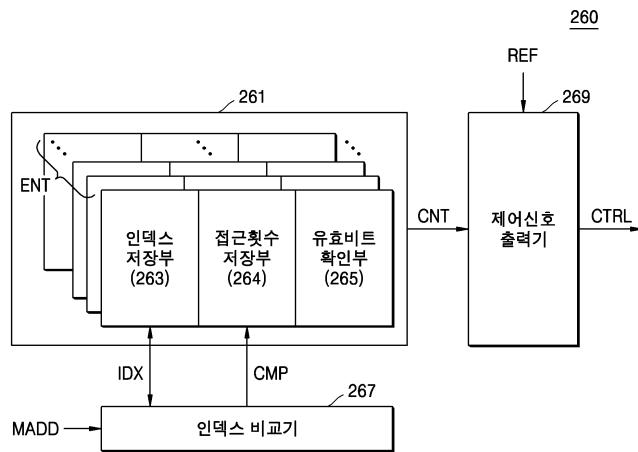
발명의 효과

- <84> 본 발명에 따른 캐시 메모리 시스템 및 캐시 메모리 시스템의 동작 방법은 공간적 집약성이 넓은 영역에 걸쳐 존재하는 데이터들과 인접한 다수의 블록을 캐시 메모리에 저장함으로써 캐시미스 횟수를 줄여 메모리 액세스에 소요되는 시간을 줄일 수 있는 장점이 있다.

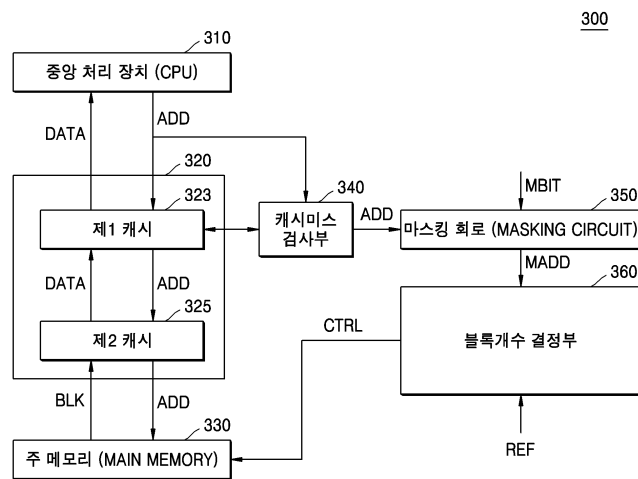
도면의 간단한 설명

- <1> 도 1은 종래의 캐시 메모리 시스템을 나타내는 블록도이다.
- <2> 도 2는 본 발명의 실시예에 따른 캐시 메모리 시스템을 나타내는 블록도이다.
- <3> 도 3은 도2의 블록개수 결정부를 나타내는 블록도이다.
- <4> 도 4는 본 발명의 다른 실시예에 따른 캐시 메모리 시스템을 나타내는 블록도이다.
- <5> 도 5는 본 발명의 또다른 실시예에 따른 캐시 메모리 시스템을 나타내는 블록도이다.
- <6> 도 6은 본 발명의 다른 실시예에 따른 캐시 메모리 시스템의 동작 방법을 설명하는 도면이다.
- <7> * 도면의 주요 부분에 대한 부호 설명 *
- <8> 100, 200, 300, 500 : 캐시 메모리 시스템

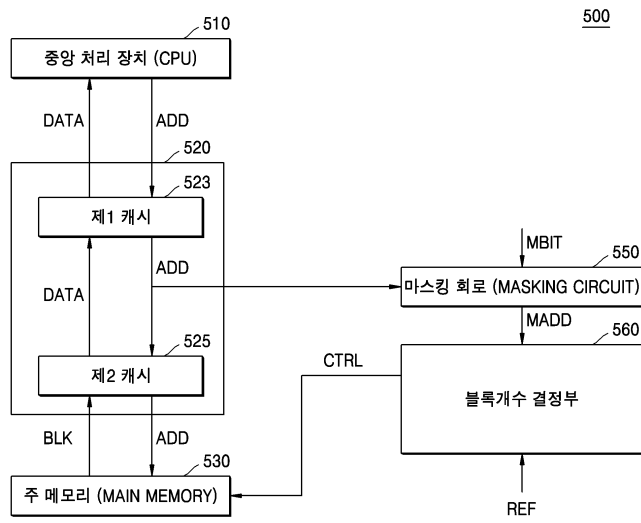
도면3



도면4



도면5



도면6

