



(12) 发明专利

(10) 授权公告号 CN 116469923 B

(45) 授权公告日 2023.10.20

(21) 申请号 202310450705.2

(22) 申请日 2023.04.25

(65) 同一申请的已公布的文献号
申请公布号 CN 116469923 A

(43) 申请公布日 2023.07.21

(73) 专利权人 南京第三代半导体技术创新中心
有限公司

地址 211111 江苏省南京市南京市江宁经
济技术开发区秣周东路9号无线谷综
合楼8408、8409室

专利权人 南京第三代半导体技术创新中心

(72) 发明人 张跃 张腾 柏松 黄润华 杨勇

(74) 专利代理机构 南京睿之博知识产权代理有
限公司 32296

专利代理师 杨晓玲

(51) Int.Cl.

H01L 29/423 (2006.01)

H01L 29/10 (2006.01)

H01L 29/16 (2006.01)

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

(56) 对比文件

CN 111769156 A, 2020.10.13

CN 114497201 A, 2022.05.13

CN 115699328 A, 2023.02.03

JP 2001267570 A, 2001.09.28

US 2009146154 A1, 2009.06.11

US 2019393299 A1, 2019.12.26

US 5910669 A, 1999.06.08

审查员 赵世欣

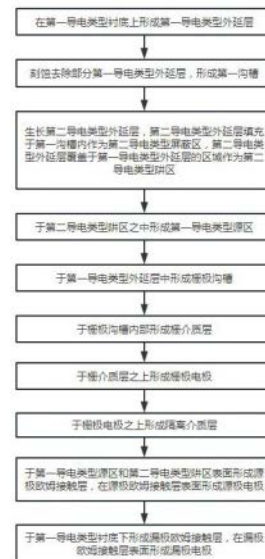
权利要求书2页 说明书7页 附图8页

(54) 发明名称

高可靠性沟槽型碳化硅MOSFET器件及其制
造方法

(57) 摘要

本发明公开了一种高可靠性沟槽型碳化硅MOSFET器件及其制造方法,方法包括:形成第一沟槽;生长第二导电类型外延层,第二导电类型外延层填充于第一沟槽内作为第二导电类型屏蔽区,第二导电类型外延层覆盖于第一导电类型外延层的区域作为第二导电类型阱区;于第二导电类型阱区之中形成第一导电类型源区;于第一导电类型外延层中形成栅极沟槽。本发明在形成第一沟槽后,通过外延回填工艺,于一步工艺内形成第二导电类型阱区和第二导电类型屏蔽区,第二导电类型屏蔽区深度明显大于栅极沟槽的深度,可以有效减小关断状态下栅极沟槽内部栅介质承受的电场强度,提高器件可靠性,且降低了槽栅型碳化硅MOSFET器件的工艺复杂性,便于批量生产。



1. 一种高可靠性沟槽型碳化硅MOSFET器件制造方法,其特征在于,包括以下步骤:

S1、在第一导电类型衬底(2)上形成第一导电类型外延层(3);

S2、刻蚀去除部分第一导电类型外延层(3),形成第一沟槽(4);

S3、生长第二导电类型外延层(6),第二导电类型外延层(6)填充于第一沟槽(4)内作为第二导电类型屏蔽区(6-1),第二导电类型外延层(6)覆盖于第一导电类型外延层(3)的区域作为第二导电类型阱区(6-2),于单步工艺中形成第二导电类型屏蔽区(6-1)和第二导电类型阱区(6-2);步骤S3中第二导电类型外延层(6)采用外延生长方式,外延生长为恒定掺杂浓度生长或变掺杂浓度生长,平均掺杂浓度为 $1e17cm^{-3} \sim 1e18cm^{-3}$;

S4、于第二导电类型阱区(6-2)之中形成第一导电类型源区(9);

S5、于第一导电类型外延层(3)中形成栅极沟槽(7);第二导电类型屏蔽区(6-1)的深度明显大于栅极沟槽(7)的深度;

S6、于栅极沟槽(7)内部形成栅介质层(5);

S7、于栅介质层(5)之上形成栅极电极(8);

S8、于栅极电极(8)之上形成隔离介质层(11);

S9、于第一导电类型源区(9)和第二导电类型阱区(6-2)表面形成源极欧姆接触层,在源极欧姆接触层表面形成源极电极(10);

S10、于第一导电类型衬底(2)下形成漏极欧姆接触层,在漏极欧姆接触层表面形成漏极电极(1);

所述步骤S2形成的第一沟槽(4)深度大于 $1.0\mu m$,深宽比大于2:1,刻蚀角度不小于80度,相邻第一沟槽(4)的间距不大于 $6.0\mu m$;

所述步骤S3形成的第二导电类型阱区(6-2)的厚度不大于 $2.5\mu m$,步骤S3结束后第一沟槽(4)被完全填充,无空洞。

2. 根据权利要求1所述的一种高可靠性沟槽型碳化硅MOSFET器件制造方法,其特征在于:所述步骤S5中栅极沟槽(7)设置于相邻第一沟槽(4)之间,并贯穿第二导电类型阱区(6-2)和第一导电类型源区(9),其顶部与第一导电类型源区(9)顶部齐平。

3. 根据权利要求1所述的一种高可靠性沟槽型碳化硅MOSFET器件制造方法,其特征在于:所述步骤S2之后、步骤S3之前,对第一沟槽(4)底部进行离子注入,形成第二导电类型电场保护区(12)。

4. 根据权利要求1所述的一种高可靠性沟槽型碳化硅MOSFET器件制造方法,其特征在于:所述步骤S4之后、步骤S5之前增加第二导电类型高浓度掺杂注入,以在第二导电类型阱区(6-2)中形成第二导电类型重掺杂区(13)。

5. 一种高可靠性沟槽型碳化硅MOSFET器件,其特征在于,所述一种高可靠性沟槽型碳化硅MOSFET器件通过权利要求1-4任一所述的一种高可靠性沟槽型碳化硅MOSFET器件制造方法完成,结构包括:

漏极电极(1);

位于所述漏极电极(1)之上的第一导电类型衬底(2);

位于所述第一导电类型衬底(2)之上的第一导电类型外延层(3);

位于所述第一导电类型外延层(3)之中的第一沟槽(4);第一沟槽(4)深度大于 $1.0\mu m$,深宽比大于2:1,刻蚀角度不小于80度,相邻第一沟槽(4)的间距不大于 $6.0\mu m$;

位于第一沟槽(4)之中及第一导电类型外延层(3)上方的第二导电类型外延层(6),第二导电类型外延层(6)填充于第一沟槽(4)内作为第二导电类型屏蔽区(6-1),第二导电类型外延层(6)覆盖于第一导电类型外延层(3)的区域作为第二导电类型阱区(6-2);于单步工艺中形成第二导电类型屏蔽区(6-1)和第二导电类型阱区(6-2);第二导电类型阱区(6-2)的厚度不大于 $2.5\mu\text{m}$,第一沟槽(4)被完全填充,无空洞;

位于所述第二导电类型阱区(6-2)之中的第一导电类型源区(9);

位于所述第一导电类型外延层(3)之中的栅极沟槽(7);第二导电类型屏蔽区(6-1)的深度明显大于栅极沟槽(7)的深度;

位于所述栅极沟槽(7)之中的栅介质层(5);

位于所述栅介质层(5)之上的栅极电极(8);

位于所述第一导电类型外延层(3)之上的隔离介质层(11);

位于所述第一导电类型源区(9)和第二导电类型阱区(6-2)表面的源极电极(10)。

6. 根据权利要求5所述的一种高可靠性沟槽型碳化硅MOSFET器件,其特征在于:所述第一沟槽(4)底部设有第二导电类型电场保护区(12)。

7. 根据权利要求5所述的一种高可靠性沟槽型碳化硅MOSFET器件,其特征在于:所述第二导电类型阱区(6-2)中形成第二导电类型重掺杂区(13)。

高可靠性沟槽型碳化硅MOSFET器件及其制造方法

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种高可靠性沟槽型碳化硅MOSFET器件及其制造方法。

背景技术

[0002] 电力电子系统的发展对半导体器件性能提出了更高的要求,特别是在高温、高频、抗辐照、高压等方面。传统的硅材料器件制作工艺成熟,但材料本身性能限制了硅器件在极端工作环境下的应用。与硅材料相比,SiC材料具有更大的禁带宽度、较高的电子饱和漂移速度、较强的抗辐照能力、更高的击穿电场和热导率,使其在电力电子设备、宇航系统、高铁牵引设备、军事电子通讯系统等领域有着广泛的应用前景。

[0003] 相比平面栅型SiC MOSFET器件,沟槽型SiC MOSFET器件通过在沟槽侧壁形成沟道,既提高了沟道迁移率,又消除了JFET效应,显著减小了器件导通电阻,同时缩小了元胞尺寸,增大了功率密度。

[0004] 但沟槽型SiC MOSFET器件在实际制作中存在几个问题,其一是关断状态下,沟槽拐角处栅氧化层需承受较大的电场强度,影响了器件的可靠性。其二是沟槽型SiC MOSFET器件的工艺制作流程较为复杂,而目前为解决前一问题所采用的结构(如形成P-shield层、超结结构等)又增添了工艺复杂性,显著提升了沟槽型SiC MOSFET器件批量化生产的难度。

发明内容

[0005] 技术目的:针对现有技术中的缺陷,本发明公开了一种高可靠性沟槽型碳化硅MOSFET器件及其制造方法,通过形成栅极沟槽以形成纵向导电沟道,通过刻蚀和外延回填形成第二导电类型屏蔽区与第二导电类型阱区,第二导电类型屏蔽区深度明显大于栅极沟槽深度,可以有效减小关断状态下栅极沟槽内部栅介质承受的电场强度,提升器件可靠性。

[0006] 技术方案:为实现上述技术目的,本发明采用以下技术方案。

[0007] 一种高可靠性沟槽型碳化硅MOSFET器件制造方法,包括以下步骤:

[0008] S1、在第一导电类型衬底上形成第一导电类型外延层;

[0009] S2、刻蚀去除部分第一导电类型外延层,形成第一沟槽;

[0010] S3、生长第二导电类型外延层,第二导电类型外延层填充于第一沟槽内作为第二导电类型屏蔽区,第二导电类型外延层覆盖于第一导电类型外延层的区域作为第二导电类型阱区;

[0011] S4、于第二导电类型阱区之中形成第一导电类型源区;

[0012] S5、于第一导电类型外延层中形成栅极沟槽;

[0013] S6、于栅极沟槽内部形成栅介质层;

[0014] S7、于栅介质层之上形成栅极电极;

[0015] S8、于栅极电极之上形成隔离介质层;

[0016] S9、于第一导电类型源区和第二导电类型阱区表面形成源极欧姆接触层,在源极

欧姆接触层表面形成源极电极；

[0017] S10、于第一导电类型衬底下形成漏极欧姆接触层，在漏极欧姆接触层表面形成漏极电极。

[0018] 优选地，所述步骤S2形成的第一沟槽深度大于 $1.0\mu\text{m}$ ，深宽比大于2:1，刻蚀角度不小于 80° ，相邻第一沟槽的间距不大于 $6.0\mu\text{m}$ 。

[0019] 优选地，所述步骤S3中第二导电类型屏蔽区的深度与第一导电类型外延层的深度之比大于1:4，所述第二导电类型屏蔽区与第一导电类型外延层形成超结或半超结结构。

[0020] 优选地，所述步骤S3形成的第二导电类型阱区的厚度不大于 $2.5\mu\text{m}$ ，步骤S3结束后第一沟槽被完全填充，无空洞。

[0021] 优选地，所述步骤S3中第二导电类型外延层采用外延生长方式，外延生长为恒定掺杂浓度生长或变掺杂浓度生长，平均掺杂浓度为 $1\text{e}17\text{cm}^{-3}\sim 1\text{e}18\text{cm}^{-3}$ 。

[0022] 优选地，所述步骤S5中栅极沟槽设置于相邻第一沟槽之间，并贯穿第二导电类型阱区和第一导电类型源区，其顶部与第一导电类型源区顶部齐平。

[0023] 优选地，所述步骤S2之后、步骤S3之前，对第一沟槽底部进行离子注入，形成第二导电类型电场保护区。

[0024] 优选地，所述步骤S4之后、步骤S5之前增加第二导电类型高浓度掺杂注入，以在第二导电类型阱区中形成第二导电类型重掺杂区。

[0025] 一种高可靠性沟槽型碳化硅MOSFET器件，所述一种高可靠性沟槽型碳化硅MOSFET器件通过以上任一所述的一种高可靠性沟槽型碳化硅MOSFET器件制造方法完成，结构包括：

[0026] 漏极电极；

[0027] 位于所述漏极电极之上的第一导电类型衬底；

[0028] 位于所述第一导电类型衬底之上的第一导电类型外延层；

[0029] 位于所述第一导电类型外延层之中的第一沟槽；

[0030] 位于第一沟槽之中及第一导电类型外延层上方的第二导电类型外延层，第二导电类型外延层填充于第一沟槽内作为第二导电类型屏蔽区，第二导电类型外延层覆盖于第一导电类型外延层的区域作为第二导电类型阱区；

[0031] 位于所述第二导电类型阱区之中的第一导电类型源区；

[0032] 位于所述第一导电类型外延层之中的栅极沟槽；

[0033] 位于所述栅极沟槽之中的栅介质层；

[0034] 位于所述栅介质层之上的栅极电极；

[0035] 位于所述第一导电类型外延层之上的隔离介质层；

[0036] 位于所述第一导电类型源区和第二导电类型阱区表面的源极电极。

[0037] 优选地，所述第一沟槽底部设有第二导电类型电场保护区。

[0038] 优选地，所述第二导电类型阱区中形成第二导电类型重掺杂区。

[0039] 有益效果：

[0040] (1) 本发明通过形成栅极沟槽以形成纵向导电沟道，通过刻蚀和外延回填形成第二导电类型屏蔽区与第二导电类型阱区，第二导电类型屏蔽区深度明显大于栅极沟槽深度，可以有效减小关断状态下栅极沟槽内部栅介质承受的电场强度，提升器件可靠性。

[0041] (2)本发明通过外延回填工艺,在单步工艺中形成第二导电类型屏蔽区与第二导电类型阱区,简化了工艺流程。同时第二导电类型屏蔽区可以有效保护栅介质,避免了引入工艺难度较大的在栅极沟槽底部形成电场屏蔽区的工艺,明显降低了工艺复杂性,制作方法相对简单,可用于实现高性能的槽栅型碳化硅MOSFET器件批量生产。

附图说明

[0042] 图1为高可靠性沟槽型碳化硅MOSFET的制造方法的工艺流程图。

[0043] 图2~图9为实施例1所述的高可靠性沟槽型碳化硅MOSFET的制造方法的具体流程图。

[0044] 图10为实施例2的高可靠性沟槽型碳化硅MOSFET的结构示意图。

[0045] 图11为实施例3的高可靠性沟槽型碳化硅MOSFET的结构示意图。

[0046] 图12为实施例4的高可靠性沟槽型碳化硅MOSFET的结构示意图。

[0047] 附图标记说明:1、漏极电极;2、第一导电类型衬底;3、第一导电类型外延层;4、第一沟槽;5、栅介质层;6、第二导电类型外延层;6-1、第二导电类型屏蔽区;6-2、第二导电类型阱区;7、栅极沟槽;8、栅极电极;9、第一导电类型源区;10、源极电极;11、隔离介质层;12、第二导电类型电场保护区;13、第二导电类型重掺杂区;14、第一导电类型电流扩展层。

实施方式

[0048] 以下结合附图和实施例对本发明的一种高可靠性沟槽型碳化硅MOSFET器件及其制造方法做进一步的说明和解释。

实施例1

[0049] 一种高可靠性沟槽型碳化硅MOSFET器件的制造方法,方法流程如附图1所示,包括以下步骤,以下将结合附图2~附图9对每个步骤进行说明:

[0050] S1、如附图2、附图3所示,在第一导电类型衬底2上形成第一导电类型外延层3;所述第一导电类型衬底2为第一导电类型碳化硅衬底,衬底材料是3C-SiC、4H-SiC、6H-SiC或15R-SiC,衬底厚度范围是 $10\mu\text{m}\sim 1000\mu\text{m}$,掺杂浓度 $1\text{e}18\text{cm}^{-3}\sim 5\text{e}19\text{cm}^{-3}$;第一导电类型外延层3为第一导电类型碳化硅外延层,材料是3C-SiC、4H-SiC、6H-SiC或15R-SiC,厚度范围是 $8\mu\text{m}\sim 200\mu\text{m}$,掺杂浓度 $1\text{e}14\text{cm}^{-3}\sim 1\text{e}16\text{cm}^{-3}$ 。在本发明的一些实施例中第一导电类型外延层3通过外延生长的方式生成。

[0051] S2、如附图4所示,刻蚀去除部分第一导电类型外延层3,形成第一沟槽4,包括:通过化学气相沉积在第一导电类型外延层3表面形成刻蚀掩膜层,再通过光刻工艺形成图形化的刻蚀掩膜层,利用图形化的刻蚀掩膜层对第一导电类型外延层3进行电感耦合等离子体刻蚀,去除部分第一导电类型外延层3,形成第一沟槽4,第一沟槽4宽度范围是 $0.5\sim 3.5\mu\text{m}$;

[0052] 在本发明的一些其他实施例中,步骤S2通过深槽刻蚀工艺形成第一沟槽4,刻蚀方式采用反应离子刻蚀或电感耦合等离子刻蚀,刻蚀气体是 SF_6 、 HBr 、 Cl_2 、 O_2 、 Ar 气体中的一种或多种组合。

[0053] 所述步骤S2形成的第一沟槽4深度大于 $1.0\mu\text{m}$,深宽比大于2:1,刻蚀角度不小于 80°

度,优选角度范围是 $80^{\circ}\sim 90^{\circ}$,相邻第一沟槽4的间距不大于 $6.0\mu\text{m}$ 。

[0054] S3、如附图5所示,生长第二导电类型外延层6,第二导电类型外延层6填充于第一沟槽4内作为第二导电类型屏蔽区6-1,即第一沟槽4顶部与第二导电类型屏蔽区6-1顶部齐平,第二导电类型外延层6覆盖于第一导电类型外延层3的区域作为第二导电类型阱区6-2;所述第二导电类型外延层6为第二导电类型碳化硅外延层;步骤S3包括:去除刻蚀掩膜层,通过外延回填工艺形成第二导电类型屏蔽区6-1和第二导电类型阱区6-2,外延生长为恒定掺杂浓度生长或变掺杂浓度生长,平均掺杂浓度为 $1\text{e}17\text{cm}^{-3}\sim 1\text{e}18\text{cm}^{-3}$,第二导电类型屏蔽区6-1的深度与第一沟槽4的深度相同;第二导电类型屏蔽区6-1深度范围为 $1.5\mu\text{m}\sim 7\mu\text{m}$,宽度范围是 $0.5\sim 3.5\mu\text{m}$ 。第二导电类型阱区6-2深度范围为 $0.5\sim 1.5\mu\text{m}$;

[0055] 在本发明的一些其他实施例中,所述步骤S3形成的第二导电类型阱区6-2的厚度不大于 $2.5\mu\text{m}$,步骤S3结束后第一沟槽4被完全填充,无空洞。第二导电类型屏蔽区6-1的深度与第一导电类型外延层3的深度之比大于1:4时,所述第二导电类型屏蔽区6-1与第一导电类型外延层3形成超结或半超结结构,此时,根据第二导电类型屏蔽区6-1与第一导电类型外延层3的宽度大小,第二导电类型屏蔽区6-1与第一导电类型外延层3的掺杂浓度应满足一定的比例关系,以使得超结结构或半超结结构的电荷平衡。

[0056] 所述步骤S3中第二导电类型外延层6的生长方式为外延生长,采用恒定掺杂浓度生长或变掺杂浓度生长,平均掺杂浓度为 $1\text{e}17\text{cm}^{-3}\sim 5\text{e}18\text{cm}^{-3}$ 。本发明通过外延回填工艺,在单步工艺中形成第二导电类型屏蔽区6-1与第二导电类型阱区6-2,简化了工艺流程。同时第二导电类型屏蔽区6-1可以有效保护栅介质层5,避免了引入工艺难度较大的在栅极沟槽底部形成电场屏蔽区的工艺,明显降低了工艺复杂性,制作方法相对简单,可用于实现高性能的槽栅型碳化硅MOSFET器件批量生产。

[0057] 在步骤S3中第一次外延生长第二导电类型屏蔽区6-1后增加一步CMP工艺,即Chemical-Mechanical Planarization,化学机械抛光工艺,此时第一沟槽4顶部与第二导电类型屏蔽区6-1顶部齐平,通过CMP工艺平整此时的器件表面,即SiC表面,随后进行第二次外延生长,生成第二导电类型阱区6-2。增加CMP工艺后,第二导电类型外延层6通过两步工艺形成,虽然增加了工艺复杂性,但是CMP工艺可以提高SiC表面的平整性,进而提升后续工艺质量。

[0058] S4、如附图6所示,于第二导电类型阱区6-2之中形成第一导电类型源区9;包括:通过化学气相沉积在第一导电类型外延层3表面形成离子注入掩膜层,再通过光刻工艺形成图形化的刻蚀掩膜层,利用图形化的离子注入掩膜层对第一导电类型外延层3进行离子注入,以形成第一导电类型源区9,去除掩膜后,于 $1400^{\circ}\text{C}\sim 2200^{\circ}\text{C}$ 温度下退火 $2\text{min}\sim 30\text{min}$;

[0059] 所述步骤S4中于第二导电类型阱区6-2之中形成第一导电类型源区9,通过离子注入工艺形成,离子注入工艺步骤包括:于第一导电类型外延层3表面制备图形化掩膜层,随后注入第一导电类型杂质,去除掩膜后于 $1400^{\circ}\text{C}\sim 2200^{\circ}\text{C}$ 温度下退火 $2\text{min}\sim 30\text{min}$ 。

[0060] S5、如附图7所示,于第一导电类型外延层3中形成栅极沟槽7;所述栅极沟槽7设置于相邻第一沟槽4之间,并贯穿第二导电类型阱区6-2和第一导电类型源区9,其顶部与第一导电类型源区9顶部齐平;步骤S5包括:在第一导电类型外延层3的表面形成图形化的刻蚀掩膜层,利用图形化的刻蚀掩膜层进行电感耦合等离子体刻蚀,形成栅极沟槽7;

[0061] 在本发明的一些其他实施例中,所述步骤S5中于第一导电类型外延层3中形成栅

极沟槽7,通过刻蚀工艺形成,刻蚀工艺采用反应离子刻蚀或电感耦合等离子刻蚀,刻蚀气体是 SF_6 、 HBr 、 Cl_2 、 O_2 、 Ar 气体中的一种或多种组合。形成栅极沟槽7后采用高温退火工艺钝化栅极沟槽7,钝化过程中所用气体是 SiH_4 、 H_2 、 Ar 气体中的一种或多种组合,退火温度为 $1400^\circ\text{C}\sim 1800^\circ\text{C}$ 。

[0062] 所述步骤S5中形成的栅极沟槽7深度小于第一沟槽4深度,且栅极沟槽7深度与第二导电类型屏蔽区6-1深度之差不小于 $0.5\mu\text{m}$ 。

[0063] 所述步骤S5所形成的栅极沟槽7与第二导电类型屏蔽区6-1的距离不大于 $2\mu\text{m}$ 。

[0064] S6、如附图8所示,于栅极沟槽7内部形成栅介质层5,包括:在栅极沟槽7中通过氧化工艺及化学气相沉积工艺形成栅介质层,栅介质层5材料是 SiO_2 、 Si_3N_4 或 Al_2O_3 。再通过高温退火工艺提升栅介质层5质量,退火气体是 NO 、 N_2O 、 H_2 、 NH_3 气体中的一种或多种组合,退火温度为 $900^\circ\text{C}\sim 1300^\circ\text{C}$ 。

[0065] S7、如附图8所示,于栅介质层5之上形成栅极电极8;栅介质层5包裹栅极电极8,且栅介质层5顶部、栅极电极8顶部均与第一导电类型源区9顶部齐平;通过原子层沉积、化学气相沉积、等离子增强化学气相沉积或溅射形成栅极电极8,所形成的栅极电极8材料是多晶硅、非晶硅或无定型硅,掺杂杂质是Al、N、P或B杂质。采用多晶硅材料时,进行多晶硅注入并通过CMP工艺平整多晶硅表面;

[0066] S8、于栅极电极8之上形成隔离介质层11,包括:

[0067] 在第一导电类型外延层3之上,具体的,在栅极电极8之上通过化学气相沉积工艺及光刻工艺形成图形化的隔离介质层11,隔离介质层11底面与栅极电极8、栅介质层5、栅极沟槽7和部分第一导电类型源区9顶面接触;在本发明的一些其他实施例中隔离介质层11材料选用氮化硅,厚度为 $0.5\sim 10\mu\text{m}$,以形成源极窗口。具体的,隔离介质层11材料是二氧化硅,或者氮化物,或者二氧化硅与氮化物的复合物。

[0068] S9、于第一导电类型源区9和第二导电类型阱区6-2表面形成源极欧姆接触层,在源极欧姆接触层表面形成源极电极10,包括:在第一导电类型源区9和第二导电类型阱区6-2表面,通过隔离介质层11形成的源极窗口蒸发金属。

[0069] S10、于第一导电类型衬底2下形成漏极欧姆接触层,在漏极欧姆接触层表面形成漏极电极1。

[0070] 在本发明的一些其他实施例中,所述步骤S9、S10中形成源极欧姆接触和漏极欧姆接触,通过蒸发、溅射或电镀的方式形成金属层,再于 $300^\circ\text{C}\sim 1100^\circ\text{C}$ 下退火形成,金属层材料是Al、Ti、Ag、Ni、Pt、Cu材料中的一种或多种组合。

[0071] 所述第一导电类型为N型或P型,所述第二导电类型为P型或N型。

[0072] 本发明通过形成栅极沟槽以形成纵向导电沟道,通过刻蚀和外延回填形成第二导电类型屏蔽区与第二导电类型阱区,第二导电类型屏蔽区深度明显大于栅极沟槽深度,可以有效减小关断状态下栅极沟槽内部栅介质承受的电场强度,提升器件可靠性。

[0073] 本发明在形成第一沟槽4后,通过外延回填工艺,于一步工艺内形成了第二导电类型阱区6-2和第二导电类型屏蔽区6-1,第二导电类型屏蔽区6-1深度明显大于栅极沟槽7的深度,可以有效减小关断状态下栅极沟槽内部栅介质承受的电场强度,提高器件可靠性。本发明明显降低了槽栅型碳化硅MOSFET器件的工艺复杂性,制作方法相对简单,可用于实现高可靠性的槽栅型碳化硅MOSFET器件批量生产。

- [0074] 基于以上所述制造方法的一种高可靠性沟槽型碳化硅MOSFET器件,结构包括:
- [0075] 漏极电极1;
- [0076] 位于所述漏极电极1之上的第一导电类型衬底2;
- [0077] 位于所述第一导电类型衬底2之上的第一导电类型外延层3;
- [0078] 位于所述第一导电类型外延层3之中的第一沟槽4;
- [0079] 位于第一沟槽4之中及第一导电类型外延层3上方的第二导电类型外延层6,第二导电类型外延层6填充于第一沟槽4内作为第二导电类型屏蔽区6-1,第二导电类型外延层6覆盖于第一导电类型外延层3的区域作为第二导电类型阱区6-2;
- [0080] 位于所述第二导电类型阱区6-2之中的第一导电类型源区9;
- [0081] 位于所述第一导电类型外延层3之中的栅极沟槽7;
- [0082] 位于所述栅极沟槽7之中的栅介质层5;
- [0083] 位于所述栅介质层5之上的栅极电极8;
- [0084] 位于所述第一导电类型外延层3之上的隔离介质层11;
- [0085] 位于所述第一导电类型源区9和第二导电类型阱区6-2表面的源极电极10。

实施例2

[0086] 一种高可靠性沟槽型碳化硅MOSFET的制造方法,与实施例1的区别在于,步骤S2通过刻蚀工艺形成第一沟槽4之后,在第一导电类型外延层3的表面形成图形化的离子注入掩膜层,之后对第一沟槽4的底部进行离子注入,即借助刻蚀掩膜层对第一沟槽4底部进行第二导电类型掺杂注入,以形成第二导电类型电场保护区12,第二导电类型电场保护区12深度为 $0.1\sim 1\mu\text{m}$,掺杂浓度为变掺杂分布,平均掺杂浓度为 $5\text{e}17\text{cm}^{-3}\sim 1\text{e}19\text{cm}^{-3}$,且第二导电类型电场保护区12的掺杂浓度明显高于第二导电类型屏蔽区和第二导电类型阱区。形成第二导电类型电场保护区12后,再通过外延回填工艺形成第二导电类型屏蔽区和第二导电类型阱区,其余步骤与实施例1完全相同。第二导电类型电场保护区12可以更加有效地保护栅介质层,进一步提升器件可靠性。本实施例所形成的高可靠性沟槽型碳化硅MOSFET截面图如图10所示。

实施例3

[0087] 一种高可靠性沟槽型碳化硅MOSFET的制造方法,与实施例1的区别在于,步骤S4形成第一导电类型源区9之后,在第一导电类型外延层3的表面形成图形化的离子注入掩膜层,采用离子注入工艺形成第二导电类型重掺杂区13,第二导电类型重掺杂区13深度为 $0.1\sim 0.5\mu\text{m}$,掺杂浓度为变掺杂分布,平均掺杂浓度为 $5\text{e}18\text{cm}^{-3}\sim 5\text{e}19\text{cm}^{-3}$,此后步骤与实施例1完全相同。第二导电类型重掺杂区13可以有效提升器件的第三象限特性。本实施例所形成的高可靠性沟槽型碳化硅MOSFET截面图如图11所示。

实施例4

[0088] 一种高可靠性沟槽型碳化硅MOSFET的制造方法,与实施例1的区别在于,步骤S3形成第二导电类型阱区6-2之后,在第一导电类型外延层3的表面形成图形化的离子注入掩膜层,采用离子注入工艺形成第一导电类型电流扩展层14,第一导电类型电流扩展层14深度

为0.2~1.5 μm ,掺杂浓度为变掺杂分布,平均掺杂浓度为 $1\text{e}16\text{cm}^{-3}\sim 1\text{e}17\text{cm}^{-3}$,此后步骤与实施例1完全相同。第一导电类型电流扩展层14可以有效减小器件的导通电阻,提升器件的电流密度。本实施例所形成的高可靠性沟槽型碳化硅MOSFET截面图如图12所示。

[0089] 以上所述仅是本发明的优选实施方式,应当指出:对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

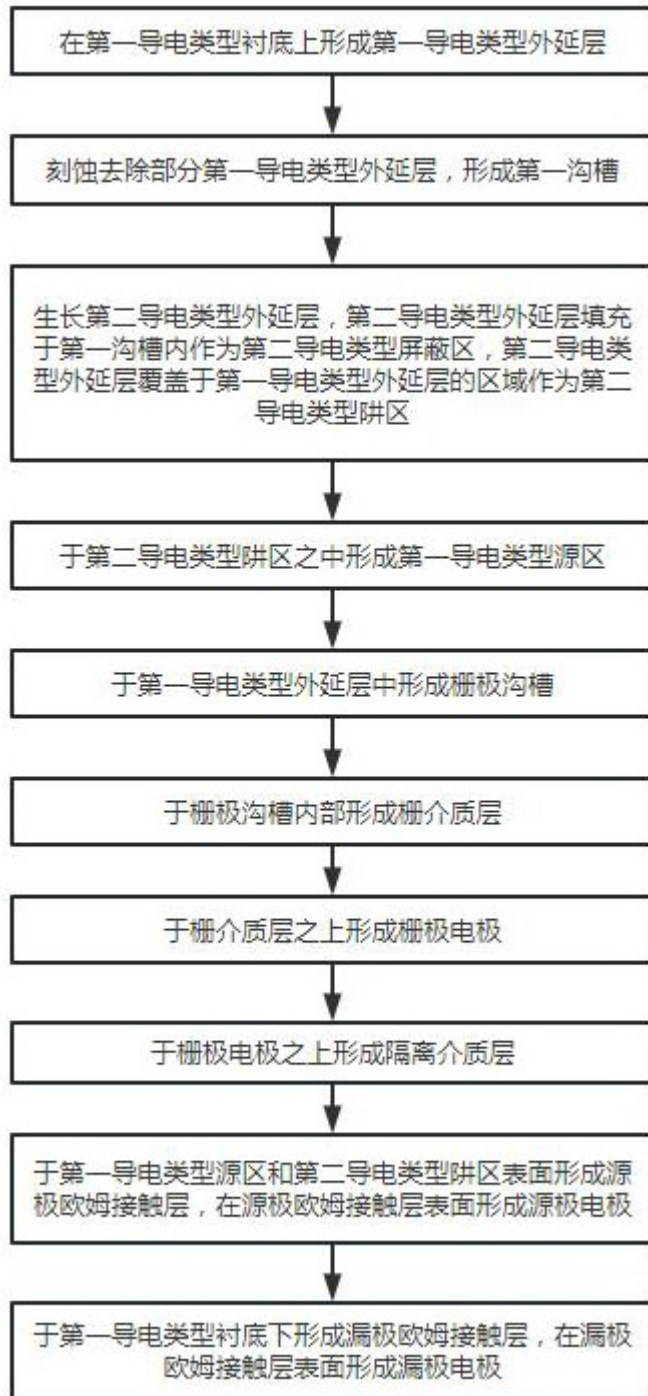


图 1



图 2

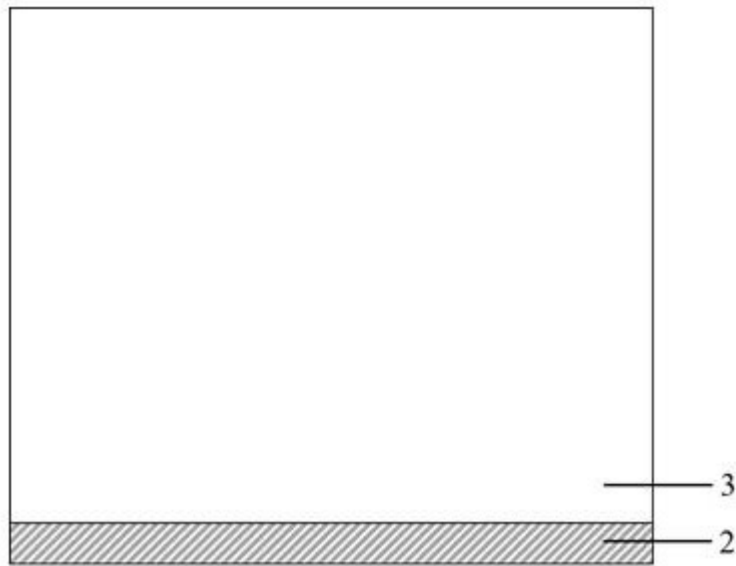


图 3

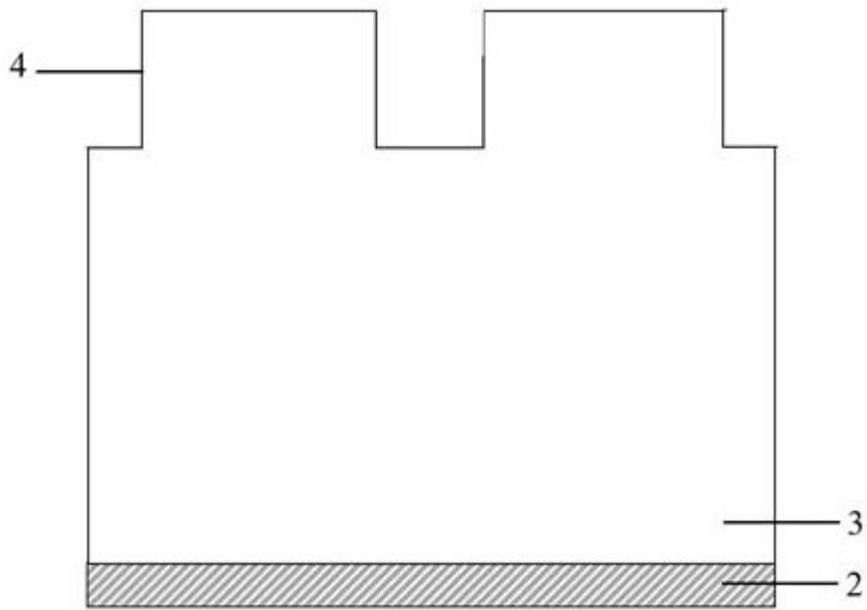


图 4

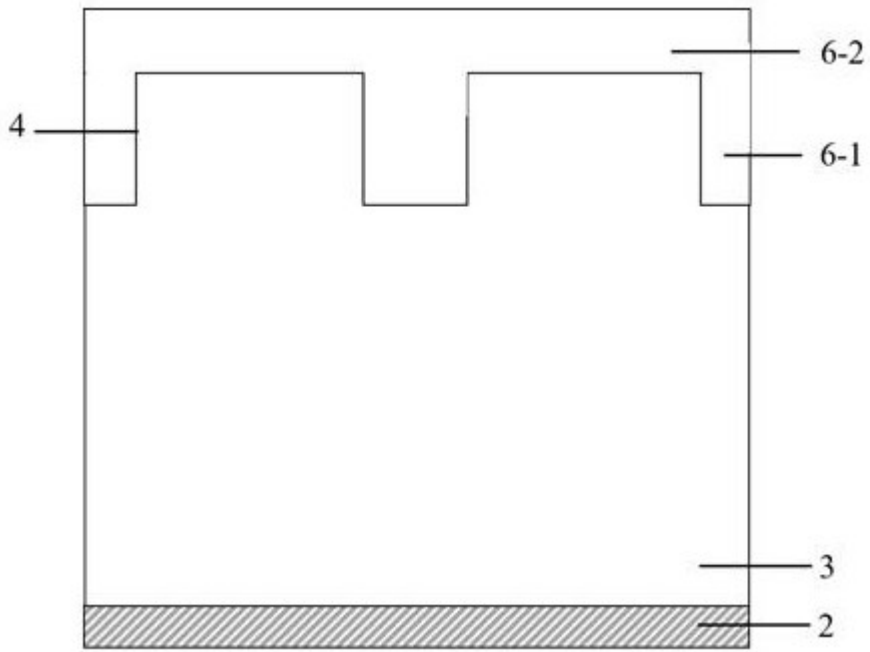


图 5

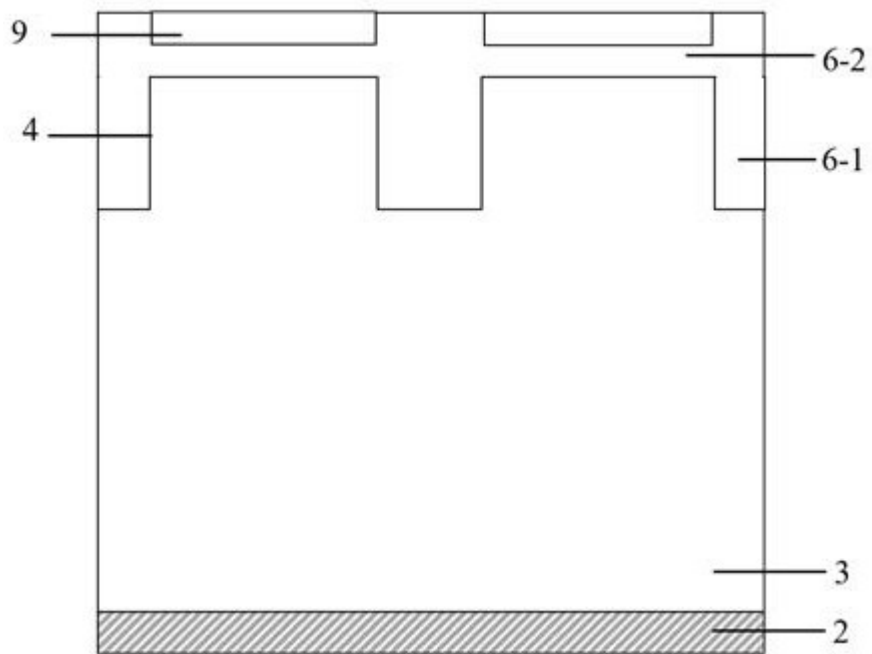


图 6

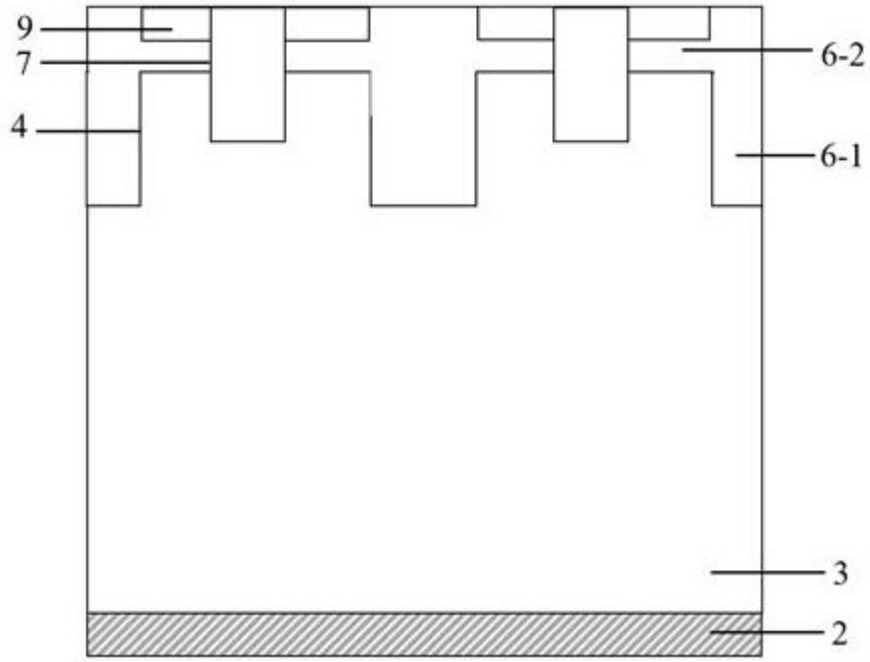


图 7

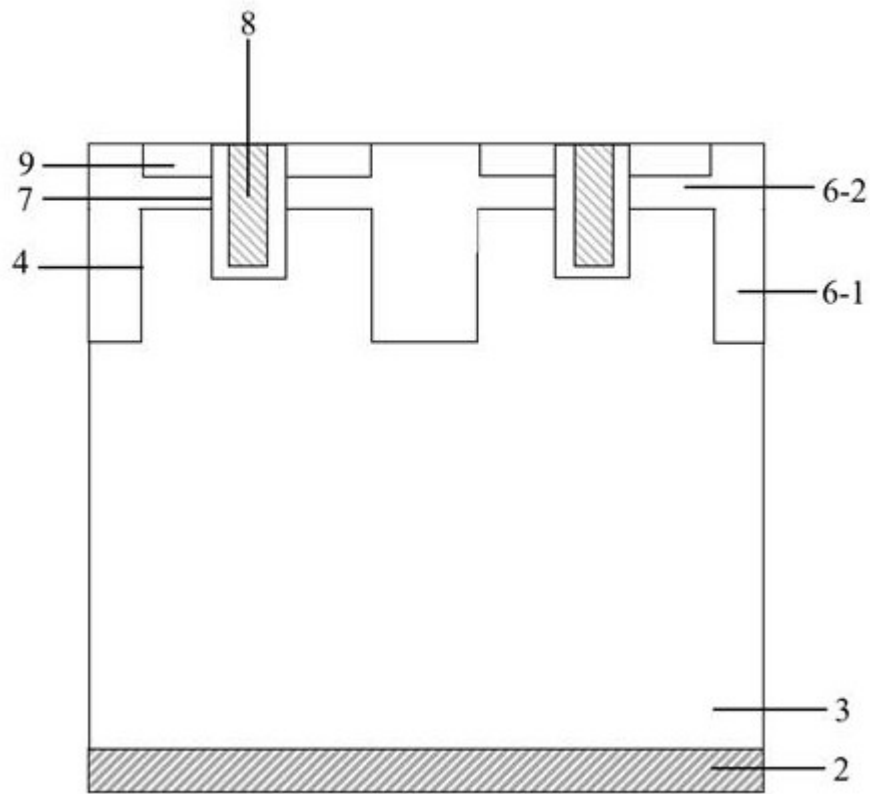


图 8

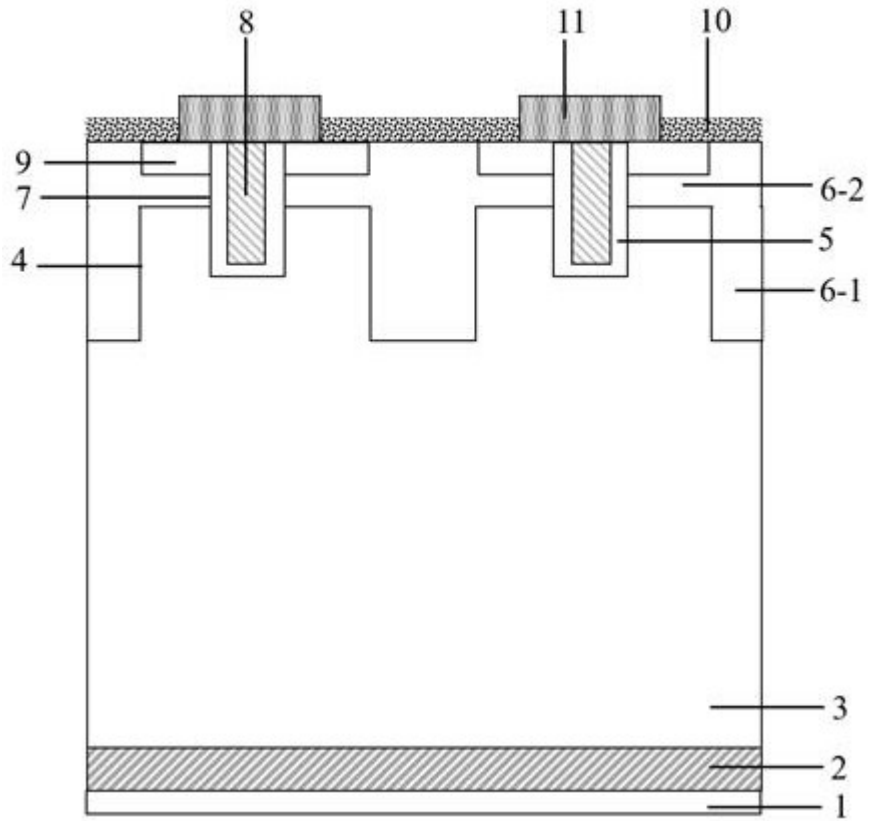


图 9

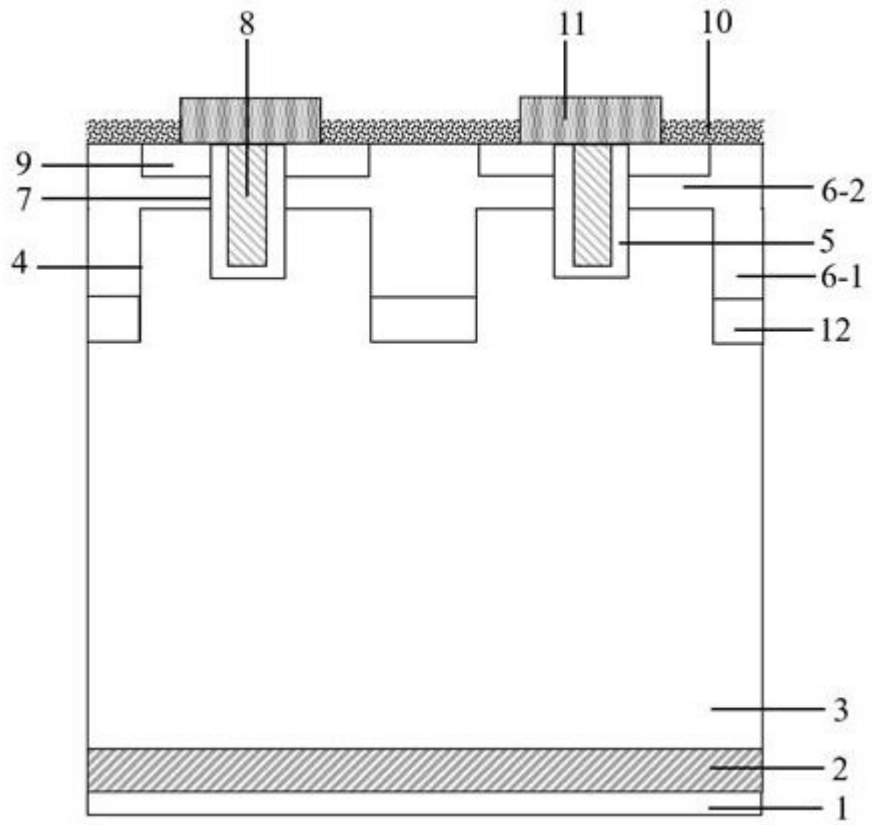


图 10

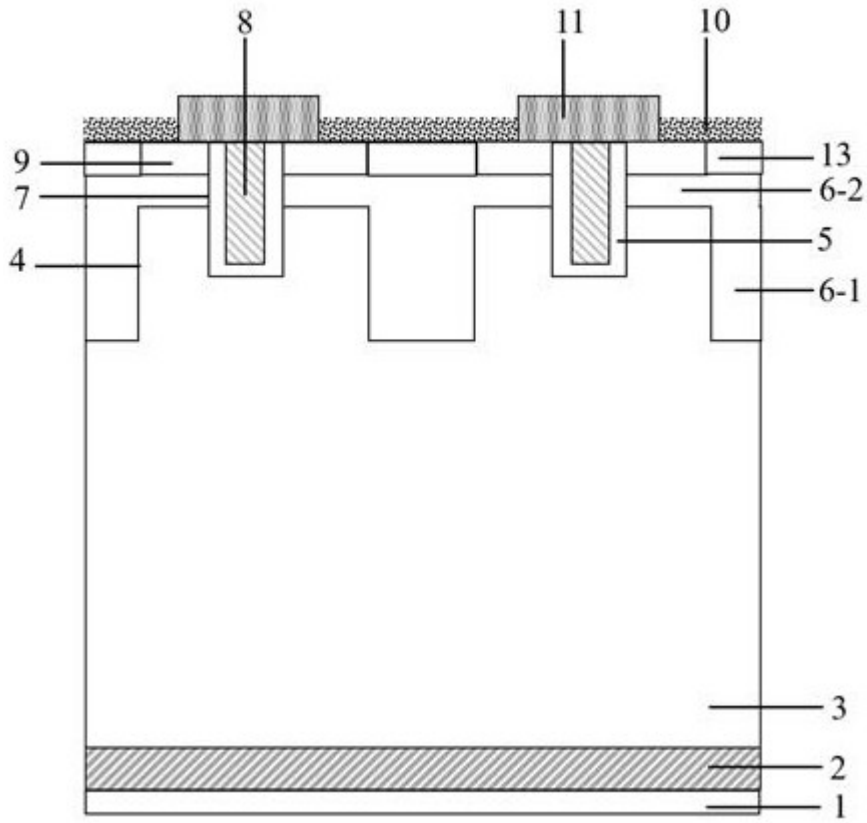


图 11

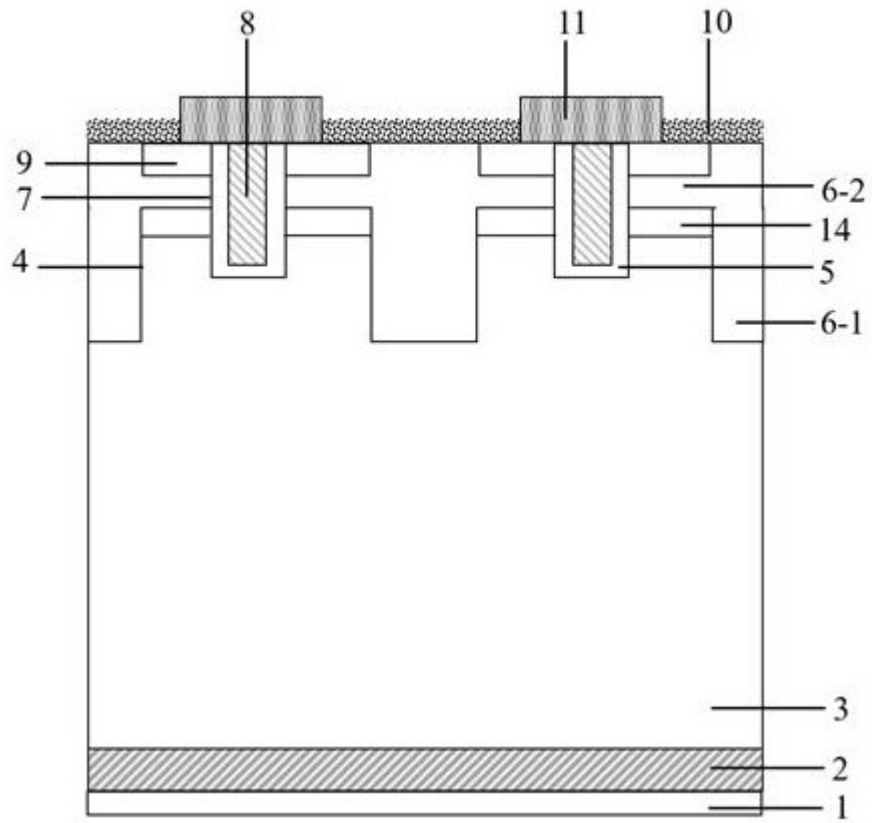


图 12