

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-94656
(P2012-94656A)

(43) 公開日 平成24年5月17日(2012.5.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D	4 M 1 0 4
HO 1 L 27/092 (2006.01)	HO 1 L 21/283 B	5 F 0 4 8
HO 1 L 21/283 (2006.01)	HO 1 L 29/78 3 0 1 G	5 F 1 4 0
HO 1 L 29/78 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2010-240098 (P2010-240098)
(22) 出願日 平成22年10月26日 (2010.10.26)

(71) 出願人 303046277
旭化成エレクトロニクス株式会社
東京都千代田区神田神保町一丁目105番地
(74) 代理人 100066980
弁理士 森 哲也
(74) 代理人 100109380
弁理士 小西 恵
(74) 代理人 100103850
弁理士 田中 秀▲てつ▼
(72) 発明者 岡本 敦
宮崎県延岡市中川原町5丁目4960番地
旭化成エレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

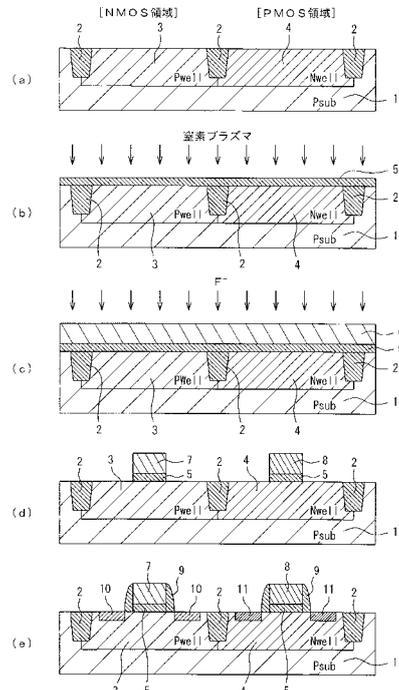
(57) 【要約】

【課題】CMOSトランジスタにおいて、ボロンの染み出しを抑制して閾値電圧を安定させると共に、ノイズを低減できるようにした半導体装置及びその製造方法を提供する。

【解決手段】CMOSトランジスタをシリコン基板1上に備える半導体装置であって、

シリコン基板1上に設けられ、窒素とフッ素とを含有するシリコン酸化膜からなるゲート酸化膜5と、ゲート酸化膜5上に設けられ、ポリシリコンからなるゲート電極7、8と、を有し、ゲート酸化膜5中のゲート電極7、8近傍の位置に窒素濃度のピークがあり、ゲート酸化膜5とシリコン基板1との界面付近の窒素濃度は0.5 atom%以下であり、ゲート酸化膜5中におけるフッ素濃度は1 atom%以上であり、当該フッ素によりゲート酸化膜5とシリコン基板1との界面のダンダリングボンドが終端化されている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

CMOSトランジスタをシリコン基板上に備える半導体装置であって、
前記シリコン基板上に設けられ、窒素とフッ素とを含有するシリコン酸化膜からなるゲート絶縁膜と、

前記ゲート絶縁膜上に設けられ、ポリシリコンからなるゲート電極と、を有し、
前記ゲート絶縁膜中の前記ゲート電極近傍の位置に窒素濃度のピークがあり、前記ゲート絶縁膜と前記シリコン基板との界面付近の窒素濃度は0.5atom%以下であり、

前記ゲート絶縁膜中におけるフッ素濃度は1atom%以上であり、当該フッ素により前記ゲート絶縁膜と前記シリコン基板との界面のダングリングボンドが終端化されていることを特徴とする半導体装置。

10

【請求項 2】

CMOSトランジスタをシリコン基板上に備える半導体装置であって、
前記シリコン基板上に設けられ、窒素とフッ素とを含有するシリコン酸化膜からなるゲート絶縁膜と、

前記ゲート絶縁膜上に設けられ、ポリシリコンからなるゲート電極と、を有し、
前記ゲート絶縁膜中の前記ゲート電極近傍の位置に窒素濃度のピークがあり、前記ゲート絶縁膜と前記シリコン基板との界面付近の窒素濃度は0.5atom%以下であり、

前記CMOSトランジスタのうちのNMOSトランジスタでは、
前記ゲート絶縁膜中におけるフッ素濃度は1atom%以上であり、当該フッ素により前記ゲート絶縁膜と前記シリコン基板との界面のダングリングボンドが終端化されており、一方、

20

前記CMOSトランジスタのうちのPMOSトランジスタでは、
前記ゲート絶縁膜中におけるフッ素濃度は1atom%以下であることを特徴とする半導体装置。

【請求項 3】

CMOSトランジスタをシリコン基板上に製造する半導体装置の製造方法であって、
前記シリコン基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜に窒素プラズマ処理を行って窒素を導入する工程と、
窒素が導入された前記ゲート絶縁膜上にポリシリコンからなるゲート電極を形成する工

30

程と、

前記ゲート絶縁膜にフッ素イオンを注入する工程と、
前記ゲート絶縁膜にフッ素イオンが注入された後で熱処理を行う工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 4】

前記窒素を導入する工程では、
前記ゲート絶縁膜中の前記ゲート電極近傍の位置に窒素濃度のピークがあり、前記ゲート絶縁膜と前記シリコン基板との界面付近の窒素濃度が0.5atom%以下となるように窒素の導入条件を設定しておく、

前記フッ素イオンを注入する工程では、
前記ゲート絶縁膜中におけるフッ素濃度が1atom%以上となるようにフッ素イオンの注入条件を設定しておく、ことを特徴とする請求項3に記載の半導体装置の製造方法。

40

【請求項 5】

CMOSトランジスタをシリコン基板上に製造する半導体装置の製造方法であって、
前記シリコン基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜に窒素プラズマ処理を行って窒素を導入する工程と、
窒素が導入された前記ゲート絶縁膜上にポリシリコンからなるゲート電極を形成する工

程と、

前記CMOSトランジスタのうちのNMOSトランジスタが形成される領域の上方を開口し、前記CMOSトランジスタのうちのPMOSトランジスタが形成される領域の上方

50

を覆うパターンを形成する工程と、

前記パターンをマスクに前記ゲート絶縁膜にフッ素イオンを注入する工程と、

前記ゲート絶縁膜にフッ素イオンが注入された後で熱処理を行う工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 6】

前記窒素を導入する工程では、

前記ゲート絶縁膜中の前記ゲート電極近傍の位置に窒素濃度のピークがあり、前記ゲート絶縁膜と前記シリコン基板との界面付近の窒素濃度が 0.5 atom% 以下となるように窒素の導入条件を設定しておき、

前記フッ素イオンを注入する工程では、

前記 N M O S トランジスタが形成される領域の前記ゲート絶縁膜中におけるフッ素濃度が 1 atom% 以上となるようにフッ素イオンの注入条件を設定しておく、ことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、C M O S トランジスタを有する半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

C M O S トランジスタは、メモリ、ロジック、増幅、コンパレータなど、広く電子デバイスに用いられている。特に、増幅やコンパレータなどのアナログ回路の占める割合の大きい回路では、ドレイン電流のわずかな変化が特性に大きな影響を及ぼす。ドレイン電流の変化をもたらす要因として、経時的に閾値電圧が変動する信頼性問題（N B T I , ホットキャリア劣化）とともに、フリッカーノイズが大きな問題となる。

【0003】

フリッカーノイズは、ドレイン電流の時間的な変化が様々な周期の変化の重ね合わせの結果、周波数の逆数に比例したノイズスペクトラムとなることから、1 / f ノイズとも言われている。M O S トランジスタのフリッカーノイズの大きさを表す指標であるノイズスペクトラム密度 S v g を表すモデルとして、以下の (i) 式がよく用いられる。

$$S v g = K f / (C o x \cdot L \cdot W \cdot f) \dots (i)$$

ここで、C o x は単位面積当たりのゲート酸化膜の容量、L、W はゲート長及びゲート幅、f は周波数である。K f は比例係数であるが、トランジスタのフリッカーノイズを表すパラメータとなっている。

【0004】

増幅器などのアナログ回路では、素子の面積を大きく設計することにより、フリッカーノイズの影響を抑制することができるが、面積を大きくすることは製造コストを上げてしまうため好ましくない。従って、ノイズパラメータ K f の小さいトランジスタを安定に製造することが肝要である。しかしながら、ノイズパラメータ K f の小さいトランジスタを安定に製造することは、容易ではなく、宿命とも言うべき長年の課題であった。フリッカーノイズの原因の解明が試みられてきており、チャンネル領域における移動度のゆらぎや、キャリア濃度のゆらぎとして説明されてきているが、本質的な原因の解明はなされておらず、また、フリッカーノイズのないトランジスタも存在しない。

【0005】

ところで、P M O S トランジスタ（以下、単に P M O S ともいう。）の製造プロセスにおいて、ゲート電極にボロンなどの P 型不純物を打ち込むことにより P 型の導電性を持たせ、表面チャンネル型の P M O S を作製すると、埋め込みチャンネル型の P M O S に比べて、リーク電流が小さく駆動能力の大きい P M O S になる。このボロンは、その後の熱処理を経てチャンネル付近まで拡散するが、その濃度のばらつきによって閾値電圧がばらつく問題（いわゆるボロン染み出し）があった。

10

20

30

40

50

【 0 0 0 6 】

この問題の解決として、ゲート酸化膜の形成後に引き続いて、一酸化窒素ガスを含む雰囲気中で熱処理（以下、NO処理という）を行うことにより、ゲート酸化膜中に窒素を存在させて、ボロンの拡散を防ぐ方法が知られている（例えば、非特許文献1参照。）。

しかしながら、NO処理による方法では、フリッカーノイズが大きくなるという新たな問題が発生することがわかった。NO処理を行った場合と行わない場合のPMOSのフリッカーノイズのデータを図7に示す。

【 0 0 0 7 】

図7は、NO処理の有無におけるノイズスペクトラムを示す図である。図7において、横軸は周波数を示し、縦軸はフリッカーノイズを示す。このデータは、ゲート長が2ミクロンであり、ゲート幅が10ミクロンであるPMOSについて、ドレイン電流を17マイクロアンペアに設定した条件で測定したものである。図7から、NO処理を行うことにより、フリッカーノイズが増大していることがわかる。その原因として、NO処理による窒素の存在する位置が影響する。

10

【 0 0 0 8 】

図8は、SIMS解析により求めた、NO処理によるゲート酸化膜中での窒素濃度分布を示す図である。図8において、横軸はシリコン基板表面からの深さを示し、左側の縦軸は窒素濃度を示し、右側の縦軸はOとSiの2次イオン強度を示す。Oのイオン強度が低下する3nmの深さがSiO₂とSiの界面を意味するが、図8に示すように、NO処理によって導入された窒素は、シリコン基板との界面付近にピークを持つ分布となっている。

20

【 0 0 0 9 】

また、ゲート酸化膜にフッ素を導入することにより、界面準位を低減できることがよく知られている。さらに、ゲート電極となるポリシリコン膜を形成した後で、フッ素イオンを注入して、ポリシリコン膜下のゲート酸化膜にフッ素を導入することにより、トランジスタのフリッカーノイズの低減に効果があることも報告されている（例えば、非特許文献2参照。）。

【 先行技術文献 】

【 非特許文献 】

【 0 0 1 0 】

【非特許文献1】L. K. Han, Electron Device Letters, vol. 16, 1995, P319.

30

【非特許文献2】「車載用ECUにおけるMOS型オペアンプの低ノイズ化」

自動車技術会学術講演会前刷集961(1996-5)p125.

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

ところで、ゲート酸化膜中のフッ素濃度が大きいと、ボロンの拡散が速まりボロンの染み出しが増加する現象がある。このため、ゲート酸化膜とシリコン基板との界面においてチャンネルが形成される、表面チャンネル型のPMOSにおいては、フッ素を導入することによる効果に比べてデメリットが大きかった。

40

そこで、本発明は、CMOSトランジスタにおいて、ボロンの染み出しを抑制して閾値電圧を安定させると共に、ノイズを低減できるようにした半導体装置及びその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 2 】

前記課題を解決するために、本発明者は、ゲート酸化膜中の窒素とフッ素の濃度分布を最適にすることにより、大きなノイズ低減を実現できることを見出し、本発明をなすに至った。

即ち、本発明の一態様に係る半導体装置は、CMOSトランジスタをシリコン基板上に

50

備える半導体装置であって、前記シリコン基板上に設けられ、窒素とフッ素とを含有するシリコン酸化膜からなるゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、ポリシリコンからなるゲート電極と、を有し、前記ゲート絶縁膜中の前記ゲート電極近傍の位置に窒素濃度のピークがあり、前記ゲート絶縁膜と前記シリコン基板との界面付近の窒素濃度は0.5atom%以下であり、前記ゲート絶縁膜中におけるフッ素濃度は1atom%以上であり、当該フッ素により前記ゲート絶縁膜と前記シリコン基板との界面のダングリングボンドが終端化されていることを特徴とする。なお、本発明の「ゲート絶縁膜」としては、例えば、後述するゲート酸化膜5が該当する。

【0013】

本発明の別の態様に係る半導体装置は、CMOSトランジスタをシリコン基板上に備える半導体装置であって、前記シリコン基板上に設けられ、窒素とフッ素とを含有するシリコン酸化膜からなるゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、ポリシリコンからなるゲート電極と、を有し、前記ゲート絶縁膜中の前記ゲート電極近傍の位置に窒素濃度のピークがあり、前記ゲート絶縁膜と前記シリコン基板との界面付近の窒素濃度は0.5atom%以下であり、前記CMOSトランジスタのうちのNMOSトランジスタでは、前記ゲート絶縁膜中におけるフッ素濃度は1atom%以上であり、当該フッ素により前記ゲート絶縁膜と前記シリコン基板との界面のダングリングボンドが終端化されており、一方、前記CMOSトランジスタのうちのPMOSトランジスタでは、前記ゲート絶縁膜中におけるフッ素濃度は1atom%以下であることを特徴とする。

10

【0014】

本発明のさらに別の態様に係る半導体装置の製造方法は、CMOSトランジスタをシリコン基板上に製造する半導体装置の製造方法であって、前記シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に窒素プラズマ処理を行って窒素を導入する工程と、窒素が導入された前記ゲート絶縁膜上にポリシリコンからなるゲート電極を形成する工程と、前記ゲート絶縁膜にフッ素イオンを注入する工程と、前記ゲート絶縁膜にフッ素イオンが注入された後で熱処理を行う工程と、を備えることを特徴とする。

20

【0015】

また、上記の半導体装置の製造方法において、前記窒素を導入する工程では、前記ゲート絶縁膜中の前記ゲート電極近傍の位置に窒素濃度のピークがあり、前記ゲート絶縁膜と前記シリコン基板との界面付近の窒素濃度が0.5atom%以下となるように窒素の導入条件を設定しておき、前記フッ素イオンを注入する工程では、前記ゲート絶縁膜中におけるフッ素濃度が1atom%以上となるようにフッ素イオンの注入条件を設定しておくことを特徴としてもよい。

30

【0016】

本発明のさらに別の態様に係る半導体装置の製造方法は、CMOSトランジスタをシリコン基板上に製造する半導体装置の製造方法であって、前記シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に窒素プラズマ処理を行って窒素を導入する工程と、窒素が導入された前記ゲート絶縁膜上にポリシリコンからなるゲート電極を形成する工程と、前記CMOSトランジスタのうちのNMOSトランジスタが形成される領域の上方を開口し、前記CMOSトランジスタのうちのPMOSトランジスタが形成される領域の上方を覆うパターンを形成する工程と、前記パターンをマスクに前記ゲート絶縁膜にフッ素イオンを注入する工程と、前記ゲート絶縁膜にフッ素イオンが注入された後で熱処理を行う工程と、を備えることを特徴とする。なお、本発明の「パターン」としては、例えば、後述するフォトレジスト12が該当する。

40

【0017】

また、上記の半導体装置の製造方法において、前記窒素を導入する工程では、前記ゲート絶縁膜中の前記ゲート電極近傍の位置に窒素濃度のピークがあり、前記ゲート絶縁膜と前記シリコン基板との界面付近の窒素濃度が0.5atom%以下となるように窒素の導入条件を設定しておき、前記フッ素イオンを注入する工程では、前記NMOSトランジスタが形成される領域の前記ゲート絶縁膜中におけるフッ素濃度が1atom%以上となるようにフ

50

ッ素イオンの注入条件を設定しておくことを特徴としてもよい。

【発明の効果】

【0018】

本発明のCMOSトランジスタは、ボロンの染み出しを抑制することができ、閾値電圧を安定させ、フリッカーノイズの小さなNMOSトランジスタ、及びフリッカーノイズの小さなPMOSトランジスタを同時に備える効果を有する。

【図面の簡単な説明】

【0019】

【図1】本発明の実施例1に係るCMOSトランジスタの製造方法を示す工程図。

【図2】実施例1の方法で作製されたゲート酸化膜5の構成を示す概念図。

10

【図3】本発明の実施例2に係るCMOSトランジスタの製造方法を示す工程図。

【図4】実施例2の方法で作製されたゲート酸化膜5の構成を示す概念図。

【図5】窒素プラズマ処理によるゲート酸化膜中の窒素濃度分布を示す図。

【図6】実施例1、2及び比較例1～5の作成方法と、その効果(結果)を示す表。

【図7】NO処理の有無におけるノイズスペクトラムを示す図。

【図8】NO処理によるゲート酸化膜中の窒素濃度分布を示す図。

【発明を実施するための形態】

【0020】

以下、本発明を実施例に基づいて説明する。なお、以下に説明する各図において、同一の構成を有する部分には同一の符号を付し、その繰り返しの説明は省略する場合もある。

20

[実施例1]

図1(a)～(e)は、本発明の実施例1に係るCMOSトランジスタの製造方法を示す工程図である。図1(a)及び(b)において、NMOSトランジスタが形成される領域(以下、NMOS領域という。)のシリコン基板1と、PMOSトランジスタが形成される領域(以下、PMOS領域という。)のシリコン基板1とにそれぞれゲート酸化膜5を形成する工程までは、一般的なCMOSトランジスタの製造方法と同じである。

【0021】

即ち、図1(a)に示すように、まず始めに、例えばP型のシリコン基板(PSUB)1に素子分離領域2を形成する。この素子分離領域2は、例えばシリコン基板1にトレンチを形成し、このトレンチ内にシリコン酸化膜を埋め込むことにより形成する。この素子分離領域2によって、NMOS領域とPMOS領域との間が分離される。次に、PMOS領域のシリコン基板1に例えばリンイオン等のN型不純物を注入して、Nウェル(NWELL)4を形成する。次に、NMOS領域のシリコン基板1に例えばボロンイオン等のP型不純物を注入して、Pウェル(PWELL)3を形成する。そして、Pウェル3とNウェル4とにそれぞれ閾値電圧を調整するための不純物をイオン注入して、NMOSトランジスタ(以下、単にNMOSともいう。)とPMOSトランジスタ(以下、単にPMOSともいう。)のチャンネル領域をそれぞれ形成する。

30

【0022】

次に、図1(b)に示すように、シリコン基板1上にゲート酸化膜5を形成する。ここで、耐圧の異なるトランジスタを混載する場合は、例えば4nm～17nmの膜厚を有する高耐圧のゲート酸化膜5を形成した後で、フォトリソグラフィにより高耐圧部をフォトレジスト(図示せず)でマスクした状態でエッチングを行う。そして、この図示しないフォトレジストを除去した後でシリコン基板1上の全面に例えば2nm～4nmの膜厚のウェット酸化を行い、ゲート酸化膜5の厚さが異なる領域を作り分ける。

40

【0023】

次に、全面ゲート酸化の後に引き続いて、例えば300～400程度の低温で、窒素プラズマ雰囲気中でのアニール処理(即ち、窒素プラズマ処理)を10秒～50秒行う。これにより、ゲート酸化膜5の表層1～2nmの領域(即ち、ゲート酸化膜5の表面から深さ方向で1～2nmまでの領域のことである。後に形成されるゲート電極の近傍の位置である。)に窒素を2～10atom%導入する。

50

【0024】

次に、図1(c)に示すように、この窒素が導入されたゲート酸化膜5上の全面に、ゲート電極となるポリシリコン膜6を例えば150nm~400nmの膜厚で堆積する。そして、このポリシリコン膜6上の全面にフッ素イオンを注入する。このフッ素イオンの注入条件は、例えば、加速電圧が10~40keV、ドーズ量が $1e15 \sim 4e15 / cm^2$ である。

【0025】

次に、NMOS領域のポリシリコン膜6にN型不純物をイオン注入する。ここでは、フォトリソグラフィーによりPMOS領域を図示しないフォトレジストでマスクし、且つ、NMOS領域をこのフォトレジスト下から露出させた状態で、ポリシリコン膜6にリンイオン等のN型不純物を注入する。このリンイオンの注入条件は、例えば、加速電圧が10~25keV、ドーズ量が $2e15 \sim 6e15 / cm^2$ である。また、これと前後して、PMOS領域のポリシリコン膜6にP型不純物をイオン注入する。ここでは、フォトリソグラフィーによりNMOS領域を図示しないフォトレジストでマスクし、且つ、PMOS領域をこのフォトレジスト下から露出させた状態で、ポリシリコン膜6にボロンイオン等のP型不純物を注入する。このボロンイオンの注入条件は、例えば、加速電圧が10~20keV、ドーズ量が $2e15 \sim 6e15 / cm^2$ である。

【0026】

続いて、フォトリソグラフィーとエッチングとにより、ポリシリコン膜6を電極形状に加工して、デュアルゲートを形成する。即ち、NMOS領域にNMOSのゲート電極7を形成すると共に、PMOS領域にPMOSのゲート電極8を形成する。

次に、図示しないが、NMOS領域とPMOS領域とにそれぞれLDD(Lightly doped drain)構造を形成する。ここでは、フォトリソグラフィーによりPMOS領域を図示しないフォトレジストでマスクし、且つ、NMOS領域をこのフォトレジスト下から露出させた状態で、例えばリンイオン等のN型不純物をシリコン基板1に低濃度に注入する。これにより、Pウェル3にN型のLDDを形成する。また、これと前後して、フォトリソグラフィーによりNMOS領域を図示しないフォトレジストでマスクし、且つ、PMOS領域をこのフォトレジスト下から露出させた状態で、例えばボロンイオン等のP型不純物をシリコン基板1に低濃度に注入する。これにより、Nウェル4にP型のLDDを形成する。

【0027】

次に、シリコン基板1上の全面に例えばHLD(High Temperature Low Pressure Oxide)等の絶縁膜を形成し、これをエッチバックして、図1(e)に示すように、ゲート電極7、8の側面にそれぞれサイドウォール9を形成する。

次に、NMOS領域とPMOS領域とにそれぞれソース・ドレイン10、11を形成する。ここでは、フォトリソグラフィーによりPMOS領域をフォトレジストでマスクし、且つ、NMOS領域をフォトレジスト下から露出させた状態で、シリコン基板1に例えばリンイオン又はヒ素イオン等のN型不純物を高濃度に注入して、N型のソース・ドレイン10を形成する。また、これと前後して、フォトリソグラフィーによりNMOS領域をフォトレジストでマスクし、且つ、PMOS領域をフォトレジスト下から露出させた状態で、シリコン基板1に例えばボロンイオンを高濃度に注入して、P型のソース・ドレイン11を形成する。その後、層間絶縁膜やメタル配線を形成することによりCMOSトランジスタが形成される。

【0028】

このような方法で作製したCMOSトランジスタは、ボロン染み出しの問題を起こすことなくPMOSの閾値電圧のばらつきは問題ないレベルであった。また、フリッカーノイズの小さなNMOS、及びフリッカーノイズの小さなPMOSを同時に備えるものであった。

【0029】

図 2 は、本発明の実施例 1 の方法で作製された CMOS トランジスタのゲート酸化膜 5 の構成を示す概念図である。図 2 に示すように、実施例 1 の方法で作成された CMOS トランジスタにおいて、NMOS のゲート酸化膜 5 中における窒素濃度のピークはゲート電極 7 近傍の位置に存在する。同様に、PMOS のゲート酸化膜 5 中における窒素濃度のピークもゲート電極 8 近傍の位置に存在する。また、NMOS、PMOS 共に、ゲート酸化膜 5 とシリコン基板 1 との界面付近の窒素濃度は 0.5 atom% 以下となっている。また、NMOS、PMOS 共に、ゲート酸化膜 5 中におけるフッ素濃度は 1 atom% 以上であり、当該フッ素により、ゲート酸化膜 5 とシリコン基板 1 との界面にあるシリコンのダングリングボンドが終端化されている。次に、本発明の実施例 2 について説明する。

【0030】

[実施例 2]

図 3 は、本発明の実施例 2 に係る CMOS トランジスタの製造方法を示す工程図である。この実施例 2 において、ゲート電極となるポリシリコン膜 6 を形成する工程までは実施例 1 と同様である。

即ち、実施例 1 と同様に、一般的な CMOS の製造方法に従い、P 型のシリコン基板 1 に、素子分離領域 2 を形成した後で、P ウェル 3 及び N ウェル 4 をそれぞれ形成し、閾値電圧調整のためのイオン注入によりチャネル領域を形成する（図 1 (a) 参照）。次に、ゲート酸化膜 5 の形成であるが、耐圧の異なるトランジスタを混載する場合は、高耐圧のゲート酸化膜 5 を形成した後で、フォトリソグラフィにより高耐圧部をフォトレジストでマスクし、この状態でエッチングを行う。そして、フォトレジストを除去した後でシリコン基板 1 上の全面にウェット酸化を行い、ゲート酸化膜 5 の厚さが異なる領域を作り分ける。

【0031】

次に、全面ゲート酸化の後に引き続いて、窒素プラズマ処理によりゲート酸化膜 5 の表層 1 ~ 2 nm の領域に窒素を 1 ~ 5 atom% 導入する（図 1 (b) 参照）。引き続き、ゲート電極となるポリシリコン膜 6 を全面に堆積する。

次に、図 3 に示すように、フォトリソグラフィにより PMOS 領域をフォトレジスト 12 でマスクし、フッ素イオンを注入する。このフッ素イオンの注入条件は、例えば、加速電圧が 10 ~ 40 keV、ドーズ量が $2 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ である。

【0032】

そして、これ以降の工程は実施例 1 と同様である。即ち、NMOS 領域にリンイオンを注入し、PMOS 領域にボロンイオンを注入し、フォトリソグラフィとエッチングによりポリシリコン膜 6 を電極形状に加工して、ゲート電極 7、8 を形成する（図 1 (d) 参照）。次に、NMOS 領域及び PMOS 領域において、それぞれ、図示しない LDD 構造を形成し、サイドウォール 9 を形成し、その後、ソース・ドレイン 10、11 を形成する。その後、層間絶縁膜やメタル配線を形成することにより CMOS トランジスタが形成される。

このような方法で作製した CMOS トランジスタは、ボロン染み出しの問題を起こさずに、フリッカーノイズの小さな NMOS、及びフリッカーノイズの小さな PMOS を同時に備えるものであった。

【0033】

図 4 は、本発明の実施例 2 の方法で作製された CMOS トランジスタのゲート酸化膜 5 の構成を示す概念図である。図 4 に示すように、実施例 2 の方法で作成された CMOS トランジスタにおいて、NMOS、PMOS 共に、ゲート酸化膜 5 中における窒素濃度のピークはゲート電極 7、8 近傍の位置にそれぞれ存在する。また、NMOS、PMOS 共に、ゲート酸化膜 5 とシリコン基板 1 との界面付近の窒素濃度は 0.5 atom% 以下となっている。さらに、NMOS のゲート酸化膜 5 中におけるフッ素濃度は 1 atom% 以上であり、当該フッ素により、ゲート酸化膜 5 とシリコン基板 1 との界面にあるシリコンのダングリングボンドが終端化されている。一方で、PMOS のゲート酸化膜 5 中におけるフッ素濃度は 1 atom% 以下となっている。

10

20

30

40

50

【0034】

(窒素プラズマ処理の効果)

次に、本発明の特徴である窒素の導入による効果について説明する。実施例1と同様の方法で作製した(即ち、窒素プラズマ処理を行った)ゲート酸化膜中の窒素濃度分布を図5に示す。また、実施例1、2の方法と、以下に説明する比較例1~5の方法と、それらの結果(効果)を示す表を、図6として示す。

【0035】

図5は、SIMS解析により求めた、窒素プラズマ処理による窒素濃度プロファイルを示す図である。図5において、横軸はシリコン基板表面からの深さを示し、左側の縦軸は窒素濃度を示し、右側の縦軸はOとSiの2次イオン強度を示す。Oのイオン強度が低下する3nmの深さがSiO₂とSiの界面を意味するが、窒素プラズマ処理によって導入される窒素は、分布のピークはゲート酸化膜の表層2nmの領域にあることがわかる。尚、SIMS解析結果は実際の分布よりブロードになって現れるため、界面付近の実際の窒素濃度は図5で見られる濃度よりも小さい。以下、比較例1~3を用いて、窒素プラズマ処理による効果を説明する。

10

【0036】

[比較例1]

比較例1では、実施例1のCMOSトランジスタを作製する工程において、ポリシリコン膜を形成した後にフッ素イオンの注入を行わずに、それ以外は実施例1と同様の方法によってCMOSトランジスタを作製した。

20

[比較例2]

比較例2では、比較例1と同様にCMOSトランジスタを作製する工程において、全面ゲート酸化の後に、窒素プラズマ処理を行う代わりに、一酸化窒素ガスと窒素ガスの混合ガス雰囲気にて1000~1100でのアニール処理(即ち、NO処理)を行った。それ以外は、比較例1と同様の方法によってCMOSトランジスタを作製した。

[比較例3]

比較例3では、比較例1と同様にCMOSトランジスタを作製する工程において、全面ゲート酸化の後に、窒素プラズマ処理とNO処理をせずに、その他は比較例1と同じ方法でCMOSトランジスタを作製した。

30

【0037】

図6に示すように、このようにして作製したMOSトランジスタの測定を評価したところ、比較例1や比較例2においては、閾値電圧のばらつきの異常は見られず、ボロン染み出しの問題は見られなかったが、比較例3においては、閾値電圧のばらつきが比較例1の3倍あった。ボロンの染み出しがあると、閾値電圧がばらつく傾向にある。従って、ゲート酸化膜の表層1~2nmの領域に窒素を2~10atom%導入したことにより、NO処理と同様にボロンの染み出し抑制の効果があることが確認できた。

【0038】

また、このようにして作製したMOSトランジスタのフリッカーノイズを測定した。従来例では比較例1に比べてNMOS、PMOSともにKfが8~15倍もあった。また、図6に示すように、比較例1では、比較例2に比べて、PMOSのKfが約5分の1に低減していることがわかったが、NMOSのKfは明確な低減効果が見られなかった。

40

このような結果になった理由は、フリッカーノイズに影響するシリコン基板とゲート酸化膜との界面付近における窒素濃度の値が、比較例1においては0.5atom%以下と小さいのに対し、比較例2においては2~3atom%あり、この違いがホールのトラップ密度を増大させ、フリッカーノイズ特性に大きく影響したものと考えられる。従って、窒素プラズマ処理を用いることにより、NO処理に比べてPMOSのフリッカーノイズを低減しつつ、ボロン染み出しの問題を解決できることがわかった。

【0039】

(フッ素イオン注入の効果)

次に、MOSトランジスタのフリッカーノイズを低減するのに効果的なフッ素イオン注

50

入の効果について述べる。

[比較例 4]

比較例 4 では、実施例 1 の CMOS トランジスタを作製する工程において、全面ゲート酸化の後に、窒素プラズマ処理をせずに、その他は実施例 1 と同じ方法で CMOS トランジスタを作製した。但しフッ素イオン注入の効果を確認するため、フッ素イオンのドーズ量は最大 $6 \times 10^{15} \text{ cm}^{-2}$ までで行った。

[比較例 5]

比較例 5 では、CMOS トランジスタを作製する工程において、ポリシリコン膜中へのフッ素イオンの注入を行わない。それ以外は、比較例 4 と同じ方法で CMOS トランジスタを作製した。

10

【 0 0 4 0 】

このようにして作製した NMOS のフリッカーノイズを測定したところ、図 6 に示すように、比較例 4 では比較例 5 に比べて、Kf が 3 分の 1 から 10 分の 1 に低減していることがわかった。また、ゲート酸化膜の膜厚が 10 nm 以上と厚く、ボロン染み出しが顕在化しないような PMOS においては、比較例 4 では比較例 5 に比べて、やはり Kf が 2 分の 1 から 10 分の 1 に低減していることがわかった。このような結果になった理由は、フリッカーノイズの一因とされるシリコン基板 1 との界面におけるダングリングボンドが、フッ素で終端化されたことによるものと考えられる。

【 0 0 4 1 】

しかしながら、比較例 4 では、打ち込むボロンの量やゲート酸化膜の膜厚によっては、ボロン染み出しの問題が発生するため、PMOS の閾値電圧のばらつきが通常値の数倍から 10 倍になることもある。このため、比較例 4 においては PMOS が所望の特性を満たさないため、実用にならない。

20

また、比較例 4 において、実施例 2 のようにフッ素イオンの注入を NMOS 領域だけに行うことにより、PMOS においてボロン染み出しの問題を回避しつつ、NMOS のフリッカーノイズを低減することはできる。しかしそれでは、PMOS のフリッカーノイズを、フッ素により低減することができなくなる。このため、本発明の課題であるフリッカーノイズの小さな CMOS トランジスタ、即ち、NMOS と PMOS が共にフリッカーノイズが従来より小さな CMOS トランジスタ、とはならない。

【 0 0 4 2 】

次に、本発明の実施例 1 におけるフリッカーノイズ特性であるが、図 6 に示すように、NMOS の Kf は比較例 2 に比べて 10 分の 1 ~ 4 分の 1 の値が得られ、また、PMOS の Kf は比較例 2 に比べて 20 分の 1 ~ 4 分の 1 の値が得られる。

30

また本発明の実施例 2 は、窒素導入量を小さく抑えることにより、PMOS のフリッカーノイズを低減させ、PMOS に対してフッ素イオン注入によるフッ素導入をしなくても、NMOS、PMOS とともに所望のフリッカーノイズ特性を得られる条件を見出したものである。図 6 に示すように、実施例 2 におけるフリッカーノイズ特性は、NMOS の Kf は比較例 2 に比べて 12 分の 1 ~ 4 分の 1 の値が得られ、また、PMOS の Kf は比較例 2 に比べて 8 分の 1 ~ 4 分の 1 の値が得られる。

【 0 0 4 3 】

このように、本発明では、フッ素をシリコン界面に導入することによる NMOS 及び PMOS のフリッカーノイズ低減効果（比較例 4 で示した効果）と、窒素プラズマ処理によりゲート酸化膜の表層 1 ~ 2 nm の領域に窒素を 2 ~ 10 atom% 導入することによるボロン拡散防止対策及び PMOS のフリッカーノイズ低減効果（比較例 1 で示した効果）とにより、目的の効果を得られるのである。

40

【 産業上の利用可能性 】

【 0 0 4 4 】

本発明の装置は、アナログデジタル混載 LSI の分野で好適に利用できる。

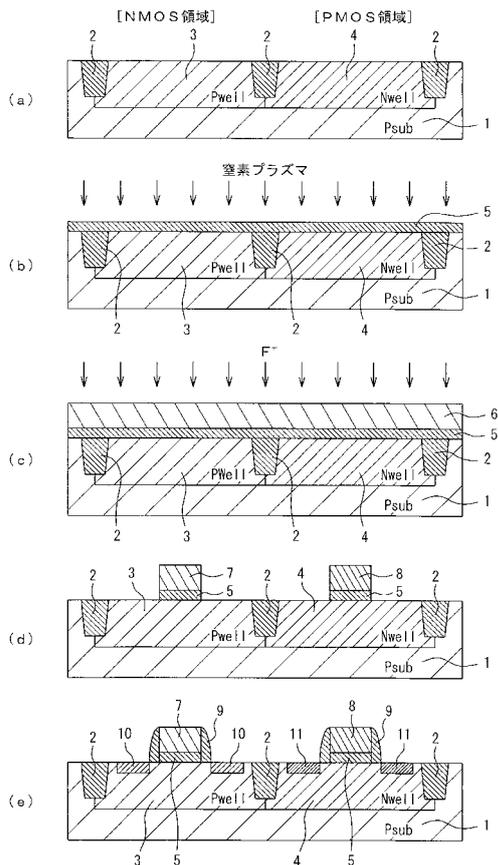
【 符号の説明 】

【 0 0 4 5 】

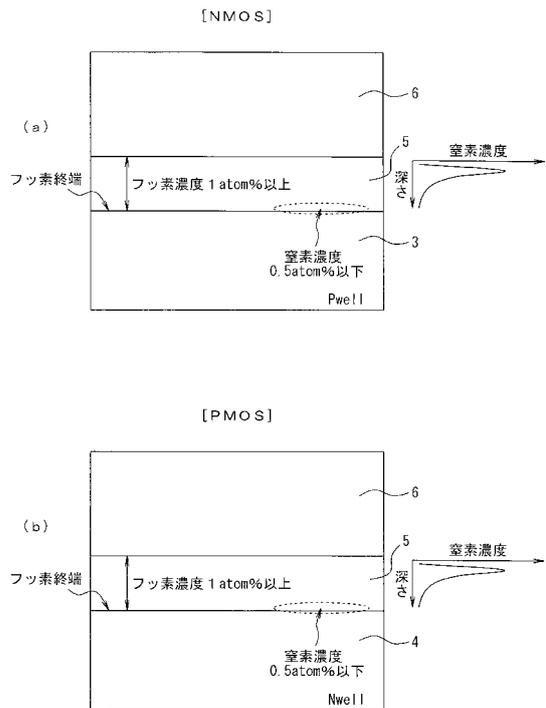
50

- 1 P型のシリコン基板 (Psub)
- 2 素子分離領域
- 3 Pウェル (Pwell)
- 4 Nウェル (Nwell)
- 5 ゲート酸化膜
- 6 ポリシリコン膜
- 7 (NMOSの)ゲート電極
- 8 (PMOSの)ゲート電極
- 9 サイドウォール
- 10 (NMOSの)ソース・ドレイン
- 11 (PMOSの)ソース・ドレイン
- 12 フォトリジスト

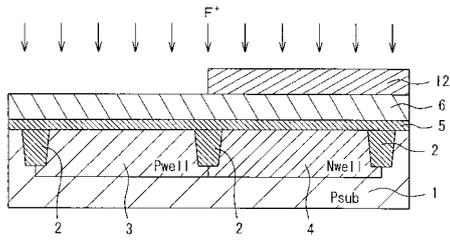
【図1】



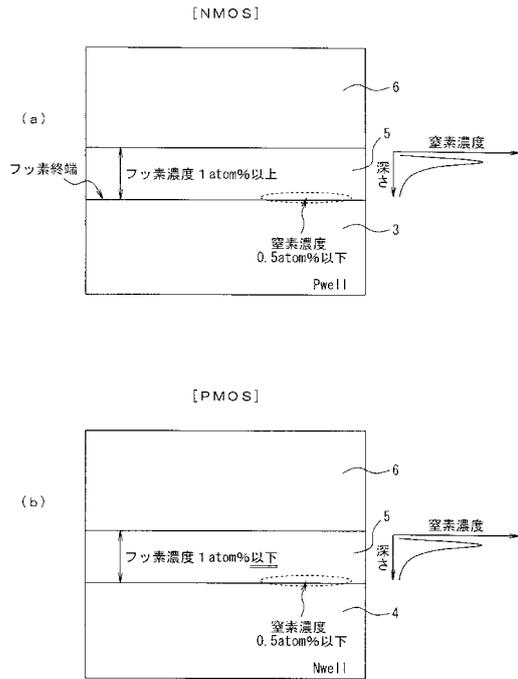
【図2】



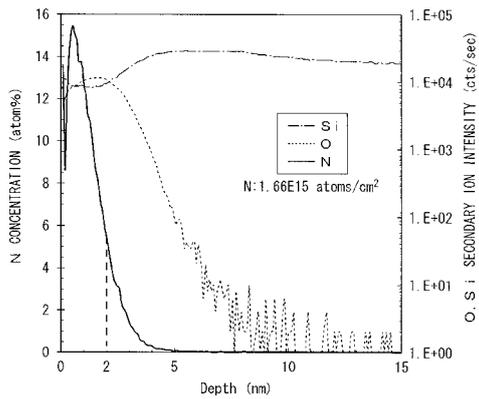
【 図 3 】



【 図 4 】



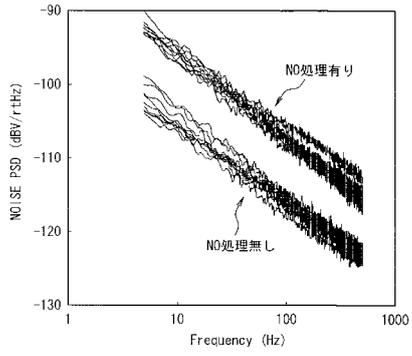
【 図 5 】



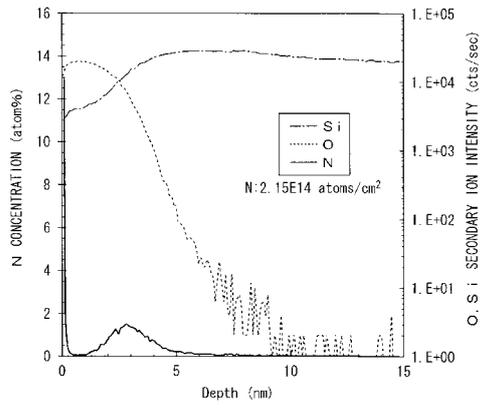
【 図 6 】

作製方法	プラズマ窒化の効果					フッ素イオン注入の効果				
	実施例 1	実施例 2	比較例 1	比較例 2	比較例 3	比較例 4	比較例 5	比較例 6	比較例 7	比較例 8
ゲート酸化後の窒化処理	窒素プラズマ	窒素プラズマ	NO処理	なし						
ゲート酸化後の表面窒素濃度	2~10%	1~5%	1~10%	NO処理	なし	なし	なし	なし	なし	なし
SiO ₂ /Si 界面の窒素濃度	あり	あり	0.5%以下	2~3%	なし	なし	なし	なし	なし	なし
フッ素イオン注入	あり									
	$1 \times 10^{15} \sim 4 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²	$2 \times 10^{15} \sim 6 \times 10^{15}$ atoms/cm ²
結果	PMOS									
ボロン染み出し	なし	なし	なし	なし	あり	あり	あり	あり	あり	あり
界面はらつき (相対値)	1	1	1	1	3	3	3	3	3	3
フリッカーノイズ (相対値)	0.6~3	0.6~3	6~10	8~15	1	0.1~0.3	0.1~0.3	0.1~0.3	0.1~0.3	0.1~0.3
Tox: ゲート酸化膜厚	0.4~2	1~2	2~3	8~15	1	0.1~0.5 (Tox > 10nm)				

【 図 7 】



【 図 8 】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 CC05 DD55 DD63 DD82 DD99 EE03 EE20 GG09
GG10 GG14 HH20
5F048 AA00 AA07 AA09 AC03 BA01 BB06 BB07 BB11 BC06 BE03
BG13
5F140 AA06 AB03 BA01 BC06 BD17 BE07 BE08 BE15 BE17 BF01
BF04 BG37 BG51 BG53 BH15 BK02 CB04