



(12) 发明专利申请

(10) 申请公布号 CN 104733298 A

(43) 申请公布日 2015.06.24

(21) 申请号 201410075694.5

H01L 29/78(2006.01)

(22) 申请日 2014.03.03

(30) 优先权数据

14/132,901 2013.12.18 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 程仲良 陈彦羽 陈韦任 李昌盛

张伟

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 孙征

(51) Int. Cl.

H01L 21/28(2006.01)

H01L 21/336(2006.01)

H01L 29/49(2006.01)

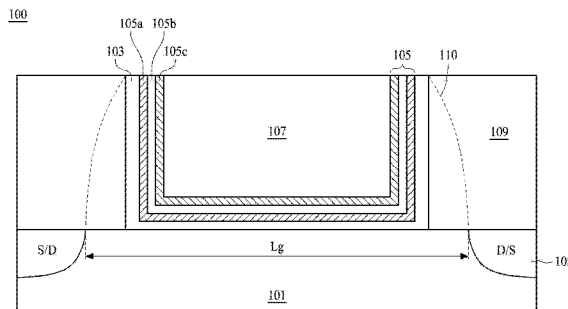
权利要求书1页 说明书12页 附图17页

(54) 发明名称

具有金属栅极的半导体结构及其制造方法

(57) 摘要

本发明提供了具有金属栅极的半导体结构及其制造方法。用于制造金属栅极结构的方法，包括：在栅极沟槽中形成高k介电层；在高k介电层上方形成蚀刻停止层；通过经由原子层沉积(ALD)操作形成具有晶界工程层、掺杂层以及覆盖层的顺序的三层，在蚀刻停止层上方形成功函数调整层，晶界工程层被配置为允许掺杂剂原子渗透穿过，掺杂层被配置为将掺杂剂原子提供给晶界工程层，并且覆盖层被配置为防止掺杂层氧化；以及填充金属，以使栅极沟槽填平。在诸如约200摄氏度至约350摄氏度的各个温度下，通过ALD操作来制备晶界工程层。



1. 一种用于制造金属栅极结构的方法,包括:
 - 在栅极沟槽中形成高 k 介电层;
 - 在所述高 k 介电层上方形成蚀刻停止层;
 - 在所述蚀刻停止层上方通过形成具有晶界工程层、掺杂层以及覆盖层的顺序的三层来形成功函调整层,所述晶界工程层被配置为允许掺杂剂原子渗透穿过,所述掺杂层被配置为将所述掺杂剂原子提供给所述晶界工程层,并且所述覆盖层被配置为防止所述掺杂层氧化;以及
 - 填充金属以使所述栅极沟槽填平。
2. 根据权利要求 1 所述的用于制造金属栅极结构的方法,其中,形成具有所述晶界工程层、所述掺杂层和所述覆盖层的顺序的所述三层包括:使用原子层沉积(ALD)操作。
3. 根据权利要求 2 所述的用于制造金属栅极结构的方法,将氢化二甲基铝(DMAH)或二甲基乙基胺铝烷(DMEAA)用作在所述 ALD 操作中形成所述掺杂层的前体。
4. 根据权利要求 1 所述的用于制造金属栅极结构的方法,其中,形成所述晶界工程层包括:在约 200 摄氏度至约 350 摄氏度的温度范围内,执行 ALD 操作。
5. 根据权利要求 4 所述的用于制造金属栅极结构的方法,其中,形成所述晶界工程层包括:执行足够的 ALD 周期以形成封闭膜。
6. 根据权利要求 1 所述的用于制造金属栅极结构的方法,其中,在真空条件下将所述金属栅极结构从形成所述晶界工程层的室传送到形成所述掺杂层的另一个室。
7. 根据权利要求 1 所述的用于制造金属栅极结构的方法,进一步包括:
 - 在形成所述功函调整层之前,形成 P 功函层;以及
 - 在形成所述功函调整层之前,去除所述 P 功函层。
8. 根据权利要求 1 所述的用于制造金属栅极结构的方法,进一步包括:
 - 限定伪栅极区;以及
 - 去除所述伪栅极区的一部分以露出所述栅极沟槽。
9. 一种用于制造 FinFET 中的金属栅极结构的方法,包括:
 - 形成鳍;
 - 在所述鳍上方形成伪栅极和层间介电层(ILD);
 - 去除所述伪栅极的一部分以露出栅极沟槽;
 - 通过形成晶界工程层和所述晶界工程层上方的掺杂层,在所述栅极沟槽中形成功函调整层。
10. 一种具有金属栅极的半导体结构,包括:
 - 高 k 介电层;
 - 功函调整层,包括:
 - 晶界工程层,被配置为允许掺杂剂原子渗透穿过;
 - 掺杂层,位于所述晶界工程层上方,被配置为将所述掺杂剂原子提供给所述晶界工程层;和
 - 覆盖层,位于所述掺杂层上方,被配置为防止所述掺杂层氧化;以及
 - 金属层;
 - 其中,所述功函调整层夹置在所述高 k 介电层和所述金属层之间。

具有金属栅极的半导体结构及其制造方法

技术领域

[0001] 本发明涉及半导体技术领域,更具体地,涉及具有金属栅极的半导体结构及其制造方法。

背景技术

[0002] 半导体集成电路(IC)工业已经经历了快速发展。在 IC 演进的过程中,在几何尺寸减小(即,使用制造工艺可以创建的最小组件(或线路))的同时,功能密度(即,单位芯片面积上的互连器件的数量)通常会增加。该按比例缩小工艺通常通过提高生产效率和降低相关成本来提供益处。这样的按比例缩小还增加处理和制造 IC 的复杂性,并且为了实现这些进步,需要 IC 处理和制造的类似发展。由于晶体管的尺寸减小,栅极氧化物的厚度必须减小,以保持具有减小的栅极长度的性能。然而,为了减少栅极泄漏,使用高介电常数(高k)栅极绝缘层,从而在保持与由用于更大技术节点的典型栅极氧化物提供的相同有效电容的同时,允许更大物理厚度。

[0003] 另外,由于技术节点缩小,在一些 IC 设计中,期望用金属栅(MG)电极来代替通常的多晶硅栅电极,以提高具有减小的特征尺寸的器件性能。与被称为“先栅极”的另一种 MG 电极形成工艺相反,形成 MG 电极的一种工艺被称为“后栅极”工艺。“后栅极”工艺允许减少必须在形成栅极之后实施的随后工艺数量,包括高温处理。

[0004] 因此,期望一种为形成在衬底上的每个 NMOS 和 PMOS 晶体管提供不同配置的金属栅极结构的方法和半导体器件。

发明内容

[0005] 为了解决现有技术中所存在的缺陷,根据本发明的一方面,提供了一种用于制造金属栅极结构的方法,包括:在栅极沟槽中形成高 k 介电层;在所述高 k 介电层上方形成蚀刻停止层;在所述蚀刻停止层上方通过形成具有晶界工程层、掺杂层以及覆盖层的顺序的三层来形成功能调整层,所述晶界工程层被配置为允许掺杂剂原子渗透穿过,所述掺杂层被配置为将所述掺杂剂原子提供给所述晶界工程层,并且所述覆盖层被配置为防止所述掺杂层氧化;以及填充金属以使所述栅极沟槽填平。

[0006] 在用于制造金属栅极结构的方法中,形成具有所述晶界工程层、所述掺杂层和所述覆盖层的顺序的所述三层包括:使用原子层沉积(ALD)操作。

[0007] 在用于制造金属栅极结构的方法中,将氢化二甲基铝(DMAH)或二甲基乙基胺铝烷(DMEAA)用作在所述 ALD 操作中形成所述掺杂层的前体。

[0008] 在用于制造金属栅极结构的方法中,形成所述晶界工程层包括:在约 200 摄氏度至约 350 摄氏度的温度范围内,执行 ALD 操作。

[0009] 在用于制造金属栅极结构的方法中,形成所述晶界工程层包括:执行足够的 ALD 周期以形成封闭膜。

[0010] 在用于制造金属栅极结构的方法中,在真空条件下将所述金属栅极结构从形成所

述晶界工程层的室传送到形成所述掺杂层的另一个室。

[0011] 该方法进一步包括：在形成所述功函调整层之前，形成 P 功函层；以及在形成所述功函调整层之前，去除所述 P 功函层。

[0012] 该用于制造金属栅极结构的方法进一步包括：限定伪栅极区；以及去除所述伪栅极区的一部分以露出所述栅极沟槽。

[0013] 根据本发明的另一方面，提供了一种用于制造 FinFET 中的金属栅极结构的方法，包括：形成鳍；在所述鳍上方形成伪栅极和层间介电层 (ILD)；去除所述伪栅极的一部分以露出栅极沟槽；通过形成晶界工程层和所述晶界工程层上方的掺杂层，在所述栅极沟槽中形成功函调整层。

[0014] 在用于制造 FinFET 中的金属栅极结构的方法中，形成所述晶界工程层包括：在约 200 摄氏度至约 350 摄氏度的范围内所选择的生长温度下，执行 ALD 操作。

[0015] 在用于制造 FinFET 中的金属栅极结构的方法中，形成所述晶界工程层和所述掺杂层包括：通过在真空条件下将所述 FinFET 中的所述金属栅极结构从执行所述晶界工程层的形成的室传送到执行所述掺杂层的形成的另一个室来防止所述晶界工程层的表面氧化。

[0016] 该用于制造 FinFET 中的金属栅极结构的方法进一步包括：在所述掺杂层上方形成覆盖层。

[0017] 根据本发明的又一方面，提供了一种具有金属栅极的半导体结构，包括：高 k 介电层；功函调整层，包括：晶界工程层，被配置为允许掺杂剂原子渗透穿过；掺杂层，位于所述晶界工程层上方，被配置为将所述掺杂剂原子提供给所述晶界工程层；和覆盖层，位于所述掺杂层上方，被配置为防止所述掺杂层氧化；以及金属层；其中，所述功函调整层夹置在所述高 k 介电层和所述金属层之间。

[0018] 在该半导体结构中，具有所述金属栅极的所述半导体结构是鳍式场效应晶体管 (FinFET)。

[0019] 在该半导体结构中，所述金属栅极的栅极长度小于 16nm。

[0020] 在该半导体结构中，所述 FinFET 的所述金属栅极的高度和栅极长度的深宽比在约 1 到约 10 的范围内。

[0021] 在该半导体结构中，鳍高度和相邻鳍之间的间距的深宽比在约 0.2 至约 10 的范围内。

[0022] 在该半导体结构中，所述晶界工程层是非晶封闭膜。

[0023] 在该半导体结构中，所述晶界工程层是晶体封闭膜。

[0024] 在该半导体结构中，所述晶界工程层的厚度在约 10Å 至约 30Å 的范围内。

附图说明

[0025] 当结合附图阅读以下详细说明书时，可更好地理解本发明的方面。应该强调，根据工业中的标准实践，各个部件未按比例绘制。实际上，为了论述的清楚起见，各个部件的尺寸可以任意地增大或减小。

[0026] 图 1 是根据本发明的一些实施例的半导体结构的金属栅极的截面图；

[0027] 图 2 是根据本发明的一些实施例的具有金属栅极结构的鳍式场效应晶体管

(FinFET)的透视图；

[0028] 图 3A 是根据本发明的一些实施例的图 2 所示的 FinFET 结构的金属栅极的截面图；

[0029] 图 3B 是根据本发明的一些实施例的图 2 所示的 FinFET 结构的金属栅极的截面图；

[0030] 图 4A 是根据本发明的一些实施例的功函调整层中的三层的放大截面图；

[0031] 图 4B 是示出根据本发明的一些实施例的晶界工程层(grain boundary engineering layer)的特性的示意图；

[0032] 图 5A 是根据本发明的一些实施例的功函调整层中的三层的放大截面图；

[0033] 图 5B 是示出根据本发明的一些实施例的晶界工程层的特性的示意图；

[0034] 图 6A、图 7A、图 8A、图 9A、图 10A 是根据本发明的一些实施例的 NFET 结构中的金属栅极的制造方法的操作；

[0035] 图 6B、图 7B、图 8B、图 9B、图 10B 是根据本发明的一些实施例的 PFET 结构中的金属栅极的制造方法的操作；

[0036] 图 11 是根据本发明的一些实施例的具有多个生长室的半导体晶圆制造工具；以及

[0037] 图 12 至图 17 是根据本发明的一些实施例的金属栅极的后栅极制造方法的操作。

具体实施方式

[0038] 在以下详细说明书中，阐述大量具体细节，以提供本发明的透彻理解。然而，本领域技术人员将理解，在没有这些具体细节的情况下，可以实施本发明。在其他实例中，未详细描述众所周知的方法、步骤、组件和电路，以免模糊本发明。将理解，以下公开内容提供用于实现各个实施例的不同特征的许多不同实施例或实例。下面描述了组件和布置的具体实例，以简化本发明。当然，这些仅是实例并不旨在进行限定。

[0039] 下面详细地论述了实施例的制造和使用。然而，应该理解，本发明提供许多可以在具体环境中实现的可应用的发明构思。所论述的特定实施例仅示出制造和使用本发明的特定方式，而不限制本发明的范围。

[0040] 铝注入用于减小平带电压(V_{FB})和接近晶体管的沟道区的金属栅极(MG)叠层的有效功函。鉴于其吸引 N 型晶体管的沟道区中的负载流子从而降低阈值电压的能力，诸如铝的金属元素被用作调整 N 型晶体管的阈值电压的重要媒介物。然而，随着器件技术节点的收缩，原子层沉积(ALD)被用作直接沉积包含所述金属元素的导电薄膜的手段。

[0041] 在 ALD 操作期间，铝泡(aluminum blister)缺陷可归因于至少两个问题：1) 过多铝前体剂量，例如太多氢化二甲基铝(DMAH)和 / 或二甲基乙基胺铝烷(DMEAA)会引起前体的自反应并且形成铝凝聚；以及 2) 缺少自由电子的下层，其降低前体的吸收度。缺少自由电子的下层可以是氧化物层，其中，通过在非含铝膜的生长期间的真空状态的干扰(即，真空破坏)来形成氧化物层。氧化物层不仅缺乏自由电子，而且阻挡来自上覆层的铝离子的扩散沟道。当金属离子不能到达接近晶体管的沟道区的位置时，从而限制了阈值电压调节能力。

[0042] 在本发明的一些实施例中，在形成 MG 叠层的过程中，引入三层结构和原位 ALD 操

作。更具体地,本文中所描述的三层结构用作功函调整层、或者N功函金属层,并且原位ALD操作提供在沉积的过程中要求非破坏真空的ALD操作流程。

[0043] 本文中所论述的三层结构是指(从底部到顶部)晶界工程层(GBEL)、含铝掺杂层以及可选的覆盖层。在一些实施例中,GBEL允许掺杂剂原子经由诸如晶界的扩散沟道渗透穿过。掺杂层位于GBEL上方,并且将掺杂剂源提供给GBEL。可选覆盖层位于掺杂层上方,防止掺杂层因原位覆盖措施被氧化。通过控制GBEL中的掺杂剂渗透度,晶体管的阈值电压是可调节的。而且,通过在没有真空破坏的情况下以原位方式执行三层结构的生长,在三层结构中不形成氧化物层。

[0044] 本发明的一些实施例提供三层结构,并且原位ALD操作允许晶体管的阈值电压的调整不仅取决于前体的剂量,而且可通过GBEL的掺杂剂渗透度调节。由于没有氧化物层形成的原位膜生长,可以减少GM叠层中的铝泡缺陷。

[0045] 本发明的一些实施例提供金属栅极MOSFET(MG-MOSFET)。如上所述,MG-MOSFET包括三层结构,并且在没有真空破坏的情况下,以原位方式进行制造。本发明的其他实施例提供金属栅极FinFET(MG-FinFET)。如上所述,MG-FinFET包括三层结构,并且在没有真空破坏的情况下以原位方式进行制造。

[0046] 本发明的一些实施例提供制造包括三层结构的MG-FinFET的NFET和PFET的方法。本发明的其他实施例提供使用“后栅极”操作制造包括三层结构的MG-FinFET的方法。

[0047] 图1示出具有三层结构的金属栅极100的截面图。在一些实施例中,具有金属栅极100的半导体器件是NMOS。三层结构或功函调整层105以及填充通过功函调整层105所形成的沟槽的金属层107统称为金属栅叠层(105、107)。在图1中,金属栅叠层(105、107)位于半导体衬底101上方,并且高k介电层103内衬于半导体衬底101和金属栅叠层(105、107)的底部之间。可选间隔件110位于金属栅叠层(105、107)的侧壁处,以便利随后的源极/漏极对准操作。高k介电层103内衬于金属栅叠层(105、107)和可选间隔件110之间。

[0048] 如图1所示,金属栅叠层(105、107)、高k介电层103以及可选间隔件110在横向方向上位于层间介电层(ILD)109之间。在图1中,源极或漏极(S/D)108被限定在半导体衬底101中,并且源极和漏极之间的距离是栅极长度 L_g 。在一些实施例中,NMOS的栅极长度 L_g 约为16nm。在其他实施例中,NMOS的栅极长度 L_g 小于16nm。

[0049] 在金属栅叠层(105、107)的功函调整层105中示出三层结构。在一些实施例中,三层结构用作N功函金属层。在一些实施例中,三层结构包括晶界工程层(GBEL)105a、掺杂层105b以及覆盖层105c。GBEL是金属栅叠层(105、107)的最外层,与高k介电层103界面连接。掺杂层105b符合GBEL105a的轮廓,并且夹置在GBEL105a和覆盖层105c之间。

[0050] 在本发明的一些实施例中,本文中所指的半导体衬底101是在其上形成多层和器件结构的块状半导体衬底。在一些实施例中,块状衬底包括硅或者诸如GaAs、InP、Si/Ge或SiC的化合物半导体。在半导体衬底101上可以形成多层,例如,介电层、掺杂层、多晶硅层或导电层。在半导体衬底101上可以形成通过互连层与附加集成电路互连的多个器件,例如,晶体管、电阻器和/或电容器。

[0051] 在本发明的一些实施例中,通过ALD、CVD、金属有机CVD(MOCVD)、PVD、等离子体增强CVD(PECVD)、等离子体增强ALD(PEALD)、热氧化、其组合或其他合适技术来形成高k介电层103。在一些实施例中,高k介电层103包括在约 5\AA 至约 30\AA 的范围内的厚度。高

k 介电层 103 包括诸如 HfO_x 的二元或三元高 k 膜。在一些实施例中,高 k 介电层 103 包括其他高 k 介电层,诸如 LaO 、 AlO 、 ZrO 、 TiO 、 Ta_2O_5 、 Y_2O_3 、 SrTiO_3 (STO)、 BaTiO_3 (BTO)、 BaZrO 、 HfZrO 、 HfLaO 、 HfSiO 、 LaSiO 、 AlSiO 、 HfTaO 、 HfTiO 、 $(\text{Ba}, \text{Sr}) \text{TiO}_3$ (BST)、 Al_2O_3 、 Si_3N_4 、氮氧化物或其他合适材料。

[0052] 在本发明的一些实施例中,GBEL105a 包括厚度在约 10\AA 至约 30\AA 的范围内的 TiN 或 TaN。GBEL105a 允许从掺杂层 105b 注入的掺杂剂原子通过扩散渗透穿过。在从约 200 摄氏度至约 350 摄氏度的衬底温度下,通过诸如 ALD、PVD、CVD、PECVD 的多种沉积技术或其他合适技术来形成 GBEL105a。

[0053] 在一些实施例中,通过膜的封闭状态来确定 GBEL105a 的膜厚度。在此使用的术语“封闭膜”是指用于通过薄膜生长所获得的下层的完全覆盖状态。例如,当 ALD 生长条件引入岛状生长机制时,在约 30 个周期之后可以获得封闭膜。在一些实施例中,所获得的封闭膜具有在约 15\AA 至约 20\AA 的范围内的厚度。在一些实施例中,GBEL105a (同时是封闭膜)具有晶体结构,其中,在电子显微镜观测下,可以识别出所限定的晶界。在其他实施例中,GBEL105a (同时是封闭膜)具有非晶结构,其中,没有所限定的晶界可以被识别。

[0054] 在 GBEL105a 中识别出晶体结构的本发明的一些实施例中,可以通过在 GBEL105a 上所进行的 X 射线衍射 (XRD) 来识别各种结晶度。例如,约 275 摄氏度的衬底温度下通过 ALD 操作生长的 GBEL 在 XRD2- θ 扫描中的 (111) 峰值强度为约 225 摄氏度下所生长的 GBEL 层的两倍。在另一实例中,约 325 摄氏度的衬底温度下通过 ALD 操作生长的 GBEL 的 XRD2- θ 扫描中的 (111) 峰值强度为约 225 摄氏度下生长的 GBEL 层的三倍。将示出,与约 225 摄氏度的较低温度下生长的 GBEL 相比,在约 325 摄氏度的较高温度下生长的 GBEL 具有更好的结晶度。

[0055] 在本发明的一些实施例中,掺杂层 105b 包括厚度为约 20\AA 至约 50\AA 的 TiAl_x 。在一些实施例中,利用铝前体氢化二甲基铝 (DMAH) 或二甲基乙基胺铝烷 (DMEAA) 的 ALD 操作用于形成掺杂层 105b。

[0056] 参考图 1,掺杂层 105b 位于 GBEL105a 的顶部上。掺杂层 105b 被配置为将掺杂剂 (在一些实施例中,为铝离子) 提供给 GBEL105a。在 GBEL105a 的结晶度和晶界密度相对高 (例如,在约 325 摄氏度下 ALD 生长的 GBEL) 的情况下,从掺杂层 105b 渗透到 GBEL105a 的掺杂剂的量大于 GBEL105a 的结晶度和晶界密度相对低 (例如,在约 225 摄氏度下 ALD 生长的 GBEL) 的情况。在 GBEL105a 处累积的掺杂剂越多,晶体管的阈值电压越低。换句话说,GBEL105a 的微结构被设计为满足不同阈值电压的需要。

[0057] 在本发明的一些实施例中,覆盖层 105c 包括厚度在约 10\AA 至约 25\AA 的范围内的 TiN 或 TaN。覆盖层 105c 以原位方式 (即,没有真空破坏) 形成在掺杂层 105b 的顶部上,以防止掺杂层 105b 被氧化。通过诸如 ALD、PVD、CVD、PECVD 的多种沉积技术或其他合适技术来形成覆盖层 105c。在一些实施例中,覆盖层 105c 是可以从本文中所论述的三层中去除的可选层。

[0058] 在本发明的一些实施例中,形成金属层 107 以填充金属栅叠层 (105、107) 中的栅极沟槽的剩余部分。金属层 107 包括诸如 WN、TaN 或 Ru 的适用于形成金属栅极或其部分的任何金属材料。在一些实施例中,P 金属层包括诸如 TiN/W、WN 和 WCN 的多金属层结构。

[0059] 在一些实施例中,除了功函调整层 105 和高 k 介电层 103 之外,金属栅叠层(105、107)进一步包括衬里层、界面层、晶种层、粘合层、阻挡层或它们的等同层。

[0060] 在一些实施例中,ILD109 包括介电材料。在一些实施例中,介电材料包括氧化硅、氮化硅、氮氧化硅、旋涂玻璃(SOG)、氟化硅玻璃(FSG)、掺碳氧化硅(例如, SiCOH)、BLACK DIAMOND®(加利福尼亚州圣克拉拉的应用材料公司)、XEROGEL®、AEROGEL®、非晶氟化碳、聚对二甲苯、BCB(双苯并环丁烯)、FLARE®、SILK®(密歇根州米德兰的陶氏化学公司)、聚酰亚胺、其他合适的多孔聚合物材料、其他合适的介电材料和 / 或其组合。在一些实施例中,ILD109 包括高密度等离子体(HDP)介电材料(例如,HDP 氧化物)和 / 或高深宽比工艺(HARP)介电材料(例如,HARP 氧化物)。应该理解,ILD109 可以包括一种或多种介电材料和 / 或一个或多个介电层。如图 1 所示,通过化学机械抛光(CMP)工艺来平坦化 ILD109,直到露出金属栅叠层(103、105)的顶部。CMP 工艺包括高选择性,以提供金属栅叠层(103、105)、间隔件 110 以及 ILD109 的基本平坦表面。在一些实施例中,CMP 工艺具有低凹陷和 / 或金属腐蚀作用。

[0061] 参考图 2,示出金属栅极 FinFET 结构 200 的透视图。两个半导体鳍 203 位于衬底 201 上并且由浅沟槽隔离件 205 分隔开。半导体鳍 203 可以由硅、硅锗、锗或其他合适的半导体材料形成。金属栅极 209 位于半导体鳍 203 的顶面 203A 和侧壁 203B 上方。晶体管的沟道(未示出)沿着半导体鳍的顶面 230A 和侧壁 203B 进行限定,并且在半导体鳍 203 中的源极(S)和漏极(D)之间延伸。如图 2 所示,ILD207 在半导体鳍 203 的源极(S)和漏极(D)部分处位于顶面 230A 和侧壁 230B 上方。

[0062] 参考图 3A 和图 3B,示出 MG FinFET 结构的两个截面图。从图 2 所示的第一方向截取图 3A 所示的截面图。第一方向平行于半导体鳍 203 的纵轴并且表示为“1”。在图 3A 中具有与图 1 和图 2 中相同的数字标记的元件是指相同的材料结构,并且为了简单的目的,在此不再重复。在图 3A 中,金属栅叠层(105、107)位于半导体鳍 203 上。沟道长度 L_g 沿着半导体鳍 203 的顶面 203A 限定,并且在半导体鳍 203 中的源极(S)和漏极(D)之间延伸。在一些实施例中,MG FinFET 结构中的沟道长度 L_g 约为 16nm 或 16nm 以下。金属栅叠层(105、107)的高度 H1 被限定为从金属栅极的水平顶面到半导体鳍 203 的顶面 203A 所测量的长度。在一些实施例中,金属栅叠层(105、107)的高度 H1 为约 20nm 至约 110nm。在一些实施例中,金属栅叠层(105、107)的深宽比在约 1 至约 10 的范围内。金属栅叠层(105、107)的深宽比是指金属栅叠层(105、107)的高度和由金属栅叠层(105、107)所限定的沟道长度 L_g 的比率。深宽比越大,对金属栅叠层(105、107)的生长就应该施加沉积控制越多。

[0063] 从图 2 所示的第二方向截取图 3B 所示的截面图。第二方向垂直于半导体鳍 203 的纵轴,并且表示为“2”。在图 3B 中具有与图 1 和图 2 中相同的数字标记的元件是指相同的材料结构,并且为了简单起见,在此不再重复。在图 3B 中,功函调整层 105 和高 k 介电层 103 共形地沉积在半导体鳍 203 的顶面 203A 和侧壁 203B 上。在图 3B 的下部中,半导体鳍 203 由 STI205 分隔开,反之,在图 3B 的上部中,半导体鳍 203 由 ILD207 分隔开。从沿着图 3B 所示的第二方向所截取的截面图不能看出 FinFET 结构的沟道长度。鳍高度 H2 被限定为从半导体鳍 203 的顶面 203A 到 STI205 的顶面所测量的长度。在一些实施例中,鳍高度 H2 在约 5nm 至约 50nm 的范围内。观看图 3B 所示的截面图,FinFET 结构的间距 P 是指两个邻

近的半导体鳍 203 之间的距离。在一些实施例中,两个邻近的金属栅极 FinFET 结构之间的间距 P 为约 5nm 至约 20nm。在一些实施例中,FinFET 结构的鳍高度 H2 和间距 P 的比率在约 0.2 至约 10 的范围内。H2 与 P 的比率越大,对 FinFET 结构上的金属栅极的生长应该施加沉积控制越多。

[0064] 参考图 4A,示出在此论述的功函调整层 105 的放大图。在一些实施例中,功函调整层是三层结构,该三层结构包括非晶或低晶度 GBEL105a、掺杂层 105b 以及可选覆盖层 105c。用于上述三层结构的功能和材料被记录在参考本发明的图 1 的说明书中,并且为了简单起见,在此不再重复。图 4B 是示出掺杂剂 D 从掺杂层 105b 渗透到非晶或低晶度 GBEL105a 的示意图。如图 4B 所示,划分两个邻近的晶粒 105' 的晶界是掺杂剂 D 的主要扩散通道。

[0065] 参考图 5A,示出在此论述的功函调整层 105 的放大图。在一些实施例中,功函调整层 105 是三层结构,该三层结构包括高晶度 GBEL105a、掺杂层 105b 以及可选覆盖层 105c。用于上述三层结构的功能和材料被记录在参考本发明的图 1 的说明书中,并且为了简单起见,在此不再重复。图 5B 是示出掺杂剂 D 从掺杂层 105b 渗透到高晶度 GBEL105a 的示意图。如图 5B 所示,划分两个邻近的晶粒 105' 的晶界是掺杂剂 D 的主要扩散通道。

[0066] 可以从图 4A 至图 5B 看出,GBEL105a 的结晶度越高,晶界密度越大,并且从而允许来自覆盖层的掺杂剂渗透穿过 GBEL105a,并且定位于接近晶体管的沟道区的位置。

[0067] 在一些实施例中,图 6A 至图 10B 是示出金属栅极 MOSFET 结构的制造方法的操作。图 6A 至图 10B 所示的操作提供了通过在不同温度下形成 GBEL105a,调整关于 GBEL105a 之上的掺杂层 105b 中的掺杂原子在该 GBEL105a 中的渗透度来控制金属栅极晶体管结构的阈值电压的方法。图 6A、图 7A、图 8A、图 9A、图 10A 是 NMOS 结构中的金属栅极的制造方法的操作,并且图 6B、图 7B、图 8B、图 9B、图 10B 是 PMOS 结构中的金属栅极的制造方法的操作。在图 3A 中与图 6A、图 7A、图 8A、图 9A、图 10A 中具有相同数字标记的元件是指相同的材料结构,并且为了简单起见,在此不再重复。在图 6A 中,根据现有技术,在半导体衬底 101 上形成 ILD109、氮化物层 113、间隔件 110、高 k 介电层 103、蚀刻停止 / 阻挡层 104A 以及栅极沟槽 106。在形成间隔件 110、氮化物层 113 以及 ILD109 之后,执行化学机械抛光(CMP)操作。通过去除伪栅极材料(未示出)形成栅极沟槽 106。在本发明的图 12 至图 17 中论述了关于伪栅极材料的去除的操作。在一些实施例中,在去除伪栅极材料之后,形成高 k 介电层 103 和蚀刻停止 / 阻挡层 104A。在图 6B 中,在 PMOS 结构上执行与图 6A 中一样操作。

[0068] 在一些实施例中,在高 k 介电层 103 上方形成蚀刻停止 / 阻挡层 104A。在一些实施例中,蚀刻停止 / 阻挡层 104A 包括厚度在约 5\AA 至约 30\AA 的范围内的 TiN 或 TaN。蚀刻停止 / 阻挡层 104A 用作阻挡层以保护高 k 介电层 103。通过诸如 ALD、PVD、CVD、PECVD 的多种沉积技术或其他合适技术来形成蚀刻停止 / 阻挡层 104A。

[0069] 参考图 7A 和图 7B,在 NMOS (图 7A) 和 PMOS (图 7B) 结构中的蚀刻停止 / 阻挡层 104A 上方形成 P 功函层 104B。在一些实施例中,可以通过 ALD、PVD、CVD 或其他合适工艺来形成 P 功函层 104B。可选地,P 功函层 104B 包括诸如 TiN、TaN 或 Ru 的其他合适金属,在 PMOS 器件中适当地实现该 P 功函层。在一些实施例中,P 功函层 104B 包括诸如 TiN/WN 的多金属层结构。

[0070] 参考图 8A 和图 8B,执行蚀刻操作以去除在图 7A 中所形成的 NMOS 结构处的 P 功

函层 104B。旋涂玻璃(SOG) 120 形成在 PMOS 结构(图 8B)的栅极沟槽 106 上方,该旋涂玻璃(SOG)120 用作蚀刻掩膜,以防止 P 功函层 104B 在 PMOS 结构上方被去除。在一些实施例中,SOG120 被旋涂在 NMOS 和 PMOS 结构上,对毯式 SOG120 上方的光刻胶层进一步进行图案化,露出 NMOS 结构上方的区域。执行干蚀刻操作以去除未被光刻胶层覆盖的 SOG120 的部分。随后,通过干蚀刻、湿蚀刻、干蚀刻和湿蚀刻的组合或其他合适工艺来去除露出的 P 功函层 104B。然后,在去除 P 功函层 104B 之后,使光刻胶和 SOG120 剥离。

[0071] 参考图 9A 和图 9B,在 NMOS 结构上的蚀刻停止 / 阻挡层上方(图 9A)和 PMOS 结构上的 P 功函层 104B 上方(图 9B)形成功函调整层 105。在一些实施例中,功函调整层 105 包括通过几个 ALD 操作沉积的三层结构。在一些实施例中,三层结构 105 的 GBEL105a 是在约 225 摄氏度的衬底温度下通过 ALD 操作所形成的 TaN 膜。在其他实施例中,三层结构 105 的 GBEL105a 是在约 275 摄氏度的衬底温度下通过 ALD 操作所形成的 TaN 膜。在其他实施例中,三层结构 105 的 GBEL105a 是在约 325 摄氏度的衬底温度下通过 ALD 操作所形成的 TaN 膜。如先前在图 4A 至图 5B 中所论述的,在 GBEL105a 生长的 ALD 操作的过程中生长温度的选择取决于期望的掺杂剂渗透度。在一些实施例中,GBEL105a 的厚度与 GBEL105a 的“封闭”状态有关。例如,在一些实施例中,在约 325 摄氏度的衬底温度下执行 30 个 ALD 周期以获得封闭膜。在一些实施例中,实现“封闭”状态的 GBEL105a 为约 10\AA 到约 25\AA 。

[0072] 在形成 GBEL105a 之后,然后,金属栅极 MOSFET 结构在没有真空破坏的情况下被传送到同一系统内的另一个生长室。因为在晶圆从一个生长室传送到另一个生长室期间未发生表面氧化,所以没有氧化物层在 GBEL105a 上方被识别出。换句话说,在掺杂层 105b 和 GBEL105a 之间未形成氧化物层。在一些实施例中,用于形成三层结构的系统是图 11 所示的 Applied Material **Endura**[®] 集群。在一些实施例中,Applied **MaterialEndura**[®] 集群(cluster,又称机群)装配有氯参照主框架(chlorine comparable main frame),以防止由于 ALD 生长过程中生成的氯所导致的室侵蚀。在图 11 中详细地论述三层结构生长的传送机制。

[0073] 在生长 GBEL105a 的同一系统但在不同室中形成掺杂层 105b。在一些实施例中,ALD 操作用于通过选择前体氢化二甲基铝(DMAH)、二甲基乙基胺铝烷(DMEAA)或这两者而生长包含铝的掺杂层 105b。例如,用于掺杂层 105b 的沉积温度为约 100 摄氏度至约 200 摄氏度。

[0074] 在形成掺杂层 105b 之后,然后,金属栅极 MOSFET 结构在没有真空破坏的情况下,传送到同一系统内的另一个生长室中。覆盖层 105c 是三层结构中的可选层。在一些实施例中,覆盖层 105c 包括诸如 TiN 或 TaN 的合适金属。通过 ALD 操作在同一系统中原位形成覆盖层 105c,以防止含铝掺杂层 105b 的表面氧化。在一些实施例中,覆盖层 105c 的厚度取决于膜的“封闭”状态。例如,25 至 45 个 ALD 周期足以获得具有厚度为约 5\AA 至约 20\AA 的覆盖层 105c。

[0075] 参考图 10A 和图 10B,金属层 107 被过填充到栅极沟槽 106 中。在一些实施例中,包括 W、WN、TaN 或 Ru 的单种金属被溅射到栅极沟槽 106 中,并且之后进行 CMP 操作以露出三层结构的覆盖层 105c。在一些实施例中,金属层 107 包括诸如 TaN、TiN、W、WN 和 WCN 或其任何组合的多金属层结构。

[0076] 在其他实施例中,在图 2 所限定的第一方向上观看,图 6A 至图 10B 是示出金属栅极 FinFET 结构的制造方法的操作。金属栅极 FinFET 结构的制造操作类似于金属栅极 MOSFET 结构的制造操作,并且为了简单起见,在此不再重复。在执行金属栅极 FinFET 生长的过程中,图 6A 至图 10B 所示的半导体衬底 101 被替换为如图 3A 所示的半导体鳍 203。

[0077] 参考图 11,示出在本发明的一些实施例中的用于形成功函数调整层(即,三层结构)的半导体晶圆制造系统 1100 的结构。半导体晶圆制造系统 1100 具有布置在两个集群 1100A 和 1100B 的每个中的多个生长室。在没有环境接触的情况下,在半导体晶圆制造系统 1100 内部可以形成在此所论述的三层结构中的每层。

[0078] 两个负载锁定室 1113A 和 1113B 配置为接收从负载端口 1102 所传送的晶圆。负载锁定室 1113A 和 1113B 被通风至等于负载端口 1102 的压力,同时晶圆在负载端口 1102 和负载锁定室 1113A 和 1113B 之间进行传送。当将晶圆从负载锁定室 1113A 和 1113B 移动到系统 1100 的一个室中时,负载锁定室 1113A 和 1113B 被抽气降压至更接近集群 1100A 和 1100B 内的真空度的某一真空度。

[0079] 集群 1100A 和 1100B 都具有诸如机械臂 1104 或 1107 的至少一个机械装置,机械装置将停放在抽气降压后的负载锁定室 1113A 和 1113B 中的晶圆传送到一个生长室。在一些实施例中,一个室 1101 附接至集群 1100B,并且装载有 TaN 膜 ALD 生长的前体。例如,前体包括五(二甲氨基)钽(PDMAT)和 NH_3 气。在一些实施例中,室 1101 中的生长温度保持在约 200 摄氏度至约 350 摄氏度的范围内。

[0080] 在一些实施例中,两个室 1103 和 1105 对称地附接至集群 1100B,并且装载有 TiAl_x 膜 ALD 生长的前体。例如,前体包括氢化二甲基铝(DMAH)或二甲基乙基胺铝烷(DMEAA)。在一些实施例中,室 1103 和 1105 中的生长温度保持在约 90 摄氏度至约 250 摄氏度的范围内。

[0081] 在一些实施例中,两个室 1107 和 1109 对称地附接至集群 1100A,并且装载有 TiN 膜 ALD 生长的前体。例如,前体包括四氯化钛(TiCl_4)和 NH_3 气。在一些实施例中,室 1107 和 1109 中的生长温度保持在约 100 摄氏度至约 500 摄氏度的范围内。

[0082] 在一些实施例中,两个室 1115 和 1117 对称地附接至集群 1100A,并且装载有其他合适的膜的生长的金属靶或前体。在一些实施例中,室 1115 和 1117 装载有钨(W)或钴(Co)靶并且被引入了氩气,以生长金属层 107,金属层 107 过填充在此谈及的栅极沟槽 106。冷却室 1110A 和 1110B 允许晶圆在没有环境接触的情况下,在薄膜生长之间,以合适的冷却速率被冷却至期望温度。

[0083] 每个晶圆都被分配有根据一种方法的一系列操作。在一些实施例中,首先通过机械臂 1107 和 1104,将在此所论述的三层结构从负载锁定室 1113A 和 / 或 1113B 传送到集群 1100B。晶圆被送到 GBEL105a 生长的室 1101 中。如在本发明中先前论述的,TaN GBEL105a 的 ALD 生长温度可以调整为从约 200 摄氏度至约 350 摄氏度。在一些实施例中,在获得封闭 GBEL105a 之后,然后,晶圆从室 1101 被传送到掺杂层 105b 的生长的室 1103 或室 1105。因为在集群 1100B 内进行 GBEL105a 的生长和掺杂层 105b 的生长之间的传送操作,所以在 GBEL105a 上不形成环境接触或氧污染。新 GBEL105a 提供用于要在其表面上被吸收的前体 DMAH 或 DMEAA 的丰富自由电子,以便利含铝掺杂层 105b 的 ALD 生长反应。另外,在 GBEL105a 上方不存在氧化物层提供用于从掺杂层 105b 扩散至 GBEL105a 的铝的更多开放沟道。

[0084] 在形成掺杂层 105b 之后,将晶圆从室 1103 或 1105 传送到集群 1100A 中的室 1107 或 1109。在一些实施例中,通过 ALD 操作在室 1107 或 1109 内形成例如 TiN 层的覆盖层 105c。另外,可以将晶圆从室 1107 或 1109 传送至室 1115 或 1117,以将金属层 107 填充在栅极沟槽 106 内。在填充金属层 107 之后,然后晶圆可以停放在负载锁定室 1113A 和 1113B。负载锁定室 1113A 和 1113B 内的真空度提高至比得上负载端口 1102 的真空度,并且然后,晶圆被传送到负载端口 1102 并且被取出用于随后操作。

[0085] 在形成栅极结构(例如,栅极蚀刻或图案化)之后,包含 MOSFET 或 FinFET 结构的晶圆经受附加 CMOS 处理,以形成本领域已知的各种器件部件。在一些实施例中,各种部件包括但不限于轻掺杂的源极/漏极区(n 型和 p 型 LDD)、源极/漏极(S/D)区、硅化物部件、接触蚀刻停止层(CESL)。应该注意,诸如硅锗(SiGe)和碳化硅(SiC)部件的应变结构可以分别形成在 P 型和/或 N 型器件中。

[0086] 图 12 至图 17 示出用于在此描述的金属栅极结构的“后栅极”制造方法的操作。图 12 至图 17 所示的截面图是沿着图 2 所示的方向 1 的剖面。在图 12 中,根据本发明的一些实施例,在半导体衬底(未示出)上方形成半导体鳍 1201。在半导体鳍 1201 上形成牺牲介电层 1203。在一些实施例中,牺牲介电层 1203 是可选的。在一些实施例中,牺牲介电层 1203 包括通过热或化学汽相沉积所形成的氧化物。在一些实施例中,在单一晶圆室装置中形成牺牲介电层 1203。在一些实施例中,在使用批处理模式的熔炉中形成牺牲介电层 1203。

[0087] 在图 13 中,在牺牲介电层 1203 上方形成伪栅极 1205。在一些实施例中,通过物理汽相沉积、化学汽相沉积(CVD)或其他合适的沉积操作来形成伪栅极 1205。在一些实施例中,硅烷(SiH_4)、乙硅烷(Si_2H_6)或二氯硅烷(SiCl_2H_4)可以用于 CVD 操作中以形成伪栅极 1205。伪栅极 1205 可以包括在约 150\AA 至约 2500\AA 的范围内的厚度。

[0088] 参考图 13 和图 14,在伪栅极 1205 上方图案化硬掩模层 1206,并且图案被转印至下面的伪栅极 1205 和可选的牺牲介电层 1203。在一些实施例中,硬掩模层 1206 包括氮化硅、氮氧化硅、碳化硅和/或其他合适介电材料,并且可以使用诸如化学汽相沉积(CVD)或物理汽相沉积(PVD 或溅射)的方法形成。硬掩模层 1206 包括介于约 100\AA 和约 400\AA 之间的厚度。在一些实施例中,抗反射涂层(ARC)形成在硬掩模层上,以增强用于图案化光刻胶层的光刻工艺。例如,可以在硬掩模层 1206 上形成图案化的光刻胶层(未示出)。然后,通过干蚀刻、湿蚀刻或它们的组合将硬掩模层 1206 的图案转印到伪栅极 1205。

[0089] 在图 15 中,形成侧壁间隔件 1210、氮化物层 1213 以及层间介电层(ILD)1209。应该理解,ILD1209 可以包括一种或多种介电材料和/或一个或多个介电层。先前参考图 6A 论述了 ILD1209 的材料,并且为了简单起见,在此不再重复。在一些实施例中,如图 15 所示,通过化学机械抛光(CMP)工艺平坦化 ILD1209,直到露出伪栅极 1205 的顶部。

[0090] 在图 16 中,执行栅极替换工艺。通过干蚀刻、湿蚀刻、干和湿蚀刻的组合、或其他合适工艺来去除伪栅极 1205 和牺牲介电层 1203。在一些实施例中,以单步蚀刻工艺或多步蚀刻工艺去除伪栅极 1205 和牺牲介电层 1203。例如,第一湿蚀刻工艺用于去除伪栅极 1205。第一湿蚀刻工艺可以包括暴露于含氢氧化物的溶液(例如,氢氧化铵)、去离子水和/或其他合适的蚀刻溶液。第二湿蚀刻工艺用于去除牺牲介电层 1203。第二湿蚀刻工艺包括暴露于缓冲 HF 溶液或者缓冲氧化物蚀刻剂(BOE)。第二湿蚀刻工艺可以选择性地去除牺牲

介电层 1203 并且停止在半导体鳍 1021 处,从而在金属栅极结构中形成沟槽 1206。应该理解,其他蚀刻化学剂可以用于选择性地去除牺牲介电层 1203 和伪栅极 1205。

[0091] 在图 17 中,在如先前在此论述的栅极沟槽 1206 内形成高 k 介电层 1203 和功函调整层 1205。金属层 1207 被填充到栅极沟槽 1206 中的剩余空间中,并且执行 CMP 操作以使金属栅极结构的顶面齐平,直到露出金属层 1207。如图 17 所示,功函调整层 1205 中的覆盖层 1205c 是可选的。

[0092] 在一些实施例中,通过以下操作制造金属栅极结构:在栅极沟槽中形成高 k 介电层;在高 k 介电层上方形成蚀刻停止层;在蚀刻停止层上方通过晶界工程层、掺杂层以及覆盖层的顺序形成三层来形成功函调整层,其中,晶界工程层被配置为允许掺杂剂原子渗透穿过,掺杂层被配置为将掺杂剂原子提供至晶界工程层,并且覆盖层被配置为防止掺杂层氧化;以及填充金属以使栅极沟槽填平(level up)。

[0093] 在一些实施例中,在金属栅极制造操作中通过晶界工程层、掺杂层以及覆盖层的顺序形成三层包括:使用原子层沉积(ALD)操作。

[0094] 在一些实施例中,在用于金属栅极制造操作的 ALD 操作的过程中,氢化二甲基铝(DMAH)或二甲基乙基胺铝烷(DMEAA)用作形成掺杂层的前体。

[0095] 在一些实施例中,晶界工程层的形成包括:在金属栅极制造操作中,在约 200 摄氏度至约 350 摄氏度的温度范围内执行 ALD 操作。

[0096] 在一些实施例中,晶界工程层的形成包括:执行足够的 ALD 周期,以在金属栅极制造操作中形成封闭膜。

[0097] 在一些实施例中,在真空条件下,将金属栅极结构从形成晶界工程层的室传送到形成掺杂层的另一个室。

[0098] 在一些实施例中,金属栅极制造操作进一步包括:在形成功函调整层之前,形成 P 功函层;以及在形成功函调整层之前,去除 P 功函层。

[0099] 在一些实施例中,金属栅极制造操作进一步包括:限定伪栅极区;以及去除伪栅极区的一部分以露出栅极沟槽。

[0100] 在一些实施例中,通过以下操作来制造 FinFET 中的金属栅极结构:形成鳍;在鳍上方形成伪栅极和层间介电层(ILD);去除伪栅极的一部分以露出栅极沟槽;以及通过形成晶界工程层和晶界工程层上方的掺杂层,在栅极沟槽中形成功函调整层。

[0101] 在一些实施例中,晶界工程层的形成包括:在 FinFET 中的金属栅极结构制造操作中,在约 200 摄氏度至约 350 摄氏度的温度范围内执行 ALD 操作。

[0102] 在一些实施例中,晶界工程层和掺杂层的形成包括:通过在真空条件下将 FinFET 的金属栅极结构从执行晶界工程层的形成的室传送到执行掺杂层的形成的另一个室来防止晶界工程层的表面氧化。

[0103] 在一些实施例中,FinFET 中的金属栅极结构的制造操作进一步包括:在掺杂层上方形成覆盖层。

[0104] 在一些实施例中,具有金属栅极的半导体结构包括:高 K 介电层;功函调整层;以及金属层。功函调整层包括:晶界工程层,被配置为允许掺杂剂原子渗透穿过;掺杂层,位于晶界工程层上方,被配置为将掺杂剂原子提供至晶界工程层;以及覆盖层,位于掺杂层上方,被配置为防止掺杂层氧化。功函调整层夹置在高 K 介电层和金属层之间。

- [0105] 在一些实施例中,具有金属栅极的半导体结构是鳍式场效应晶体管(FinFET)。
- [0106] 在一些实施例中,FinFET中的金属栅极的栅极长度低于16nm。
- [0107] 在一些实施例中,金属栅极的高度和FinFET的栅极长度的深宽比在约1至约10的范围内。
- [0108] 在一些实施例中,鳍高度和邻近的鳍之间的间距的深宽比在约0.2至约10的范围内。
- [0109] 在一些实施例中,FinFET的栅极结构中的晶界工程层是非晶封闭膜。
- [0110] 在一些实施例中,FinFET的栅极结构中的晶界工程层是晶体封闭膜。
- [0111] 在一些实施例中,FinFET的栅极结构中的晶界工程层的厚度在约 10\AA 至约 30\AA 的范围内。
- [0112] 而且,本申请的范围不旨在限于说明书中描述的工艺、机器、制造、物质组成、手段、方法和步骤的特定实施例。本领域普通技术人员从本发明的公开可以容易地想到,根据本发明,可以利用执行与在此描述的相应实施例基本相同的功能或者实现基本相同的结果的现存或之后开发的工艺、机器、制造、物质组成、手段、方法或步骤。
- [0113] 因此,所附权利要求旨在包括在诸如工艺、机器、制造、物质组成、手段、方法或步骤的它们的范围内。另外,每个权利要求都构成单独实施例,并且多个权利要求和实施例的组合在本发明的范围内。

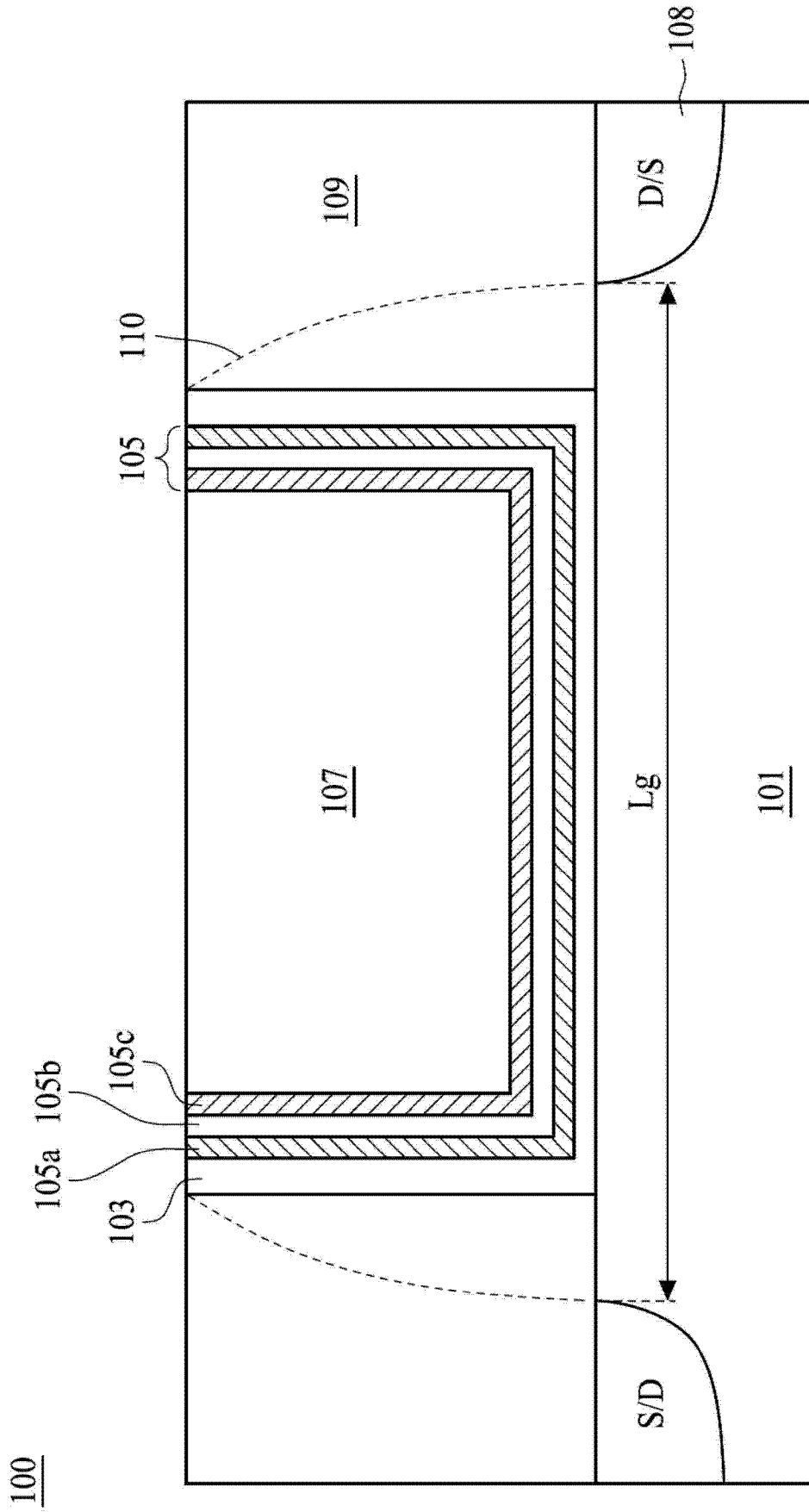


图 1

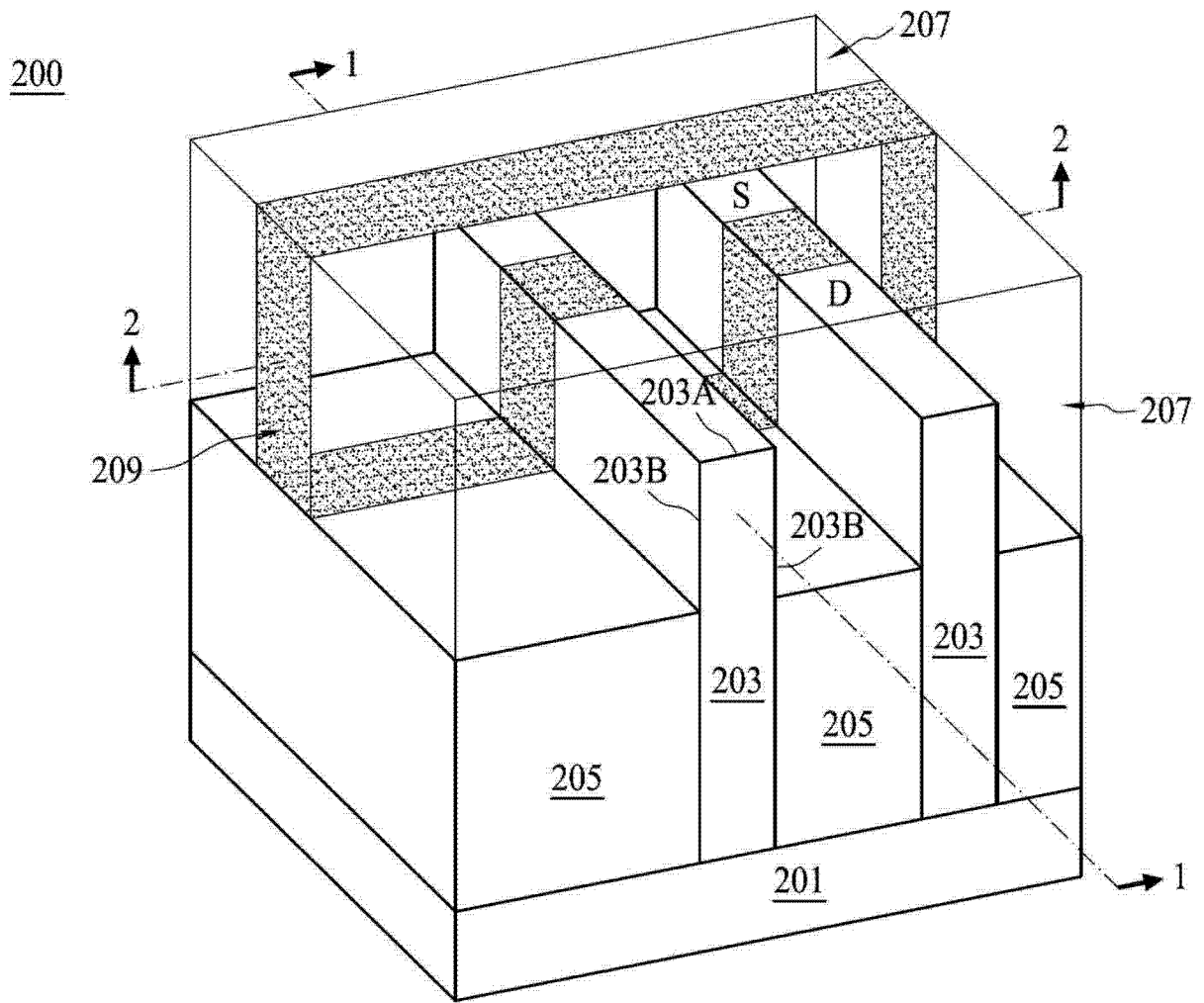


图 2

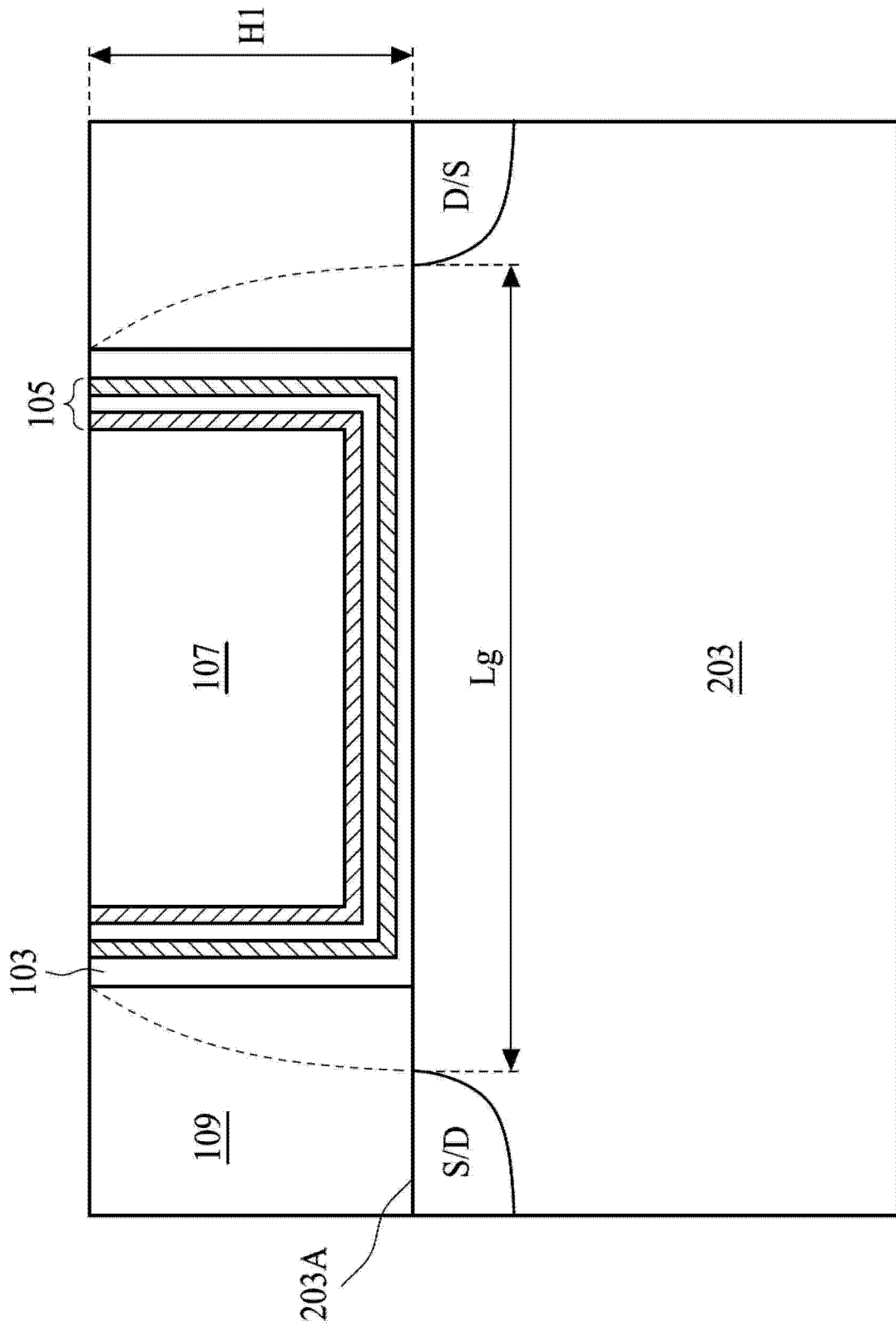


图 3A

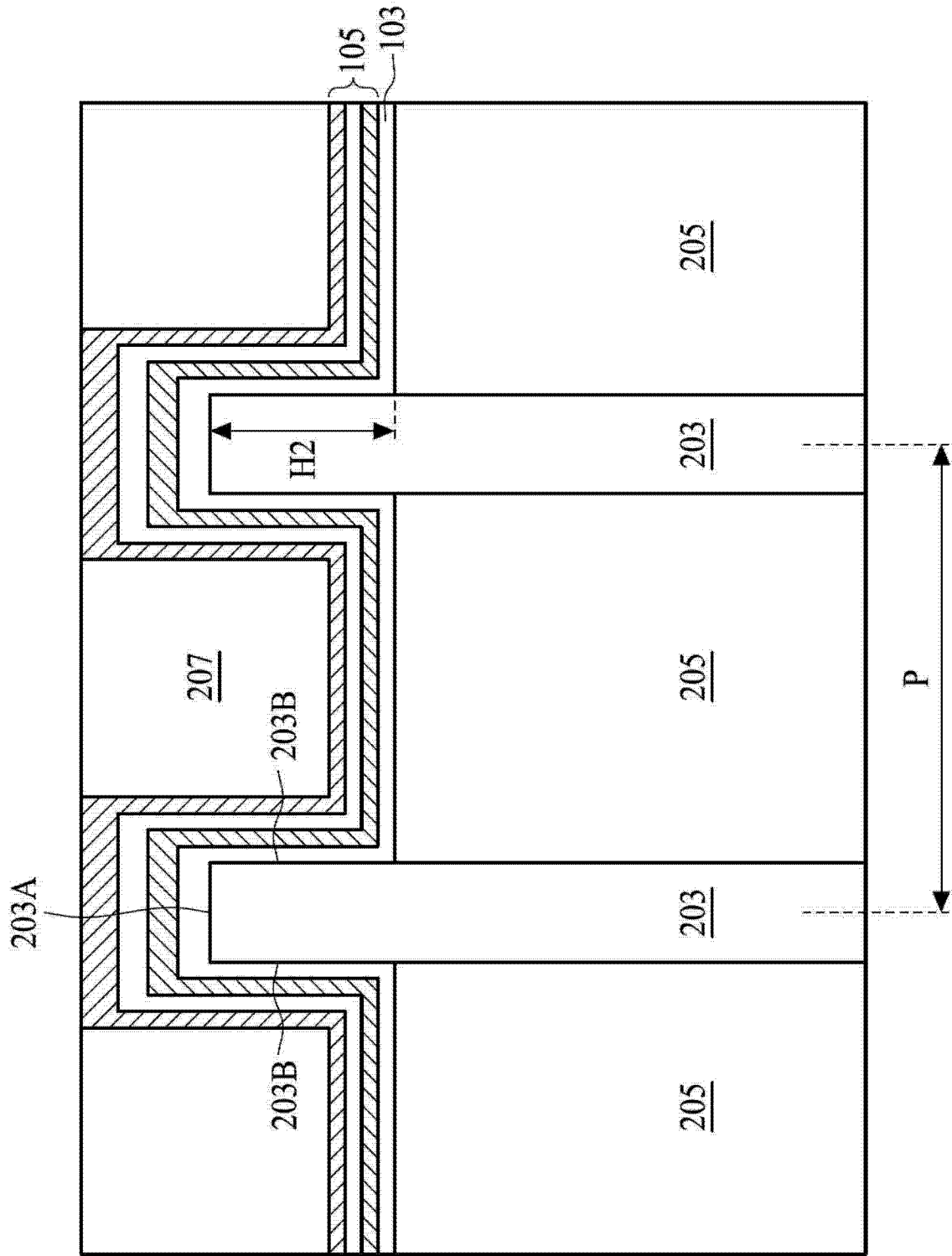


图 3B

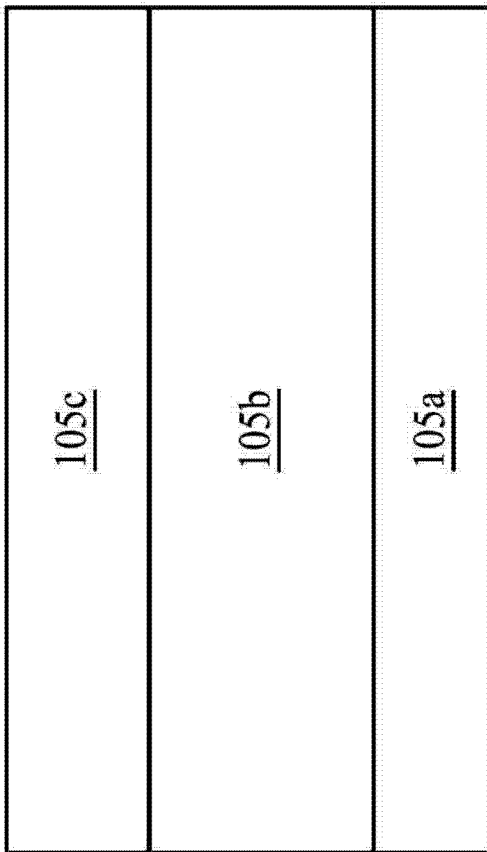


图 4A

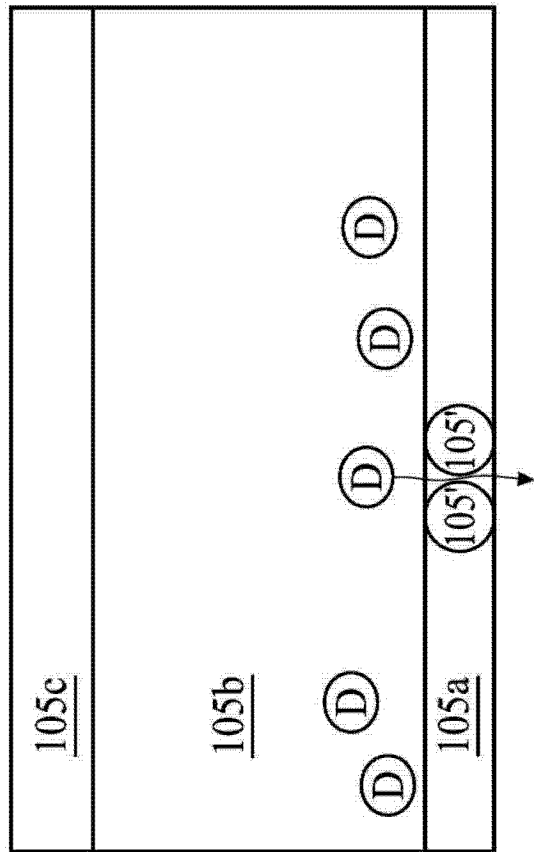


图 4B

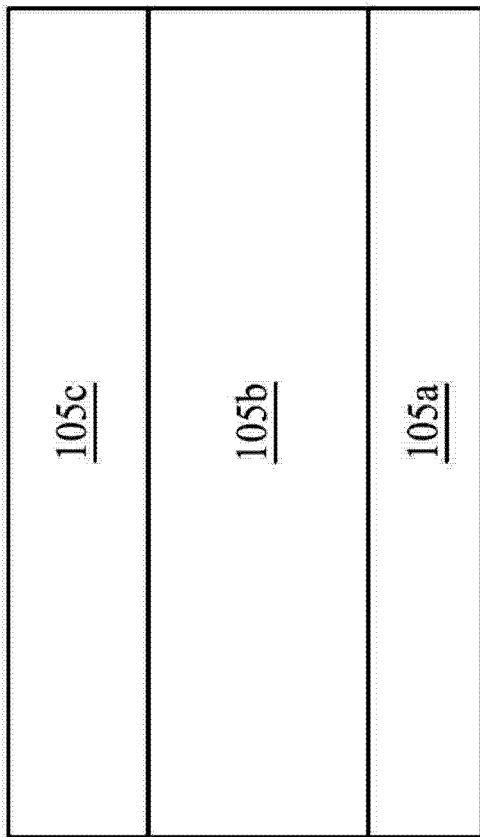


图 5A

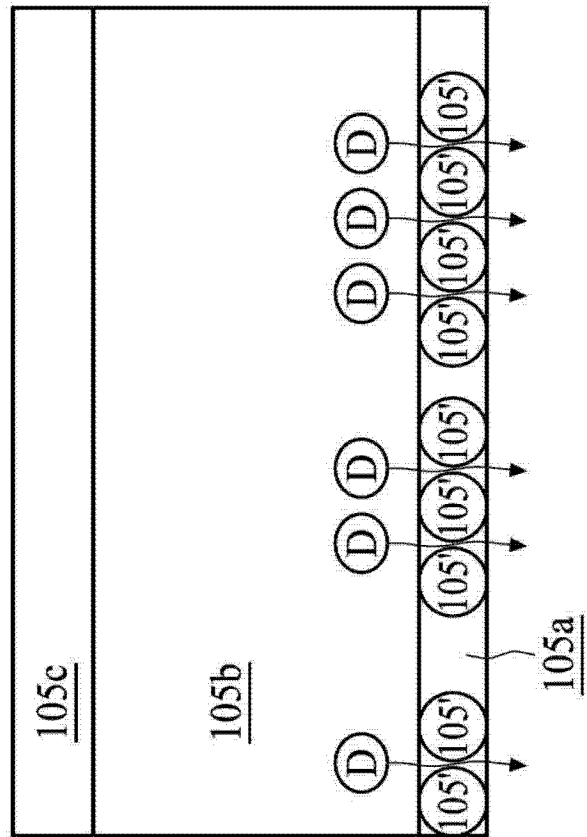


图 5B

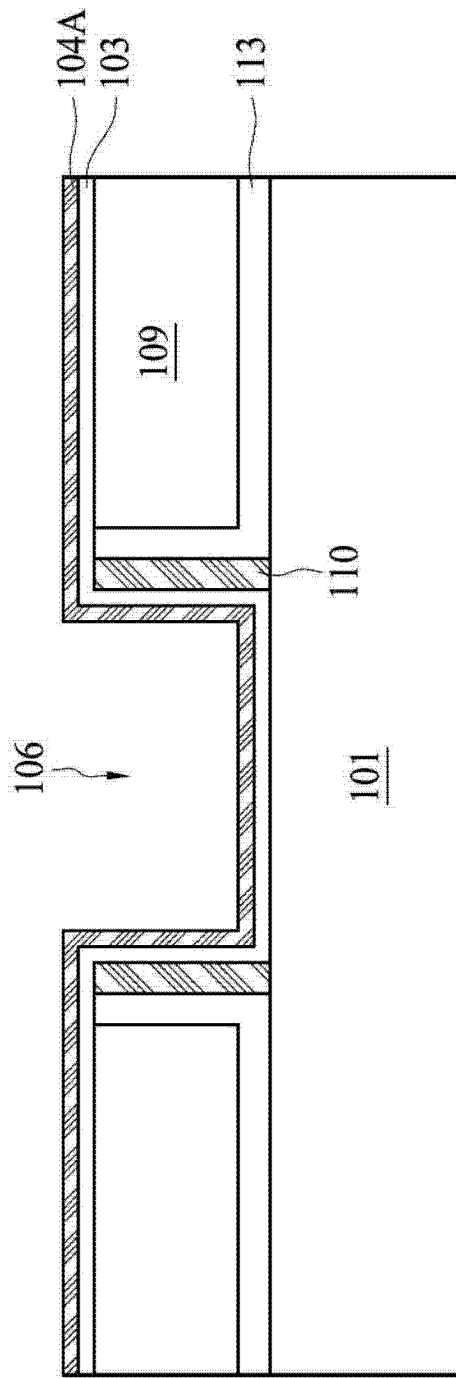


图 6A

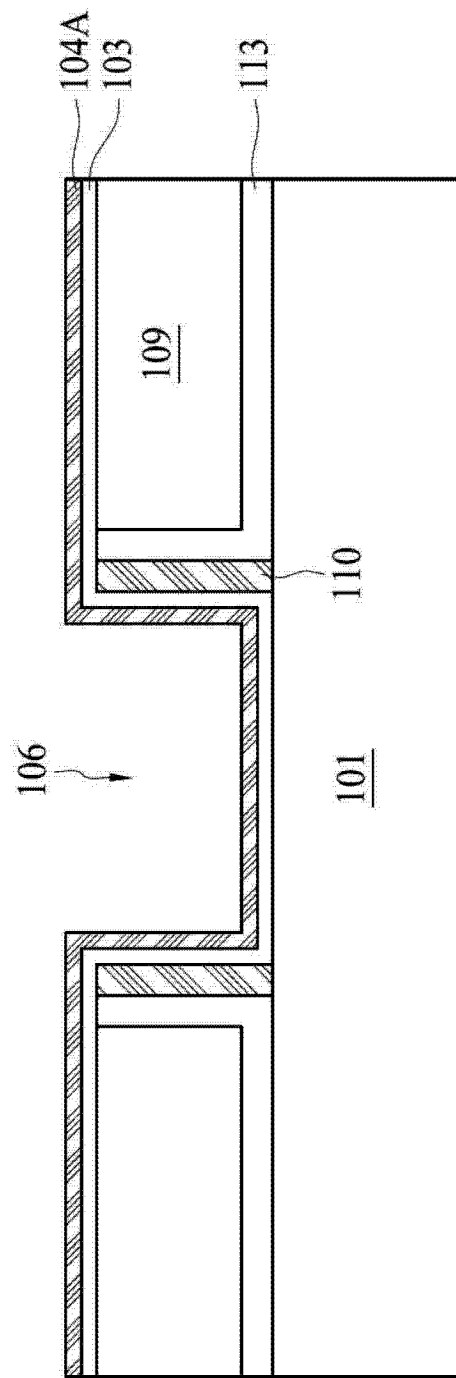


图 6B

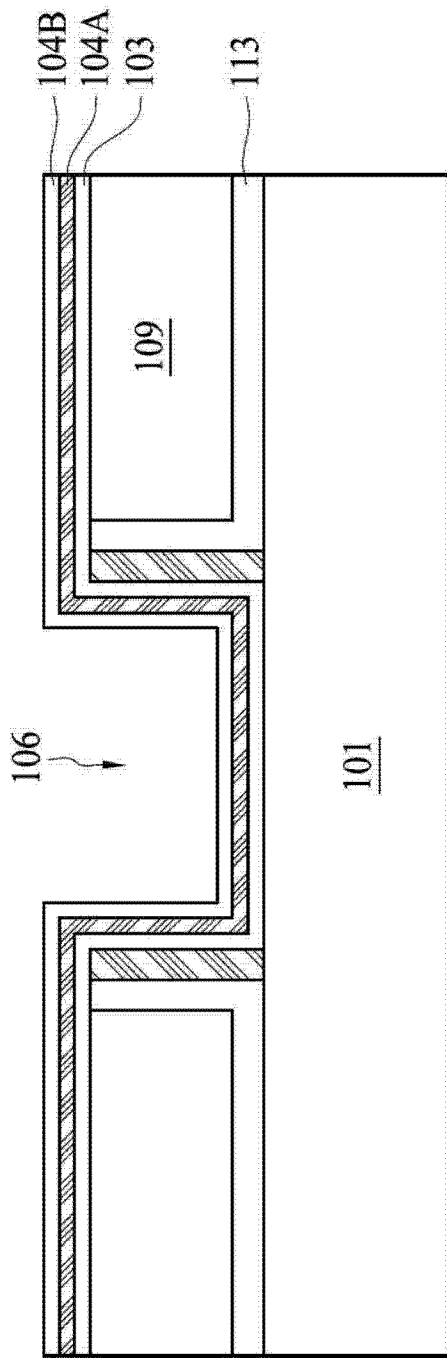


图 7A

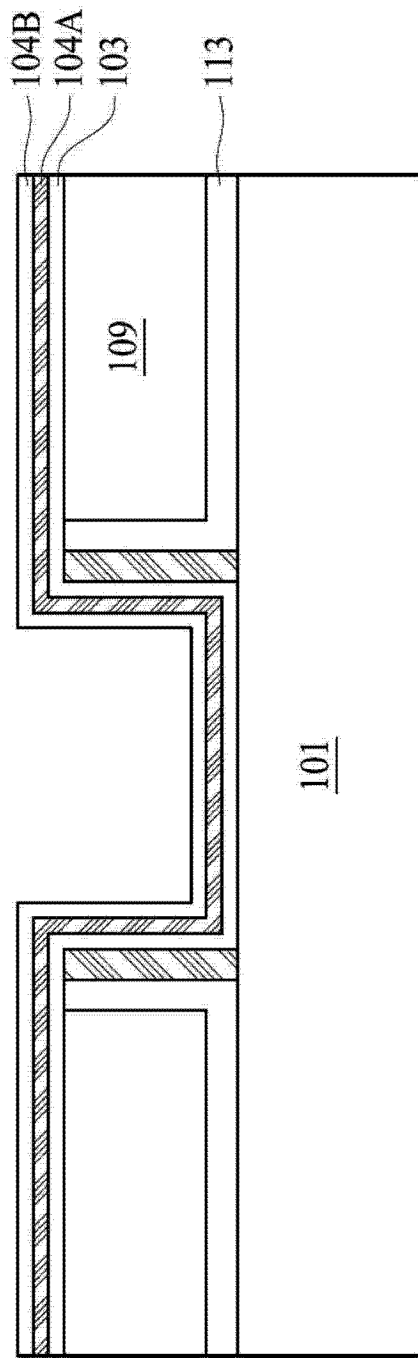


图 7B

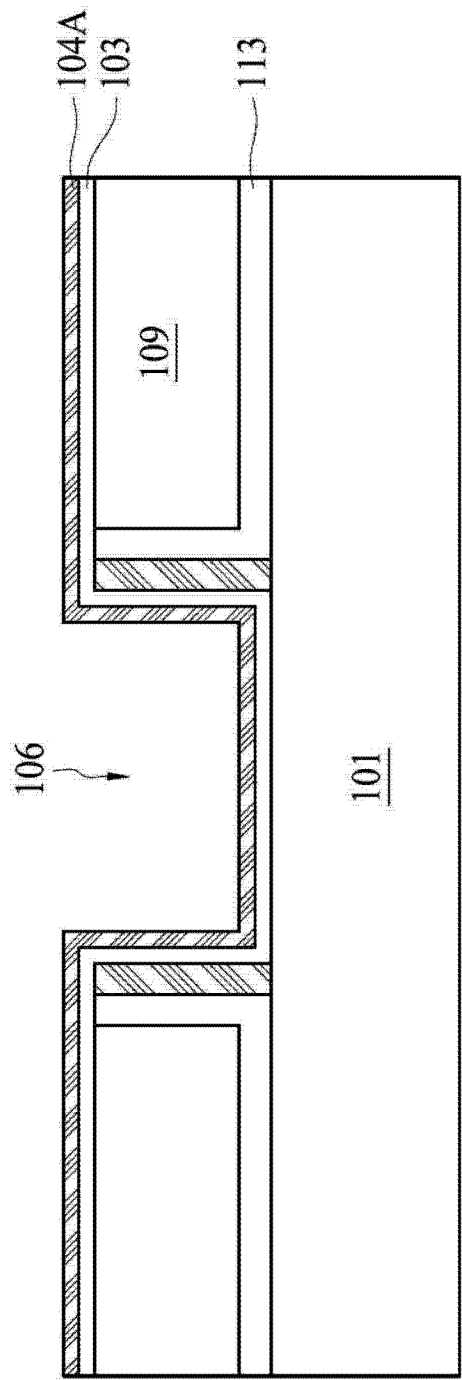


图 8A

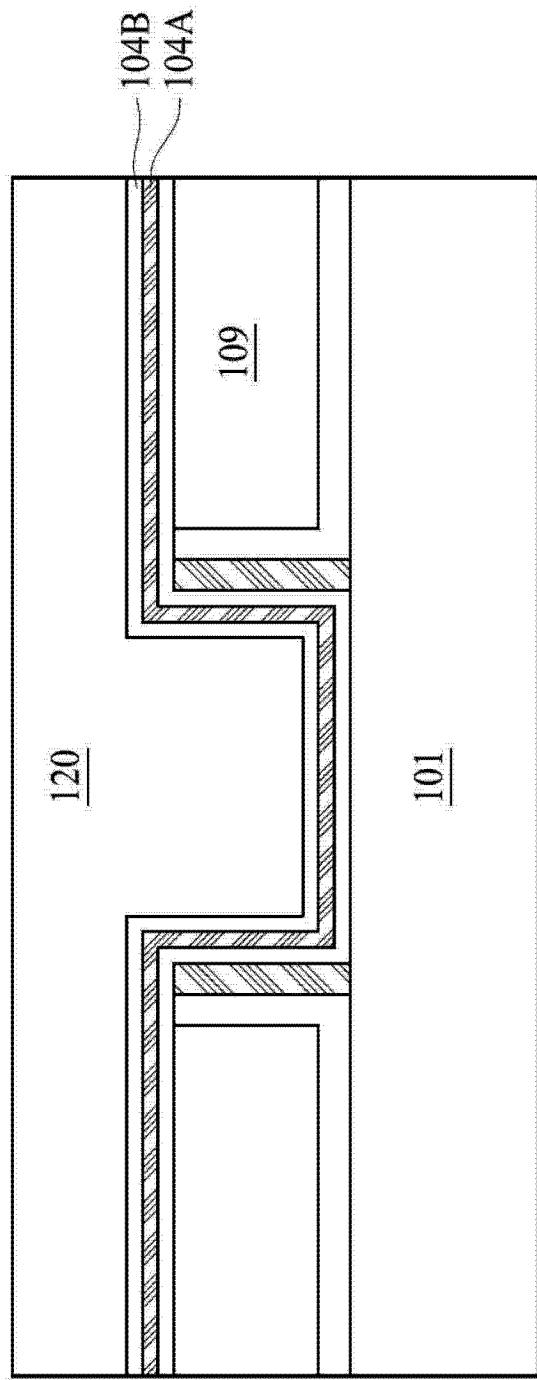


图 8B

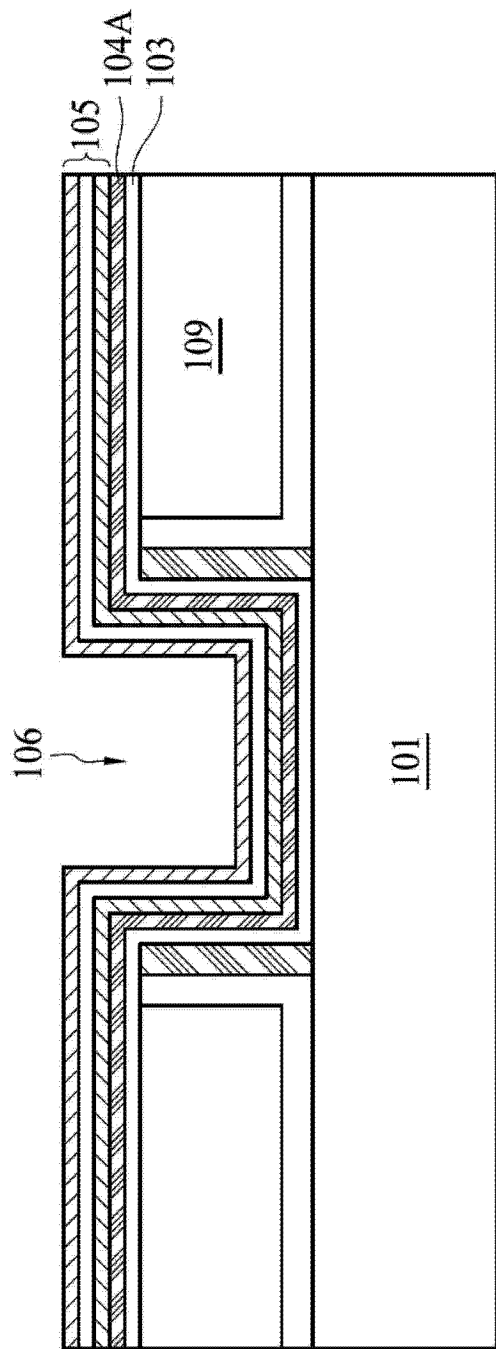


图 9A

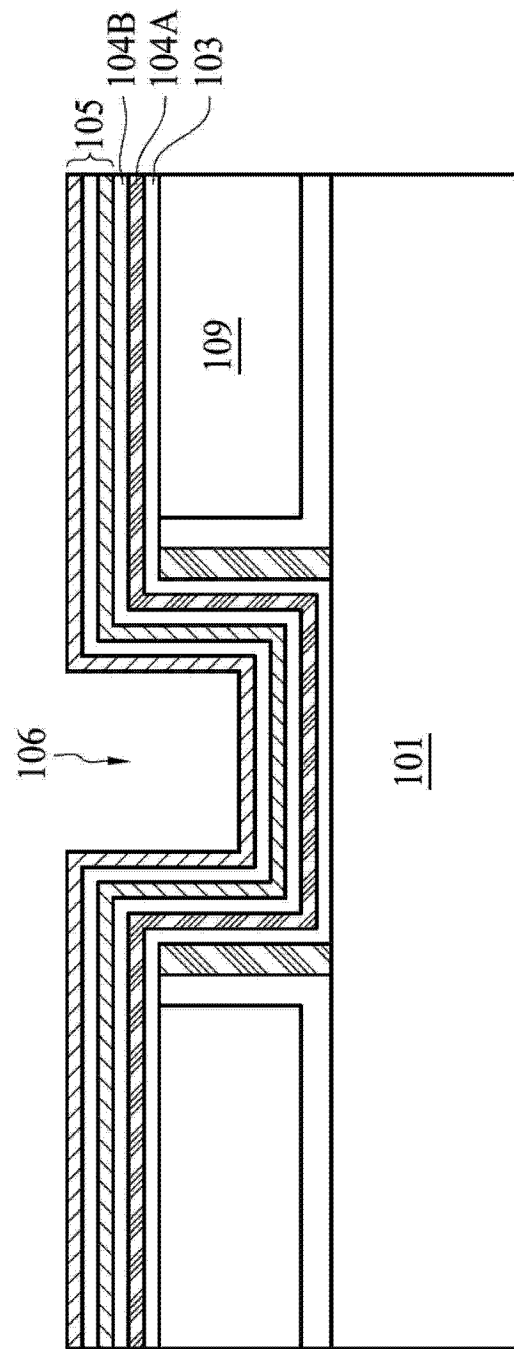


图 9B

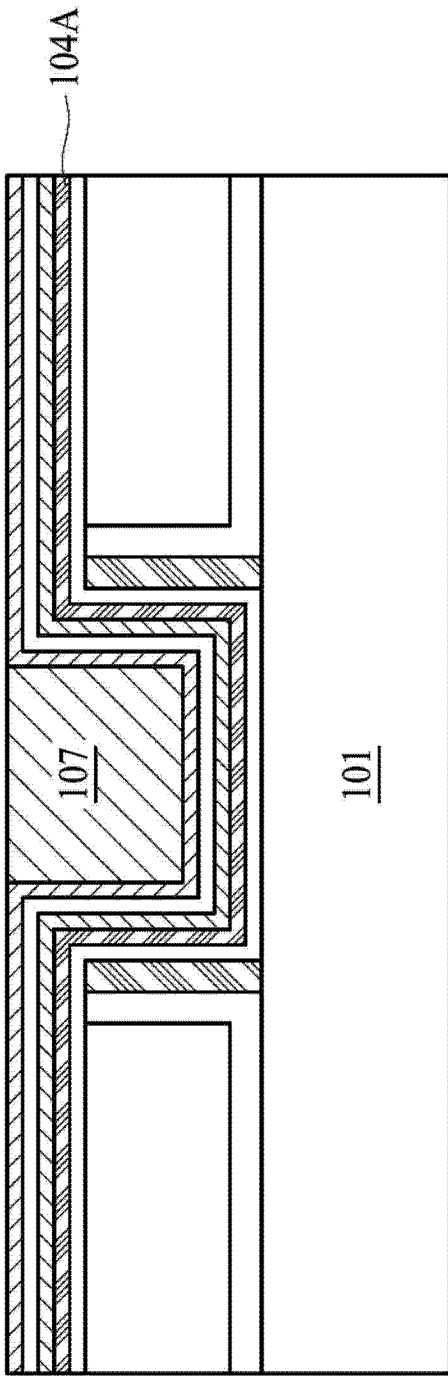


图 10A

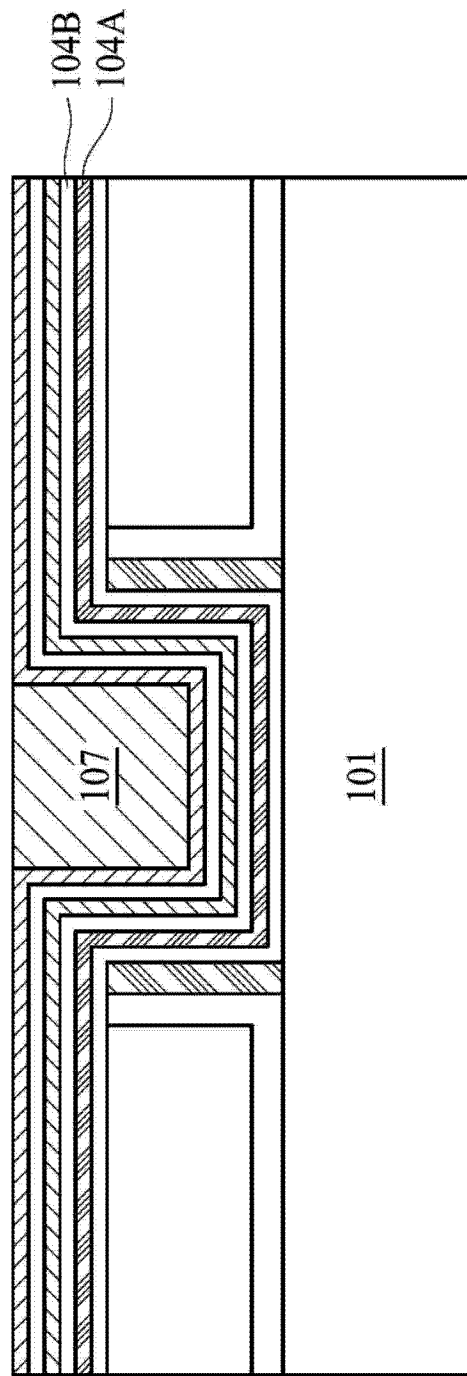


图 10B

1100

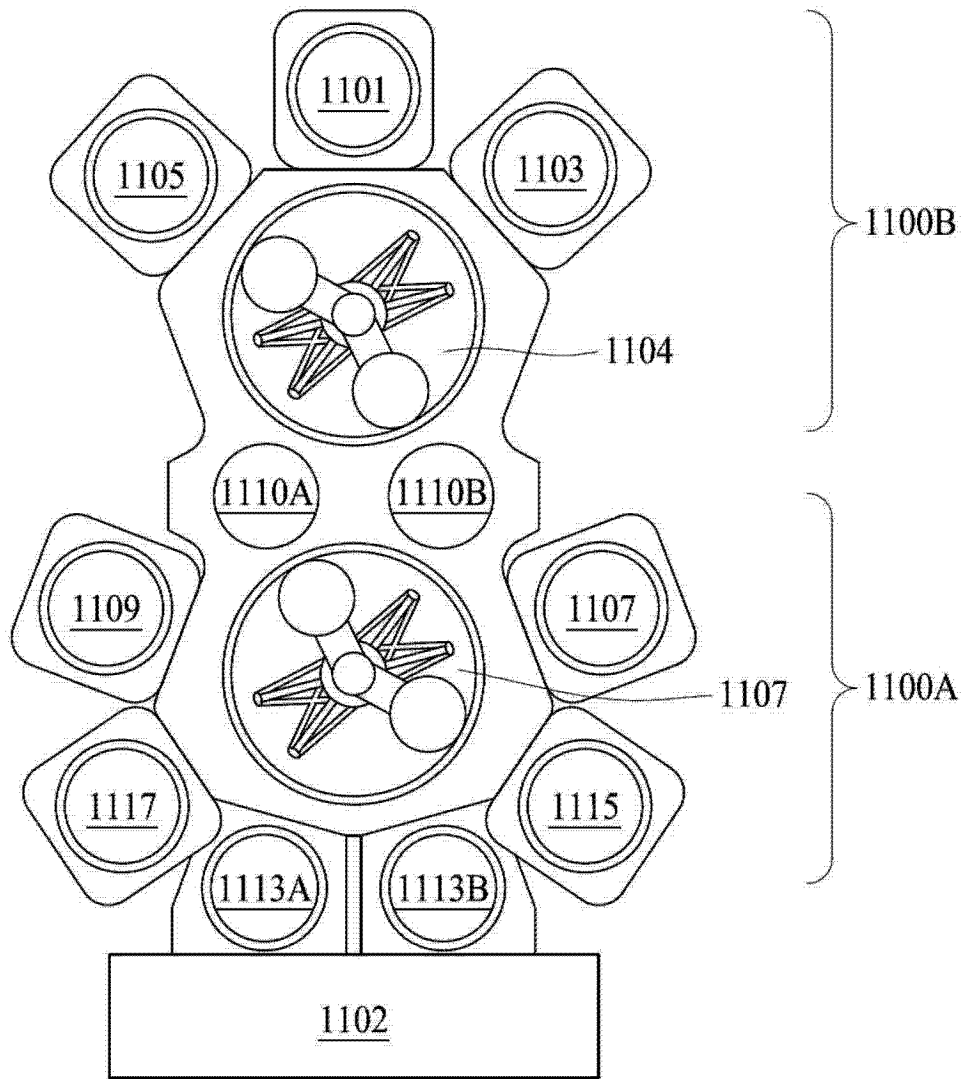


图 11

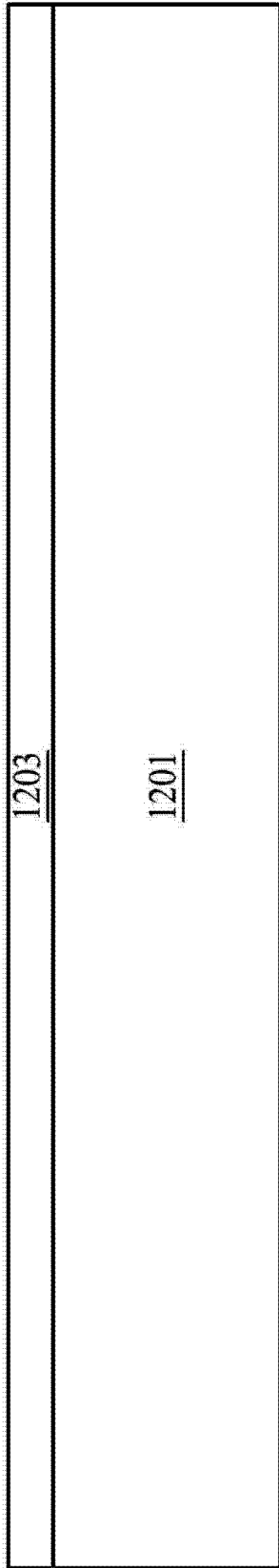


图 12

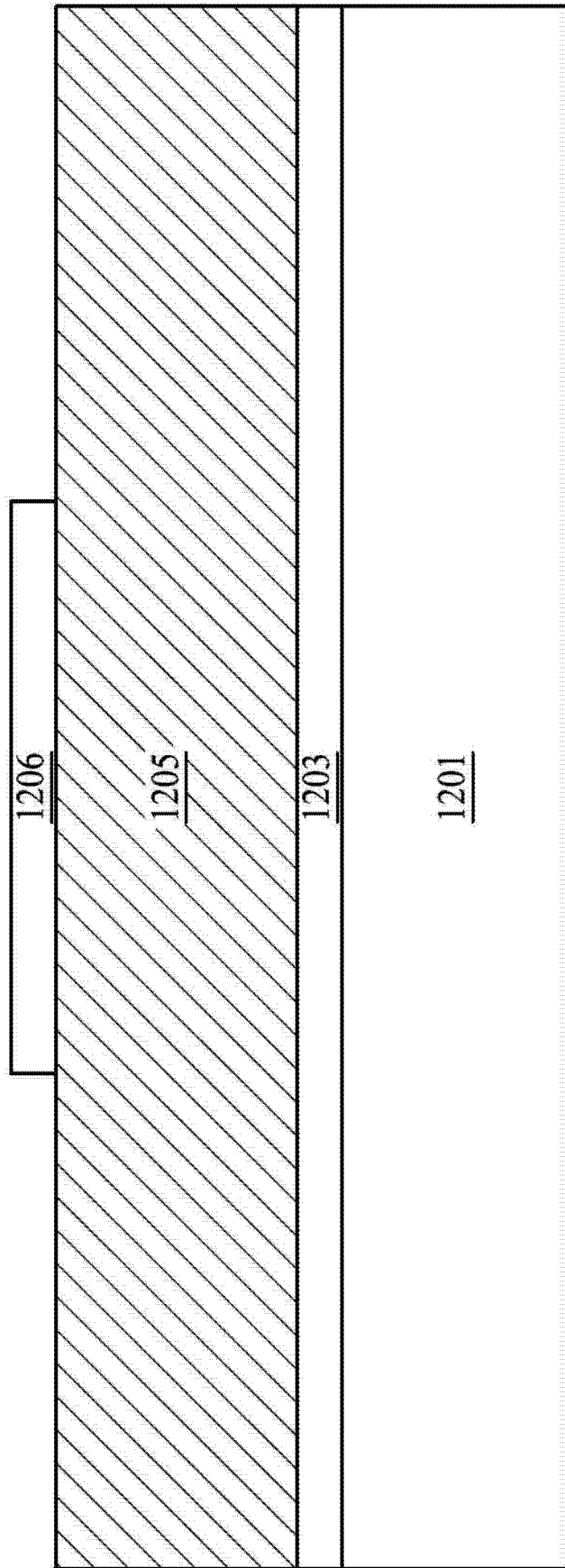


图 13

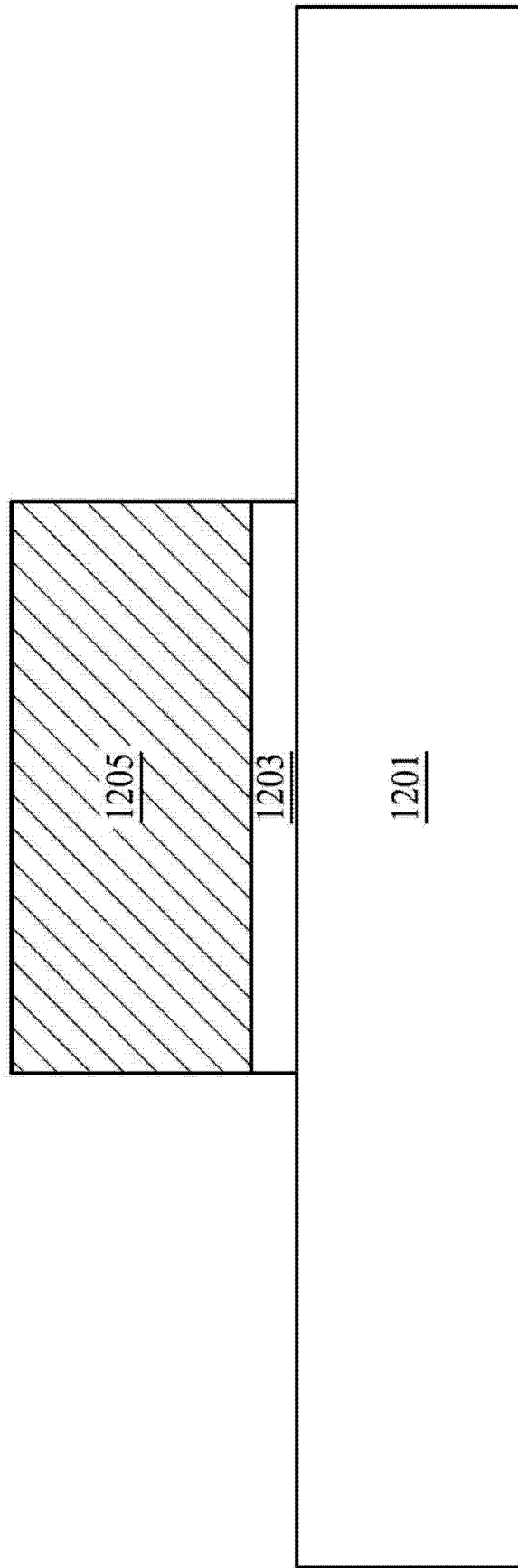


图 14

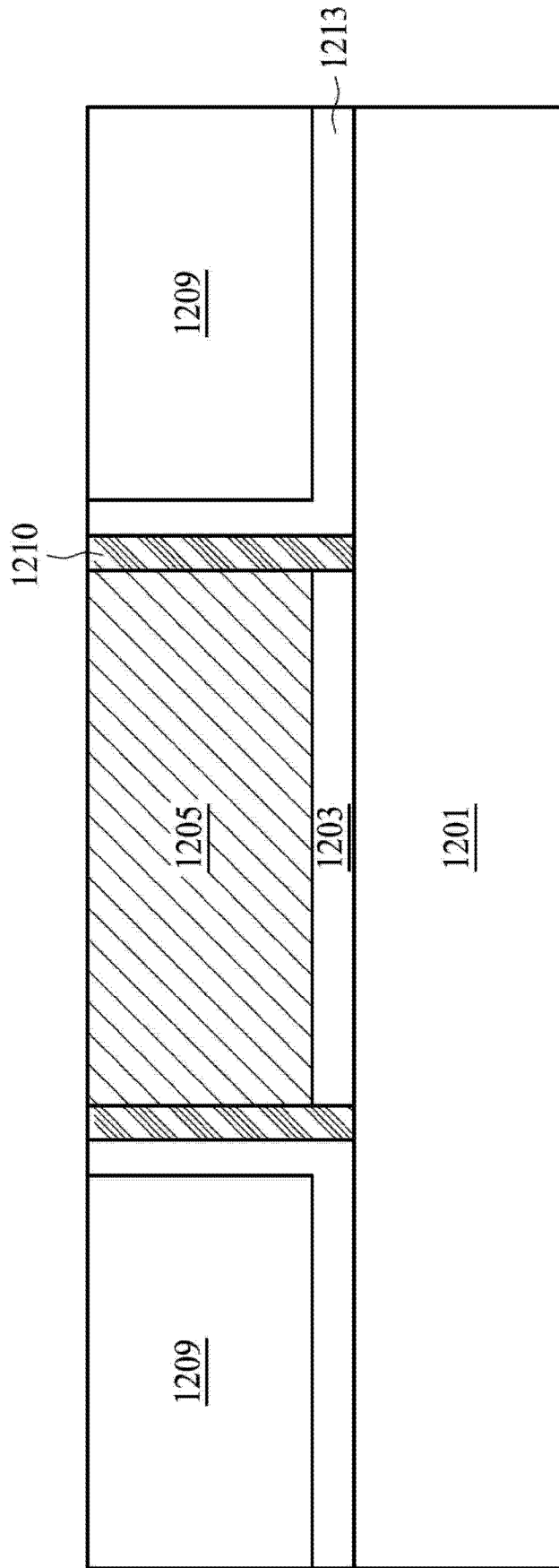


图 15

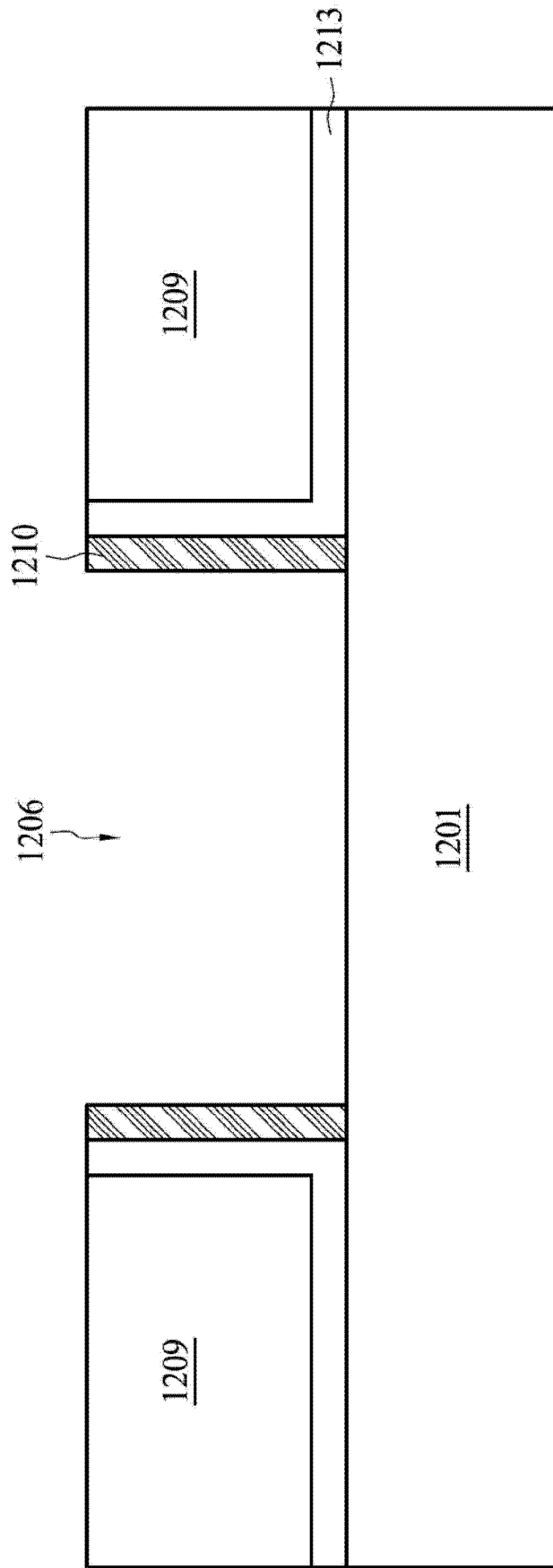


图 16

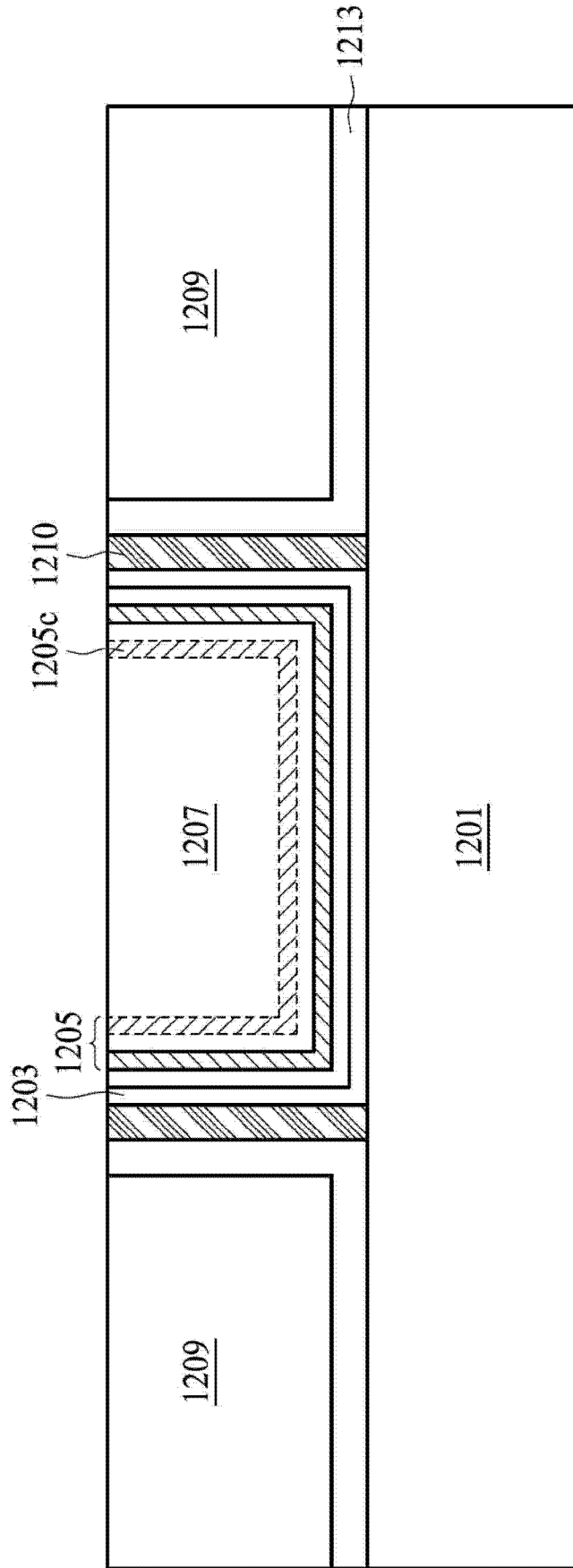


图 17