



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|------------------------------|-----------|-------------|
| (51) 。 Int. Cl. | (45) 공고일자 | 2007년08월29일 |
| <i>G11C 11/407</i> (2006.01) | (11) 등록번호 | 10-0753101 |
| <i>G11C 8/00</i> (2006.01) | (24) 등록일자 | 2007년08월22일 |

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2005-0127734 | (65) 공개번호 | 10-2007-0036562 |
| (22) 출원일자 | 2005년12월22일 | (43) 공개일자 | 2007년04월03일 |
| 심사청구일자 | 2005년12월22일 | | |

(30) 우선권주장 1020050091659 2005년09월29일 대한민국(KR)

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 최훈
경기 이천시 부발읍 아미리 산 136-1

(74) 대리인 특허법인 신성

(56) 선행기술조사문헌
KR 1020040098899A KR 1020050005889

심사관 : 이선택

전체 청구항 수 : 총 10 항

(54) 락킹 페일 방지 위한 지연고정루프 클럭 생성 방법 및 장치

(57) 요약

본 발명은 반도체 설계 기술에 관한 것으로, 특히 동기식(Synchronous) DRAM의 지연고정루프(DLL : Delay Locked Loop)회로에 관한 것이며, 더 자세히는 반도체의 저전력(Low Power)동작을 위한 파워다운모드(Power Down Mode)동작시 안정적인 동작을 수행하는 지연고정루프(DLL)회로에 관한 것이다.

상대적으로 장시간 파워다운모드에 머무르는 경우 칩의 온도와 여러가지 환경적인 변화에 의해서 락킹페일(locking fail)이 발생하는 것을 방지할 수 있는 지연고정루프(DLL) 장치 및 DLL 클럭 생성 방법이 개시된다. 본 발명에 따른 지연고정루프는, 노말모드시에는 제1클럭버퍼의 출력인 제1내부클럭에 의해 DLL 위상 갱신을 수행하고, 파워다운모드시에는 제2클럭버퍼의 출력인 제2내부클럭에 의해 DLL 위상 갱신을 수행한다. 이때, 파워다운모드제어부의 제어신호(ctrl)에 의해 클럭선택부를 제어하므로써, 제1내부클럭과 제2내부클럭중 어느하나를 선택하여 선택된 내부클럭신호에 의해 DLL 위상 갱신을 수행한다. 결국, 파워다운모드에서 위상 갱신을 전혀 수행하지 않는 종래기술에 대비되어, 본 발명은 파워다운모드에서 제2내부클럭에 근거하여 적어도 한번 DLL 위상 갱신을 수행하도록 한다.

대표도

도 4

특허청구의 범위

청구항 1.

삭제

청구항 2.

노말모드와 파워다운모드를 갖는 동기식 메모리 장치의 지연고정루프회로에 있어서,

파워다운모드에 진입하거나 탈출하는 것을 결정하는 제어신호를 생성하는 파워다운모드 제어부;

상기 제어신호에 의해 노말모드에서 외부클럭을 버퍼링하여 제1내부클럭신호를 생성하는 제1클럭버퍼;

상기 제어신호에 의해 파워다운모드에서 외부클럭을 버퍼링하여 상기 제1내부클럭보다 저주파인 제2내부클럭신호를 생성하는 제2클럭버퍼;

상기 제어신호에 응답하여 노말모드에서는 상기 제1내부클럭신호를 선택하여 전달하고 파워다운모드에서는 상기 제2내부클럭신호를 선택하여 전달하는 클럭선택부; 및

상기 클럭선택부에서 선택된 제1 또는 제2 내부클럭신호를 사용하여 위상 갱신을 수행하는 위상갱신부

를 구비하는 지연고정루프회로.

청구항 3.

제2항에 있어서,

상기 제2클럭버퍼는,

상기 외부클럭과 상기 외부클럭의 반전신호를 입력받아 비교 및 증폭하는 차동증폭기;

상기 차동증폭기의 출력 클럭을 주파수 변환하는 클럭변환수단; 및

상기 제어신호에 응답하여 상기 클럭변환수단의 출력을 상기 제2내부클럭신호로서 전달하는 출력부

를 구비하는 것을 특징으로 하는 지연고정루프회로.

청구항 4.

제3항에 있어서,

상기 클럭변환수단은 클럭분주기인 것을 특징으로 하는 지연고정루프회로.

청구항 5.

제3항에 있어서,

상기 클럭변환수단은,

서로 다른 분주값의 복수의 분주된 클럭을 생성하기 위하여 직렬 연결된 복수의 2분주 단위클럭분주기; 및

퓨즈 블로잉에 의해 상기 각각의 단위클럭분주기의 출력중 어느하나를 선택하여 제공하는 퓨즈부를 포함하는 것을 특징으로 하는 지연고정루프회로.

청구항 6.

제3항에 있어서,

상기 클럭변환수단은,

서로 다른 분주값의 복수의 분주된 클럭을 생성하기 위하여 직렬 연결된 복수의 2분주 단위클럭분주기; 및

메탈 옵션 처리에 의해 상기 각각의 단위클럭분주기의 출력중 어느하나를 선택하여 제공하는 옵션처리부를 포함하는 것을 특징으로 하는 지연고정루프회로.

청구항 7.

제3항에 있어서,

상기 출력부는,

상기 클럭변환수단의 출력에 제어받아 상기 제어신호를 전달하는 전달게이트;

상기 클럭변환수단의 출력을 입력받아 반전하고 일정시간 지연된 신호를 출력하는 직렬 연결된 복수의 인버터; 및

상기 전달게이트로부터 전달된 제어신호와 상기 인버터의 출력을 입력받아 상기 제2내부클럭신호를 출력하는 낸드게이트를 구비하는 것을 특징으로 하는 지연고정루프회로.

청구항 8.

제2항에 있어서,

상기 파워다운모드 제어부는,

입력되는 클럭인에이블신호를 반전시키는 제1인버터;

상기 파워다운모드시 상기 클럭인에이블신호와 반대의 위상을 갖는 아이들 (idle)신호와 상기 제1인버터의 출력신호를 입력받는 낸드게이트; 및

상기 낸드게이트의 출력을 반전시켜 상기 제어신호를 출력하는 제2인버터

를 구비하는 것을 특징으로 하는 지연고정루프회로.

청구항 9.

제2항에 있어서,

상기 위상갱신부는,

상기 클럭선택부의 출력 클럭을 입력받아 위상을 지연시켜 출력하는 위상지연부;

상기 위상지연부와 실질적으로 동일한 구성을 가지는 더미위상지연부;

상기 더미위상지연부의 출력신호를 메모리내 클럭신호의 지연요소들로 모델링하여 피드백신호로서 출력하는 지연복제모듈부;

상기 클럭선택부의 출력 클럭과 상기 피드백신호를 입력받아 두 신호의 위상의 차이를 검출하는 위상비교부; 및

상기 위상비교부로부터 출력신호를 입력받아 상기 위상지연부와 상기 더미위상지연부의 위상 지연을 제어하는 지연제어부

를 포함하는 것을 특징으로 하는 지연고정루프회로.

청구항 10.

노말모드와 파워다운모드를 갖는 반도체 메모리 장치의 DLL 클럭 생성 방법에 있어서,

노말모드시 외부클럭이 버퍼링된 제1내부클럭에 의해 DLL 위상 갱신을 수행하는 과정; 및

파워다운모드시 상기 외부클럭을 버퍼링 입력한 후 상기 제1내부클럭보다 저주파수로 분주시킨 제2내부클럭에 의해 DLL 위상 갱신을 수행하는 과정

을 포함하는 반도체 메모리 장치의 DLL 클럭 생성 방법.

청구항 11.

제10항에 있어서,

메모리가 상기 노말모드와 상기 파워다운모드중 어느 모드 인지를 알려주는 정보의 신호에 의해 상기 제1내부클럭과 상기 제2내부클럭중 어느하나를 선택하여 선택된 신호에 의해 DLL 위상 갱신을 수행하는 것을 특징으로 하는 반도체 메모리 장치의 DLL 클럭 생성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 설계 기술에 관한 것으로, 특히 동기식(Synchronous) DRAM의 지연고정루프(DLL : Delay Locked Loop)회로에 관한 것이며, 더 자세히는 반도체의 저전력(Low Power)동작을 위한 파워다운모드(Power Down Mode)동작시 안정적인 동작을 수행하는 지연고정루프(DLL)회로에 관한 것이다.

DDR SDRAM(Double Data Rate Synchronous DRAM)과 같은 동기식 반도체 메모리 장치는 메모리 컨트롤러(Controller)와 같은 외부 장치로부터 입력되는 외부클럭신호에 동기되어 고정된 내부클럭신호를 이용하여 외부의 장치들과 데이터의 전송을 수행한다. 이는 메모리와 메모리 컨트롤러간의 안정적인 데이터 전송을 위해서는 기준클럭신호와 데

이터간의 시간적 동기가 매우 중요하기 때문이다. 즉, 데이터의 안정적인 전송을 위해서는 데이터를 전송하는 각 구성요소들에서의 클럭으로부터 데이터가 버스에 실리는 시간을 역보상하여 데이터를 클럭의 에지(Edge), 혹은 중심(center)에 정확하게 위치시켜야만 하기 때문이다.

이러한 역할을 수행하기 위하여 동기식 반도체 장치는 클럭 동기회로를 포함하고 있으며, 클럭 동기회로에는 위상고정루프(PLL: Phase Locked Loop)회로와 지연고정루프(DLL)회로가 있으며, 외부클럭신호의 주파수와 내부클럭신호의 주파수가 서로 다른 경우에는 주파수 채배 기능을 사용하여야 함으로 위상고정루프(PLL)를 주로 사용한다. 그리고, 외부클럭신호와 내부클럭신호의 주파수가 동일한 경우에는 대부분 지연고정루프(DLL)를 사용한다.

지연고정루프(DLL)회로는 출력되는 클럭신호가 반도체 메모리 장치 내부의 데이터 출력단까지 전달되는 과정에서 발생하는 클럭 지연성분을 보상하여 내부클럭신호를 생성함으로써 최종데이터 입출력에 사용되는 클럭신호를 외부클럭신호에 동기되게 한다. 지연고정루프(DLL)회로는 위상고정루프(PLL)회로에 비해 잡음이 적고, 작은 면적으로 구현할 수 있는 장점이 있어 동기식 반도체 메모리 장치에서는 동기회로로서 지연고정루프(DLL)회로를 사용하는 것이 일반적이다. 그 중에서도 가장 최근의 기술로는 고정 지연 값을 저장할 수 있는 레지스터를 구비하여 전원차단시, 레지스터에 고정 지연 값을 저장하였다가 다시 전원이 인가되면 레지스터에 저장되어 있던 고정 지연 값을 로딩하여 클럭 고정에 사용함으로써 최초 클럭 고정에 소요되는 시간을 줄일 수 있는 레지스터 제어형 지연고정루프(Register Controlled DLL)회로가 가장 널리 사용되고 있다.

도 1은 일반적인 지연고정루프(DLL)회로의 기본동작을 설명하기 위하여 도시한 개념도이다.

지연고정루프회로의 기능은 외부에서 입력되는 클럭(Clock)신호를 받아 DRAM 내부 클럭신호가 지연(delay)되는 양만큼을 보정하여, DRAM 출력신호가 외부 클럭과 동위상을 가지게 하는 장치이다. 외부 클럭과 DRAM 출력이 동위상을 가질 때, 데이터를 오류 없이 칩셋(Chipset)에 전달할 수 있다.

도 2는 종래기술에 따른 지연고정루프(DLL)회로의 구성을 설명하기 위하여 도시한 회로도이다.(도 2는 레지스터 제어 지연고정루프(Register Controlled DLL)를 바탕으로 하고 있다.)

도 2에 보인 것처럼, 지연고정루프회로는 크게 클럭버퍼부(Clock buffer, 10), 파워다운모드제어부(Power Down Control, 20), 위상비교부(Phase Comparator, 30), 지연제어부(Delay Controller, 40), 위상지연부(Delay Line, 50), 더미위상지연부(Dummy Delay Line, 60), 지연복제모델부(Delay Replica Model, 70)로 구성된다. 지연고정루프(DLL)의 출력(clk_dll)은 클럭신호라인(Clock Signal Line, 80)을 거쳐 출력버퍼(Output Buffer, 90)의 데이터 출력 타이밍을 제어한다.

클럭버퍼부(10)는 외부클럭(clk,clk_b)을 입력받아 버퍼링하여 내부클럭신호(ref_clk)를 생성하는 장치이다.

파워다운모드제어부(20)는 DRAM의 파워다운모드시 클럭버퍼부(10)를 오프(off)시키는 장치이다. DRAM의 저전력(Low Power)동작을 위해 DRAM의 읽기(Read)/쓰기(Write) 동작이 없을 때, 클럭인에이블신호(CKE)의 로우레벨(Low)에 의해 파워다운모드(Power Down Mode)에 들어가게 된다. 이때의 클럭버퍼부(10)는 내부클럭버퍼를 생성하지 않으므로써 지연고정루프를 현재상태 저장(Current Saving)을 위해 전원을 오프(Off)한다.

위상비교부(30)는 지연고정루프회로의 입력클럭과 출력클럭의 위상을 비교하여 두 클럭의 위상 차를 검출하는 장치이다. 보통의 경우 지연고정루프회로의 전력소모를 줄이기 위해 외부에서 들어오는 클럭을 분주기를 통해 주파수를 낮추어서 비교하게 된다. 제시된 도면에서는 분주기를 생략하고 클럭버퍼부(10)를 지난 내부클럭신호(ref_clk)와 지연고정루프회로의 내부 회로를 거쳐 피드백(feedback)된 피드백신호(Feedback Clock)의 위상을 비교하는 것을 도시하였다. 이 비교의 결과를 바탕으로 지연제어부(40)를 제어하게 된다.

지연제어부(40)는 위상지연부(50)의 입력 경로(path)를 정해 줄 수 있는 논리(Logic)와 경로의 방향을 바꾸어주는 양방향 쉬프트 레지스터(Bidirectional Shift Register)로 구성되어 있다. 쉬프트 레지스터는 4개의 입력 신호(Signal)를 받아 쉬프팅(Shifting) 동작을 하게 되며, 초기 입력 조건(Initial Input Condition)은 양끝을 잡아주어 초기의 최대/최소 지연(Initially Max/Min Delay)를 가지게 할 수 있다. 쉬프트 레지스터에 입력되는 신호는 오른쪽 쉬프팅(Shifting Right) 2개 왼쪽 쉬프팅(Shifting Left) 2개로 구성되어 있으며, 쉬프팅 동작을 위해서는 2개의 신호가 서로 겹치지(Overlap) 되지 않게 하이레벨(High)인 구간을 가지면 된다.

위상지연부(50)은 외부에서 들어온 클럭의 위상을 지연시키는 회로다. 이때 위상 지연 정도는 위상비교부(30)를 통해 결정되며, 지연제어부(40)에 의해 제어를 받아 위상 지연을 결정하는 지연경로(Delay Path)를 결정하게 된다. 지연라인은 NAND와 NAND로 연결되어있는 다수의 유닛 지연 셀(Unit Delay Cell)에 의해 구성되어 있다. 각각의 유닛 지연 셀의 입력은 쉬프트 레지스터와 1대1로 연결되어 있으며, 쉬프트 레지스터 출력단의 값이 하이레벨이 되는 곳이 클럭버퍼를 지난 클럭이 들어오는 경로로 결정된다. 지연라인은 상승에지클럭(Rising Clock)용과 하강에지클럭(Falling Clock)용이 존재한다. 이는 상승에지와 하강에지를 동일하게 처리하여 어느 한쪽 방향의 왜곡을 따라가는 것(Duty Ratio Distortion)을 최대한 억제하기 위함이다.

더미위상지연부(60)는 위상비교기에 들어가는 피드백(Feedback)신호를 위한 지연라인이다. 구성은 위상지연부(50)과 동일하다.

지연복제모델부(70)는 칩 외부의 클럭이 들어와 위상지연부(50) 전까지, 그리고 위상지연부(50)의 출력클럭이 칩 외부까지 나갈 때까지의 지연 요소들을 모델링(Modeling)해 놓은 것이다. 정확한 지연 요소들은 지연고정라인회로가 가지는 성능 중의 왜곡 값을 결정하게 되며, 지연복제모델부(70)는 기본회로를 줄이거나(Shrink), 간략화(Simplify)하거나, 그대로 이용하는 방법이 있다. 실제로 지연복제모델부(70)는 클럭버퍼와 지연고정루프 클럭 드라이버, R/F분할기(Divider), 출력버퍼(Output Buffer)를 그대로 모델링 해 놓는다.

클럭신호라인(80)은 지연고정루프(DLL)의 출력(clk_dll)이 출력버퍼(90)까지 전달되는 경로이다.

출력버퍼(90)는 메모리 코어(Core)에서 데이터를 받아 지연고정루프(DLL)의 클럭에 동기 되어 데이터출력패드로 데이터를 출력하는 장치이다.

도 3은 도 2에 도시된 지연고정루프회로의 동작을 설명하기 위하여 도시한 타이밍 다이어그램(Timing diagram)이다.

파워다운모드로 진입(Entry)할 때 클럭인에이블신호(CKE)는 로직 '하이'에서 로직 '로우'로 천이(Transition)한다. 이때 지연고정루프회로 현재상태저장(Current Saving)을 위해 위상을 갱신(Phase Update)하는 동작을 멈추고 이전의 락킹(Locking)된 정보를 기억하고 동결(Frozen) 상태로 들어간다. 여기서 위상 갱신(Phase Update)이란 지연고정루프회로의 피드백 클럭(Feedback Clock)이 결정되어야 할 내부클럭신호(ref_clk)와 위상차이를 비교하여 계속 추적(Tracking)한다는 의미이며, 동결 상태란 이전에 락킹된 정보를 기억하고 위상을 갱신하지 않는 것을 말한다.

한편, 프리차지(Precharge) 파워다운 모드와 같은 경우에는 $7.8\mu s$ 동안 파워다운모드에 머무른다. 이때 파워다운제어부에 의해 클럭버퍼가 오프되므로써 DLL 출력(clk_dll)은 발생하지 않는다.

이렇듯, 장시간(Min.3clk ~ Max.7.8 μs) 파워다운모드에 머무르면서 위상 갱신이 없는 경우, 칩의 온도와 여러가지 환경적인 변화에 의해 지연고정루프회로(DLL)의 락킹(Locking) 정보가 파워다운모드 이전의 락킹 정보값과 현저히 달라지게 된다.

따라서, 락킹 정보가 달라진 상태에서 파워다운모드 탈출(Exit)하게 되면 DLL 클럭은 락킹되어야 할 타겟클럭 대비하여 위상차를 보이게 되고, 외부클럭이 지연고정루프회로의 출력신호와 위상차가 발생 되면 DRAM의 정확한 유효데이터를 송신 및 수신할 수 없게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 상대적으로 장시간 파워다운모드에 머무르는 경우 칩의 온도와 여러가지 환경적인 변화에 의하여 락킹 페일(fail)이 발생하는 것을 방지하는 지연고정루프(DLL) 장치 및 DLL 클럭 생성 방법을 제공하는데 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명은, 노말모드와 파워다운모드를 갖는 동기식 메모리 장치의 지연고정루프에 있어서, 파워다운모드에 진입하거나 탈출하는 것을 결정하는 제어신호를 생성하는 파워다운모드 제어부; 상기 제어신호에 의해 노말모드에서 외부클럭을 버퍼링하여 제1내부클럭신호를 생성하는 제1클럭버퍼; 상기 제어신호에 의해 파워다운모드에서 외부클럭을 버퍼링하여 제2내부클럭신호를 생성하는 제2클럭버퍼; 상기 제어신호에 응답하여 노말모드에서는 상기 제1내

부클럭신호를 선택하여 전달하고 파워다운모드에서는 상기 제2내부클럭신호를 선택하여 전달하는 클럭선택부; 및 상기 클럭선택부에서 선택된 제1 또는 제2 내부클럭신호를 사용하여 위상 갱신을 수행하는 위상갱신부를 구비하는 지연고정루프회로를 제공한다.

바람직하게, 상기 제2내부클럭은 상기 제1내부클럭보다 저주파수로 하여 파워다운모드시에 저전력 소모를 가지면서 위상 갱신이 이루어지도록 한다.

바람직하게, 상기 제2클럭버퍼는, 상기 외부클럭과 상기 외부클럭의 반전신호를 입력받아 비교 및 증폭하는 차동증폭기; 상기 차동증폭기의 출력 클럭을 주파수 변환하는 클럭변환수단; 및 상기 제어신호에 응답하여 상기 클럭변환수단의 출력을 상기 제2내부클럭신호로서 전달하는 출력부를 구비할 수 있다.

상기 클럭변환수단은 클럭분주기만으로 구성될 수 있다.

또한, 클럭변환수단은 서로 다른 분주값의 복수의 분주된 클럭을 생성하기 위하여 직렬 연결된 복수의 2분주 단위클럭분주기; 및 상기 각각의 단위클럭분주기의 출력중 어느하나를 선택하여 제공하는 선택수단을 포함할 수 있다. 선택수단은 퓨즈 블로잉에 의해 어느한 분주값을 선택할 수 있는 퓨즈부 또는 메탈 옵션 처리에 의해 어느한 분주값을 선택할 수 있는 옵션처리부 등으로 구성될 수 있다.

또한 상기 목적을 달성하기 위한 본 발명은, 노말모드와 파워다운모드를 갖는 반도체 메모리 장치의 DLL 클럭 생성 방법에 있어서, 노말모드시 외부클럭이 버퍼링된 제1내부클럭에 의해 DLL 위상 갱신을 수행하는 과정; 및 파워다운모드시 상기 외부클럭을 버퍼링 입력한 후 상기 제1내부클럭보다 저주파수로 분주시킨 제2내부클럭에 의해 DLL 위상 갱신을 수행하는 과정을 포함하는 반도체 메모리 장치의 DLL 클럭 생성 방법을 제공한다.

본 발명의 DLL 클럭 생성 방법에서, 메모리가 상기 노말모드와 상기 파워다운모드중 어느 모드 인지를 알려주는 정보의 신호에 의해 상기 제1내부클럭과 상기 제2내부클럭중 어느 하나를 선택하여 선택된 신호에 의해 DLL 위상 갱신을 수행한다.

이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 4는 본 발명의 지연고정루프(Delay Locked Loop, DLL)회로를 나타낸 블럭 구성도이다.

도 4를 참조하면, 본 발명에 따른 지연고정루프회로는 파워다운모드에 진입하거나 탈출하는 것을 결정하는 제어신호(ctrl)를 생성하는 파워다운모드 제어부(100)와, 상기 제어신호(ctrl)에 의해 노말모드에서 외부클럭(clk, clkb)을 버퍼링하여 제1내부클럭신호(iclk_nm)를 생성하는 제1클럭버퍼(200)와, 상기 제어신호(ctrl)에 의해 파워다운모드에서 외부클럭(clk, clkb)을 버퍼링하여 제2내부클럭신호(iclk_pd) - 상기 제2내부클럭은 상기 제1내부클럭보다 저주파의 클럭임 - 생성하는 제2클럭버퍼(300)와, 상기 제어신호(ctrl)에 응답하여 노말모드에서는 상기 제1내부클럭신호(iclk_nm)를 선택하여 전달하고 파워다운모드에서는 상기 제2내부클럭신호(iclk_pd)를 선택하여 전달하는 클럭선택부(400), 및 상기 클럭선택부(400)에서 선택된 제1 또는 제2 내부클럭신호(도면에서는 편의상 clkout 로 표기 함)를 사용하여 위상 갱신을 수행하여 DLL 클럭(clk_dll)을 출력하는 위상갱신부(500)를 포함한다.

위상갱신부(500)은 통상의 레지스트 제어형 지연고정루프(DLL)의 구성으로서, 구체적으로 클럭선택부(400)의 출력 클럭(clkout)을 입력받아 위상을 지연시켜 출력하는 위상지연부(520)와, 위상지연부(520)와 실질적으로 동일한 구성을 가지는 더미위상지연부(530)와, 더미위상지연부(530)의 출력신호를 메모리내 클럭신호의 지연요소들로 모델링하여 피드백신호로서 출력하는 지연복제모델부(540)와, 클럭선택부(400)의 출력 클럭(clkout)과 상기 피드백신호(feedback clock)를 입력받아 두 신호의 위상의 차이를 검출하는 위상비교부(550), 및 위상비교부(550)로부터 출력신호를 입력받아 상기 위상지연부(520)와 상기 더미위상지연부(530)의 위상 지연을 제어하는 지연제어부(560)를 포함한다.

지연고정루프(DLL)의 출력(clk_dll)은 클럭신호라인(Clock Signal Line, 80)을 거쳐 출력버퍼(Output Buffer, 90)의 데이터 출력 타이밍을 제어한다.

이와 같이, 본 발명은 노말모드에서 구동하는 제1클럭버퍼(200)와 파워다운모드에서 구동하는 제2클럭버퍼(300)를 별도로 구비하고, 제2클럭버퍼(300)는 제1클럭버퍼(200) 보다 저주파의 클럭을 생성하도록 구성한다.

이에 의해 본 발명에 따른 지연고정루프회로는, 노말모드시에는 제1클럭버퍼(200)의 출력인 제1내부클럭(iclk_nm)에 의해 DLL 위상 갱신을 수행하고, 파워다운모드시에는 제2클럭버퍼(300)의 출력인 제2내부클럭(iclk_pd)에 의해 DLL 위상 갱신을 수행한다.

이때, 파워다운모드제어부(100)의 제어신호(ctrl)에 의해 클럭선택부(400)를 제어하므로써, 제1내부클럭(iclk_nm)과 제2내부클럭(iclk_pd)중 어느 하나를 선택하여 선택된 내부클럭신호(clkout)에 의해 DLL 위상 갱신을 수행한다.

결국, 파워다운모드에서 위상 갱신을 전혀 수행하지 않는 종래기술에 대비되어, 본 발명은 파워다운모드에서 제2내부클럭(iclk_pd)에 근거하여 적어도 한번 위상 갱신을 수행하도록 한다.

도 5는 파워다운모드제어부(100) 및 제2클럭버퍼부(300)를 함께 도시한 회로도이다.

도 5를 참조하면, 파워다운모드제어부(100)은 입력되는 클럭인에이블신호(CKE)를 반전시키는 제1인버터(INV1)와, 파워다운모드시 상기 클럭인에이블신호(CKE)와 반대의 위상을 갖는 아이들신호(idle)와 상기 제1인버터(INV1)의 출력신호를 입력받는 낸드게이트(ND1), 및 낸드게이트(ND1)의 출력을 반전시켜 제어신호(Clk_enb)를 출력하는 제2인버터(INV2)를 포함한다. 파워다운모드일 때 클럭인에이블신호(CKE)는 논리 '로우', 아이들신호(idle)는 논리 '하이' 이다.

또한, 제2클럭버퍼(300)은 외부클럭(clk)과 반전된 외부클럭(clkb)를 입력받아 비교 및 증폭하는 차동증폭기(320)와, 차동증폭기(320)의 출력 클럭을 주파수 변환하는 클럭변환부(340), 및 제어신호(Clk_enb)에 응답하여 클럭변환부(340)의 출력을 제2내부클럭신호(iclk_pd)로서 전달하는 출력부(360)을 구비한다.

제2클럭버퍼(300)는 제1클럭버퍼(200)와 유사한 구성을 가지되, 제1클럭버퍼(200)에 대비되어 노드 a 및 노드 b 사이에 클럭변환부(340)가 별도로 구비되어 있는 것이다.

클럭변환부(340)은 클럭분주기로 구성될 수 있는 바, 도 6은 통상적인 2분주 클럭분주기의 회로도이다. 본 발명에서 클럭변환부(340)은 도 6에 도시된 2분주 클럭분주기 또는 2분주 클럭분주기가 두 개 직렬연결되어 4분주를 하는 4분주 클럭분주기 등을 사용할 수 있는 바, 파워다운모드 구간에서 원하는 DLL 위상 갱신 범위에 따라 분주값을 정할 수 있다. 즉, 2분주기, 4분주기, 8분주기 등 원하는 분기기를 사용할 수 있다.

도 7은 클럭변환부(340)의 다른 실시예시도로서, 서로 다른 분주값의 복수의 분주된 클럭을 생성하기 위하여 직렬 연결된 복수의 2분주 단위클럭분주기(810a, 810b, 810c...810n)와, 퓨즈 블로잉에 의해 각각의 단위클럭분주기의 출력중 어느 하나를 선택하여 제공하는 퓨즈부(820a, 820b, 820c...820n)를 포함할 수 있다.

즉, 도 7과 같이 복수의 분주된 클럭을 생성할 수 있도록 설계한 다음, 테스트에 의해서 분주된 클럭중 어느하나를 선택하여 사용하는 것이다. 또한, 퓨즈부 대신에 메탈 옵션 처리부를 사용할 수도 있다.

다시 도 5를 참조하면, 출력부(360)는, 클럭변환부(340)의 출력에 제어받아 제어신호(Clk_enb)를 전달하는 전달게이트(362)와, 클럭변환부(340)의 출력을 입력받아 반전하고 일정시간 지연된 신호를 출력하는 직렬 연결된 복수의 인버터(364)와, 전달게이트(362)로부터 전달된 제어신호와 인버터(364)의 출력을 입력받아 제2내부클럭신호(iclk_pd)를 출력하는 낸드게이트(ND2)를 구비한다.

도 8은 파워다운모드탈출 시 문제점을 해결한 본 발명에 따른 타이밍 다이어그램이다.

프리차지(Precharge) 파워다운모드와 같이 장시간(7.8 μ s) 동안 파워다운모드에 머무른다 하더라도, 파워다운모드 동안에 제2클럭버퍼(300)에서 제공되는 제2내부클럭에 의해 DLL 위상 갱신(Phase update)이 수행된다. 결국, 장시간 파워다운모드에 머무를 때 칩의 온도와 여러가지 환경적인 변화에 의해 지연고정루프회로의 락킹(locking) 정보가 파워다운모드 이전의 락킹 정보값과 현저히 달라지게 되는 것을 방지한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 메모리가 장시간 파워다운모드(power down mode)에 있다하더라도 DLL 위상을 적어도 한번 업데이트시켜 줌으로써, 파워다운모드 탈출(power down mode exit)시 이전의 락킹(locking) 정보가 깨지는 것을 방지할 수 있다.

도면의 간단한 설명

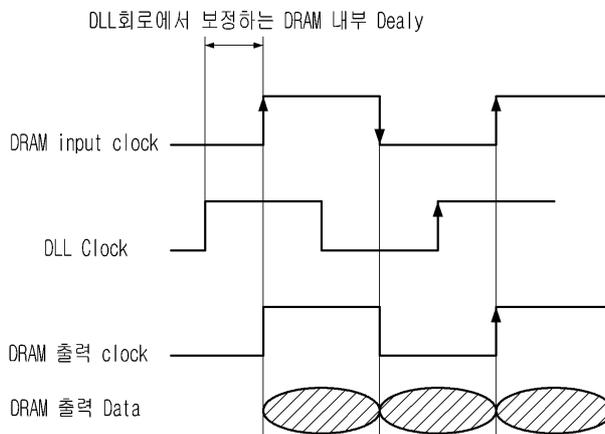
- 도 1은 일반적인 지연고정루프회로의 기본동작을 설명하기 위하여 도시한 개념도.
- 도 2는 종래기술에 따른 지연고정루프회로의 구성을 설명하기 위하여 도시한 블록 구성도.
- 도 3은 도 2에 도시된 지연고정루프회로의 동작을 설명하기 위하여 도시한 타이밍 다이어그램.
- 도 4는 본 발명의 지연고정루프회로를 나타낸 블록 구성도.
- 도 5는 파워다운모드제어부 및 제2클럭버퍼부를 함께 도시한 회로도.
- 도 6은 통상적인 2분주 클럭분주기의 회로도.
- 도 7은 클럭변환부의 다른 실시예시도.
- 도 8은 파워다운모드탈출 시 문제점을 해결한 본 발명에 따른 타이밍 다이어그램.

* 도면의 주요 부분에 대한 부호의 설명

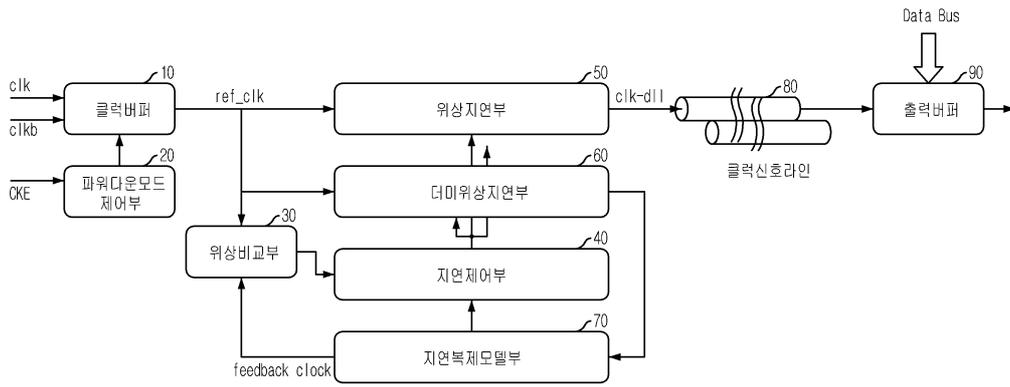
- 100 : 파워다운모드 제어부 200 : 제1 클럭버퍼
- 300 : 제2 클럭버퍼 400 : 클럭 선택부
- 500 : 위상갱신부 520 : 위상지연부
- 530 : 더미 위상지연부 540 : 지연복제 모델부
- 550 : 위상비교부 560 : 지연제어부

도면

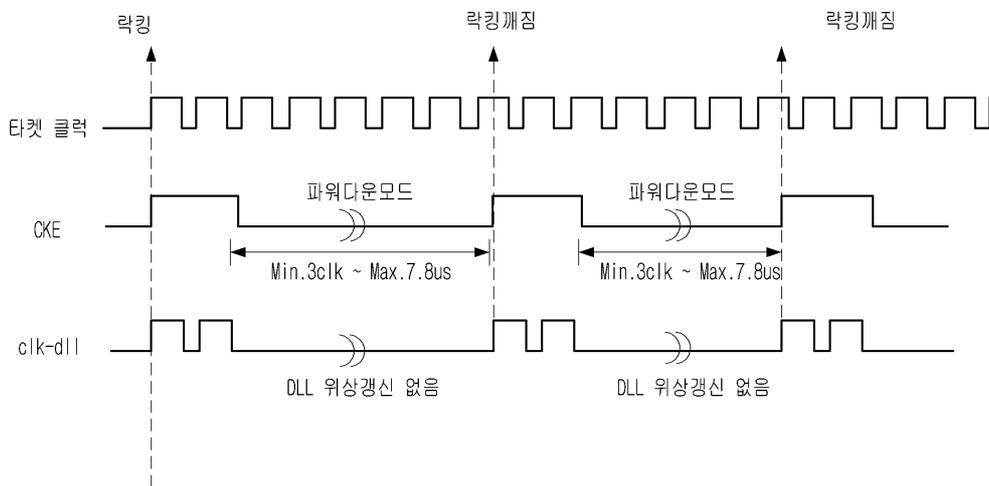
도면1



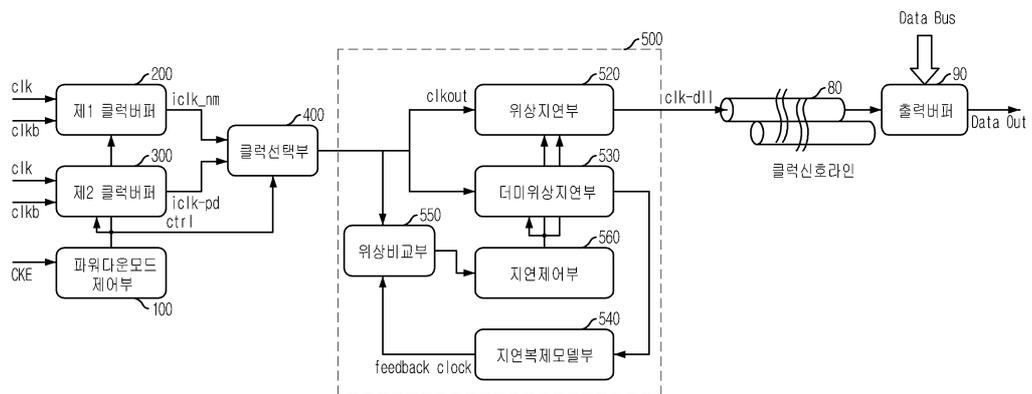
도면2



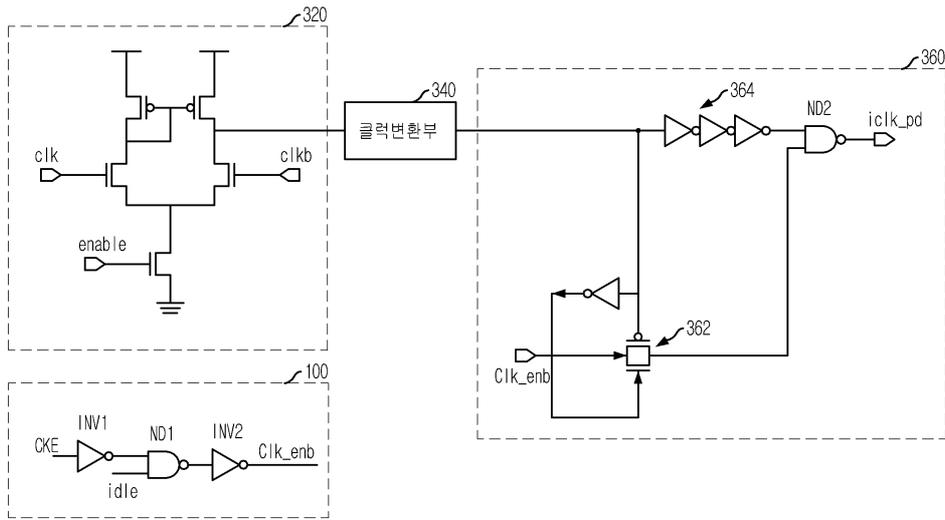
도면3



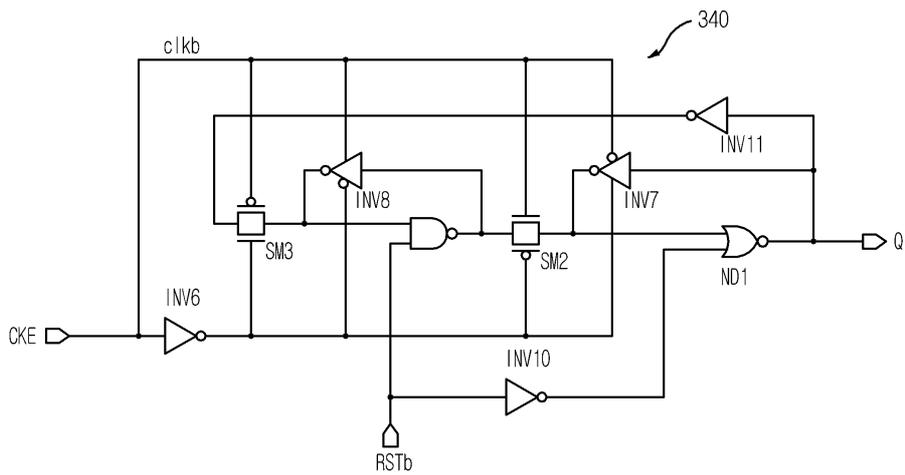
도면4



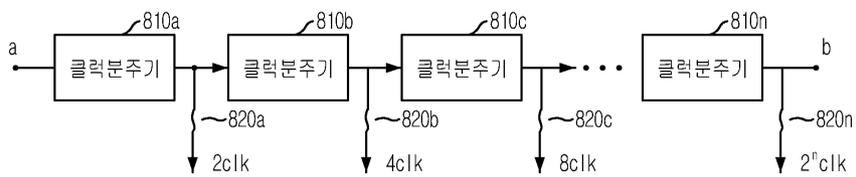
도면5



도면6



도면7



도면8

