

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4007864号

(P4007864)

(45) 発行日 平成19年11月14日(2007.11.14)

(24) 登録日 平成19年9月7日(2007.9.7)

(51) Int. Cl.

F I

H O 1 L 21/316 (2006.01)

H O 1 L 21/316 P

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 3 O 1 G

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2002-181058 (P2002-181058)	(73) 特許権者	000005223
(22) 出願日	平成14年6月21日(2002.6.21)		富士通株式会社
(65) 公開番号	特開2004-31394 (P2004-31394A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成16年1月29日(2004.1.29)	(74) 代理人	100092152
審査請求日	平成17年6月2日(2005.6.2)		弁理士 服部 毅殿
		(72) 発明者	入野 清
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	森▲崎▼ 祐輔
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	杉田 義博
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

酸化ハフニウムまたは酸化ジルコニウムを用いて形成されたゲート絶縁膜を有する半導体装置の製造方法において、

半導体基板に酸化ハフニウム膜または酸化ジルコニウム膜を形成する工程と、

形成された前記酸化ハフニウム膜または前記酸化ジルコニウム膜をオゾン雰囲気または酸素ラジカル雰囲気に晒して前記酸化ハフニウム膜中または前記酸化ジルコニウム膜中に含まれている不要不純物を除去する工程と、

前記不要不純物を除去した後に、前記酸化ハフニウム膜または前記酸化ジルコニウム膜の表面にシリコン窒化膜を形成する工程と、

形成された前記シリコン窒化膜上にゲート電極を形成する工程と、

を有し、

前記シリコン窒化膜は、シリコン原料とアンモニアとを交互に供給することによって形成することを特徴とする半導体装置の製造方法。

【請求項2】

前記シリコン窒化膜は、系内に一定の温度でシリコン原料とアンモニアとを交互に供給することによって形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記シリコン窒化膜の形成において、UV照射しながらまたはプラズマ状態にしてアンモニアを供給することを特徴とする請求項1または2記載の半導体装置の製造方法。

10

20

【請求項4】

前記酸化ハフニウム膜または前記酸化ジルコニウム膜の形成後、前記シリコン窒化膜の形成前に、系内を一定の温度で水および窒素でパージすることを特徴とする請求項1～3のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に関し、特に酸化ハフニウムなどの高誘電体材料を用いて形成されたゲート絶縁膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体集積回路(LSI)の加工技術の進歩に伴い、個々の半導体素子はますます微細化されている。それとともに、トランジスタ構造も微細化され、そのゲート絶縁膜の厚さは10程度にまでなっている。

【0003】

この程度にまでゲート絶縁膜が薄くなると、量子効果が顕在化し、トンネル効果によりリーク電流が急増してしまうようになる。その結果、オフ電流が増加して消費電力が増加したり回路動作をしなくなったりするといった問題が生じる。このようなリーク電流を抑制するため、半導体製造プロセスにおいては、主に、以下に示す3つの対処方法が考えられている。

【0004】

まず、第1の方法としては、ゲート絶縁膜中の有効質量を大きくするということである。また、第2の方法としては、ゲート絶縁膜のキャリアに対するバリア高さを大きくすること、そして、第3の方法としては、ゲート絶縁膜の物理膜厚を厚くすることである。

【0005】

これら3つの方法のうち、第1の方法は、膜中の有効質量についての明確な知見が得られておらず、現状ではリーク電流抑制方法として採用することが難しい。一方、第2、第3の方法を用いる場合、バリア高さはゲート絶縁膜の誘電率が大きくなると小さくなる傾向にあるため、例えば1eV以上のバリア高さを確保しようとするれば、誘電率が20程度以下の材料を用いることが必要になる。すなわち、ただ誘電率を高くすれば良い、とい

【0006】

以上のことから、ゲート絶縁膜としては、その誘電率が10～20程度の材料を用いるのが良いと考えられ、例えば酸化アルミニウム(Al_2O_3)、酸化ジルコニウム(ZrO_2)、酸化ハフニウム(HfO_2)、酸化タンタル(Ta_2O_5)などの高誘電体材料がゲート絶縁膜材料の候補として挙げられている。

【0007】

通常、これらの高誘電体材料は、薄膜の膜厚制御性が良く、カバレッジも良好なCVD (Chemical Vapor Deposition) 法を用いて形成される。

従来、高誘電体材料を用いたゲート絶縁膜の形成は、例えば次のように行われる。まず、ゲート絶縁膜の形成前に、半導体基板の前洗浄が行われる。この前洗浄の際には、半導体基板の表面に化学酸化膜が形成される。次いで、高誘電体膜を、圧力200 Torr、一酸化二窒素(N_2O)雰囲気中、温度800の条件の減圧CVD法により、約1.3nmの膜厚で形成する。その後、窒素(N_2)雰囲気中、温度850でアニール処理を行う。このように形成されたゲート絶縁膜上に、ポリシリコンなどのゲート電極材料が堆積され、その後、所定の温度のアニール処理が行われる。

【0008】

【発明が解決しようとする課題】

しかし、CVD法を用いて高誘電体膜を形成する場合には、その形成条件によっては高誘電体膜中に不要不純物が残留することがあるという問題点があった。

10

20

30

40

50

【0009】

形成後の高誘電体膜中に残留する不要不純物としては、主に、CVD法で形成するための原料に含まれている塩素(Cl)や炭素(C)などが挙げられる。そして、高誘電体膜中に不要不純物が残留している場合には、ゲート絶縁膜の誘電率が充分に上がらなくなる可能性がある。

【0010】

このような不要不純物を除去しようとする場合には、一般に、300 を超える高温処理が必要となる。例えば、塩素や炭素などの酸化処理などである。しかし、形成した高誘電体膜を高温下に晒すと、その結晶化が進んでアモルファス状態でなくなってしまうとともに、高誘電体膜に凹凸が生じてそのラフネスが悪化してしまう。その結果、高誘電体膜の膜厚の薄くなった部分でリーク電流が発生しやすくなってしまふ。

10

【0011】

また、高誘電体材料を用いてゲート絶縁膜を形成した場合には、高誘電体材料とその上に形成されるゲート電極材料とが反応してしまう場合があるという問題点があった。このような反応が起こった場合には、リーク電流が急増してしまう傾向が認められる。

【0012】

本発明はこのような点に鑑みてなされたものであり、不要不純物が少なく、また、ゲート電極材料と反応せずに高い誘電率を維持する高誘電率ゲート絶縁膜を有する半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示すフローで実現可能な半導体装置の製造方法が提供される。本発明の半導体装置の製造方法は、酸化ハフニウムまたは酸化ジルコニウムを用いて形成されたゲート絶縁膜を有する半導体装置の製造方法において、半導体基板に酸化ハフニウム膜または酸化ジルコニウム膜を形成する工程と、形成された前記酸化ハフニウム膜または前記酸化ジルコニウム膜をオゾン雰囲気または酸素ラジカル雰囲気に晒して前記酸化ハフニウム膜中または前記酸化ジルコニウム膜中に含まれている不要不純物を除去する工程と、前記不要不純物を除去した後に、前記酸化ハフニウム膜または酸化ジルコニウム膜の表面にシリコン窒化膜を形成する工程と、形成された前記シリコン窒化膜上にゲート電極を形成する工程と、を有し、前記シリコン窒化膜は、シリコン原料とアンモニアとを交互に供給することによって形成することを特徴とする。

20

30

【0014】

このような半導体装置の製造方法によれば、酸化ハフニウムや酸化ジルコニウムなどの高誘電体材料を用いて高誘電体膜を形成した後(ステップS1)、この高誘電体膜をオゾン雰囲気または酸素ラジカル雰囲気に晒す(ステップS2)。これにより、高誘電体膜中に含まれている不要不純物は、反応性の高いオゾンや酸素ラジカルによって酸化されるなどして、高誘電体膜外へと除去される。

【0017】

【発明の実施の形態】

まず、本発明の概略について図面を参照して説明する。

図1は半導体製造における高誘電率ゲート絶縁膜形成方法のフロー図である。

40

【0018】

高誘電率ゲート絶縁膜形成においては、まず、半導体基板に、酸化アルミニウム、酸化ジルコニウム、酸化ハフニウム、酸化タンタルなどの高誘電体膜を形成する(ステップS1)。

【0019】

次いで、形成した高誘電体膜に対し、例えば温度100 ~ 250 といった比較的低温下でオゾン雰囲気または酸素ラジカル雰囲気に晒すオゾン処理または酸素ラジカル処理を行う(ステップS2)。

【0020】

50

その後、高誘電体膜の表面にシリコン窒化膜を形成し（ステップS3）、この窒化膜上に、ポリシリコンなどのゲート電極材料を堆積する（ステップS4）。

上記の高誘電率ゲート絶縁膜形成において、高誘電体膜の形成は、例えばALCVD（Atomic Layer Chemical Vapor Deposition）法やMOCVD（Metal Organic Chemical Vapor Deposition）法により行う。この場合、形成する高誘電体膜の原料には、塩化物などの無機材料、あるいは有機材料などが用いられる。そのため、ALCVD法、MOCVD法のいずれによっても、高誘電体膜中には、塩素や炭素などの不要不純物が若干残留するようになる。

【0021】

このような高誘電体膜に対してオゾン処理または酸素ラジカル処理を行うことにより、不要不純物は、例えば酸化されて、高誘電体膜外に除去され、その結果、高誘電体膜中の不要不純物を低減することができる。さらに、この不要不純物の除去は、比較的低温の温度条件で行うため、形成した高誘電体膜の熱によるラフネスの悪化を防止することができる。

10

【0022】

また、高誘電体膜の形成後に、その表面にシリコン窒化膜を形成することにより、高誘電体膜とその上に堆積されるゲート電極材料との間の反応を抑制することができる。

【0023】

以下、本発明の実施の形態を、酸化ハフニウムを用いた高誘電率ゲート絶縁膜の形成に適用した場合を例に、図面を参照して詳細に説明する。

20

まず、第1の実施の形態について説明する。

【0024】

図2は前洗浄工程の説明図、図3は酸化ハフニウム膜形成工程の説明図、図4は不要不純物除去工程の説明図、図5はシリコン窒化膜形成工程の説明図、図6はゲート電極形成工程の説明図である。

【0025】

高誘電率ゲート絶縁膜の形成においては、まず、シリコン基板1の前洗浄を行う。この前洗浄によりシリコン基板1表面は自然に酸化され、このシリコン基板1上には、図2に示すように、化学酸化膜（ SiO_2 ）2が1nm程度の膜厚で形成される。この前洗浄すなわち化学酸化膜2の形成は、SC1洗浄（ $\text{NH}_4\text{OH} / \text{H}_2\text{O}_2 / \text{H}_2\text{O}$ 混合溶液（液温80））およびSC2洗浄（ $\text{HCl} / \text{H}_2\text{O}_2 / \text{H}_2\text{O}$ 混合溶液（液温70））にて行われる。ここで、SC1洗浄は、シリコン基板1表面に付着している粒子や有機性の汚れを除去する目的で、また、SC2洗浄は、シリコン基板1表面の金属不純物を除去する目的で、それぞれ行われる。

30

【0026】

その後、塩化ハフニウム（ HfCl_4 ）および水（ H_2O ）を用いた温度300でのALCVD法により、図3に示す酸化ハフニウム膜3を、例えば1.3nm程度など、所定の膜厚で形成する。この酸化ハフニウム膜3の形成直後においては、酸化ハフニウム膜3中に残留する塩素の濃度は大体0.1%~1%程度である。

【0027】

次いで、酸化ハフニウム膜3に対し、温度200で圧力100Torrのオゾン雰囲気系の内に10分間晒すオゾン処理を行う。このオゾン処理により、酸化ハフニウム膜3中の塩素は酸化ハフニウム膜3外に除去される。その際、塩素は、オゾンによって酸化され、一酸化塩素などに变化することで除去される。このようなオゾン処理により、酸化ハフニウム膜3中に残留する塩素が低減され、図4に示す不純物低減酸化ハフニウム膜4が形成されるようになる。

40

【0028】

次いで、温度300で系内の水（ H_2O ）パージおよび窒素パージを行う。この水パージにより、不純物低減酸化ハフニウム膜4の表面に、図示しない水酸基（-OH基）が生成されるようになる。

50

【0029】

更に、その後、系内に、温度300 で、シリコン原料の供給、窒素パーズ、アンモニアの供給、窒素パーズ、シリコン原料の供給および窒素パーズを、この順で行う。ここでは、シリコン原料として四塩化ケイ素を用いる。また、アンモニアは、活性化するため、UV照射しながらあるいはプラズマ状態にして供給する。この処理により、不純物低減酸化ハフニウム膜4の表面には、 $-O-Si-N-Si-Cl_2$ が形成され、図5に示すシリコン窒化膜5が形成される。ここで、前述した不純物低減酸化ハフニウム膜4表面に生成した水酸基は、このシリコン窒化膜5を不純物低減酸化ハフニウム膜4上に密着性良く容易に形成できるようにしている。

【0030】

最後に、このシリコン窒化膜5上に、図6に示すように、ゲート電極材料であるポリシリコン6をCVD法により膜厚100nm程度で堆積してアニール処理を行い、ゲート電極を形成する。

【0031】

このように、酸化ハフニウムを用いた高誘電率ゲート絶縁膜の形成においては、まず、酸化ハフニウム膜3の形成後にオゾン処理を行うことで、酸化ハフニウム膜3中の塩素が低減されるようになる。

【0032】

また、シリコン原料とアンモニアを、各処理の間に窒素パーズしながら交互に供給してシリコン窒化膜5を形成することで、不純物低減酸化ハフニウム膜4とポリシリコン6との間で起こる反応が抑制されるようになる。

【0033】

次に、第2の実施の形態について説明する。第2の実施の形態は、酸化ハフニウム膜形成工程において酸化ハフニウムの原料として有機材料を用いる点、および不要不純物除去工程において酸素ラジカルを用いる点で第1の実施の形態と相違している。これらの点を除けば、第1の実施の形態と同じである。

【0034】

第2の実施の形態を、図2から図6を参照して説明する。高誘電率ゲート絶縁膜の形成は、図2および図3に示したように、まず、シリコン基板1表面に化学酸化膜2を形成し、その後、温度300 で、化学酸化膜2上に酸化ハフニウム膜3を形成する。この第2の実施の形態においては、酸化ハフニウムの原料として、テトラブトキシハフニウム($Hf[t-O-C_4H_9]_4$)および水を用い、ALCVD法により酸化ハフニウム膜3を形成する。

【0035】

そして、シリコン基板1に形成された酸化ハフニウム膜3に対し、酸素中で放電して発生させた酸素ラジカルを温度150 で供給する酸素ラジカル処理を行う。酸化ハフニウム膜3が酸素ラジカル雰囲気に晒されることにより、図4に示した不純物低減酸化ハフニウム膜4が形成される。

【0036】

これ以降の工程は、第1の実施の形態と同じである。すなわち、温度300 で水パーズおよび窒素パーズを行った後、シリコン原料とアンモニアを各処理の間に窒素パーズしながら交互に供給し、図5に示したシリコン窒化膜5を形成する。最後に、このシリコン窒化膜5上に、図6に示したポリシリコン6を堆積する。

【0037】

この第2の実施の形態では、酸化ハフニウムの原料としてテトラブトキシハフニウムを用いるため、形成される酸化ハフニウム膜3には、炭素が不要不純物として残留するようになる。しかし、このような酸化ハフニウム膜3に対して酸素ラジカル処理を行うことにより、酸化ハフニウム膜3中の炭素は除去される。その際、炭素は、酸素ラジカルによって酸化され、一酸化炭素や二酸化炭素として酸化ハフニウム膜3外に除去される。これにより、酸化ハフニウム膜3中の炭素を低減することができる。

10

20

30

40

50

【 0 0 3 8 】

次に、第3の実施の形態について説明する。第3の実施の形態は、酸化ハフニウム膜形成工程を、MOCVD法により行い、酸化ハフニウムの原料としてテトラブトキシハフニウムおよび酸素(O_2)を用いる。この点を除いて第2の実施の形態と同じである。

【 0 0 3 9 】

第3の実施の形態について、図2から図6を参照して説明する。

この第3の実施の形態における高誘電率ゲート絶縁膜の形成では、まず、図2に示したように、シリコン基板1表面に化学酸化膜2を形成する。その後、温度500で、テトラブトキシハフニウムおよび酸素を用いたMOCVD法により、図3に示した酸化ハフニウム膜3を形成する。そして、この酸化ハフニウム膜3に対し、上記の第2の実施の形態と同じく温度150での酸素ラジカル処理を行い、図4に示した不純物低減酸化ハフニウム膜4を形成する。これ以降の図5および図6に示した各工程は、第1,第2の実施の形態と同じである。

10

【 0 0 4 0 】

第3の実施の形態では、テトラブトキシハフニウムを酸化ハフニウムの原料として用いることにより酸化ハフニウム膜3に残留する炭素が、酸素ラジカル処理で酸化されて除去され、酸化ハフニウム膜3中の炭素が低減される。

【 0 0 4 1 】

なお、第2,第3の実施の形態では、酸素ラジカル処理によって酸化ハフニウム膜3中の炭素を低減するようにしたが、第1の実施の形態に示したオゾン処理を用いても、この炭素の低減は可能である。また、第1の実施の形態における酸化ハフニウム膜3中の塩素の低減に、第2,第3の実施の形態に示した酸素ラジカル処理を用いることも可能である。

20

【 0 0 4 2 】

次に、高誘電率ゲート絶縁膜形成方法を、トランジスタの形成に適用する場合について説明する。

図7はシリコン酸化膜およびシリコン窒化膜の形成工程の説明図である。

【 0 0 4 3 】

まず、最初に、初期酸化を行い、シリコン基板10上にシリコン酸化膜11を形成する。この初期酸化は、酸化温度850で、系内に塩化水素(HCl)を添加して行われ、これにより膜厚約10nmのシリコン酸化膜11を形成する。

30

【 0 0 4 4 】

次いで、このシリコン酸化膜11上に、減圧CVD法により、シリコン窒化膜12を膜厚約100nmで形成する。

図8はトレンチ形成工程の説明図である。

【 0 0 4 5 】

シリコン窒化膜12の形成後、全面にレジスト層を形成する。そして、トランジスタの活性領域となる領域のみにシリコン窒化膜12を残して素子分離となる領域にトレンチ13を形成するためのパターニングを行う。

【 0 0 4 6 】

次いで、パターニング後のレジスト層をマスクにしてシリコン窒化膜12およびシリコン酸化膜11をドライエッチングする。そして、レジスト剥離後に、シリコン窒化膜12をマスクにしてシリコン基板10をエッチングし、トレンチ13を形成する。トレンチ13は、例えば約200nmの深さで形成する。

40

【 0 0 4 7 】

図9は埋め込み用酸化膜の形成工程の説明図である。

トレンチ13の形成後は、まず、トレンチ13の内面に、熱酸化により膜厚約10nmの図示しないライナー酸化膜を形成する。その後、全面に、トレンチ13の埋め込み用酸化膜14を、高密度プラズマCVD法により約500nmの膜厚で形成する。

【 0 0 4 8 】

次いで、シリコン窒化膜12をストップパとして、埋め込み用酸化膜14を、CMP(Chem

50

ical Mechanical Polishing) により研磨する。

図 10 はシリコン酸化膜およびシリコン窒化膜の除去工程の説明図である。

【0049】

CMP による埋め込み用酸化膜 14 の研磨後、更に CMP により、図 9 に示したシリコン窒化膜 12 およびシリコン酸化膜 11、および埋め込み用酸化膜 14 の一部を除去し、シリコン基板 10 表面を露出させる。

【0050】

図 11 はウェル領域およびチャネル領域の形成工程の説明図である。

シリコン基板 10 上に、イオン注入用のスルー酸化膜 15 を、膜厚約 10 nm で形成し、その上からシリコン基板 10 に対し、トランジスタのウェル領域を形成する所定の導電型の不純物を所定の濃度でイオン注入する。さらに、シリコン基板 10 に対し、トランジスタのチャネル領域を形成する所定の導電型の不純物を所定の濃度でイオン注入する。

【0051】

次いで、ウェル領域およびチャネル領域にイオン注入した不純物を活性化するためのアニール処理を行う。このアニール処理後、スルー酸化膜 15 はフッ酸などを用いてエッチング除去する。

【0052】

図 12 は高誘電率ゲート絶縁膜およびポリシリコンの形成工程の説明図である。

高誘電率ゲート絶縁膜の形成は、上記第 1 から第 3 の実施の形態に示したいずれの方法によっても可能である。

【0053】

まず、図 11 に示したスルー酸化膜 15 の除去後のシリコン基板 10 に対して前洗浄を行い、化学酸化膜 16 を形成する。次いで、この化学酸化膜 16 上に、酸化ハフニウム膜を所定の膜厚で形成する。そして、酸化ハフニウム膜に対し、所定の条件でオゾン処理または酸素ラジカル処理を行い、不純物低減酸化ハフニウム膜 17 を形成する。

【0054】

そして、水パーズおよび窒素パーズを行った後、四塩化ケイ素などのシリコン原料の供給、窒素パーズ、アンモニア供給、窒素パーズ、シリコン原料の供給および窒素パーズを、この順で行う。これにより、不純物低減酸化ハフニウム膜 17 の表面に、図示しないシリコン窒化膜が形成される。

【0055】

最後に、不純物低減酸化ハフニウム膜 17 上にポリシリコン 18 を CVD 法により膜厚 100 nm 程度で堆積する。

図 13 はゲート電極の形成工程の説明図である。

【0056】

全面にレジスト層を形成してパターニングした後、図 12 に示したポリシリコン 18 をエッチングしてゲート電極 19 を形成し、さらに、このエッチングに続けて不純物低減酸化ハフニウム膜 17 および化学酸化膜 16 をエッチングする。

【0057】

図 14 はソースドレインエクステンションおよびソースドレインの形成工程の説明図である。

ゲート電極 19 の形成後、これをマスクにしてシリコン基板 10 に所定の導電型の不純物を所定の濃度でイオン注入し、トランジスタのソースドレインエクステンション 20 を形成する。

【0058】

次いで、ゲート電極 19 の側壁に、シリコン窒化膜などからなる側壁スペーサ 21 を膜厚約 15 nm で形成する。そして、ゲート電極 19 および側壁スペーサ 21 をマスクにしてシリコン基板 10 に所定の導電型の不純物を所定の濃度でイオン注入し、トランジスタのソースドレイン 22 を形成する。

【0059】

10

20

30

40

50

図15はコバルトシリサイドおよび絶縁膜の形成工程の説明図である。

ソースドレインエクステンション20およびソースドレイン22を形成した後、ゲート電極19表面およびソースドレイン22表面にコバルトシリサイド(CoSi_2)23を形成する。このコバルトシリサイド23の形成は、まず、全面にコバルト(Co)を例えば厚さ6nmにスパッタして熱処理を行う。このとき、ゲート電極19表面およびソースドレイン22表面にスパッタされたコバルトはシリサイド化される。これにより、ゲート電極19表面およびソースドレイン22表面にコバルトシリサイド23が形成され、低抵抗化が図られる。

【0060】

最後に、全面にシリコン酸化膜などの絶縁膜24を堆積し、その表面をCMPによって研磨し、高誘電率ゲート絶縁膜を有するトランジスタの形成を完了する。

10

【0061】

以上説明したように、半導体装置製造における高誘電率ゲート絶縁膜形成において、高誘電体膜の形成後にオゾン処理または酸素ラジカル処理を行う。これにより、高誘電体膜中の不要不純物は除去され、高誘電体膜に残留する不要不純物を低減することができる。さらに、高誘電体膜に対する不要不純物除去を、比較的低温で行うようにすることで、高誘電体膜のラフネスの悪化を防止することができる。したがって、より信頼性の高い高誘電率ゲート絶縁膜および半導体装置を実現することができる。

【0062】

また、高誘電体膜の形成後、その表面に、高誘電体膜に対してシリコン原料とアンモニアとを交互に供給することによって薄いシリコン窒化膜を形成することで、高誘電体膜とゲート電極材料との間で起こる反応が抑制されるようになる。

20

【0063】

なお、以上の説明では、高誘電率ゲート絶縁膜を形成するための高誘電体材料に酸化ハフニウムを用いる場合を例にして述べたが、本発明はこれに限定されるものではなく、酸化アルミニウム、酸化ジルコニウム、酸化タンタルなど、その他の高誘電体材料も同様に用いることが可能である。さらに、これらの高誘電体材料を複数使い、複合高誘電体膜により高誘電率ゲート絶縁膜を構成することも可能である。

【0064】

【発明の効果】

30

以上説明したように本発明では、半導体基板に高誘電体膜を形成した後、この高誘電体膜をオゾン雰囲気または酸素ラジカル雰囲気に晒し、高誘電体膜中に含まれている不要不純物を除去する。これにより、形成後の高誘電体膜に残留する不要不純物が低減され、より信頼性の高い高誘電率ゲート絶縁膜および半導体装置を実現することができる。

【0065】

また、ゲート絶縁膜に対してシリコン原料とアンモニアとを交互に供給することによって薄いシリコン窒化膜を形成してゲート電極との反応を抑制することで、リーク電流増加を抑えた信頼性の高い半導体装置を実現することができる。

【図面の簡単な説明】

【図1】半導体装置製造における高誘電率ゲート絶縁膜形成方法のフロー図である。

40

【図2】前洗浄工程の説明図である。

【図3】酸化ハフニウム膜形成工程の説明図である。

【図4】不要不純物除去工程の説明図である。

【図5】シリコン窒化膜形成工程の説明図である。

【図6】ゲート電極形成工程の説明図である。

【図7】シリコン酸化膜およびシリコン窒化膜の形成工程の説明図である。

【図8】トレンチ形成工程の説明図である。

【図9】埋め込み用酸化膜の形成工程の説明図である。

【図10】シリコン酸化膜およびシリコン窒化膜の除去工程の説明図である。

【図11】ウェル領域およびチャネル領域の形成工程の説明図である。

50

【図12】高誘電率ゲート絶縁膜およびポリシリコンの形成工程の説明図である。

【図13】ゲート電極の形成工程の説明図である。

【図14】ソースドレインエクステンションおよびソースドレインの形成工程の説明図である。

【図15】コバルトシリサイドおよび絶縁膜の形成工程の説明図である。

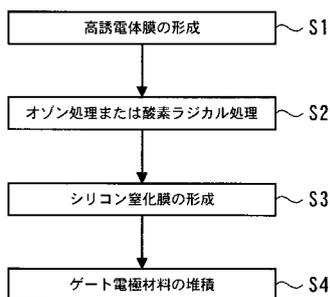
【符号の説明】

- 1, 10 シリコン基板
- 2, 16 化学酸化膜
- 3 酸化ハフニウム膜
- 4, 17 不純物低減酸化ハフニウム膜
- 5, 12 シリコン窒化膜
- 6, 18 ポリシリコン
- 11 シリコン酸化膜
- 13 トレンチ
- 14 埋め込み用酸化膜
- 15 スルー酸化膜
- 19 ゲート電極
- 20 ソースドレインエクステンション
- 21 側壁スペーサ
- 22 ソースドレイン
- 23 コバルトシリサイド
- 24 絶縁膜

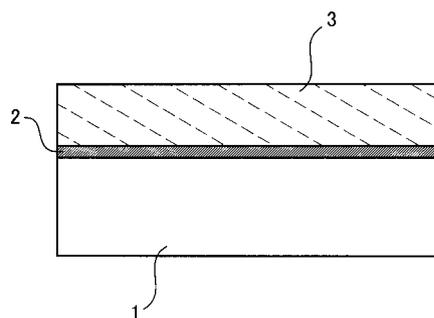
10

20

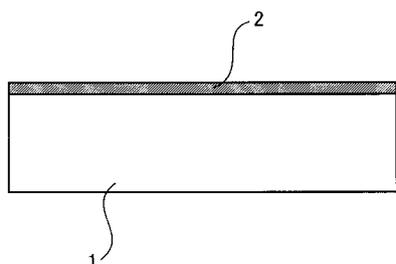
【図1】



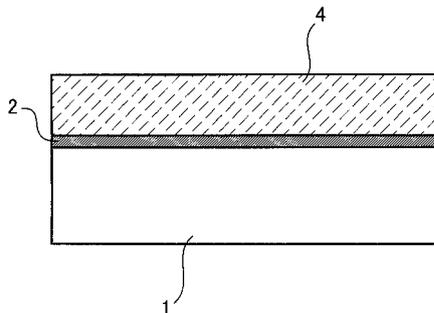
【図3】



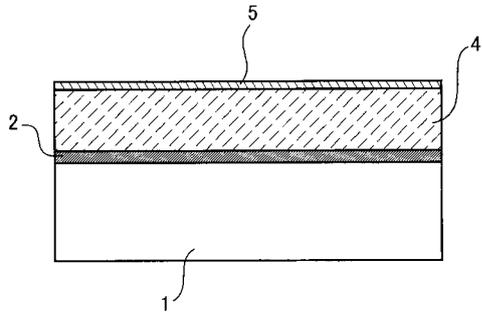
【図2】



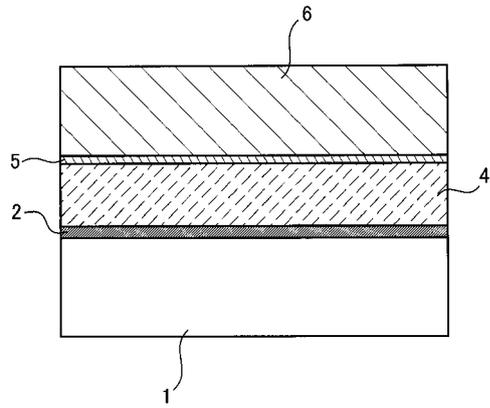
【図4】



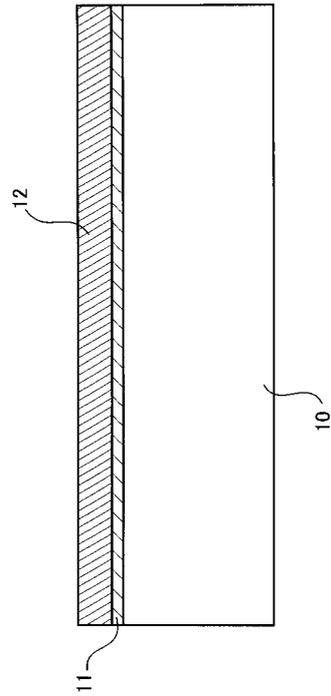
【図5】



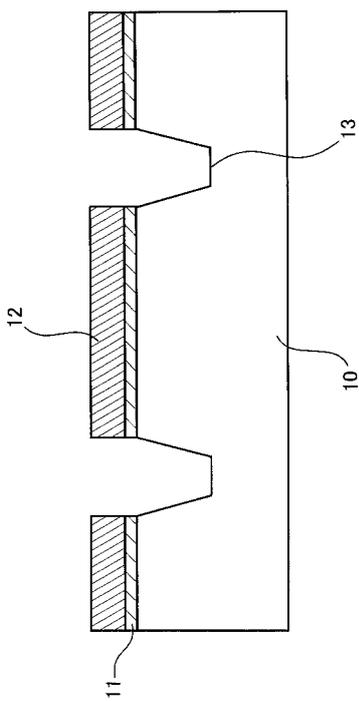
【図6】



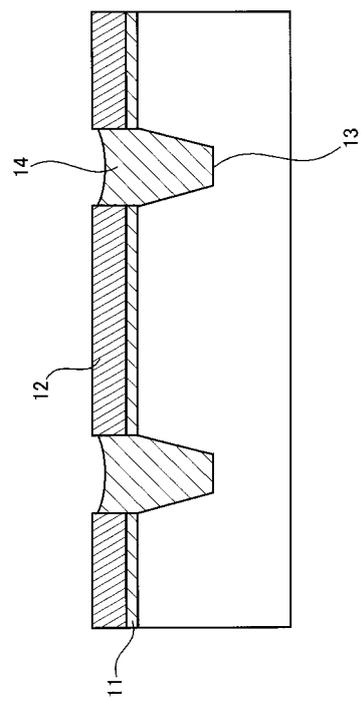
【図7】



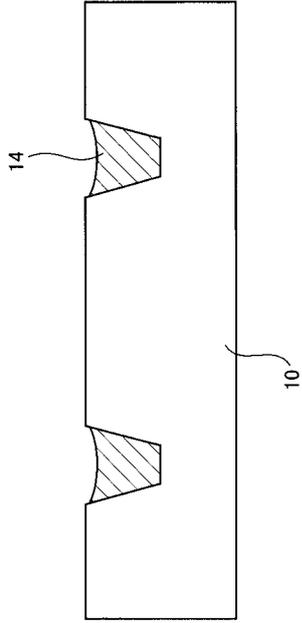
【図8】



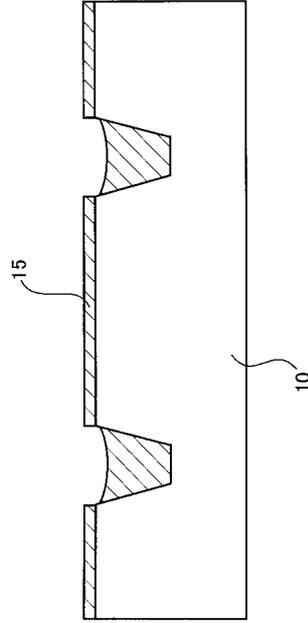
【図9】



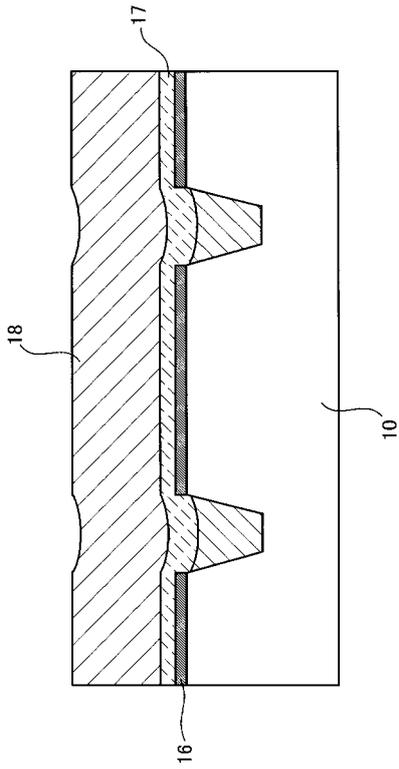
【 図 1 0 】



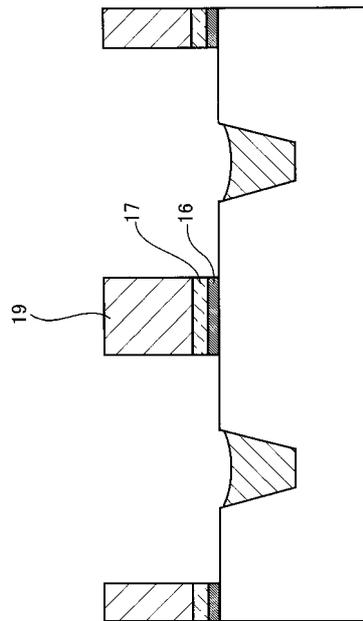
【 図 1 1 】



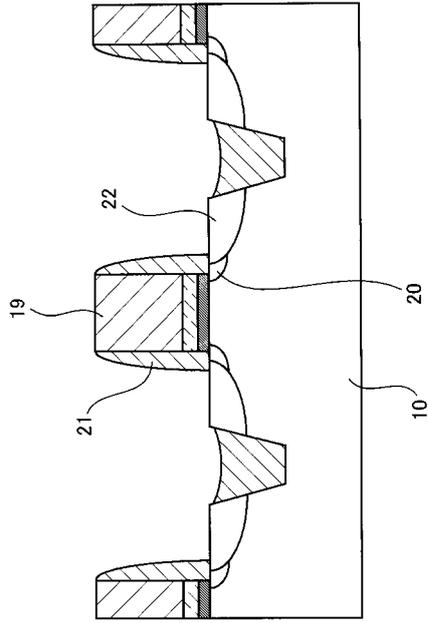
【 図 1 2 】



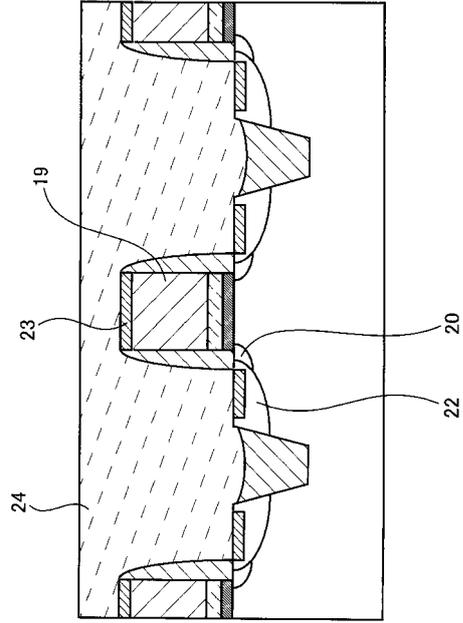
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

審査官 田中 永一

- (56)参考文献 特開2000-349287(JP,A)
国際公開第01/069665(WO,A1)
特開平04-092423(JP,A)
特開2001-237243(JP,A)
特開2003-068731(JP,A)
特開2003-273348(JP,A)
特開平07-025606(JP,A)
特開2002-060944(JP,A)
特開平10-229080(JP,A)
特表2002-517914(JP,A)
特開2001-111000(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/312
H01L 21/314
H01L 21/316
H01L 21/318
H01L 21/205
H01L 29/78