

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3581253号
(P3581253)

(45) 発行日 平成16年10月27日(2004.10.27)

(24) 登録日 平成16年7月30日(2004.7.30)

(51) Int. Cl.⁷

F I

HO 1 L 21/8238

HO 1 L 27/08 3 2 1 D

HO 1 L 27/08

HO 1 L 27/08 3 3 1 A

HO 1 L 27/092

HO 1 L 29/78 3 0 1 S

HO 1 L 29/78

請求項の数 10 (全 21 頁)

<p>(21) 出願番号 特願平10-182426 (22) 出願日 平成10年6月29日(1998.6.29) (65) 公開番号 特開2000-21996(P2000-21996A) (43) 公開日 平成12年1月21日(2000.1.21) 審査請求日 平成13年6月13日(2001.6.13)</p> <p>前置審査</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号</p> <p>(74) 代理人 100058479 弁理士 鈴江 武彦</p> <p>(74) 代理人 100091351 弁理士 河野 哲</p> <p>(74) 代理人 100088683 弁理士 中村 誠</p> <p>(74) 代理人 100084618 弁理士 村松 貞男</p> <p>(74) 代理人 100092196 弁理士 橋本 良郎</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第一導電型の半導体層と、

この半導体層の表面上にゲート絶縁膜を介して設けられたゲート電極と、

このゲート電極の形成位置を除く、前記半導体層の表面領域に設けられた第二導電型の拡散層と、

この拡散層上に自己整合的に形成され、その拡散層との界面における酸素濃度もしくは窒素濃度が他の部分よりも高くなるように形成されたシリコン系積み上げ層と、この積み上げ層上に形成された金属膜とを反応させてなり、かつ、前記半導体層および前記ゲート絶縁膜の界面と略同一の高さを有する良導体層と

を具備したことを特徴とする半導体装置。

【請求項2】

前記良導体層は、シリサイド層からなることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記良導体層は、ゲルマニウムとシリコンと金属との合金層であることを特徴とする請求項1に記載の半導体装置。

【請求項4】

第一導電型の半導体層の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極の形成位置を除く、前記半導体層の表面領域に第二導電型の拡散層を形成する工程と、

前記ゲート電極の側壁部分に側壁絶縁膜を形成する工程と、
 前記側壁絶縁膜の形成位置を除く、前記拡散層の表面上に、その拡散層との界面における酸素濃度もしくは窒素濃度が制御されたシリコン系積み上げ層を形成する工程と、
 少なくとも、前記シリコン系積み上げ層上に金属膜を形成する工程と、
 前記シリコン系積み上げ層および前記金属膜を反応させて、前記拡散層上に、その拡散層との界面が、前記半導体層および前記ゲート絶縁膜の界面と略同一の高さを有してなる良導体層を形成する工程と
 を備えてなることを特徴とする半導体装置の製造方法。

【請求項 5】

前記シリコン系積み上げ層を形成する工程は、シリコン系積み上げ層を形成する前の、水素によるベーク時間を調整することにより、前記拡散層との界面における酸素濃度が高くなるように制御することを特徴とする請求項 4 に記載の半導体装置の製造方法。 10

【請求項 6】

前記シリコン系積み上げ層を形成する工程は、シリコン系積み上げ層を形成する前に、前記拡散層の表面に窒素をイオン注入することにより、前記シリコン系積み上げ層の前記拡散層との界面における窒素濃度が高くなるように制御することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 7】

前記シリコン系積み上げ層の形成には、選択エピタキシャル成長層を用いることを特徴とする請求項 5 または請求項 6 のいずれかに記載の半導体装置の製造方法。 20

【請求項 8】

前記良導体層を形成する工程は、前記シリコン系積み上げ層と前記金属膜とをシリサイドーション反応させるものであり、前記シリサイドーション反応は、前記シリコン系積み上げ層中の酸素もしくは窒素により阻止されることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 9】

前記シリコン系積み上げ層には、シリコンよりもシリサイドーション反応の速度が速い材料を用いることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 10】

前記シリコン系積み上げ層には、シリコン・ゲルマニウムを用いることを特徴とする請求項 9 に記載の半導体装置の製造方法。 30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関するもので、特に、CMOS (Complementary Metal Oxide Semiconductor) 回路などで用いられるサリサイド技術に関するものである。

【0002】

【従来の技術】

周知のように、PチャネルMOSおよびNチャネルMOSで構成されるCMOS回路においては、MOSFET (MOS-Field Effect Transistor) の微細化とともに、寄生抵抗の低減が不可欠である。 40

【0003】

特に、ソース/ドレイン拡散層間に寄生的に存在する抵抗は、MOSFETの電流駆動力を低下させるため、できるだけ低抵抗化することが望ましい。その低抵抗化には、ソース/ドレイン拡散層上に自己整合的にシリサイド層を形成するサリサイド技術が有効であり、現在では、ゲート長が1 μm未満のMOSFETへの適用が既に始まっている。

【0004】

図20は、MOSFETのソース/ドレイン拡散層間に寄生する抵抗を低抵抗化するための、サリサイド技術について概略的に示すものである。 50

このシリサイド技術とは、MOSFETのゲート電極の表面およびソース/ドレイン拡散層の表面に、それぞれ、シリサイド層を自己整合的に形成するものである(たとえば、R. W. Mann et al IBM Journal of research and development vol. 39 JULY, 1995)。

【0005】

すなわち、シリコン基板101に対して、たとえば、ゲート酸化膜102上のゲート電極103、ソース/ドレイン拡散層104、サイドウォール105をそれぞれ形成して、MOSFETを形成した後、全面に、シリコンと反応するメタル106をスパッタ法などにより成膜する(図20(a)参照)。

【0006】

この後、熱処理を行って、シリコン層と上記メタル106とを反応させることにより、上記ゲート電極103の表面、および、上記サイドウォール105の形成位置を除く、上記ソース/ドレイン拡散層104の表面に、それぞれ、シリサイド層107を自己整合的に形成する(図20(b)参照)。

【0007】

また、シリサイド層107を形成した後に、未反応のメタル106を薬液処理によって除去する。そして、熱処理により、シリサイド層107の相を低抵抗化させる(図20(c)参照)。

【0008】

しかしながら、上記のようなシリサイドーションプロセスにおいては、シリサイド層107を形成させる際に、シリサイド層107が不均一(シリサイド層107とシリコン層との界面がラフ)になったり、メタル106がシリコン基板101中に拡散するという問題点があった。

【0009】

このような問題点は、接合リーク電流の悪化を引き起こすことが知られており、特に、ゲート長の微細化にともなって、ソース/ドレイン拡散層104の深さが低減されるMOSFETにおいては、より深刻なものとなる。

【0010】

たとえば、ゲート長が0.2 μ m未満のMOSFETでの適用が検討されているコバルトシリサイド(Coシリサイド)の場合、Coは拡散種であるため、シリサイド層107を形成させる際の熱処理、または、シリサイド層107の相を低抵抗化させるための熱処理でCo原子の拡散が顕著となり、不均一なシリサイド層107が形成されることによる、接合リーク電流の増大が懸念されていた(たとえば、IEDM95 pp. 449 Goto et al)。

【0011】

これに対し、接合リーク電流の増大を解決する方法として、たとえば図21に示すように、ゲート電極103上およびソース/ドレイン拡散層104上に選択エピタキシャル成長法によりシリコン層を形成し、このシリコン層とメタルとを反応させて、拡散層部分を持ち上げてなる積み上げ構造のシリサイド層201を形成することで、実効的なシリサイド/シリコン界面とソース/ドレイン拡散層104の深さとの関係を改善する方法が提案されている(たとえば、IEDM94 pp. 687 Mogami et alまたは1995 VLSI Technology pp. 23 Abiko et al)。

【0012】

しかしながら、この積み上げ構造の場合においても、ゲート長の微細化とともに、ソース/ドレイン拡散層104の深さが浅くなると、メタルの拡散にともなう、接合リーク電流の増大を制御することが困難になる。

【0013】

すなわち、選択エピタキシャル成長法の場合、たとえば図22に示すように、ある成長条件下においては、ソース/ドレイン拡散層104とサイドウォール105との界面における、(3, 1, 1)面に対するシリコンの成長速度が極めて高い。

10

20

30

40

50

【0014】

その結果、サイドウォール105との間に、シリコン層301のファセット面302が形成されることにより（同図（a）参照）、積み上げ構造のシリサイド層201の一部が、ソース/ドレイン拡散層104内に食い込むようにして形成されることになる（同図（b）参照）。

【0015】

したがって、たとえ、積み上げ構造のシリサイド層201を形成するようにした場合においても、シリサイド層201が食い込んだ部分では、ソース/ドレイン拡散層104の深さを稼ぐことができなくなるため、メタルの拡散にともなう、接合リーク電流の増大を制御することが困難になる。

10

【0016】

【発明が解決しようとする課題】

上記したように、従来においては、ゲート長の微細化にともなって、拡散層の深さが低減されるMOSFETでの、不均一なシリサイド層が形成されることによる、接合リーク電流の増大を解決することが可能な構造として、拡散層上にあらかじめ積み上げたシリコン層をシリサイド化するようにしてなる積み上げ構造が提案されてはいるものの、この積み上げ構造によっても、メタルの拡散にともなう、接合リーク電流の増大を制御することは困難であるという問題があった。

【0017】

そこで、この発明は、拡散層とこの拡散層上の良導体層との界面の平坦性を向上でき、良導体層からの金属拡散にともなう、接合リーク電流の増大を制御することが可能な半導体装置およびその製造方法を提供することを目的としている。

20

【0018】

【課題を解決するための手段】

本願発明の一態様によれば、第一導電型の半導体層と、この半導体層の表面上にゲート絶縁膜を介して設けられたゲート電極と、このゲート電極の形成位置を除く、前記半導体層の表面領域に設けられた第二導電型の拡散層と、この拡散層上に自己整合的に形成され、その拡散層との界面における酸素濃度もしくは窒素濃度が他の部分よりも高くなるように形成されたシリコン系積み上げ層と、この積み上げ層上に形成された金属膜とを反応させてなり、かつ、前記半導体層および前記ゲート絶縁膜の界面と略同一の高さを有する良導体層とを具備したことを特徴とする半導体装置が提供される。

30

【0019】

また、本願発明の一態様によれば、第一導電型の半導体層の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の形成位置を除く、前記半導体層の表面領域に第二導電型の拡散層を形成する工程と、前記ゲート電極の側壁部分に側壁絶縁膜を形成する工程と、前記側壁絶縁膜の形成位置を除く、前記拡散層の表面上に、その拡散層との界面における酸素濃度もしくは窒素濃度が制御されたシリコン系積み上げ層を形成する工程と、少なくとも、前記シリコン系積み上げ層上に金属膜を形成する工程と、前記シリコン系積み上げ層および前記金属膜を反応させて、前記拡散層上に、その拡散層との界面が、前記半導体層および前記ゲート絶縁膜の界面と略同一の高さを有してなる良導体層を形成する工程とを備えてなることを特徴とする半導体装置の製造方法が提供される。

40

【0020】

上記の構成によれば、積み上げ構造の良導体層の一部が拡散層内に食い込むのを抑制できるようになる。これにより、拡散層間の寄生抵抗を低減する目的で設けられる良導体層を、より浅い拡散層上へ形成することが可能となるものである。

【0021】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

図1は、本発明の実施の第一の形態にかかるCMOS回路の概略構成を示すものである。

【0022】

50

このCMOS回路は、たとえば、CZ (Czochralski) 法により形成された、抵抗率が1~5・cmのP型シリコン基板11上に、PチャネルMOSFET12およびNチャネルMOSFET13がそれぞれ設けられてなる構成とされている。

【0023】

上記PチャネルMOSFET12および上記NチャネルMOSFET13の形成位置を除く、上記P型シリコン基板11の表面部には、それぞれ、STI (Shallow Trench Isolation) 構造の素子分離領域14が形成されている。この素子分離領域14は、各トレンチ溝14a内に、ラウンド酸化膜14bをそれぞれに介して、埋め込み酸化膜14cが埋め込まれてなる構成とされている。

【0024】

この素子分離領域14によって囲まれた、上記PチャネルMOSFET12に対応する素子領域 (PチャネルMOS領域) 12a内には、第一導電型の半導体層としての、N型ウェル領域12bが形成されている。

【0025】

このN型ウェル領域12bの表面上には、ゲート絶縁膜12cを介して、0.02~0.25μmのゲート長を有する、ポリシリコンまたはアモルファスシリコンからなるゲート電極12dが設けられている。また、上記ゲート電極12dの側壁部分には、上記ゲート絶縁膜12c上を含んで、サイドウォールとなる側壁絶縁膜12eが設けられている。

【0026】

そして、上記ゲート電極12dの形成位置を除く、上記N型ウェル領域12bの表面部には、P型のソース/ドレイン拡散層12fが設けられている。さらに、上記側壁絶縁膜12eの形成位置を除く、上記N型ウェル領域12bの表面部には、P型のソース/ドレイン拡散層 (第二導電型の拡散層) 12gが設けられている。

【0027】

また、上記ゲート電極12d上には、たとえば、選択シリコン成長層 (シリコン系積み上げ層) とコバルト膜 (金属膜) との合金をシリサイド化してなるシリコン化合物層 (Coシリサイド膜) 12hが、自己整合的に設けられている。

【0028】

さらに、上記ソース/ドレイン拡散層12g上には、たとえば、選択シリコン成長層とコバルト膜との合金をシリサイド化してなる、積み上げ構造のシリコン化合物層 (良導体層) 12iが、自己整合的に設けられている。このシリコン化合物層12iは、上記ソース/ドレイン拡散層12gとの界面が、略平坦に、かつ、上記N型ウェル領域12bおよび上記ゲート絶縁膜12cの界面と略同一の高さとなるようにして設けられている。

【0029】

そして、全面を覆うようにして層間絶縁膜15が設けられ、この層間絶縁膜15上に、ゲート電極コンタクト12jを介して上記シリコン化合物層12hにつながる配線12kが、また、拡散層コンタクト12mを介して上記シリコン化合物層12iにつながる配線12nが、それぞれ形成されて、上記PチャネルMOSFET12が構成されている。

【0030】

一方、上記素子分離領域14によって囲まれた、上記NチャネルMOSFET13に対応する素子領域 (NチャネルMOS領域) 13a内には、第一導電型の半導体層としての、P型ウェル領域13bが形成されている。

【0031】

このP型ウェル領域13bの表面上には、ゲート絶縁膜13cを介して、0.02~0.25μmのゲート長を有する、ポリシリコンまたはアモルファスシリコンからなるゲート電極13dが設けられている。また、上記ゲート電極13dの側壁部分には、上記ゲート絶縁膜13c上を含んで、サイドウォールとなる側壁絶縁膜13eが設けられている。

【0032】

そして、上記ゲート電極13dの形成位置を除く、上記P型ウェル領域13bの表面部には、N型のソース/ドレイン拡散層13fが設けられている。さらに、上記側壁絶縁

10

20

30

40

50

膜13eの形成位置を除く、上記P型ウェル領域13bの表面部には、N型のソース/ドレイン拡散層(第二導電型の拡散層)13gが設けられている。

【0033】

また、上記ゲート電極13d上には、たとえば、選択シリコン成長層(シリコン系積み上げ層)とコバルト膜(金属膜)との合金をシリサイド化してなるシリコン化合物層13hが、自己整合的に設けられている。

【0034】

さらに、上記ソース/ドレイン拡散層13g上には、たとえば、選択シリコン成長層とコバルト膜との合金をシリサイド化してなる、積み上げ構造のシリコン化合物層(良導体層)13iが、自己整合的に設けられている。このシリコン化合物層13iは、上記ソース/ドレイン拡散層13gとの界面が、略平坦に、かつ、上記P型ウェル領域13bおよび上記ゲート絶縁膜13cの界面と略同一の高さとなるようにして設けられている。

10

【0035】

そして、上記層間絶縁膜15上に、ゲート電極コンタクト13jを介して上記シリコン化合物層13hにつながる配線13kが、また、拡散層コンタクト13mを介して上記シリコン化合物層13iにつながる配線13nが、それぞれ形成されて、上記NチャネルMOSFET13が構成されている。

【0036】

このような構成によれば、シリコン化合物層12i, 13iを形成するための、選択シリコン成長層を形成する際に、たとえ、側壁絶縁膜12e, 13eとの間に、選択シリコン成長層のファセット面が形成されたとしても、上記シリコン化合物層12i, 13iの一部が、ソース/ドレイン拡散層12g, 13g内に食い込むのを抑制できるようになる。

20

【0037】

この結果、上記シリコン化合物層12i, 13iの直下における、上記ソース/ドレイン拡散層12g, 13gの深さを十分に稼ぐことが可能となるため、ゲート長の微細化にともなって、上記ソース/ドレイン拡散層12g, 13gの深さを浅くするように構成してなるMOSFET12, 13であっても、拡散種であるコバルト原子の拡散にともなう、接合リーク電流の増大を容易に制御できるようになるものである。

【0038】

次に、図2ないし図14を参照して、上記した構成のCMOS回路の製造方法について説明する。

30

たとえば、CZ法により形成された、抵抗率が1~5 \cdot cmのP型シリコン基板11上に、熱酸化法により、20~200オングストローム程度の厚さの熱酸化(SiO₂)膜21を形成した後、さらに、LPCVD(Low Pressure Chemical Vapour Deposition)法によって、1000オングストローム程度の厚さのシリコン窒化(SiN)膜22を形成する。

【0039】

また、上記SiN膜22上に、フォトリソグラフィ法により、上記PチャネルMOS領域12aおよび上記NチャネルMOS領域13aにそれぞれ対応してレジスト膜23が設けられた、所望のレジストパターンを形成する(以上、図2参照)。

40

【0040】

次いで、上記レジストパターンをマスクとし、反応性イオンエッチング(RIE)法により、上記SiN膜22および上記SiO₂膜21をエッチングして、上記素子分離領域14の形成位置に対応する、上記P型シリコン基板11の表面を露出させる。

【0041】

また、上記レジストパターンを除去した後、上記SiN膜22をマスクとし、RIE法により、上記素子分離領域14の形成位置に、約3000オングストロームの深さのトレンチ溝14aを形成する(以上、図3参照)。上記トレンチ溝14aの深さとしては、たとえば、デザインルールの1倍から2倍程度の深さに設定するのが望ましい。

【0042】

50

次いで、1000 程度の酸素雰囲気中で酸化させ、上記シリコン溝 14 a の内壁部に、それぞれ、約 50 ~ 150 オングストローム厚のラウンド酸化膜 14 b を形成する（図 4 参照）。なお、ここでの熱酸化法によるラウンド酸化膜 14 b の形成は、必ずしも必要としない。

【0043】

次いで、上記トレンチ溝 14 a 内を完全に埋め込むために、たとえば、LPCVD 法または HDP (High Density Plasma) 法により、全面に厚くシリコン酸化膜 14 c' を形成する。そして、上記 SiN 膜 22 をストッパに、上記シリコン酸化膜 14 c' の表面を化学的機械研磨 (CMP) 法により研磨して、その表面を平坦化する（図 5 参照）。

10

【0044】

次いで、上記 P チャネル MOS 領域 12 a 上および上記 N チャネル MOS 領域 13 a 上をそれぞれ覆う、上記 SiN 膜 22 を、たとえば、ホット燐酸を用いて除去する。

【0045】

また、上記 P チャネル MOS 領域 12 a 上および上記 N チャネル MOS 領域 13 a 上にそれぞれ残る、上記 SiO₂ 膜 21 を、たとえば、NH₄ F 溶液を用いて除去し、上記 P チャネル MOS 領域 12 a および上記 N チャネル MOS 領域 13 a に対応する、上記 P 型シリコン基板 11 の表面を露出させる。

【0046】

さらに、上記 SiO₂ 膜 21 を除去すると同時に、上記シリコン酸化膜 14 c' および上記ラウンド酸化膜 14 b の一部を除去して、上記トレンチ溝 14 a 内に、上記ラウンド酸化膜 14 b を介して、上記シリコン酸化膜 14 c' からなる埋め込み酸化膜 14 c が埋め込まれてなる、STI 構造の素子分離領域 14 を形成する。

20

【0047】

そして、少なくとも上記 P 型シリコン基板 11 の表面に、熱酸化法により、100 オングストローム程度の厚さのダミー酸化膜 24 を形成した後、上記 P チャネル MOS 領域 12 a に対応させて N 型ウェル領域 12 b を、また、上記 N チャネル MOS 領域 13 a に対応させて P 型ウェル領域 13 b を、それぞれイオン注入法により形成する（以上、図 6 参照）。

【0048】

上記 N 型ウェル領域 12 b としては、たとえば、リンからなる N 型不純物を、加速電圧を 300 ~ 500 KeV 程度、ドーズ量を $5 \times 10^{12} \sim 2 \times 10^{13} \text{ cm}^{-2}$ 程度とする条件により、イオン注入することで形成される。

30

【0049】

上記 P 型ウェル領域 13 b としては、たとえば、ホウ素やヒ素などの P 型不純物を、加速電圧を 250 ~ 350 KeV 程度、ドーズ量を $5 \times 10^{12} \sim 2 \times 10^{13} \text{ cm}^{-2}$ 程度とする条件により、イオン注入することで形成される。

【0050】

次いで、上記ダミー酸化膜 24 を希 HF 溶液により除去した後、全面に、ゲート絶縁膜 12 c, 13 c となるシリコン酸化膜 25 を、10 ~ 40 オングストローム程度の厚さで形成する。

40

【0051】

このシリコン酸化膜 25 は、たとえば、縦型の拡散炉を用いて、750 程度の温度により、酸素雰囲気中でアニールすることによって、または、高速昇高温炉 (RTO 装置) を用いて、1000 程度の温度により、酸素雰囲気中でアニールすることによって、形成できる。また、シリコン酸化膜 25 に限らず、上記ゲート絶縁膜 12 c, 13 c としては、窒化膜や高誘電体膜などを用いることも可能である。

【0052】

この後、上記シリコン酸化膜 25 上に、上記ゲート電極 12 d, 13 d となるシリコン膜 (ポリシリコン膜またはアモルファスシリコン膜) 26 を、たとえば、LPCVD 法によ

50

って、約500～3000オングストロームの厚さで形成する。

【0053】

さらに、上記ゲート電極12d, 13dを形成するためのレジスト膜27を、フォトリソグラフィ法や電子ビーム露光法により描画して、所望のレジストパターンを形成する(以上、図7参照)。

【0054】

次いで、上記レジストパターンをマスクに、ハロゲン化物をエッチングガスとするRIEを行って、上記シリコン膜26をエッチングし、ゲート長が0.02～0.25μm程度のゲート電極パターン26'をそれぞれ形成する(図8参照)。

【0055】

なお、必要に応じて、上記シリコン酸化膜25の耐圧を改善するために、たとえば、上記P型シリコン基板11の表面、および、上記ゲート電極パターン26'の表面を、約10～50オングストロームの厚さで酸化させるようにしても良い。

【0056】

この後、上記PチャンネルMOS領域12aに対応する、上記P型シリコン基板11の表面部にホウ素などのP型不純物をイオン注入法により導入し、その不純物を活性化させて、P⁻型のソース/ドレイン拡散層12fを形成する。この場合のイオン注入の条件としては、たとえば、典型的な加速電圧を1～15KeV程度、ドーズ量を $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度とすることで、形成できる。

【0057】

また、上記NチャンネルMOS領域13aに対応する、上記P型シリコン基板11の表面部にヒ素などのN型不純物をイオン注入法により導入し、その不純物を活性化させて、N⁻型のソース/ドレイン拡散層13fを形成する。この場合のイオン注入の条件としては、たとえば、典型的な加速電圧を1～15KeV程度、ドーズ量を $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度とすることで、形成できる。

【0058】

さらに、LPCVD法またはプラズマCVD法によって全面にシリコン酸化膜あるいはシリコン窒化膜を堆積させた後、それをRIE法によりエッチングすることで、上記ゲート電極パターン26'の側壁部分にのみ、それぞれ、側壁絶縁膜12e, 13eを形成する(以上、図9参照)。

【0059】

次いで、上記PチャンネルMOS領域12aに対応する、上記P型シリコン基板11の表面部および上記ゲート電極パターン26'に、ホウ素などのP型不純物をイオン注入法により導入する。この場合のイオン注入の条件としては、たとえば、典型的な加速電圧を3～10KeV程度、ドーズ量を $1 \times 10^{15} \sim 7 \times 10^{15} \text{ cm}^{-2}$ 程度とするのが望ましい。

【0060】

また、上記NチャンネルMOS領域13aに対応する、上記P型シリコン基板11の表面部および上記ゲート電極パターン26'に、ヒ素などのN型不純物をイオン注入法により導入する。この場合のイオン注入の条件としては、たとえば、典型的な加速電圧を10～50KeV程度、ドーズ量を $1 \times 10^{15} \sim 7 \times 10^{15} \text{ cm}^{-2}$ 程度とするのが望ましい。

【0061】

そして、不純物の活性化のために、たとえば、高速昇高温法(RTA法)により、約1000の温度で、10秒程度の時間、熱処理を行って、ソース/ドレイン拡散層12g, 13gを形成すると同時に、空乏化が抑制されたゲート電極12d, 13dを形成する(以上、図10参照)。

【0062】

次いで、上記シリコン酸化膜25を選択的に除去し、上記側壁絶縁膜12e, 13eの形成位置を含む、上記ゲート電極12d, 13dの直下にのみ、上記シリコン酸化膜25を

10

20

30

40

50

残存させることによって、ゲート絶縁膜 12c, 13c を形成する。

【0063】

この後、 SiH_2Cl_2 と H_2 と HCl とを反応ガスとして用いて、選択エピタキシャル成長法により、たとえば、300オングストローム程度の膜厚の選択シリコン成長層（シリコン系積み上げ層）28を、上記ゲート電極 12d, 13d 上および上記ソース/ドレイン拡散層 12g, 13g 上に、それぞれ形成する（以上、図 11 参照）。

【0064】

上記選択シリコン成長層 28 は、たとえば、選択エピタキシャル成長を始める前の、水素によるベーク時間を変えることにより、シリコン界面における酸素濃度を制御することが可能である。

10

【0065】

すなわち、シリコン界面における酸素濃度を制御することによって、上記選択シリコン成長層 28 とシリコン界面との間に、不純物の拡散を抑制するための、高酸素濃度層 28a を疑似的に形成するようになっている。

【0066】

ここで、上記選択シリコン成長層 28 の酸素濃度プロファイルについて説明する。図 12 は、上記した選択シリコン成長層 28 の、ある断面（たとえば、図 11 の矢印 A）に対する酸素濃度プロファイルを、SIMS (Secondary Ion Mass Spectroscopy) によって分析した際の結果を示すものである。

【0067】

たとえば、選択エピタキシャル成長が容易に可能な範囲として、シリコン界面での酸素濃度の面密度を $1 \times 10^{13} \sim 2 \times 10^{15} \text{ cm}^{-2}$ とした場合の、上記選択シリコン成長層 28 のシリコン界面（高酸素濃度層 28a）における酸素濃度は約 $4 \times 10^{14} \text{ cm}^{-2}$ であった。

20

【0068】

シリコン界面での酸素濃度は、たとえば下記の表 1 に示すように、水素によるベーク時間を変えることによって、上記選択シリコン成長層 28 中における酸素濃度を、任意に変化させることが可能である。

【0069】

【表 1】

30

水素によるベーク時間 (900°C)	シリコン界面での酸素濃度
0分	$2 \times 10^{15} \text{ cm}^{-2}$
1分	$3 \times 10^{14} \text{ cm}^{-2}$
2分	$< 1 \times 10^{14} \text{ cm}^{-2}$

40

【0070】

このように、上記選択シリコン成長層 28 を形成する際に、シリコン界面との間に高酸素濃度層 28a を形成するようにした場合、その高酸素濃度層 28a によって、不純物の拡散を抑制できるようになる。

【0071】

すなわち、選択シリコン成長層 28 のシリコン界面における酸素濃度が高くなるように制御することで、その高酸素濃度層 28a をシリサイドストップ層として機能させることが可能となる結果、シリコン界面でのシリサイド反応を著しく低下させる

50

ことが可能となる。

【0072】

これにより、後の選択シリコン成長層28とコバルト膜との合金をシリサイド化してなるシリコン化合物層12iの形成(シリサイドーションプロセス)において、上記P型ソース/ドレイン拡散層12gとの界面を、略平坦に、かつ、上記N型ウェル領域12bおよび上記ゲート絶縁膜12cの界面と略同一の高さにより形成することが可能となる。

【0073】

同様に、後のシリコン化合物層13iの形成において、上記N型ソース/ドレイン拡散層13gとの界面を、略平坦に、かつ、上記P型ウェル領域13bおよび上記ゲート絶縁膜13cの界面と略同一の高さにより形成することが可能となる。

10

【0074】

次いで、希HF溶液を用いた前処理(界面処理)を行って、上記選択シリコン成長層28の表面の自然酸化膜を除去した後、スパッタ法により、全面に150オングストローム程度の厚さのコバルト膜(金属膜)29を形成する(図13参照)。

【0075】

そして、シリサイドーションプロセスとして、たとえば、500程度の温度により、窒素雰囲気中で、60秒程度、熱処理を行って、上記選択シリコン成長層28と上記コバルト膜29との反応を促進させる。

【0076】

その際、シリサイドーション反応は、それぞれ、シリコン界面の高酸素濃度層28aにより抑制されて、シリコン界面で停止される。

20

この結果、上記ゲート電極12d, 13d上においては、シリコン界面である、上記ゲート電極12d, 13dとの界面が略平坦な、シリコン化合物層12h, 13hがそれぞれ自己整合的に形成される。

【0077】

また、上記P型ソース/ドレイン拡散層12g上においては、シリコン界面である、上記P型ソース/ドレイン拡散層12gとの界面が略平坦で、かつ、上記N型ウェル領域12bおよび上記ゲート絶縁膜12cの界面と略同一の高さを有して、積み上げ構造のシリコン化合物層12iが自己整合的に形成される。

【0078】

30

同様に、上記N型ソース/ドレイン拡散層13g上においては、シリコン界面である、上記N型ソース/ドレイン拡散層13gとの界面が略平坦で、かつ、上記P型ウェル領域13bおよび上記ゲート絶縁膜13cの界面と略同一の高さを有して、積み上げ構造のシリコン化合物層13iが自己整合的に形成される。

【0079】

次いで、過酸化水素水と硫酸との混合溶液により、未反応のコバルト膜29を剥離した後、たとえば、600の温度により、60秒程度のアニールを行って、上記シリコン化合物層12h, 12i, 13h, 13iをそれぞれ低抵抗化する(図14参照)。

【0080】

このようにして、上記シリコン化合物層12h, 12i, 13h, 13iを形成した後において、周知の方法によって配線層の形成を行って、CMOSFET構造を実現する。

40

【0081】

すなわち、全面に層間絶縁膜15を堆積させて、その表面をCMP法により平坦化する。そして、上記シリコン化合物層12h, 12i, 13h, 13iにそれぞれ達する深さのコンタクト孔を開孔する。

【0082】

また、各コンタクト孔内にタングステンなどの導電性材料を埋め込んで、上記シリコン化合物層12h, 13hにつながるゲート電極コンタクト12j, 13j、および、上記シリコン化合物層12i, 13iにつながる拡散層コンタクト12m, 13mを、それぞれ形成する。

50

【0083】

最後に、上記ゲート電極コンタクト12jおよび上記拡散層コンタクト12mにつながる配線12k, 12n、並びに、上記ゲート電極コンタクト13jおよび上記拡散層コンタクト13mにつながる配線13k, 13nのパターニングをそれぞれ行うことにより、図1に示した、PチャンネルMOSFET12とNチャンネルMOSFET13とを混載してなるCMOS回路が完成する。

【0084】

上記のようにして得られたCMOS回路においては、シリコン化合物層の一部がソース/ドレイン拡散層内に食い込むのを抑制できるようにしている。

すなわち、ソース/ドレイン拡散層の表面上に選択シリコン成長層を形成する際に、酸素濃度を制御することによって、その拡散層との界面に高酸素濃度層を形成するようにしている。これにより、拡散層との界面において、シリサイド化反応を停止させることが可能となるため、シリサイド化反応が終了した段階での、シリコン化合物層の界面における平坦性を向上できるようになる。したがって、不均一なシリコン化合物層が形成されるのを防止できるため、拡散層間の寄生抵抗を低減する目的で設けられるシリコン化合物層を、より浅い拡散層上へ形成することが可能となるものである。

10

【0085】

しかも、側壁絶縁膜との間に、選択シリコン成長層のファセット面が形成されるような場合においても、シリコン化合物層の拡散層内への食い込みを抑制できるようになる結果、コバルト原子の拡散にともなう、接合リーク電流の増大をも制御できるようになるものである。

20

【0086】

なお、上記した本発明の実施の第一の形態においては、シリコン化合物層として、コバルトを用いたCoシリサイド膜を形成するようにした場合を例に説明したが、これに限らず、たとえばチタンを用いたTiシリサイド膜を形成することも可能である。

【0087】

図15は、本発明の実施の第二の形態にかかるCMOS回路として、Tiシリサイド膜からなるシリコン化合物層を形成するようにした場合の例を示すものである。

【0088】

すなわち、上記した第一の形態にかかるCMOS回路の場合と同様に、たとえば図2~図11に示した、選択エピタキシャル成長法による選択シリコン成長層(シリコン系積み上げ層)28を形成するまでの工程を経た状態において、界面処理を行った後に、スパッタ法により、全面に200オングストローム程度の厚さのチタン膜31を形成する(図15参照)。

30

【0089】

そして、シリサイド化プロセスとして、たとえば、上記選択シリコン成長層28と上記チタン膜31とを700程度の温度で反応させて、シリサイド化する。

【0090】

この場合も、上記選択シリコン成長層28のシリコン界面においては、選択シリコン成長層28の形成に際して、シリコン界面における酸素濃度を制御することにより、疑似的な高酸素濃度層28aが形成されるようになっている。このため、Tiシリサイド膜からなるシリコン化合物層を形成する場合においても、シリコン界面での平坦性を向上させることが可能である。

40

【0091】

なお、上記シリコン化合物層は、未反応のチタン膜31を硫酸と過酸化水素水との混合溶液により除去した後、RTA法により、C49相からC54相へ相転移させることで、より低抵抗化できる。

【0092】

こうして、上記シリコン化合物層を形成した後においては、上記した第一の形態にかかるCMOS回路の場合と同様に、周知の方法によって配線層の形成を行うことで、図1に示

50

したような構造のCMOS回路が実現される。

【0093】

また、上記した第一、第二の形態においては、いずれも、選択シリコン成長層のシリコン界面との間に疑似的に高窒素濃度層を形成するようにした場合について説明したが、たとえば、高窒素濃度層を形成することによっても、ほぼ同様な効果が期待できる。

【0094】

図16は、本発明の実施の第三の形態にかかるCMOS回路として、シリサイドーション反応を抑制するために、選択シリコン成長層28のシリコン界面との間に、高窒素濃度層28bを疑似的に形成するようにした場合を例に示すものである。

【0095】

なお、図17は、選択エピタキシャル成長が容易に可能な範囲として、シリコン界面での窒素濃度の面密度を $1 \times 10^{13} \sim 2 \times 10^{15} \text{ cm}^{-2}$ とした場合の、上記選択シリコン成長層28の、ある断面（たとえば、図16(a)の矢印B）に対する窒素濃度プロファイルを、SIMS分析した際の結果を示すものである。

【0096】

すなわち、上記した第一の形態にかかるCMOS回路の場合と同様に、たとえば図2～図10に示した、P型ソース/ドレイン拡散層12gおよびN型ソース/ドレイン拡散層13gを形成するまでの工程を経た状態において、ゲート絶縁膜12c、13cの形成を行った後に、シリコン界面に対して、10～40KeV程度の加速電圧で、かつ、 $2 \times 10^{14} \text{ cm}^{-2}$ 程度のドーズ量により、窒素をイオン注入する。

【0097】

そして、900 程度の温度により、30秒程度の時間、アニールした後、上記と同様の方法により、ゲート電極12d、13d上およびソース/ドレイン拡散層12g、13g上に、それぞれ選択シリコン成長層28を形成する（図16(a)参照）。

【0098】

また、界面処理を行った後に、たとえば、スパッタ法により、50～200オングストローム程度の厚さのコバルト膜と200オングストローム程度の厚さのチタンナイトライド（TiN）膜とからなる金属積層膜（金属膜）32を、全面に形成する（図16(b)参照）。

【0099】

そして、RTA処理により、450～550 程度の温度で、1分程度の時間、アニールすることで、ゲート電極12d、13d上およびソース/ドレイン拡散層12g、13g上に、それぞれ、モノシリサイド膜からなるシリコン化合物層が形成される。

【0100】

この場合、上記したシリコン界面への窒素のイオン注入とその後のアニール（RTA）処理とによって、選択シリコン成長層28のシリコン界面との間に疑似的に高窒素濃度層28bが形成され、この高窒素濃度層28bがシリサイドーションストップ層として機能することにより、シリコン界面でのシリサイドーション反応が抑制されることが確認できた。

【0101】

したがって、シリサイドーション反応の抑制のために窒素を用いるようにした場合においても、モノシリサイド膜からなるシリコン化合物層の、シリコン界面での平坦性を向上させることが可能となる。

【0102】

なお、上記シリコン化合物層は、未反応の金属積層膜32を硫酸と過酸化水素水との混合溶液により除去した後に、RTA法により、600～650 程度の温度で、1分程度の時間、再アニールして、 CoSi_2 へと相転移させることで、より低抵抗化できる。

【0103】

こうして、上記シリコン化合物層を形成した後においては、上記した第一の形態にかかるCMOS回路の場合と同様に、周知の方法によって配線層の形成を行うことで、図1に示

10

20

30

40

50

したような構造のCMOS回路が実現される。

【0104】

また、上記した第三の形態においては、シリサイドーション反応の抑制のために窒素を用いるようにした場合に、モノシリサイド膜からなるシリコン化合物層を形成するようにしたが、たとえば、チタンを用いたTiシリサイド膜からなるシリコン化合物層を形成することも可能である。

【0105】

図18は、本発明の実施の第四の形態にかかるCMOS回路として、シリサイドーション反応の抑制のために窒素を用いるようにした場合において、Tiシリサイド膜からなるシリコン化合物層を形成するようにした場合の例を示すものである。

10

【0106】

すなわち、上記した第三の形態にかかるCMOS回路の場合と同様に、たとえば、シリコン界面への窒素のイオン注入とその後のアニール処理とによって、選択シリコン成長層28のシリコン界面との間に疑似的に高窒素濃度層28bを形成した状態(同図(a)参照)において、界面処理を行った後に、スパッタ法により、全面に100~400オングストローム程度の厚さのチタン膜31を形成する(同図(b)参照)。

【0107】

そして、シリサイドーションプロセスとして、たとえば、上記選択シリコン成長層28と上記チタン膜31とを700程度の温度で、1分程度の時間、反応させて、シリサイド化する。

20

【0108】

この場合も、上記選択シリコン成長層28のシリコン界面との間においては、疑似的な高窒素濃度層28bが形成されるようになっている。そのため、この高窒素濃度層28bによってシリサイドーション反応を抑制できるようになる結果、Tiシリサイド膜からなるシリコン化合物層の、シリコン界面での平坦性を向上させることが可能である。

【0109】

なお、上記シリコン化合物層は、未反応のチタン膜31を硫酸と過酸化水素水との混合溶液により除去した後に、たとえば、RTA法により、750程度の温度により、1分程度の時間、アニールすることで、より低抵抗化できる。

【0110】

こうして、上記シリコン化合物層を形成した後においては、上記した第一の形態にかかるCMOS回路の場合と同様に、周知の方法によって配線層の形成を行うことで、図1に示したような構造のCMOS回路が実現される。

30

【0111】

なお、上記した第一~第四の形態においては、いずれも、ソース/ドレイン拡散層12g、13gの形成は、選択シリコン成長層28を形成する前に行うようにしたが、これに限らず、選択シリコン成長層28を形成した後に行うようにしても良い。

【0112】

また、上記した第一~第四の形態においては、いずれも、高酸素濃度層または高窒素濃度層を形成することによって、シリコン界面でのシリサイドーション反応を抑制するようにした場合について説明したが、たとえば、選択シリコン成長層よりもシリコン化合物層の成膜(シリサイドーション反応)の速度が速いシリコン系積み上げ層を形成することによっても、シリコン化合物層のシリコン界面における平坦性を向上できる。

40

【0113】

図19は、本発明の実施の第五の形態にかかるCMOS回路として、シリサイドーション反応の速度がシリコンよりも速い、シリコン・ゲルマニウムを利用するようにした場合を例に示すものである。

【0114】

すなわち、上記した第一の形態にかかるCMOS回路の場合と同様に、たとえば図2~図10に示した、P型ソース/ドレイン拡散層12gおよびN型ソース/ドレイン拡散層1

50

3 gを形成するまでの工程を経た状態において、ゲート電極12d, 13d上およびソース/ドレイン拡散層12g, 13g上に、それぞれ、LPCVD装置を用いて、シリコン系積み上げ層としてのシリコン・ゲルマニウム(SiGe)層33を、300オングストローム程度の膜厚で形成する(図19(a)参照)。

【0115】

上記SiGe層33としては、たとえば、Siの組成比($Si / Si + Ge$)が、0.2よりも小さくなるように形成する。

また、界面処理を行った後に、スパッタ法により、全面に120オングストローム程度の厚さのコバルト膜(金属膜)29を形成する(図19(b)参照)。

【0116】

そして、上記SiGe層33と上記コバルト膜29とを、400~550程度の温度で、60秒程度の時間、アニールして、シリコン・ゲルマニウムとコバルトとの合金膜を形成する。

【0117】

この場合、上記SiGe層33は、シリコンに比して、上記合金膜の成膜の速度が速いため、シリサイドーションファースト層として機能することにより、シリコン界面における上記合金膜の形成が抑制される。この結果、シリコン・ゲルマニウムとコバルトとの合金膜からなるシリコン化合物層の、シリコン界面での平坦性を向上させることが可能である。

【0118】

こうして、上記シリコン化合物層を形成した後においては、未反応のコバルト膜29を硫酸と過酸化水素水との混合溶液により除去した後、上記した第一の形態にかかるCMOS回路の場合と同様に、周知の方法によって配線層の形成を行うことで、図1に示したような構造のCMOS回路が実現される。

【0119】

なお、上記したいずれの形態においても、P型シリコン基板を用いる場合に限らず、N型シリコン基板を用いることも可能である。

同様に、PチャネルMOSFETとNチャネルMOSFETとを混載してなるCMOS回路に限らず、Pチャネル型またはNチャネル型の単一構造のMOSトランジスタにも同様に適用できる。

【0120】

同様に、STI構造の素子分離領域を有して形成される場合のものに限らず、たとえば、選択後酸化法による、LOCOS(Local Oxidation of Silicon)構造の素子分離領域が形成される場合のものにも適用可能である。

その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0121】

【発明の効果】

以上、詳述したようにこの発明によれば、拡散層とこの拡散層上の良導体層との界面の平坦性を向上でき、良導体層からの金属拡散にともなう、接合リーク電流の増大を制御することが可能な半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の実施の第一の形態にかかる、CMOS回路の要部の構成を概略的に示す断面図。

【図2】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図3】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図4】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図5】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図6】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図7】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

10

20

30

40

50

【図 8】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図 9】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図 10】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図 11】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図 12】同じく、かかるCMOS回路の製造方法を説明するために、選択シリコン成長層の酸素濃度プロファイルを示す概略図。

【図 13】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図 14】同じく、かかる製造方法を説明するために示す、CMOS回路の概略断面図。

【図 15】この発明の実施の第二の形態にかかる、CMOS回路の製造方法を説明するために示す概略断面図。

10

【図 16】この発明の実施の第三の形態にかかる、CMOS回路の製造方法を説明するために示す概略断面図。

【図 17】同じく、かかるCMOS回路の製造方法を説明するために、選択シリコン成長層の窒素濃度プロファイルを示す概略図。

【図 18】この発明の実施の第四の形態にかかる、CMOS回路の製造方法を説明するために示す概略断面図。

【図 19】この発明の実施の第五の形態にかかる、CMOS回路の製造方法を説明するために示す概略断面図。

【図 20】従来技術とその問題点を説明するために、シリサイド技術について概略的に示すMOSFETの断面図。

20

【図 21】同じく、従来の積み上げ構造のシリサイド層を有してなるMOSFETの概略構成を示す断面図。

【図 22】同じく、ソース/ドレイン拡散層内へのシリサイド層の食い込みを説明するために示すMOSFETの概略断面図。

【符号の説明】

1 1 ... P型シリコン基板

1 2 ... PチャンネルMOSFET

1 2 a ... 素子領域 (PチャンネルMOS領域)

1 2 b ... N型ウェル領域

1 2 c ... ゲート絶縁膜 (PチャンネルMOSFET用)

30

1 2 d ... ゲート電極 (PチャンネルMOSFET用)

1 2 e ... 側壁絶縁膜 (PチャンネルMOSFET用)

1 2 f ... P⁺型ソース/ドレイン拡散層

1 2 g ... P型ソース/ドレイン拡散層

1 2 h ... シリコン化合物層 (ゲート電極上)

1 2 i ... シリコン化合物層 (ソース/ドレイン拡散層上)

1 2 j ... ゲート電極コンタクト (PチャンネルMOSFET用)

1 2 k ... 配線 (ゲート電極接続用)

1 2 m ... 拡散層コンタクト (PチャンネルMOSFET用)

1 2 n ... 配線 (拡散層接続用)

40

1 3 ... NチャンネルMOSFET

1 3 a ... 素子領域 (NチャンネルMOS領域)

1 3 b ... P型ウェル領域

1 3 c ... ゲート絶縁膜 (NチャンネルMOSFET用)

1 3 d ... ゲート電極 (NチャンネルMOSFET用)

1 3 e ... 側壁絶縁膜 (NチャンネルMOSFET用)

1 3 f ... N⁺型ソース/ドレイン拡散層

1 3 g ... N型ソース/ドレイン拡散層

1 3 h ... シリコン化合物層 (ゲート電極上)

1 3 i ... シリコン化合物層 (ソース/ドレイン拡散層上)

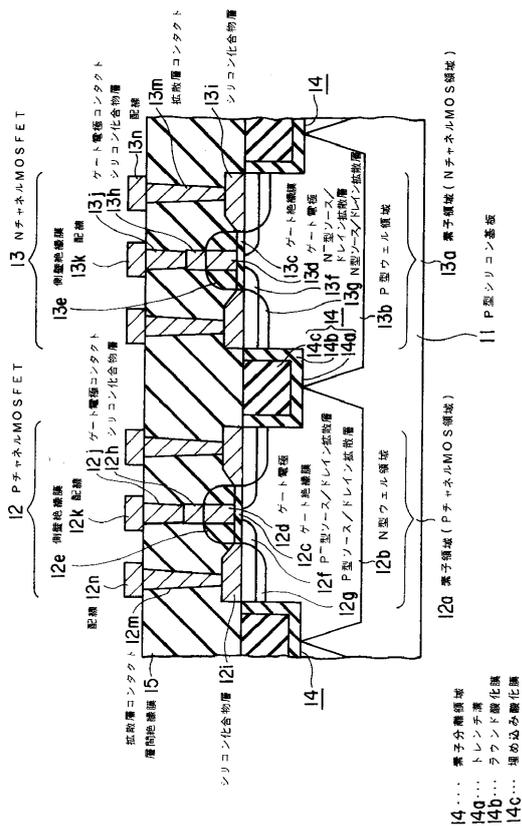
50

- 1 3 j ... ゲート電極コンタクト (NチャネルMOSFET用)
- 1 3 k ... 配線 (ゲート電極接続用)
- 1 3 m ... 拡散層コンタクト (NチャネルMOSFET用)
- 1 3 n ... 配線 (拡散層接続用)
- 1 4 ... 素子分離領域
- 1 4 a ... トレンチ溝
- 1 4 b ... ラウンド酸化膜
- 1 4 c ... 埋め込み酸化膜
- 1 4 c' ... シリコン酸化膜 (埋め込み酸化膜用)
- 1 5 ... 層間絶縁膜
- 2 1 ... 熱酸化膜
- 2 2 ... シリコン窒化膜
- 2 3 ... レジスト膜
- 2 4 ... ダミー酸化膜
- 2 5 ... シリコン酸化膜 (ゲート絶縁膜用)
- 2 6 ... シリコン膜 (ゲート電極用)
- 2 6' ... ゲート電極パターン
- 2 7 ... レジスト膜 (ゲート電極形成用)
- 2 8 ... 選択シリコン成長層
- 2 8 a ... 高酸素濃度層
- 2 8 b ... 高窒素濃度層
- 2 9 ... コバルト膜
- 3 1 ... チタン膜
- 3 2 ... 金属積層膜
- 3 3 ... シリコン・ゲルマニウム層

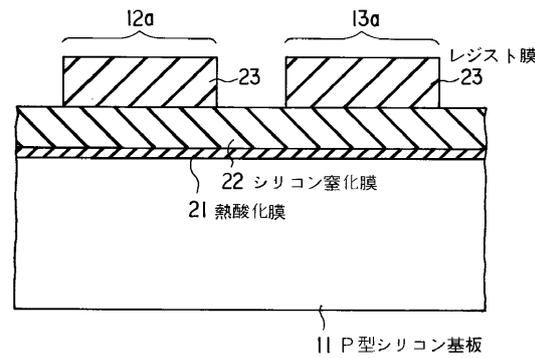
10

20

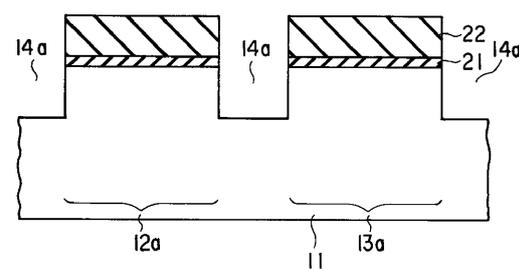
【 図 1 】



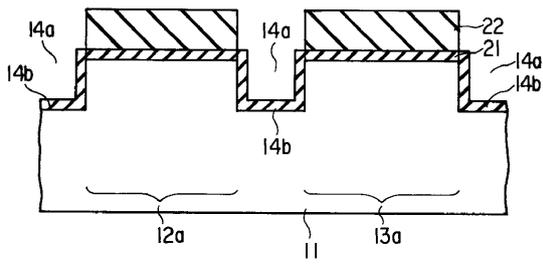
【 図 2 】



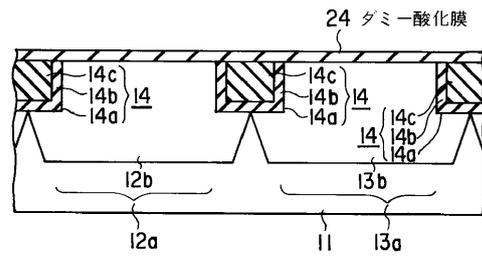
【 図 3 】



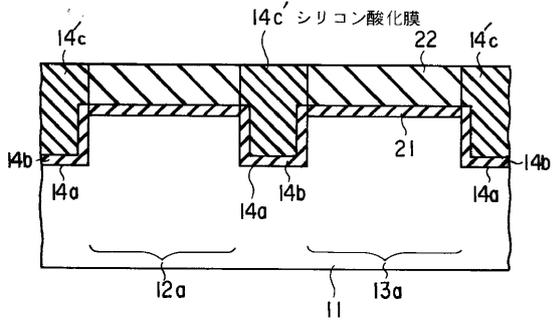
【 図 4 】



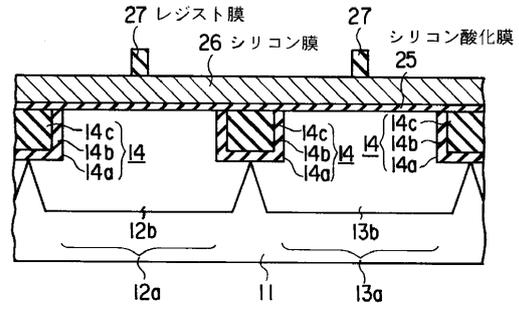
【 図 6 】



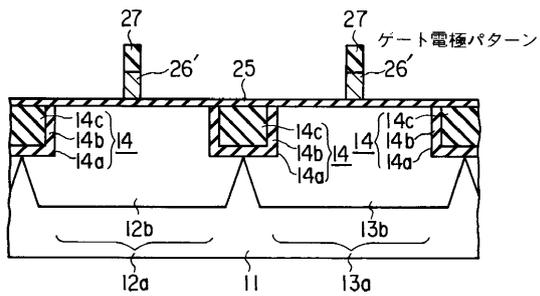
【 図 5 】



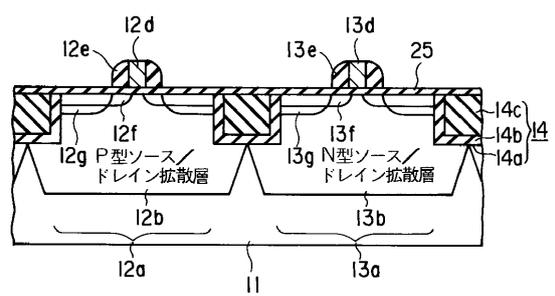
【 図 7 】



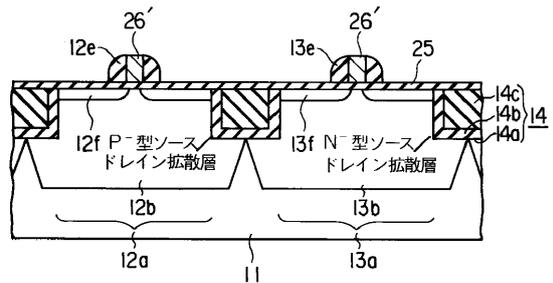
【 図 8 】



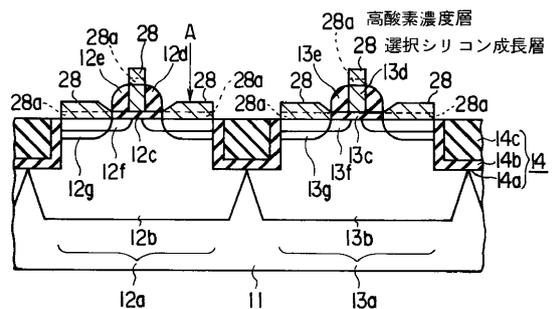
【 図 10 】



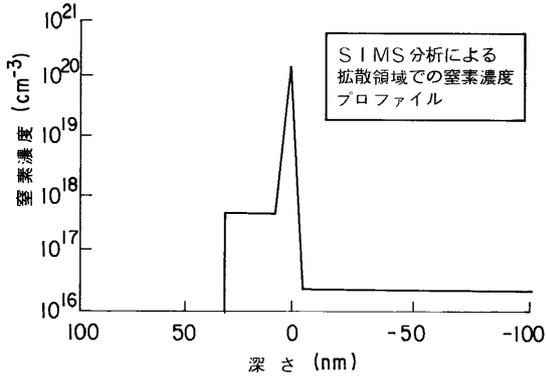
【 図 9 】



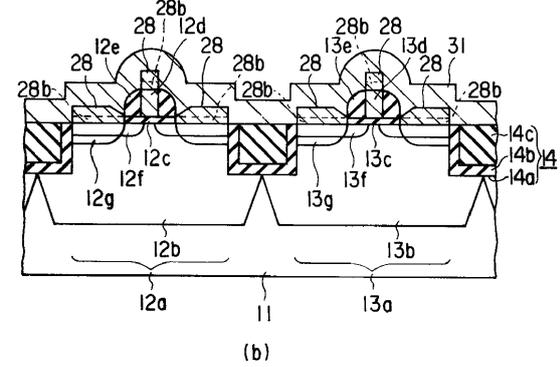
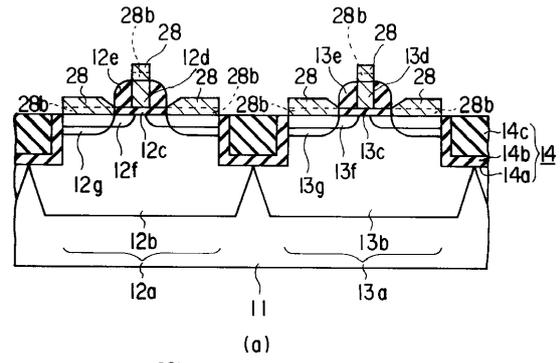
【 図 11 】



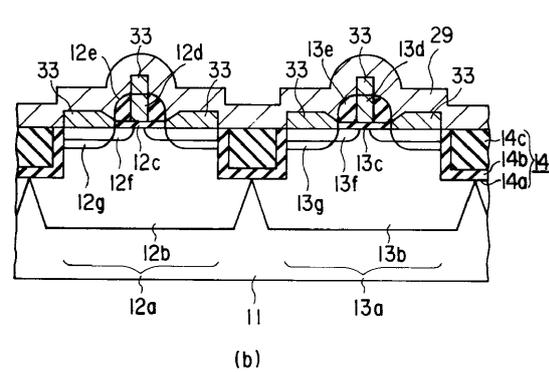
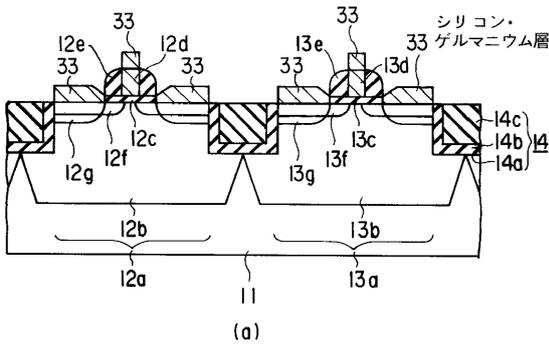
【 図 1 7 】



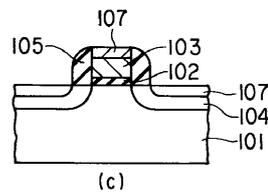
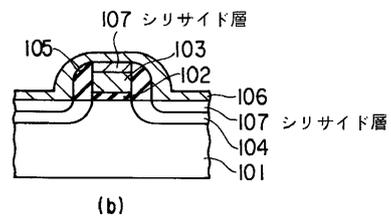
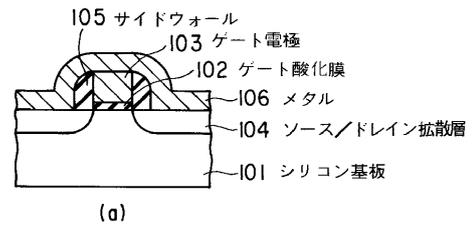
【 図 1 8 】



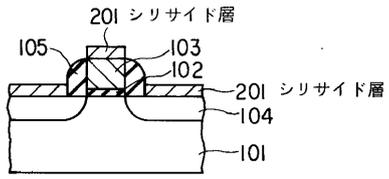
【 図 1 9 】



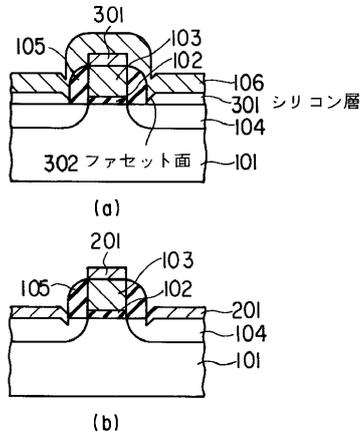
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

(72)発明者 吉村 尚郎

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

審査官 松本 貢

(56)参考文献 特開平01-189919(JP,A)

特開平10-092949(JP,A)

特開平08-078360(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8238

H01L 27/08 331

H01L 27/092