

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-63169

(P2016-63169A)

(43) 公開日 平成28年4月25日(2016.4.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 5 A
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 3 A
	HO 1 L 29/78	6 5 2 K
	HO 1 L 29/78	6 5 2 B

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2014-192100 (P2014-192100)
 (22) 出願日 平成26年9月22日 (2014. 9. 22)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (71) 出願人 000233273
 株式会社 日立パワーデバイス
 茨城県日立市大みか町五丁目2番2号
 (74) 代理人 100100310
 弁理士 井上 学
 (74) 代理人 100098660
 弁理士 戸田 裕二
 (74) 代理人 100091720
 弁理士 岩崎 重美

最終頁に続く

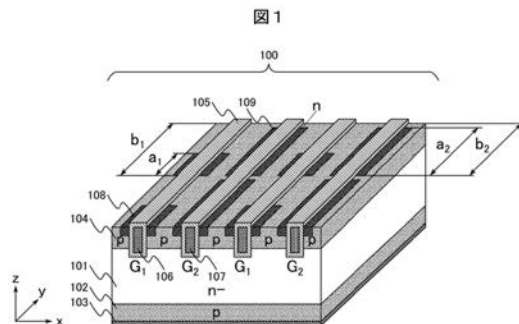
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 ターンオフ時のスイッチング損失を低減させる電力変換用スイッチング素子を提供する。

【解決手段】 p型チャンネル層104の表面の一部で、第一のゲート電極106及び第二のゲート電極107のそれぞれにゲート絶縁膜105を介して接する部分に、n型ソース領域108、109が形成される。第一のゲート電極106に接する第一のn型ソース領域108のy方向の長さをa1とし、第一のn型ソース領域108を含むp型チャンネル層104のy方向の繰り返し単位長さをb1とし、第二のゲート電極107に接する第二のn型ソース領域109のy方向の長さをa2とし、第二のn型ソース領域109を含むp型チャンネル層104のy方向の繰り返し単位長さをb2としたとき、y方向に第一のn型ソース領域108が占める割合a1/b1を、y方向に第二のn型ソース領域109が占める割合a2/b2より小さくする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

互いに直交するx方向とy方向によって規定されるxy平面、および前記xy平面に直交するz方向に対して、

前記xy平面に沿って形成された第一導電型のドリフト層と、

前記ドリフト層の第一表面に形成された第二導電型のコレクタ層と、

前記ドリフト層の第二表面に形成された第二導電型のチャンネル層と、

前記チャンネル層の表面から、前記チャンネル層をz方向に貫通して前記ドリフト層まで達し、y方向に延設された複数のトレンチと、

前記トレンチの壁面に形成されたゲート絶縁膜と、

10

前記ゲート絶縁膜上に形成され、それぞれ独立に駆動可能である第一のゲート電極、および第二のゲート電極と、

前記チャンネル層の表面にて、前記第一のゲート電極の側部に前記ゲート絶縁膜を介して選択的に形成された第一導電型の第一のソース領域、および前記第二のゲート電極の側部に前記ゲート絶縁膜を介して選択的に形成された第一導電型の第二のソース領域とを備えた半導体装置であって、

前記第一のソース領域のキャリア注入効率が、前記第二のソース領域のキャリア注入効率と比較して小さい

ことを特徴とする半導体装置。

【請求項 2】

20

請求項 1 に記載の半導体装置において、

前記第一のソース領域のy方向の長さa1の、前記第一のソース領域を含む前記チャンネル層のy方向の繰り返し単位の長さb1に対する比a1/b1が、

前記第二のソース領域のy方向の長さa2の、前記第二のソース領域を含む前記チャンネル層のy方向の繰り返し単位の長さb2に対する比a2/b2より小さい

ことを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、

前記第二のゲート電極に与えられる駆動信号の電圧が、しきい値電圧より高い状態から低い状態へ切り替わるタイミングが、

30

前記第一のゲート電極に与えられる駆動信号の電圧が、しきい値電圧より高い状態から低い状態へ切り替わるタイミングより早い

ことを特徴とする半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、

前記第一のソース領域のy方向の長さa1の、前記第一のソース領域を含む前記チャンネル層のy方向の繰り返し単位の長さb1に対する比a1/b1が、

前記第二のソース領域のy方向の長さa2の、前記第二のソース領域を含む前記チャンネル層のy方向の繰り返し単位の長さb2に対する比a2/b2より小さい

ことを特徴とする半導体装置。

40

【請求項 5】

互いに直交するx方向とy方向によって規定されるxy平面、および前記xy平面に直交するz方向に対して、

前記xy平面に沿って形成された第一導電型のドリフト層と、

前記ドリフト層の第一表面に形成された第二導電型のコレクタ層と、

前記ドリフト層の第二表面に選択的に形成された第二導電型のチャンネル領域と、

前記チャンネル領域の表面に選択的に形成された第一導電型の第一のソース領域と、

前記チャンネル領域の表面に選択的に形成された第一導電型の第二のソース領域と、

前記第一のソース領域、前記チャンネル領域および前記ドリフト層の上にゲート絶縁膜を介して形成された第一のゲート電極と、

50

前記第二のソース領域、前記チャンネル領域および前記ドリフト層の上にゲート絶縁膜を介して形成された第二のゲート電極とを備えた半導体装置であって、

前記第一のソース領域のキャリア注入効率が、前記第二のソース領域のキャリア注入効率と比較して小さいことを特徴とする半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、

前記第一のソース領域の y 方向の長さ a_1 の、前記第一のソース領域を含む前記チャンネル層の y 方向の繰り返し単位の長さ b_1 に対する比 a_1/b_1 が、

前記第二のソース領域の y 方向の長さ a_2 の、前記第二のソース領域を含む前記チャンネル層の y 方向の繰り返し単位の長さ b_2 に対する比 a_2/b_2 より小さい

ことを特徴とする半導体装置。

【請求項 7】

請求項 5 に記載の半導体装置において、

前記第二のゲート電極に与えられる駆動信号の電圧が、しきい値電圧より高い状態から低い状態へ切り替わるタイミングが、

前記第一のゲート電極に与えられる駆動信号の電圧が、しきい値電圧より高い状態から低い状態へ切り替わるタイミングより早い

ことを特徴とする半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置において、

前記第一のソース領域の y 方向の長さ a_1 の、前記第一のソース領域を含む前記チャンネル層の y 方向の繰り返し単位の長さ b_1 に対する比 a_1/b_1 が、

前記第二のソース領域の y 方向の長さ a_2 の、前記第二のソース領域を含む前記チャンネル層の y 方向の繰り返し単位の長さ b_2 に対する比 a_2/b_2 より小さい

ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換装置に用いられる電力変換用スイッチング素子を備えた半導体装置に関する。

【背景技術】

【0002】

従来、電力変換用スイッチング素子のスイッチング損失を低減する技術として、トレンチゲートを二つのゲートの組に分割し、それぞれを異なる制御信号で駆動するものがあった（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】国際公開第 2014/038064 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

近年、IGBT (Insulated Gate Bipolar Transistor) などの電力変換用スイッチング素子は、家庭用のエアコンや電子レンジなどの小電力機器から、鉄道や製鉄所の大電力機器に至るまで幅広く応用されるようになった。そして、再生可能なエネルギーの利用や省エネルギーを促進するには、直流から交流へ、または、交流から直流への電力変換が不可欠であることから、電力変換用スイッチング素子は、これからの低炭素社会を実現するための重要なキーコンポーネントになっている。

10

20

30

40

50

【 0 0 0 5 】

ところで、IGBTなどの電力変換用スイッチング素子を電力変換のインバータ装置などに応用した場合、導通時にはオン抵抗に伴う導通損失が発生し、スイッチング時にはスイッチング動作に伴うスイッチング損失が発生する。そこで、インバータの高効率化、小型化を図るには、導通損失およびスイッチング損失を低減する必要がある。

【 0 0 0 6 】

特許文献1には、トレンチゲートを二つのゲートの組に分割し、それぞれを異なる制御信号で駆動することにより、スイッチング損失を低減することが可能となるIGBTの例が開示されている。通電時に、片方の組のゲートに他の組より先行してオフ信号を供給することにより、素子全体のターンオフに先駆けて、蓄積キャリアの一部を排出する。素子全体をターンオフする時点では、残りのゲートのみをオフすればよく、蓄積キャリアが少ないためスイッチング損失を低減できる。

10

【 0 0 0 7 】

しかしながら、本願の発明者らの検討によれば、特許文献1に開示された構造のIGBTではスイッチング損失の低減効果が十分でなく、さらにスイッチング損失を低減できる構造のIGBTが望まれる。

【 0 0 0 8 】

したがって、ターンオフ時のスイッチング損失を低減させることが可能な電力変換用スイッチング素子を提供することが課題となる。

【課題を解決するための手段】

20

【 0 0 0 9 】

上記課題を解決するために、本発明の半導体装置は、例えば、互いに直交するx方向とy方向によって規定されるxy平面、および前記xy平面に直交するz方向に対して、前記xy平面に沿って形成された第一導電型のドリフト層と、前記ドリフト層の第一表面に形成された第二導電型のコレクタ層と、前記ドリフト層の第二表面に形成された第二導電型のチャンネル層と、前記チャンネル層の表面から、前記チャンネル層をz方向に貫通して前記ドリフト層まで達し、y方向に延設された複数のトレンチと、前記トレンチの壁面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、それぞれ独立に駆動可能である第一のゲート電極、および第二のゲート電極と、前記チャンネル層の表面にて、前記第一のゲート電極の側部に前記ゲート絶縁膜を介して選択的に形成された第一導電型の第一のソース領域、および前記第二のゲート電極の側部に前記ゲート絶縁膜を介して選択的に形成された第一導電型の第二のソース領域と、を備えた半導体装置であって、前記第一のソース領域のキャリア注入効率が、前記第二のソース領域のキャリア注入効率と比較して小さいことを特徴とする。

30

【発明の効果】

【 0 0 1 0 】

本発明によれば、ターンオフ時のスイッチング損失を低減させることが可能な電力変換用スイッチング素子を提供することができる。

【図面の簡単な説明】

【 0 0 1 1 】

40

【図1】本発明の第一の実施例に係る電力変換用スイッチング素子の構造の例を模式的に示す図である。

【図2】電力変換用スイッチング素子をターンオフさせるとき、第一のゲート電極および第二のゲート電極をそれぞれ駆動する駆動信号の駆動シーケンスの例を示す図である。

【図3】電力変換用スイッチング素子の出力特性の例を示す図である。

【図4】本発明の第二の実施例に係る電力変換用スイッチング素子の構造の例を模式的に示す図である。

【図5】本発明の第三の実施例に係る電力変換用スイッチング素子の構造の例を模式的に示す図である。

【発明を実施するための形態】

50

【 0 0 1 2 】

以下、本発明の実施形態を、各実施例として、図面を用いて説明する。なお、実施例を説明するための全ての図面において、同一の構成要素には同一符号を付し、その繰り返しの説明を省略する。

【 実施例 1 】

【 0 0 1 3 】

図 1 は、本発明の第 1 の実施例に係る電力変換用スイッチング素子 100 の構造の例を模式的に示した図である。

【 0 0 1 4 】

図 1 に示すように、電力変換用スイッチング素子 100 は、二つの独立した制御ゲートを有する IGBT ということができ、シリコンなどの n-型ドリフト層 101 の表面側に、互いに隣接配置されたトレンチ型の第一のゲート電極 106 および第二のゲート電極 107 の組が、繰り返し配置された構造を有している。

10

【 0 0 1 5 】

ここで、第一のゲート電極 106 および第二のゲート電極 107 は、例えば、n-型ドリフト層 101 の表面側に、p型チャンネル層 104 が形成され、その p型チャンネル層 104 に、その p型チャンネル層 104 よりも深いトレンチが形成され、そのトレンチの内壁にゲート絶縁膜 105 が形成され、そのゲート絶縁膜 105 が形成されたトレンチ内に導電性のポリシリコンなどが埋め込まれることにより形成される。

20

【 0 0 1 6 】

また、p型チャンネル層 104 の表面の一部で、第一のゲート電極 106 および第二のゲート電極 107 のそれぞれにゲート絶縁膜 105 を介して接する部分に、n型ソース領域 108、109 が形成されている。第一のゲート電極 106 にゲート絶縁膜 105 を介して接する第一の n型ソース領域 108 の y 方向の長さを a_1 とし、第一の n型ソース領域 108 を含む p型チャンネル層 104 の y 方向の繰り返し単位長さを b_1 とする。また、第二のゲート電極 107 にゲート絶縁膜 105 を介して接する第二の n型ソース領域 109 の y 方向の長さを a_2 とし、第二の n型ソース領域 109 を含む p型チャンネル層 104 の y 方向の繰り返し単位長さを b_2 とする。

【 0 0 1 7 】

このとき、y 方向に第一の n型ソース領域 108 が占める割合 a_1/b_1 は、y 方向に第二の n型ソース領域 109 が占める割合 a_2/b_2 より小さくなっている。これにより、第一の n型ソース領域 108 から注入される電子の量は、第二の n型ソース領域 109 から注入される電子の量より少なくなる。その結果、第一の n型ソース領域 108 のキャリア注入効率は、第二の n型ソース領域 109 のキャリア注入効率より小さくなっている。

30

【 0 0 1 8 】

p型チャンネル層 104、ゲート絶縁膜 105、n型ソース領域 108、109 の上部には、図示しない導電性の金属などからなるエミッタ電極が形成されている。また、n-型の半導体層 101 の裏面側には、p型コレクタ層 102 が形成されるとともに、p型コレクタ層 102 に接触するようにして、導電性の金属などからなるコレクタ電極 103 が形成されている。

【 0 0 1 9 】

以上のように、本発明の第 1 の実施例に係る電力変換用スイッチング素子 100 は、外部から独立に駆動可能な第一のゲート電極 106 と第二のゲート電極 107 を有し、第一の n型ソース領域 108 のキャリア注入効率が、第二の n型ソース領域 109 のキャリア注入効率より小さいことを特徴とする。

40

【 0 0 2 0 】

図 2 は、電力変換用スイッチング素子 100 をターンオフさせるとき、第一のゲート電極 106 および第二のゲート電極 107 をそれぞれ駆動する駆動信号の駆動シーケンスの例を示した図である。ここでは、第一のゲート電極 106 および第二のゲート電極 107 のいずれにも、すでにしきい値電圧 V_{th} より高い電圧が印加され、電力変換用スイッチング素子 100 のスイッチング状態が「オン」状態であるとする。

【 0 0 2 1 】

50

なお、ここでいうしきい値電圧 V_{th} とは、第一のゲート電極106および第二のゲート電極107に電圧を印加したとき、p型チャンネル層104内にn型ソース領域108、109とn-型ドリフト層101をつなぐ導通路（チャンネル）が形成される最低の電圧をいう。

【0022】

本実施例では、図2に示すように、電力変換用スイッチング素子100をターンオフさせるときには、まず、第二のゲート電極107の駆動信号をしきい値電圧 V_{th} より高い状態から低い状態へ変化させる（ターンオフさせる）。また、そのターンオフのタイミングから所定の時間遅延して、第一のゲート電極106の駆動信号をしきい値電圧 V_{th} より高い状態から低い状態へ変化させる（ターンオフさせる）。

【0023】

以上のように、第一のゲート電極106および第二のゲート電極107それぞれを駆動する駆動信号において、ターンオフするタイミングを所定の時間ずらすことにより、電力変換用スイッチング素子100のターンオフ損失が低減されるという効果が得られる。この効果が得られる理由は、次のように説明することができる。

【0024】

第一のゲート電極106の駆動信号の電圧がしきい値電圧 V_{th} より高い状態のうちに、第二のゲート電極107の駆動信号の電圧を、しきい値電圧 V_{th} よりも高い状態から低い状態へと変化させる（ターンオフさせる）と、第二のゲート電極107によってp型チャンネル層104に生成されていたn型ソース領域109とn-型ドリフト層101とをつなぐチャンネルが消滅する。そのため、その第二のゲート電極107側に形成されていたチャンネルを介してn-型ドリフト層101へ電子が注入されなくなるので、それに応じて、p型コレクタ層102からn-ドリフト層101へ注入されるホールの量が減少する。

【0025】

このような状態にあるとき、第一のゲート電極106の駆動信号の電圧を、しきい値電圧 V_{th} よりも高い状態から低い状態へと変化させる（ターンオフさせる）と、第一のゲート電極106側に形成されていたチャンネルも消失し、そのチャンネルを介してのn-型ドリフト層101への電子注入もされなくなる。その結果、電力変換用スイッチング素子100のスイッチング状態は、「オフ」状態となる。すなわち、電力変換用スイッチング素子100がターンオフする。

【0026】

この場合、第一のゲート電極106の駆動信号の電圧を、しきい値電圧 V_{th} よりも高い状態から低い状態へと変化させる（ターンオフさせる）ときには、n-型ドリフト層に蓄積されているホールの量が減少しているため、その分、ホールの排出時間が短縮されることになる。その結果、電力変換用スイッチング素子100のターンオフ時間が短くなり、ターンオフ損失が低減する。

【0027】

図3は、電力変換用スイッチング素子100の出力特性の例を示している。はじめに、第一のn型ソース領域108のキャリア注入効率が、第二のn型ソース領域109のキャリア注入効率と等しい場合（本実施例とは異なっている）を仮定する。すなわち、第一のn型ソース領域108を含むp型チャンネル層104のy方向の繰り返し単位長さ b_1 と、第二のn型ソース領域109を含むp型チャンネル層104のy方向の繰り返し単位長さ b_2 が等しく、かつ、第一のn型ソース領域108のy方向の長さ a_1 と第一のn型ソース領域108のy方向の長さ a_2 が等しい場合を仮定する。

【0028】

この場合、第一のゲート電極106および第二のゲート電極107それぞれの駆動信号の電圧を、ともにしきい値電圧 V_{th} よりも高くした状態（オン状態）でのコレクタ電圧 V_{ce} と比較して、第一のゲート電極106の駆動信号の電圧がしきい値電圧 V_{th} よりも高い状態（オン状態）で、かつ、第二のゲート電極107の駆動信号の電圧がしきい値電圧 V_{th} よりも低い状態（オフ状態）でのコレクタ電圧 V_{ce} は大きくなる。これは、既に述べたように、第二のゲート電極107側に形成されていたチャンネルを介したn-型ドリフト層101への電子注入がなく

10

20

30

40

50

なるので、それに応じて、p型コレクタ層102からn-ドリフト層101へ注入されるホールの量が減少するためである。

【0029】

次に、本実施例のように、第一のn型ソース領域108のキャリア注入効率が、第二のn型ソース領域109のキャリア注入効率より小さい場合を仮定する。すなわち、第一のn型ソース領域108を含むp型チャンネル層104のy方向の繰り返し単位長さ b_1 と、第二のn型ソース領域109を含むp型チャンネル層104のy方向の繰り返し単位長さ b_2 が等しく、かつ、第一のn型ソース領域108のy方向の長さ a_1 が第一のn型ソース領域108のy方向の長さ a_2 より小さい場合を仮定する。ただし、第一のn型ソース領域108のy方向の長さ a_1 と第一のn型ソース領域108のy方向の長さ a_2 の和($a_1 + a_2$)は先の場合と同一とする。

10

【0030】

この場合、第一のゲート電極106および第二のゲート電極107それぞれの駆動信号の電圧を、ともにしきい値電圧 V_{th} よりも高くした状態(オン状態)でのコレクタ電圧 V_{ce} は、先の場合と変わらない。なぜなら、第一のn型ソース領域108のy方向の長さ a_1 と第一のn型ソース領域108のy方向の長さ a_2 の和($a_1 + a_2$)が先の場合と同一であるため、第一のゲート電極106および第二のゲート電極107によって形成されたチャンネルを介してn-型ドリフト層101へ注入される電子の量は変化せず、その電子注入に応じてp型コレクタ層102からn-ドリフト層101へ注入されるホールの量も変化しないためである。

【0031】

しかしながら、第一のゲート電極106の駆動信号の電圧がしきい値電圧 V_{th} よりも高い状態(オン状態)で、かつ、第二のゲート電極107の駆動信号の電圧がしきい値電圧 V_{th} よりも低い状態(オフ状態)でのコレクタ電圧 V_{ce} は、先の場合より大きくなる。これは、第二のゲート電極107側に形成されていたチャンネル消失することによる、n-型ドリフト層101への電子注入の低減量が、先の場合より大きいためである。この結果、電子注入の減少に応じてp型コレクタ層102からn-ドリフト層101へ注入されるホールの量の減少量が先の場合より大きくなり、コレクタ電圧 V_{ce} が大きくなる。

20

【0032】

以上のように、第一のn型ソース領域108のキャリア注入効率を、第二のn型ソース領域109のキャリア注入効率より小さくすることで、第一のn型ソース領域108のキャリア注入効率が第二のn型ソース領域109のキャリア注入効率と等しい場合と比較してホールの低減量を大きくすることができる。その結果、電力変換用スイッチング素子100のターンオフ時間が短くなり、ターンオフ損失が低減するという効果が得られる。

30

【実施例2】

【0033】

図4は、本発明の第2の実施例に係る電力変換用スイッチング素子100の構造の例を模式的に示した図である。

【0034】

本発明で第一のn型ソース領域108のキャリア注入効率を、第二のn型ソース領域109のキャリア注入効率より小さくする方法は、第一のゲート電極106にゲート絶縁膜105を介して接する第一のn型ソース領域108のy方向の長さ a_1 を、第二のn型ソース領域109のy方向の長さ a_2 より短くする方法に限定されない。

40

【0035】

図4に示す本発明の第2の実施例では、例えば第一のゲート電極106のz方向のトレンチ深さを、第二のゲート電極107のz方向のトレンチ深さより浅くすることで、第一のn型ソース領域108のキャリア注入効率を、第二のn型ソース領域109のキャリア注入効率より小さくする。

【0036】

トレンチを浅くすると、チャンネルは浅くしか形成されず、ホールの排出抵抗が減少する。この結果、キャリア注入効率が小さくなり、ターンオフ損失が低減する。

【実施例3】

50

【 0 0 3 7 】

図5は、本発明の第3の実施例に係る電力変換用スイッチング素子100の構造の例を模式的に示した図である。

【 0 0 3 8 】

本発明の効果は、トレンチ型のIGBTに限定されるものではない。図5に示す本発明の第3の実施例では、プレーナ型のIGBTに適用した例を示している。本実施例ではpチャンネル領域104がn-ドリフト層101の表面に選択的に形成され、n-ドリフト層101が露出する領域を覆うように、第一のゲート電極106および第二のゲート電極107がゲート絶縁膜105を介して配置されている。

【 0 0 3 9 】

本実施例においても、第一のゲート電極106に隣接する第一のn型ソース領域108のy方向の長さa1を、第二のゲート電極107に隣接する第二のn型ソース領域109のy方向長さa2より短くすることで、第一のn型ソース領域108の注入効率を第二のn型ソース領域109の注入効率より小さくしている。この結果、ターンオフ損失が低減する。

【 符号の説明 】

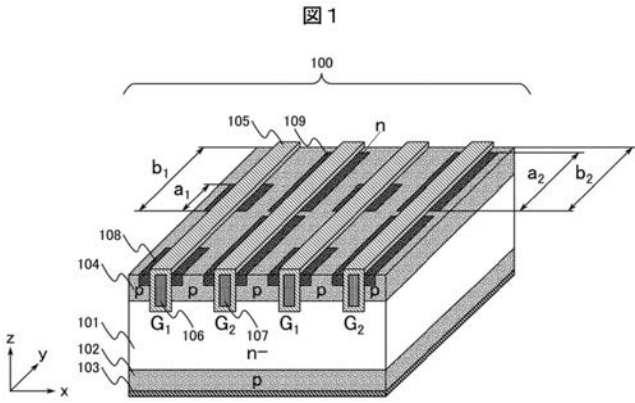
【 0 0 4 0 】

- 1 0 0 電力変換用スイッチング素子
- 1 0 1 n-型ドリフト層
- 1 0 2 p型コレクタ層
- 1 0 3 コレクタ電極
- 1 0 4 p型チャンネル層
- 1 0 5 ゲート絶縁膜
- 1 0 6 第一のゲート電極
- 1 0 7 第二のゲート電極
- 1 0 8 第一のn型ソース領域
- 1 0 9 第二のn型ソース領域

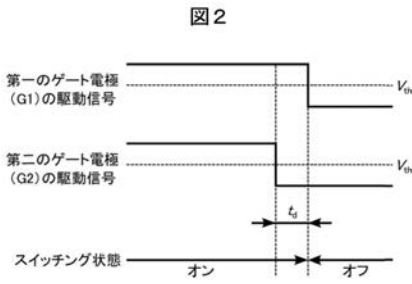
10

20

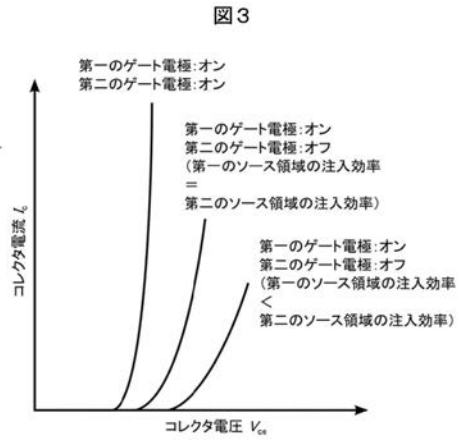
【 図 1 】



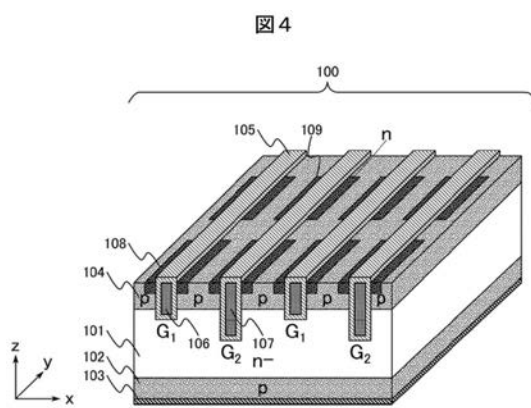
【 図 2 】



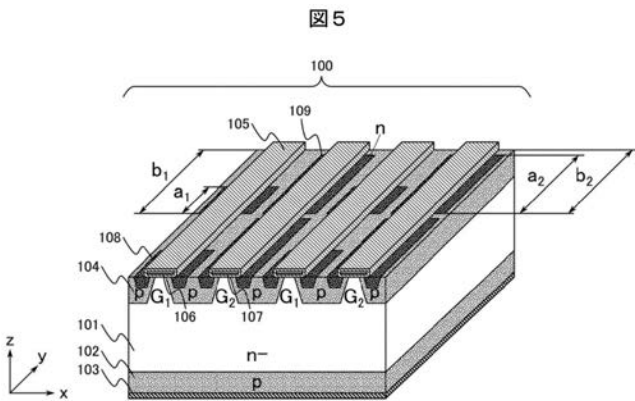
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (72)発明者 竹内 悠次郎
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 森 睦宏
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 橋本 貴之
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内