



[12] 发明专利申请公开说明书

[21] 申请号 200510076450. X

[43] 公开日 2005 年 12 月 21 日

[11] 公开号 CN 1710711A

[22] 申请日 2005. 6. 15

[21] 申请号 200510076450. X

[30] 优先权

[32] 2004. 6. 16 [33] JP [31] 2004 - 178875

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 矢野纯一

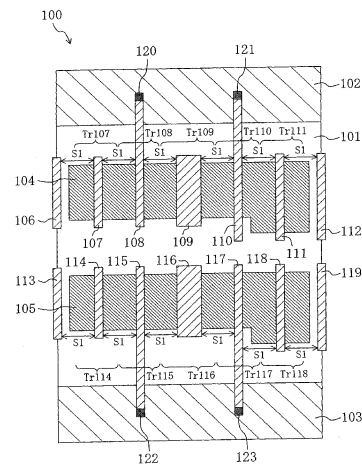
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

权利要求书 4 页 说明书 20 页 附图 12 页

[54] 发明名称 标准单元、标准单元库和半导体集成电路

[57] 摘要

在本发明的标准单元中，具有与其它晶体管不同的栅极长度的晶体管两邻的晶体管中的至少一方的晶体管总是处于截止状态。因此，即便栅极完工尺寸零散，对标准单元的工作也没有影响，能够抑制标准单元的特性零散。



1、一种标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，其特征在于，

所述多个晶体管中的至少一个的第一晶体管的栅极长度比其它晶体管的栅极长度要大；

所述第一晶体管与作为设置在所述第一晶体管两邻的晶体管中的至少一方的第二晶体管共有扩散区域，所述第二晶体管处于截止状态。

2、根据权利要求 1 所述的标准单元，其特征在于，设置在所述第一晶体管两邻的所述晶体管是与所述第一晶体管一起共有扩散区域的所述第二晶体管。

3、根据权利要求 1 所述的标准单元，其特征在于，等间隔地配置所述多个晶体管中的所述栅极。

4、一种标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，其特征在于，

所述多个晶体管中的至少一个的第一晶体管的栅极长度比其它晶体管的栅极长度要大；

所述第一晶体管两邻的晶体管中的至少一方的第二晶体管具有与所述第一晶体管的扩散区域分开的扩散区域，在所述半导体层中的所述第一晶体管和所述第二晶体管之间设置伪栅极。

5、根据权利要求 4 所述的标准单元，其特征在于，所述第一晶体管两邻的晶体管都是所述第二晶体管。

6、根据权利要求 4 所述的标准单元，其特征在于，等间隔地配置所述多个晶体管中的所述栅极和所述伪栅极。

7、一种标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，其特征在于，

所述多个晶体管中的至少一个的第一晶体管的栅极长度比其它晶体管的栅极长度要大；

所述第一晶体管与所述第一晶体管两邻的晶体管中的至少一方的第二晶体管共有扩散区域，所述第二晶体管的源极和漏极或者与电源连接，
5 或者接地。

8、根据权利要求 7 所述的标准单元，其特征在于，所述第二晶体管总是处于接通状态。

9、一种标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，其特征在
10 于，

与具有栅极长度不同于所述多个晶体管的晶体管的第 2 标准单元邻接；

在与邻接的所述第 2 标准单元之间设置单元间的伪栅极，作为所述多个晶体管中与所述单元间伪栅极邻接的晶体管中的至少一个的第一晶体
15 管处于截止状态。

10、权利要求 9 所述的标准单元，其特征在于，所述多个晶体管中与所述单元间伪栅极邻接的晶体管全部是处于截止状态的所述第一晶体管。

11、一种标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，其特征在
20 于，

在所述标准单元的两端设置单元间伪栅极，作为所述多个晶体管中与所述单元间伪栅极邻接的晶体管中的至少一个的第一晶体管的源极和漏极或者与电源连接，或者接地。

12、根据权利要求 11 所述的标准单元，其特征在于，设置多个所述
25 第一晶体管，所述第一晶体管的源极和漏极全部或者与电源连接，或者接地。

13、根据权利要求 11 所述的标准单元，其特征在于，所述第一晶体管全部处于导通状态。

14、根据权利要求 9 或 11 所述的标准单元，其特征在于，所述单元
30 间伪栅极的栅极长度比其它晶体管的栅极长度要大。

15、根据权利要求 9 或 11 所述的标准单元，其特征在于，等间隔地配置所述多个晶体管中的所述栅极和所述单元间伪栅极。

16、一种标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，其特征在于，所述多个晶体管具有：

至少一个第一晶体管，其栅极长度比其它晶体管的栅极长度要大；

第二晶体管，作为与所述第一晶体管两邻的晶体管中的至少一方，与所述第一晶体管共有扩散区域；和

第 3 晶体管，其与所述第一晶体管不共有扩散区域；

10 当所述第二晶体管的晶体管尺寸出现零散时所受到的影响比当所述第 3 晶体管的晶体管尺寸出现零散时所受到的影响要小。

17、根据权利要求 16 所述的标准单元，其特征在于，设置在所述第一晶体管两邻的所述晶体管都是与所述第一晶体管共有扩散区域的所述第二晶体管。

15 18、根据权利要求 16 所述的标准单元，其特征在于，所述第二晶体管不直接驱动输出引脚。

19、根据权利要求 16 所述的标准单元，其特征在于，

进一步备有反馈单元；

所述第一晶体管是构成所述反馈单元的晶体管。

20 20、根据权利要求 16 所述的标准单元，其特征在于，具有总线保持或双稳态多谐振荡器功能。

21、一种标准单元库，其特征在于，包括权利要求 1、4、7、9、11、16 中任一项所述的标准单元中的至少一个。

25 22、一种半导体集成电路，其特征在于，包括权利要求 1、4、7、9、11、16 中任一项所述的标准单元中的至少一个。

23、一种标准单元库，包括多个标准单元，所述多个标准单元包括多个晶体管，所述多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，其特征在于，

30 所述多个标准单元中包含栅极长度比其它晶体管大的晶体管的标准单元全部是权利要求 1、4、7、9、11、16 中任一项所述的标准单元。

24、一种半导体集成电路，包括多个标准单元，所述多个标准单元包括多个晶体管，所述多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，其特征在于，

所述多个标准单元中包含栅极长度比其它晶体管大的晶体管的标准单元全部是权利要求 1、4、7、9、11、16 中任一项所述的标准单元。

标准单元、标准单元库和半导体集成电路

5

技术领域

本发明涉及用于半导体集成电路的标准单元、标准单元库和使用它们的半导体集成电路，特别涉及它们的布局结构。

10 背景技术

至今，正在广泛地通过将多个称为标准单元的、其高度和电源布线结构统一的功能块组合起来，对半导体集成电路进行设计。

近年来，通过半导体集成电路的微细化，各图案的完工尺寸的零散成为问题。特别是，当晶体管栅极的完工尺寸中发生零散时，该晶体管的特性受到很大的影响。具体地说，当晶体管的栅极长度增大时，晶体管的驱动能力降低，当栅极长度减小时驱动能力上升。当驱动能力这样地变动时，标准单元的特性也发生零散，结果，半导体集成电路的特性发生零散，导致半导体集成电路的成品率降低和可靠性降低。

可是，栅极图案的不规则性是晶体管栅极的完工尺寸发生零散的一个原因。下面，我们一面参照图 8 一面说明这个情况。图 8 是表示已有标准单元的一个例子的平面图。如图 8 所示，在已有的标准单元 800 中，备有半导体层 801、设置在半导体层 801 一端上的电源布线 802、设置在半导体层 801 中与电源布线 802 对置的一端上的接地布线 803、设置在半导体层 801 内的 p 型扩散区域 804、805、设置在同一半导体层 801 内的 n 型扩散区域 806、807、设置在 p 型扩散区域 804、805 上的栅极 808、809、810、811（在本说明书中只将与扩散区域重叠的部分记述为栅极）、和设置在 n 型扩散区域 806、807 上的栅极 812、813、814、815。这里，p 型扩散区域 804、805 和设置在其上的栅极 808、809、810、811 分别构成 p 沟道型晶体管 Tr808、Tr809、Tr810、Tr811，n 型扩散区域 806、807 和设置在其上的栅极 812、813、814、815 分别构成 n 沟道型晶体管 Tr812、Tr813、

Tr814、Tr815。

例如，p 沟道型晶体管 Tr808 和 p 沟道型晶体管 Tr809 共有其扩散区域，在晶体管的其它组合中也共有其扩散区域。此外，在标准单元 800 内，除了图示的以外，还存在着用于电连接扩散区域、布线层和基片等的各个的接点、单元内布线和输入输出引脚，这些在图中都没有表示出来。

在图 8 所示的标准单元 800 中，p 沟道晶体管 808~811、n 沟道晶体管 812~815 的各个栅极的左右方向具体记述如下。

(1) 在栅极 808 的左侧（面对纸面时的左侧）不存在栅极，在右侧（面对纸面时的右侧）在只离开距离 S1 的位置上存在栅极 809。

10 (2) 在栅极 809 的左右，都在只离开距离 S1 的位置上存在栅极 808、810。

(3) 在栅极 810 的左侧在只离开距离 S1 的位置上存在栅极 809，在右侧在只离开 $S2 > S1$ 的距离 S2 的位置上存在栅极 811。

15 (4) 在栅极 811 的左侧中的上部在只离开距离 S2 的位置上存在栅极 810，在左侧中的下部不存在栅极，在右侧不存在栅极。

(5) 在 n 沟道晶体管 812 的栅极的左侧不存在栅极，在右侧在只离开 $S3 < S1$ 的距离 S3 的位置上存在栅极 813。

(6) 在栅极 813 的左右，在只离开距离 S3 的位置上存在栅极 812、814。

20 (7) 在栅极 814 的左侧，在只离开距离 S3 的位置上存在栅极 813，在右侧在只离开 $S4 > S2$ 的距离 S4 的位置上存在栅极 815。

(8) 在栅极 815 的左侧中的上部在只离开距离 S4 的位置上存在栅极 814，在左侧中的下部不存在栅极，并在右侧不存在栅极。

25 这样，栅极 808~811 和栅极 812~815 的各个周围的配置相互不同，这成为栅极完工尺寸零散，即标准单元的特性零散的原因。

作为改善以上那样的不合适情况的已有技术，例如日本特开平 9-289251 号专利公报中所示的。图 9 是表示日本特开平 9-289251 号专利公报中揭示的已有标准单元的结构平面图。在图 9 所示的标准单元 900 中，设置电源布线 902、与电源布线 902 一起夹着半导体层 901 相互离开地设置的接地布线 903、设置在半导体层 901 内的 p 型扩散区域 904、设置在

同一半导体层 901 内的 n 型扩散区域 905、设置在 p 型扩散区域 904 上的栅极 906~912、和设置在 n 型扩散区域 905 上的栅极 913~919。

这些栅极 906~912、913~919 中，栅极 907~909、911 与 p 型扩散区域 904 分别构成 p 沟道型晶体管 Tr907~Tr909、Tr911，栅极 914~916、918 与 n 型扩散区域 905 分别构成 n 沟道型晶体管 Tr914~Tr916、Tr918。

另一方面，栅极 906、910、912 向电源布线 902 一方延长，通过接点 920、921、922 与电源布线连接，处于断开状态，栅极 913、917、919 向接地布线 903 方向延长，通过接点 923、924、925 与接地布线 903 连接，处于断开状态。

在图 9 的标准单元 900 中，使在图 8 的标准单元中扩散区域上的栅极间隔不规则成为等间隔，并且代替独立地设置扩散区域，通过以使栅极间隔成为相同间隔的方式导入处于断开状态的晶体管，栅极 907~911、914~918 的栅极分别以相同的间隔 S1 与其它的栅极邻接。因此，与图 8 所示的标准单元 800 比较改善了栅极的不规则性，结果，因为图案的粗密差变小，所以能够抑制栅极完工尺寸的零散，抑制标准单元的特性零散。

又，作为改善已有的栅极图案的不规则性的另外的技术，有如日本特开 2002-26125 号专利公报中所示。图 10 是表示日本特开 2002-26125 号专利公报中揭示的已有标准单元的结构平面图。在图 10 所示的标准单元 1000 中，设置电源布线 1002、与电源布线 1002 一起夹着半导体层 1001 相互离开地设置的接地布线 1003、设置在半导体层 1001 内的 p 型扩散区域 1004、1005、设置在同一半导体层 1001 内的 p 型扩散区域 1004、1005、设置在同一半导体层 1001 内的 n 型扩散区域 1006、1007、设置在 p 型扩散区域 1004、1005 上的栅极 1009~1011、1013、设置在 n 型扩散区域 1006、1007 上的栅极 1016~1018、1020、分别设置在位于半导体层 1001 上的 p 型扩散区域 1004、1005 左右的区域的伪栅极 1008、1012、1014、和分别设置在位于 n 型扩散区域 1006、1007 左右的区域的伪栅极 1015、1019、1021。

这些栅极中的栅极 1009~1011、1013 与 p 型扩散区域 1004、1005 构成 p 沟道型晶体管 Tr1009~Tr1011、Tr1013，栅极 1016~1018、1020 与 n 型扩散区域 1006、1007 构成 n 沟道型晶体管 Tr1016~Tr1018、Tr1020。

另一方面，将伪栅极 1008、1012、1014、1015、1019、1021 设置在半导体层 1001 中的扩散区域以外的区域上，它们对晶体管的工作没有贡献。

在图 10 的标准单元 1000 中，通过使在图 8 的标准单元中扩散区域上的栅极间隔不规则成为等间隔，设置以与栅极相同间隔配置的伪栅极，栅极 1009~1011、1013 和栅极 1016~1018、1020 分别以相同的间隔与其它

的栅极邻接。
进一步，通过使配置在栅极 1013 左侧的伪栅极 1012 的栅极宽度在栅极 1013 的栅极宽度以上，在栅极 1013 左侧全体上只离开距离 S1 地存在着伪栅极。关于栅极 1020 也是同样的。因此，能够进一步改善栅极的不规则性，进一步抑制栅极完工尺寸的零散，进一步抑制标准单元的特性零散。

可是，在日本特开 2002-26125 号专利公报中，也揭示了改善已有栅极的不规则性的另外的技术。图 11 是表示在日本特开 2002-26125 号专利公报中揭示的已有标准单元的结构平面图。在图 11 所示的标准单元中，与图 10 所示的标准单元不同的点是伪栅极 1112、1119 的栅极长度比其它的栅极、伪栅极要大。在该例子中，因为能够改善栅极和伪栅极的不规则性，所以也能够抑制栅极完工尺寸的零散，抑制标准单元的特性零散。

所以，如上所述，在只使邻接的栅极的间隔一致，存在着栅极或伪栅极的一部分的栅极长度大等的不规则性的情形中，存在着栅极完工尺寸零散，因而晶体管的驱动能力零散，标准单元的特性零散那样的不适合的情况。可是，在上述已有技术中，没有述说存在用于构成标准单元的功能的晶体管的栅极长度比其它晶体管要大的情形，关于抑制在这种情形中的标准单元的特性零散什么也没有言及。

可是，存在着将栅极长度大的晶体管用于想要压低该晶体管的驱动能力的情形等中的情形。例如，在持有如图 12A 所示的 A 输入和 Y 输出，由 4 段反相器 1301~1304 构成的电路的标准单元中，想要从 A 输入到 Y 输出得到比较大的延迟时，使构成该标准单元的反相器的一部分的栅极长度增大。又，持有如图 12B 所示的 A 输入，由 2 个反相器 1305、1306 构成的电路的标准单元具有用于保持 A 输入的值的总线保持功能，但是当想

要压低驱动 A 输入的反相器 1306 的驱动能力时，使它的栅极长度增大。
又，在如图 13 所示，将数据输入 D、扫描数据输入 DT、扫描使能信号 NT 和时钟信号 CK 作为输入，将数据输出 Q、扫描数据输出 SQ 作为输出的双稳态多谐振荡器电路 FF 的标准单元中，该标准单元在扫描数据交换中，多种情况直接与其它双稳态多谐振荡器连接，容易发生违反保持时间，为了抑制违反保持时间，为了使来自扫描数据输入 DT 的数据取入和到扫描数据输出 SQ 的数据输出延迟，使与扫描数据输入 DT 和扫描数据输出 SQ 连接的晶体管的栅极长度增大。

又，一般地标准单元由某个单位长度（栅格）的整数倍的尺寸规定其大小。在这种情形中，需要使标准单元的宽度与栅格的整数倍相符，因此存在着设置在标准单元端的伪栅极的宽度与其它栅极不同的情形。例如当图 10 所示的已有标准单元 1000 的宽度不是栅格的整数倍时，需要将标准单元的宽度扩大栅格的整数倍，但是这时，存在着使伪栅极 1008、1006、1014、1021 的栅极长度增大的情形。在这种情形中，存在着当在邻接的标准单元间共有标准单元端的伪栅极时，与在邻接的标准单元中共有的伪栅极邻接的晶体管的栅极的完工尺寸零散，由此引起晶体管的驱动能力零散，标准单元的特性零散那样的不适合的情况。

发明内容

本发明的目的在于在栅极或伪栅极长度不规则的情形中也能够减少标准单元的特性零散。

本发明的第一标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极。所述多个晶体管中的至少一个的第一晶体管的栅极长度比其它晶体管的栅极长度要大；所述第一晶体管与作为设置在所述第一晶体管两邻的晶体管中的至少一方的第二晶体管共有扩散区域，所述第二晶体管处于截止状态。

这样，因为与栅极长度比其它晶体管大的晶体管共有扩散区域而邻接的晶体管成为与标准单元的工作没有关系的截止状态的晶体管，所以即便在包含栅极长度大的晶体管的单元中也能够抑制标准单元的特性零散。

在所述标准单元中，设置在所述第一晶体管两邻的所述晶体管也可以

是与所述第一晶体管一起共有扩散区域的所述第二晶体管。这时，能够更确实地抑制特性零散。

再有，也可以等间隔地配置所述多个晶体管中的所述栅极。这样，也能够抑制不仅由栅极长度而且由栅极间隔的不规则性引起的标准单元的特性零散。

本发明的第二标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极。所述多个晶体管中的至少一个的第一晶体管的栅极长度比其它晶体管的栅极长度要大；所述第一晶体管两邻的晶体管中的至少一方的第二晶体管具有与
10 所述第一晶体管的扩散区域分开的扩散区域，在所述半导体层中的所述第一晶体管和所述第二晶体管之间设置伪栅极。

这样，因为与和栅极长度比其它大的晶体管邻接的栅极成为与标准单元的工作没有关系的伪栅极，所以即便在包含栅极长度大的晶体管的标准单元中也能够抑制标准单元的特性零散。

15 在所述标准单元中，所述第一晶体管两邻的晶体管也可以都是所述第二晶体管。这时，能够更确实地抑制特性零散。

再有，也可以等间隔地配置所述多个晶体管中的所述栅极和所述伪栅极。这样，也能够抑制不仅由栅极长度而且由栅极间隔的不规则性引起的标准单元的特性零散。

20 本发明的第三标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极。所述多个晶体管中的至少一个的第一晶体管的栅极长度比其它晶体管的栅极长度要大；所述第一晶体管与
25 所述第一晶体管两邻的晶体管中的至少一方的第二晶体管共有扩散区域，所述第二晶体管的源极和漏极或者与电源连接，或者接地。

这样，能够将与栅极长度比其它大的晶体管邻接的晶体管作为与标准单元的工作没有关系，其源极、漏极都与电源连接或者都接地的晶体管，即便在包含栅极长度大的晶体管的标准单元中也能够抑制标准单元的特性零散。

30 在所述标准单元中，所述第二晶体管也可以总是处于接通状态。这时，

晶体管作为电源电容起作用，对削减电源噪声也有效。

本发明的第四标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极。与具有栅极长度不同于所述多个晶体管的晶体管的第2标准单元邻接；在与邻接的所述第2标准单元之间设置单元间的伪栅极，作为所述多个晶体管中与所述单元间伪栅极邻接的晶体管中的至少一个的第一晶体管处于截止状态。

这时，单元间伪栅极的栅极长度由设置在标准单元一端的伪栅极和设置在邻接单元一端的伪栅极决定。当由此决定的伪栅极的宽度与邻接的标准单元内的栅极不相同，与单元间伪栅极邻接的栅极的特性发生零散。但是，依据本发明，则因为与单元间伪栅极邻接的晶体管是与标准单元的工作没有关系的截止状态的晶体管，所以能够抑制标准单元的特性零散。

在所述标准单元中，所述多个晶体管中与所述单元间伪栅极邻接的晶体管也可以全部是处于截止状态的所述第一晶体管。这时，能够更确实地抑制特性零散。

本发明的第五标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极。在所述标准单元的两端设置单元间伪栅极，作为所述多个晶体管中与所述单元间伪栅极邻接的晶体管中的至少一个的第一晶体管的源极和漏极或者与电源连接，或者接地。

这时，单元间伪栅极的栅极长度由设置在标准单元一端的伪栅极和设置在邻接单元一端的伪栅极决定。当由此决定的伪栅极的宽度与邻接的标准单元内的栅极宽度不同时，与单元间伪栅极邻接的栅极的特性发生零散。但是，依据本发明，则因为与单元间伪栅极邻接的晶体管是与标准单元的工作没有关系的状态的晶体管，所以能够抑制标准单元的特性零散。

在所述标准单元中，也可以是所述多个晶体管中与所述单元间伪栅极邻接的晶体管的源极和漏极全部或者与电源连接或者接地的第一晶体管。这时，能够更确实地抑制特性零散。

再有，所述第一晶体管也可以全部处于导通状态。这时，第一晶体管作为电源电容起作用，对削减电源噪声也是有效的。

再有，所述单元间伪栅极的栅极长度也可以比其它晶体管的栅极长度要大。

再有，也可以等间隔地配置所述多个晶体管中的所述栅极和所述单元间伪栅极。这样，也能够抑制不仅由栅极长度而且由栅极间隔的不规则性引起的标准单元的特性零散。

本发明的第六标准单元，包括多个晶体管，该多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极。所述多个晶体管具有：至少一个第一晶体管，其栅极长度比其它晶体管的栅极长度要大；第二晶体管，作为与所述第一晶体管两邻的晶体管中的至少一方，与所述第一晶体管共有扩散区域；和第3晶体管，其与所述第一晶体管不共有扩散区域。当所述第二晶体管的晶体管尺寸出现零散时所受到的影响比当所述第3晶体管的晶体管尺寸出现零散时所受到的影响要小。

这样，即便与栅极长度比其它大的晶体管共有扩散区域的邻接的晶体管尺寸发生零散，因为给予标准单元的特性的影响很少，所以也能够抑制标准单元的特性零散。

设置在所述第一晶体管两邻的所述晶体管也可以都是与所述第一晶体管共有扩散区域的所述第二晶体管。

所述第二晶体管也可以不直接驱动输出引脚。这样，与第二晶体管是驱动输出引脚的晶体管的情形比较，能够减少第二晶体管的晶体管尺寸发生零散时的标准单元特性的零散。

再有，当所述标准单元进一步备有反馈单元使，所述第一晶体管也可以是构成所述反馈单元的晶体管。

这样，能够抑制包含构成将栅极长度设定得大的反馈单元的晶体管的标准单元的特性零散。

再有，所述标准单元也可以具有总线保持或双稳态多谐振荡器功能，这时，能够抑制具有包含将栅极长度设定得大的晶体管的总线保持或双稳态多谐振荡器功能的标准单元的特性零散。

在具有所述第一～第六标准单元的标准单元库中，能够抑制特性零散。

在具有所述第一～第六标准单元的半导体集成电路中，能够抑制特性

零散。

在包括多个标准单元的标准单元库中，所述多个标准单元包括多个晶体管，所述多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，优选所述多个标准单元中包含栅极长度比其它晶体管大的晶体管的标准单元全部是所述第一～第六标准单元。

在包括多个标准单元的半导体集成电路中，所述多个标准单元包括多个晶体管，所述多个晶体管具有设置在半导体层的一部分上的扩散区域和设置在所述扩散区域上的栅极，优选所述多个标准单元中包含栅极长度比其它晶体管大的晶体管的标准单元全部是所述第一～第六标准单元。

10

附图说明

图 1 是表示本发明的第 1 实施方式中的标准单元的平面图。

图 2 是表示本发明的第 2 实施方式中的标准单元的平面图。

图 3 是表示本发明的第 3 实施方式中的标准单元的平面图。

15 图 4 是表示本发明的第 4 实施方式中的标准单元的平面图。

图 5 是表示本发明的第 5 实施方式中的标准单元的平面图。

图 6 是表示本发明的第 6 实施方式中的标准单元的平面图。

图 7 是表示第 6 实施方式中的主从式双稳态多谐振荡器的例子的电路图。

20 图 8 是表示已有的标准单元的一个例子的平面图。

图 9 是表示日本特开平 9-289251 号专利公报中揭示的已有标准单元的结构平面图。

图 10 是表示日本特开 2002-26125 号专利公报中揭示的已有标准单元的结构平面图。

25 图 11 是表示日本特开 2002-26125 号专利公报中揭示的已有标准单元的结构平面图。

图 12A、图 12B 是表示已有标准单元的结构电路图。

图 13 是表示已有标准单元的结构电路图。

30 具体实施方式

下面，我们一面参照附图一面说明本发明的实施方式。

(第1实施方式)

图1是表示本发明的第1实施方式中的标准单元的平面图。如图1所示，本实施方式的标准单元100备有半导体层101、设置在半导体层101一端上的电源布线102、设置在半导体层101内与电源布线102对置的一端上的接地布线103、设置在位于半导体层101内电源布线102和接地布线103之间的区域中的p型扩散区域104、设置在半导体层101内与p型扩散区域104不同区域中的n型扩散区域105、设置在p型扩散区域104上且相互只离开距离S1的栅极107~111、设置在n型扩散区域105上且相互只离开距离S1的栅极114~118、设置在位于半导体层101内p型扩散区域104两侧的部分上且分别与栅极107、111只离开距离S1的伪栅极106、112、和设置在位于半导体层101内n型扩散区域105两侧的部分上且分别与栅极114、118只离开距离S1的伪栅极113、119。

栅极107~111与p型扩散区域104构成p沟道型晶体管Tr107~Tr111，栅极114~118与n型扩散区域105构成n沟道型晶体管Tr114~Tr118。

又，因为栅极107~111分别只离开距离S1，伪栅极106、112与栅极107、111只离开距离S1，所以栅极107~111和伪栅极106、112分别等间隔地配置。栅极114~118和伪栅极113、119也同样等间隔地配置。

这些栅极中，将栅极109、116的栅极长度设置得比其它栅极要大。又，设置在栅极109两邻的栅极108、110向电源布线102方向延长，通过接点120、121与电源布线102连接，固定在电源电位上。另一方面，设置在栅极116两邻的栅极115、117向接地布线103方向延长，通过接点122、123与接地布线103连接，固定在接地电位上。此外，在标准单元100内，除了图中画出的以外也存在着用于连接扩散区域、布线层和基片之间的接点、单元内布线和输入输出引脚，但是我们省略了它们的图示（在第2实施方式以后也同样）。

下面说明上述那样构成的第1实施方式的标准单元的工作。在标准单元100中，具有比其它栅极（栅极107、114等）的栅极长度要大的栅极109、116。在这种标准单元100的栅极长度具有不规则性的情形中，与栅

极 109、116 相邻的栅极 108、110、115、117 的栅极完工尺寸发生零散。在本实施方式中，将栅极 108、110、115、117 的栅极端子的电位固定，晶体管 Tr108、Tr110、Tr115、Tr117 处于截止状态。即，例如，即便栅极 108、110、115、117 的完工尺寸发生零散，因为晶体管 Tr108、Tr110、Tr115、Tr117 与标准单元 100 的工作没有关系，所以即便它们的驱动能力发生零散，也对标准单元 100 的特性没有影响。又，因为通过设置伪栅极 106、112、113、119，能够将栅极等间隔地配置在对标准单元 100 的特性给予影响的全部栅极的两邻，所以也能够进一步改善特性的零散。

此外，在本实施方式中，虽然对栅极长度大的晶体管各具有 1 个 p 沟道型晶体管和 n 沟道型晶体管的只要也可以是 1 个以上的多个。又，本发明不仅能够应用于栅极长度比其它大的情形，也能够应用于栅极长度比其它小的情形。

又，在本实施方式中，虽然对使栅极长度大的晶体管左右的晶体管全部处于截止状态的情形进行了说明，但是也可以是这些晶体管中的至少一个处于截止状态。在这种情形中，当驱动能力零散时，也能够削减对标准单元的特性给予影响的晶体管的数量。

又，在本实施方式中，虽然对使具有与其它不同的栅极长度的栅极相邻的栅极处于截止状态，并且设置与位于 p 型扩散区域 104 和 n 型扩散区域 105 的两端的晶体管邻接的伪栅极 106、112、113、119 的情形进行了说明。但是，也可以不一定设置伪栅极 106、112、113、119，又，也可以按与位于 p 型扩散区域 104 和 n 型扩散区域 105 的两端的栅极 107、111、114、118 的距离不是 S1 的间隔，设置伪栅极 106、112、113、119。在这些情形中，也能够抑制由栅极长度的不规则性引起的标准单元的特性零散。

（第 2 实施方式）

图 2 是表示本发明的第 2 实施方式中的标准单元的平面图。如图 2 所示，本实施方式的标准单元 200 备有半导体层 201、设置在半导体层 201 一端上的电源布线 202、设置在半导体层 201 内与电源布线 202 对置的一端上的接地布线 203、设置在位于半导体层 201 内电源布线 202 和接地布线 203 之间的区域中的 p 型扩散区域 204a、204b、204c、设置在半导体层

201 内与 p 型扩散区域 204a、204b、204c 不同区域中的 n 型扩散区域 205a、205b、205c、设置在各个 p 型扩散区域 204a、204b、204c 上的栅极 207、209、211、设置在各个 n 型扩散区域 205a、205b、205c 上的栅极 214、216、218、设置在半导体 201 内各个 p 型扩散区域 204a、204b、204c 之间和侧方上的伪栅极 206、208、210、212、和设置在半导体 201 内各个 n 型扩散区域 205a、205b、205c 之间和侧方上的伪栅极 213、215、217、219。

栅极 207、209、211 和 p 型扩散区域 204a、204b、204c 构成 p 沟道型晶体管 Tr207、Tr209、Tr211，栅极 214、216、218 和 n 型扩散区域 205a、205b、205c 构成 n 沟道型晶体管 Tr214、216、218。

这里，将栅极 209、216 的栅极长度设置得比其它栅极要大。又，伪栅极 206、栅极 207、伪栅极 208、栅极 209、伪栅极 210、栅极 211 和伪栅极 212 依次相互只离开距离 S1 进行配置。同样，伪栅极 213、栅极 214、伪栅极 215、栅极 216、伪栅极 217、栅极 218 和伪栅极 219 依次相互只离开距离 S1 进行配置。

下面说明上述那样构成的第 2 实施方式的标准单元的工作。在标准单元 200 中，具有比其它栅极的栅极长度大的栅极 209、216。在这种标准单元 200 的栅极长度具有不规则性的情形中，与栅极 209、216 相邻的位置上的栅极的完工尺寸发生零散。在本实施方式中，因为将栅极 209、216 夹在伪栅极 208、210、215、217 之间，所以例如即便伪栅极 208、210、215、217 的完工尺寸发生零散，它们也与标准单元的工作没有关系，对标准单元 200 的特性没有影响。又，因为通过设置伪栅极 206、212、213、219，能够将栅极等间隔地配置在对标准单元 100 的特性给予影响的全部栅极的两邻，所以也能够进一步改善特性的零散。

此外，在本实施方式中，虽然对栅极长度大的晶体管各具有 1 个 p 沟道型晶体管和 n 沟道型晶体管的情形进行了说明，但是栅极长度大的 p 沟道型晶体管或 n 沟道型晶体管也可以是 1 个以上的几个。又，本发明不仅能够应用于栅极长度比其它大的情形也能够应用于栅极长度比其它小的情形。

又，在本实施方式中，虽然对使栅极长度大的晶体管左右的栅极全部是伪栅极的情形进行了说明，但是可以至少单侧是伪栅极。这是因为在这

种情形中，在设置了伪栅极的一侧不发生晶体管的驱动能力零散，所以能够减轻对标准单元 200 的特性的影响。

又，在本实施方式中，也可以不一定设置伪栅极 206、212、213、219，又，也可以按与栅极 207、211、214、218 的距离不是 S1 的间隔，设置伪栅极 206、212、213、219。这是因为在这些情形中，也能够抑制由栅极长度的不规则性引起的标准单元的特性零散。

（第 3 实施方式）

图 3 是表示本发明的第 3 实施方式中的标准单元的平面图。如图 3 所示，本实施方式的标准单元 300 备有半导体层 301、设置在半导体层 301 一端上的电源布线 302、设置在半导体层 301 内与电源布线 302 对置的一端上的接地布线 303、设置在位于半导体层 301 内电源布线 302 和接地布线 303 之间的区域中的 p 型扩散区域 304、设置在半导体层 301 内与 p 型扩散区域 304 不同区域中的 n 型扩散区域 305、在 p 型扩散区域 304 上相互离开设的栅极 307~311、在 n 型扩散区域 305 上相互离开设的栅极 314~318、设置在半导体 301 内位于 p 型扩散区域 304 两侧方的部分上且与栅极 307、311 只离开距离 S1 的伪栅极 306、312、设置在位于 n 型扩散区域 305 两侧方的部分上且与栅极 314、318 分别只离开距离 S1 的伪栅极 313、319、与电源布线 302 连接的接点 320、321、与具有栅极 308 的晶体管 Tr308 的源极区域和漏极区域连接的接点 322、323、与具有栅极 315 的晶体管 Tr315 的源极区域和漏极区域连接的接点 326、327、与接地布线 303 连接的接点 328、329、与栅极 308 连接的接点 325、与栅极 315 连接的接点 324、与接点 320、322、324 连接的布线 350、与接点 325、327、329 连接的布线 351、与接点 326、328 连接的布线 352、和与接点 321、323 连接的布线 353。

将栅极 309、316 的栅极长度设置得比其它栅极要大。又，伪栅极 306、栅极 307~311 和伪栅极 312 依次相互只离开距离 S1 进行设置。同样，伪栅极 313、栅极 314~318 和伪栅极 319 依次相互只离开距离 S1 进行设置。

通过接点 320~329 和布线 350~353，使晶体管 Tr308 的源极和漏极、晶体管 Tr315 的栅极 315 与电源布线 302 电连接，使晶体管 Tr308 的栅极 308、晶体管 Tr315 的源极和漏极与接地布线 303 电连接。

下面说明上述那样构成的第3实施方式的标准单元的工作。在标准单元300中，具有比其它栅极的栅极长度大的栅极309、316。在这种标准单元300的栅极长度具有不规则性的情形中，与栅极309、316相邻的位置上的栅极的完工尺寸发生零散。在本实施方式中，将与栅极309、316相邻的晶体管Tr308、Tr315的源极和漏极均固定在电源电位或接地电位上。因此，因为例如即便晶体管Tr308、Tr315的完工尺寸发生零散，它们也与标准单元的工作没有关系，所以对标准单元300的特性没有影响。进一步，因为p沟道型晶体管Tr308，其源极和漏极固定在电源电位上，栅极固定在接地电位上，所以能够作为电容起作用。从而，也具有抑制电源电位变动的效果。又，因为通过设置伪栅极306、312、313、319，能够将栅极等间隔地配置在对标准单元300的特性给予影响的全部栅极的两邻，所以也能够进一步改善特性的零散。

此外，在本实施方式中，虽然对栅极长度大的晶体管各具有1个p沟道型晶体管和n沟道型晶体管的情形进行了说明，但是栅极长度大的p沟道型晶体管或n沟道型晶体管也可以是1个以上的几个。又，本发明不仅能够应用于栅极长度比其它大的情形也能够应用于栅极长度比其它小的情形。

又，在本实施方式中，虽然对只将备有设置在栅极长度大的栅极309、316相邻处的栅极308、310、315和317的晶体管Tr308、Tr310、Tr315和Tr317中的Tr308、315的源极、漏极固定的情形进行了说明。但是，如果固定这些中的至少一个晶体管的源极、漏极，则能够得到抑制标准单元的特性零散的效果。

又，在本实施方式中，虽然对以p沟道型晶体管作为电容进行工作的方式，将源极和漏极固定在电源电位上，将栅极固定在接地电位上的情形，但是也可以将源极、漏极固定在接地电位上，将栅极固定在电源电位上。这时也能够得到抑制标准单元的特性零散的效果。

又，在本实施方式中，也可以使p沟道型晶体管Tr308和n沟道型晶体管Tr315处于截止状态。这时也能够得到抑制标准单元的特性零散的效果。

又，在本实施方式中，也可以不一定设置伪栅极306、312、313、319，

又，也可以按与位于 p 型扩散区域 304 和 n 型扩散区域 305 的两端的栅极 307、311、314、318 的距离不是 S1 的间隔，设置伪栅极 306、312、313、319。这是因为在这些情形中，也能够抑制由栅极长度的不规则性引起的标准单元的特性零散。

5 (第 4 实施方式)

图 4 是表示本发明的第 4 实施方式中的标准单元的平面图。如图 4 所示，在本实施方式的标准单元 400 的邻近设置另外的标准单元 450。位于标准单元 400、450 的境界上的伪栅极 452、453 是通过使位于标准单元 400 右侧的境界上的伪栅极和位于标准单元 450 左侧的境界上的伪栅极重叠而构成的伪栅极，在标准单元 400、450 之间共有。

本实施方式的标准单元 400 备有半导体层 401、设置在半导体层 401 一端上的电源布线 402、设置在半导体层 401 上与电源布线 402 离开的接地布线 403、设置在半导体层 401 内位于电源布线 402 和接地布线 403 之间的区域中的 p 型扩散区域 404、设置在半导体层 401 内与 p 型扩散区域 404 不同区域中的 n 型扩散区域 405、相互离开地设置在 p 型扩散区域 404 上的栅极 407~411、相互离开地设置在 n 型扩散区域 405 上的栅极 414~418、设置在半导体 401 内位于 p 型扩散区域 404 两侧方的部分上且与栅极 407、411 只离开距离 S1 的伪栅极 406、452、设置在半导体 401 内位于 n 型扩散区域 405 两侧的部分上且与栅极 414、418 只离开距离 S1 的伪栅极 413、453、将栅极 411 和电源布线 402 电连接的接点 420、和将栅极 418 和接地布线 403 电连接的接点 421。

栅极 407~411 和 p 型扩散区域 404 构成 p 沟道型晶体管 Tr407~Tr411，栅极 414~418 和 n 型扩散区域 405 构成 n 沟道型晶体管 Tr414~Tr418。

25 又，伪栅极 406、栅极 407~411 和伪栅极 452 依次相互只离开距离 S1 地等间隔进行配置，伪栅极 413、栅极 414~418 和伪栅极 453 也依次相互只离开距离 S1 地等间隔进行配置。

使栅极 411 比其它栅极 407~410 向电源布线 402 方向延长，通过接点 420 与电源布线 402 连接，固定在电源电位上。另一方面，也使栅极 421 比其它栅极 414~417 向接地布线 403 方向延长，通过接点 421 与接地布

线 403 连接，固定在接地电位上。

这里，位于标准单元 400 右侧的境界上的伪栅极与栅极 411 等具有相同的栅极长度，但是位于标准单元 450 左侧的境界上的伪栅极的栅极长度比栅极 411 等要大，通过使标准单元 400、450 的伪栅极重叠，伪栅极 452、
5 453 的栅极长度比标准单元 400 中的栅极 411 等的栅极长度要大。此外，在标准单元 450 中，除了伪栅极 452、453，还设置了具有栅极的元件，但是没有将它们图示出来。

下面说明上述那样构成的第 4 实施方式的标准单元的工作。在标准单元 400、450 之间，设置栅极长度比标准单元 400 中的栅极 411 等要大的
10 伪栅极 452、453。因此，位于与伪栅极 452、453 相邻的位置上的栅极 411、418 的完工尺寸发生零散。在本实施方式中，因为将栅极 411、418 固定在电源电位或接地电位上，使晶体管 Tr411、Tr418 截止，所以例如即便栅极 411、418 的栅极长度发生零散，也不会影响标准单元 400 的特性。又，通过设置伪栅极 406、413，能够将栅极等间隔地配置在对标准单元 400
15 的特性给予影响的全部栅极的两邻，所以也能够进一步改善特性的零散。

此外，在本实施方式中，处于截止状态的是标准单元 400 的右端的 p 沟道型晶体管 Tr411 和 n 沟道型晶体管 Tr418，但是也可以使标准单元 400 两端的 p 沟道型晶体管和 n 沟道型晶体管处于截止状态，也可以只使标准单元 400 的左右端的 p 沟道型晶体管和 n 沟道型晶体管中的某一个处于截
20 止状态。这是因为这时即便处于截止状态的晶体管的栅极长度发生零散，也能够减轻对标准单元 400 的特性的影响。

又，在本实施方式中，将栅极 411、418 固定在电源电位或接地电位上，但是如第 3 实施方式那样，也可以将源极、漏极固定在电源电位或接地电位上。进一步，通过这样地将源极、漏极固定在电源电位或接地电位
25 上，也可以使晶体管 Tr411、Tr418 作为电容进行工作。这时因为这些晶体管 Tr411、Tr418 是与标准单元的工作没有关系的晶体管，所以能够抑制标准单元的特性零散。又，如果作为电容进行工作则也具有抑制电源电位变动的效果。

又，在本实施方式中，也可以不一定设置伪栅极 406、413，又，也可以按与位于 p 型扩散区域 404 和 n 型扩散区域 405 的两端的栅极 407、414
30

的距离不是 S1 的间隔，设置伪栅极 406、413。

(第 5 实施方式)

图 5 是表示本发明的第 5 实施方式中的标准单元的平面图。图 5 所示的标准单元 500 构成由图 12A 所示的 4 段反相器形成的电路，备有半导体层 501、设置在半导体层 501 一端上的电源布线 502、设置在半导体层 501 内与电源布线 502 对置的区域上的接地布线 503、设置在半导体层 501 内位于电源布线 502 和接地布线 503 之间的区域中的 p 型扩散区域 504a、504b、设置在半导体层 501 内与 p 型扩散区域 504a、504b 不同的区域中的 n 型扩散区域 505a、505b、设置在从 p 型扩散区域 504a 横跨到 n 型扩散区域 505a 上的导体膜 551、552、设置在从 p 型扩散区域 504b 到 n 型扩散区域 505b 上的导体膜 553、554、设置在半导体层 501 内 p 型扩散区域 504a、504b 侧方上的伪栅极 506、509、512、和设置在半导体层 501 内 n 型扩散区域 505a、505b 侧方上的伪栅极 513、516、519。

导体膜 551 在 p 型扩散区域 504a 上成为栅极 507，在 n 型扩散区域 505a 上成为栅极 514。导体膜 552 在 p 型扩散区域 504a 上成为栅极 508，在 n 型扩散区域 505a 上成为栅极 515。又，导体膜 553 在 p 型扩散区域 504b 上成为栅极 510，在 n 型扩散区域 505b 上成为栅极 517，导体膜 554 在 p 型扩散区域 504b 上成为栅极 511，在 n 型扩散区域 505b 上成为栅极 518。而且，p 沟道型晶体管 507 和 n 沟道型晶体管 514 成对地构成图 12A 的反相器 1301，由 p 沟道型晶体管 508 和 n 沟道型晶体管 515 构成反相器 1302，由 p 沟道型晶体管 510 和 n 沟道型晶体管 517 构成反相器 1303，由 p 沟道型晶体管 511 和 n 沟道型晶体管 518 构成反相器 1304。

又，伪栅极 506、栅极 507、508、伪栅极 509、栅极 510、511 和伪栅极 512 依次只离开距离 S1 进行配置，伪栅极 513、栅极 514、515、伪栅极 516、栅极 517、518 和伪栅极 519 也依次只离开距离 S1 进行配置。

下面说明上述那样构成的第 5 实施方式的标准单元的工作。在标准单元 500 中，具有栅极长度比其它栅极大的栅极 507、514。在这种标准单元 500 中栅极长度具有不规则性的情形中，与栅极 507、514 相邻的栅极 508、515 的完工尺寸发生零散。可是，对标准单元的特性，特别是标准单元的延迟特性给予大的影响的是驱动输出引脚的晶体管特性。在图 12A 所示的

电路中，直接驱动输出引脚的是反相器 1304，因为反相器 1304 是图 5 中的 p 沟道型晶体管 511 和 n 沟道型晶体管 518，所以例如即便栅极 508、515 的完工尺寸发生零散，给予标准单元 500 的延迟特性的影响也是很小的。即，在本实施方式中，即便是栅极长度比其它大的晶体管，通过因此
5 将栅极的完工尺寸发生零散的晶体管作为不驱动输出引脚的晶体管，也能够抑制标准单元的特性零散。

此外，在本实施方式中，虽然对具有栅极长度比其它大的晶体管 Tr507、Tr514 和共有 p 型扩散区域 504 和 n 型扩散区域 505 的晶体管只是晶体管 Tr508、Tr515 的情形进行了说明，但是也可以在晶体管 Tr507、Tr514
10 的两侧配置晶体管，与两侧的晶体管共有 p 型扩散区域 504 和 n 型扩散区域 505。这时，在两方晶体管不驱动输出引脚的情形中，能够得到同样的效果。

又，在本实施方式中，虽然对构成图 12A 所示的电路的标准单元进行了说明，但是也能够适用于具有输出引脚，具有不同栅极长度的晶体管的标准单元。又，虽然等间隔地配置栅极和伪栅极，但是也可以不等间隔地
15 配置。这时也能够抑制由栅极长度的不规则性引起的标准单元的特性零散。

又，在本实施方式中，也可以不一定设置伪栅极 506、509、512、513、516、519，又，也可以按与位于 p 型扩散区域 504a、504b 和 n 型扩散区域 505a、505b 的两端的栅极 507、511、514、518 的距离不是 S1 的间隔，
20 设置伪栅极 506、512、513、519。

（第 6 实施方式）

图 6 是表示本发明的第 6 实施方式中的标准单元的平面图。图 6 的电路图是详细地描述图 13 所示的双稳态多谐振荡器的数据输入单元和数据
25 输出单元的电路的电路图。

图 6 所示的电路备有 p 沟道型晶体管 602~605、n 沟道型晶体管 606~609、数据输入端与 p 沟道型晶体管 603、605 的漏极和 n 沟道型晶体管 606、608 的漏极连接并且时钟信号 CK 与时钟输入端连接的主从式双稳态多谐
振荡器 601、与主从式双稳态多谐振荡器 601 的数据输出端连接的反相器
30 610、612、接受来自反相器 610 的输出信号且输出数据输出信号 Q 的反相

器 611、和接受来自反相器 612 的输出信号且输出扫描数据信号 SQ 的反相器 613。

在 p 沟道型晶体管 602 中，将扫描使能信号 NT 输入到栅极，使源极与电源连接，漏极与 p 沟道型晶体管 603 的源极连接。p 沟道型晶体管 603 的漏极与 n 沟道型晶体管 606 的漏极连接，将数据信号 D 输入到这两个晶体管 603、606 的栅极。而且，在 n 沟道型晶体管 607 中，其漏极与 n 沟道型晶体管 606 的源极连接，而其源极接地，将反相扫描使能信号 \overline{NT} 输入到栅极。

在 p 沟道型晶体管 604 中，其栅极输入反相扫描使能信号 \overline{NT} ，源极与电源连接，漏极与 p 沟道型晶体管 605 的源极连接。p 沟道型晶体管 605 的漏极与 n 沟道型晶体管 608 的漏极连接，将扫描数据信号 DT 输入到这些晶体管 605、608 的栅极。在 n 沟道型晶体管 609 中，漏极与 n 沟道型晶体管 608 的源极连接，源极接地，将扫描使能信号 NT 输入到栅极。

在本实施方式的电路中，通过 p 沟道型晶体管 602~605 和 n 沟道型晶体管 606~609，当扫描使能信号 NT 为 1 时，将扫描数据输入信号 DT 输入到主从式双稳态多谐振荡器 601，当扫描使能信号 NT 为 0 时，将数据输入信号 D 输入到主从式双稳态多谐振荡器 601。

这里，虽然在图 6 中没有画出，但是 p 沟道型晶体管 604、605、n 沟道型晶体管 608、609 和构成反相器 612 的晶体管的栅极长度比其它晶体管大。而且，按照 p 沟道型晶体管 604、605、n 沟道型晶体管 608、609 和构成反相器 612 的晶体管不与 p 沟道型晶体管 602、603、n 沟道型晶体管 606、607 和构成反相器 611、213 的晶体管共有扩散区域的方式，即不邻接地设置这些晶体管。

下面说明上述那样构成的第 6 实施方式的标准单元的工作。在本实施方式的标准单元中，具有栅极长度比其它栅极大的 p 沟道型晶体管 604、605、n 沟道型晶体管 608、609 和构成反相器 612 的晶体管，这些晶体管周围的栅极的完工尺寸发生零散。这里，设置这些晶体管的区域与设置 p 沟道型晶体管 602、603、n 沟道型晶体管 606、607 和构成反相器 611、613 的晶体管的区域不邻接，并且不使扩散区域共通。如果，当 p 沟道型晶体管 602、603 和 n 沟道型晶体管 606、607 的完工尺寸发生零散时，给予标

准单元的数据信号 D 的设置时间和保持时间的影响很大，又，当构成反相器 611、613 的晶体管的完工尺寸发生零散时，给予到标准单元的数据输出信号 Q 和扫描数据输出信号 SQ 的延迟特性的影响很大。在本实施方式中，因为这些晶体管的完工尺寸没有零散，所以给予本发明的标准单元的特性的影响很小。

又，在本实施方式中，虽然对在双稳态多谐振荡器中，栅极长度比其它大的晶体管是扫描数据输入单元和扫描数据输出单元的情形进行了说明，本发明也能够适用于其它部分。例如，图 7 表示图 6 的主从式双稳态多谐振荡器 601 内的电路例。其中的反相器 701、702 构成电路内的反馈单元，但是存在着为了降低该反相器的驱动能力，使栅极长度增大的情形，这时同样也能够适用本发明。

此外，在第 1 到第 6 实施方式中我们记述了标准单元，但是关于包含这些标准单元的标准单元库和半导体集成电路也具有同样的效果，这是不言而喻的。

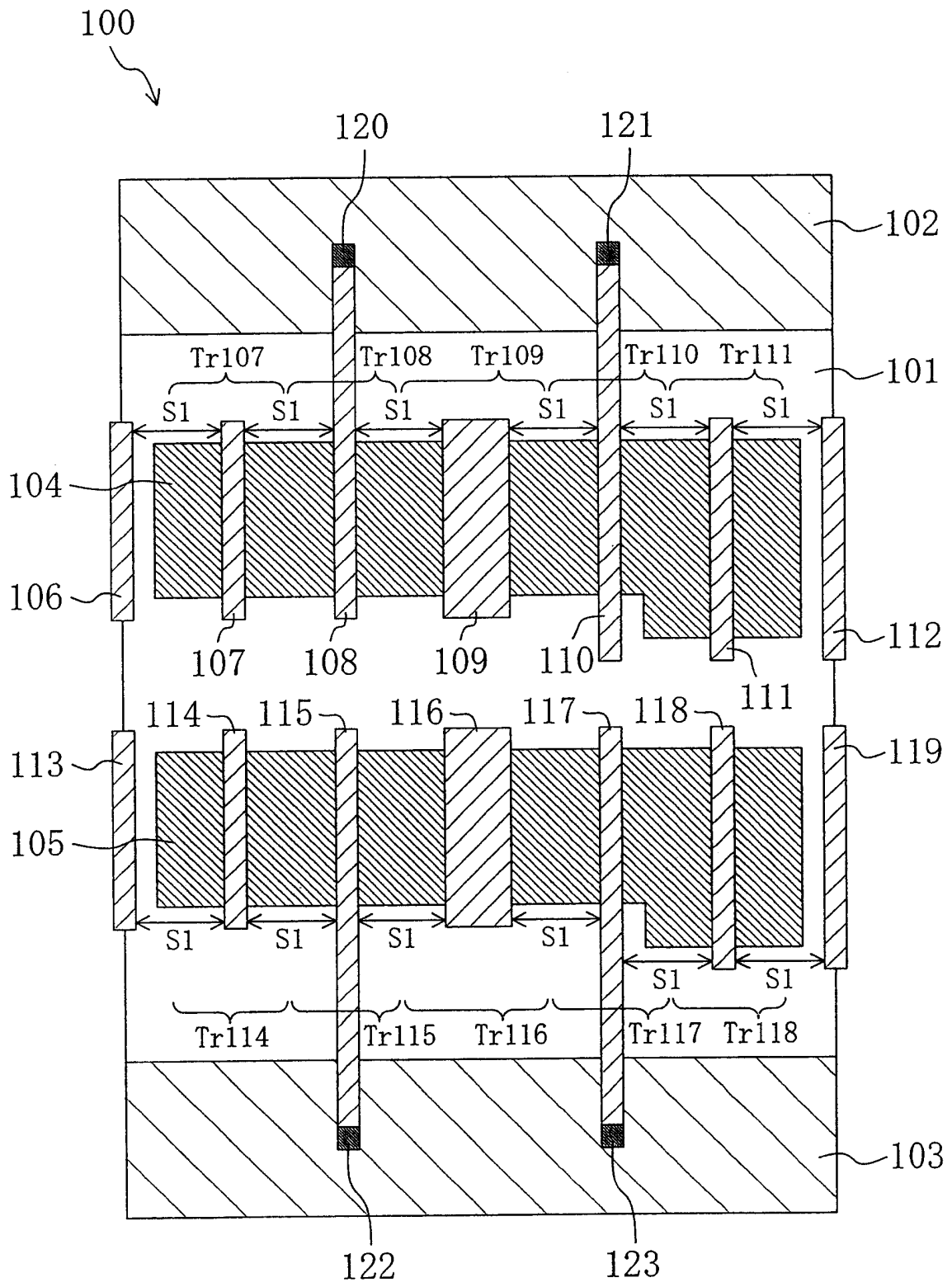


图 1

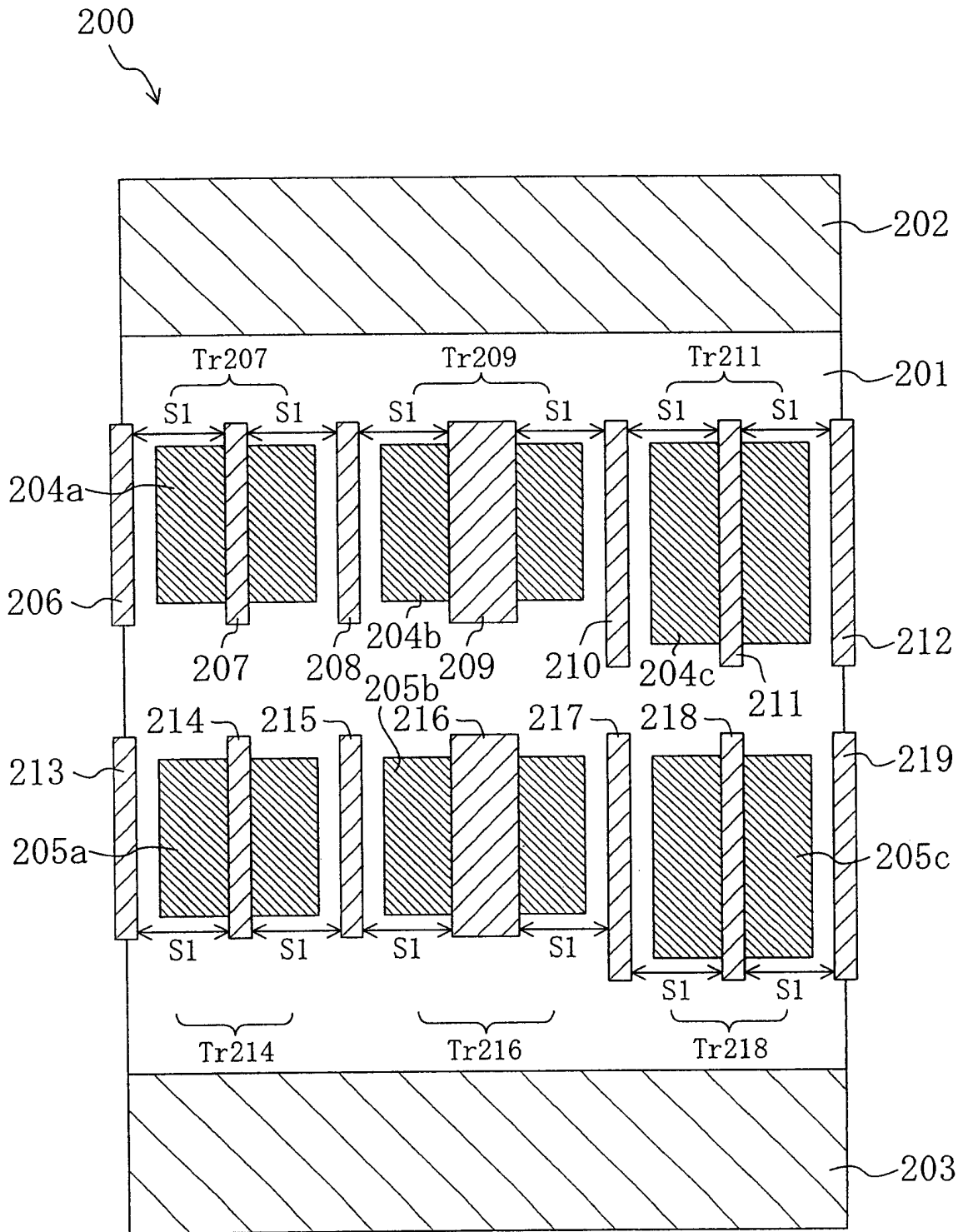


图 2

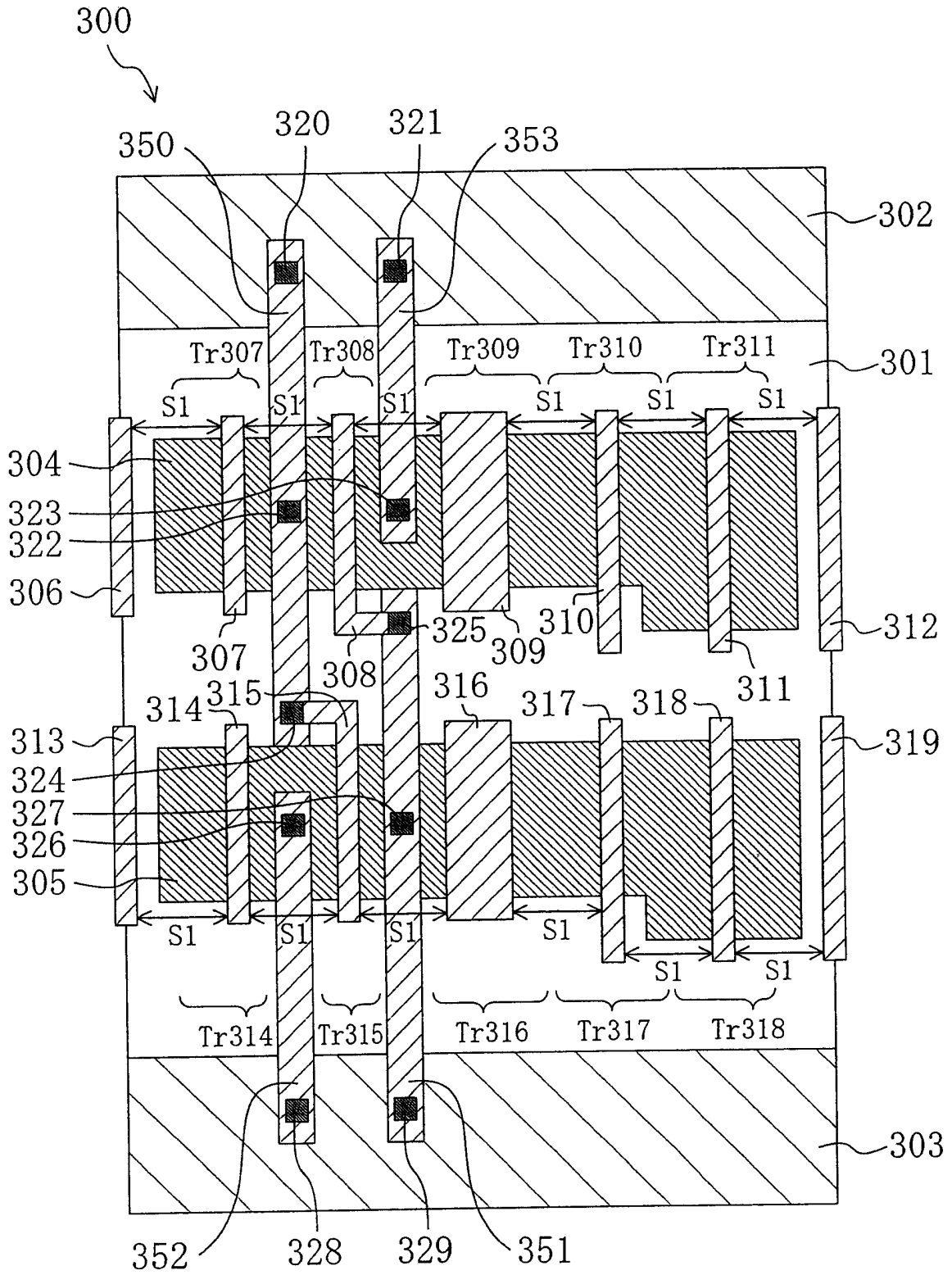


图 3

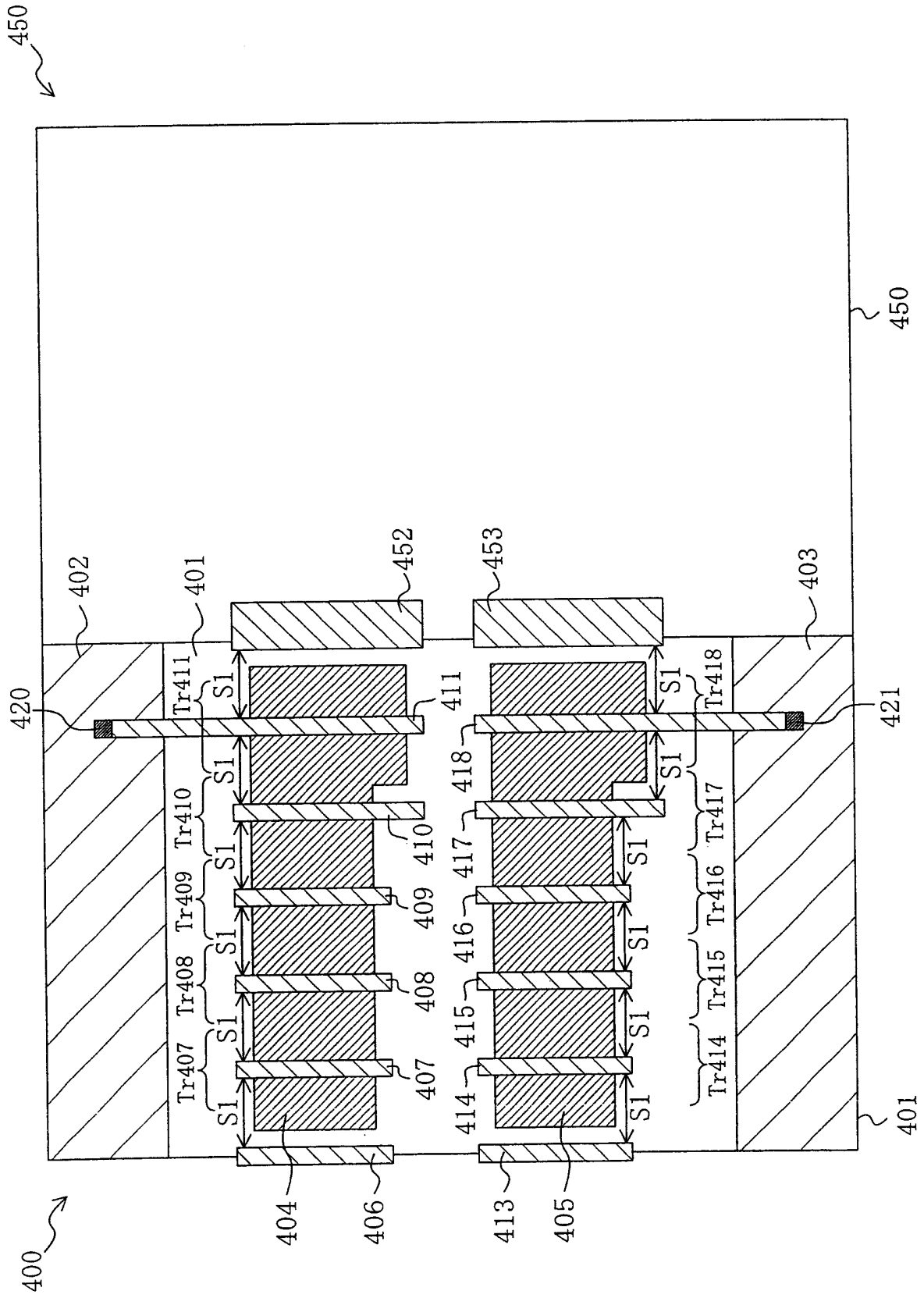


图 4

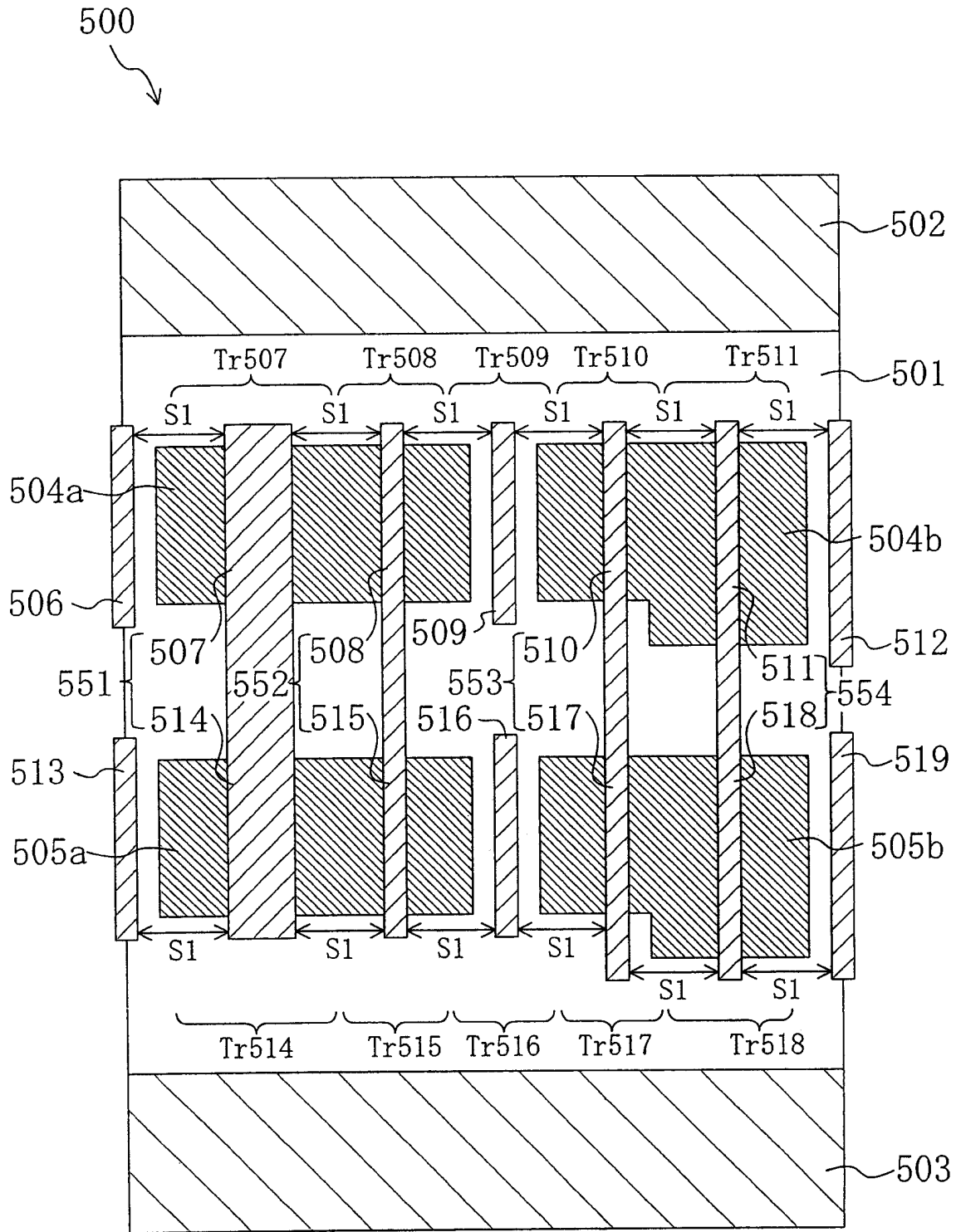


图 5

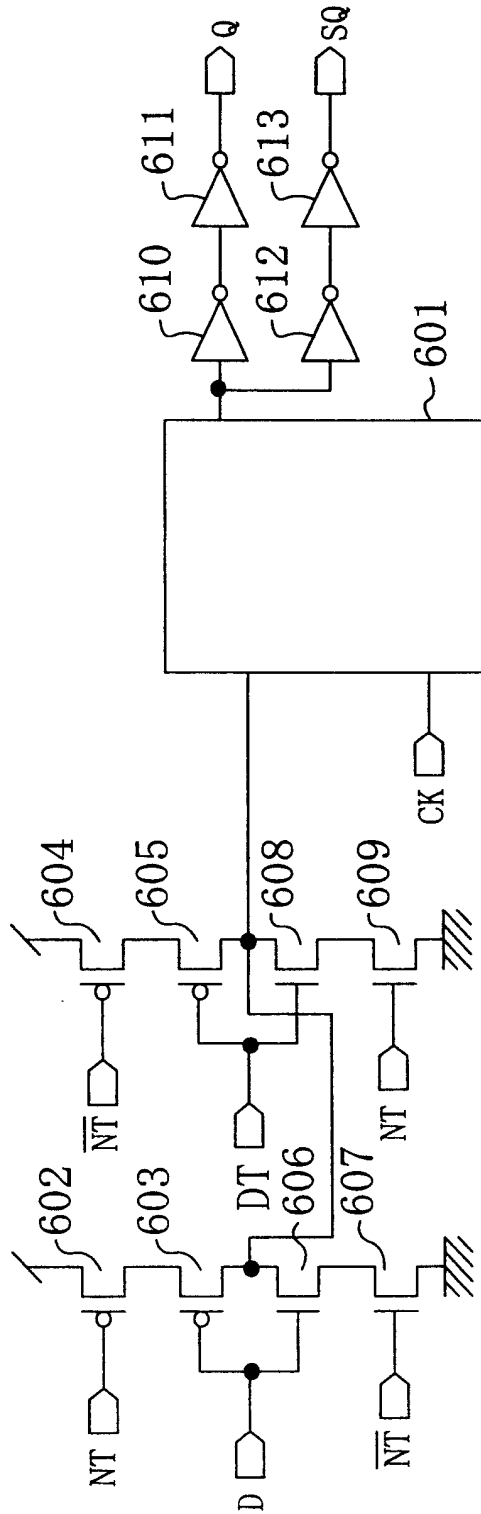


图 6

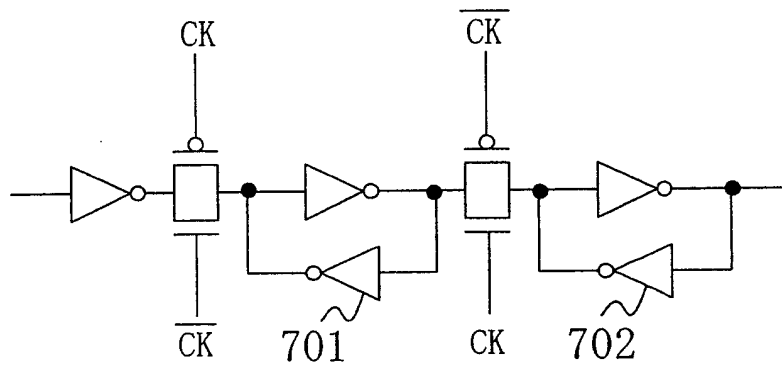


图 7

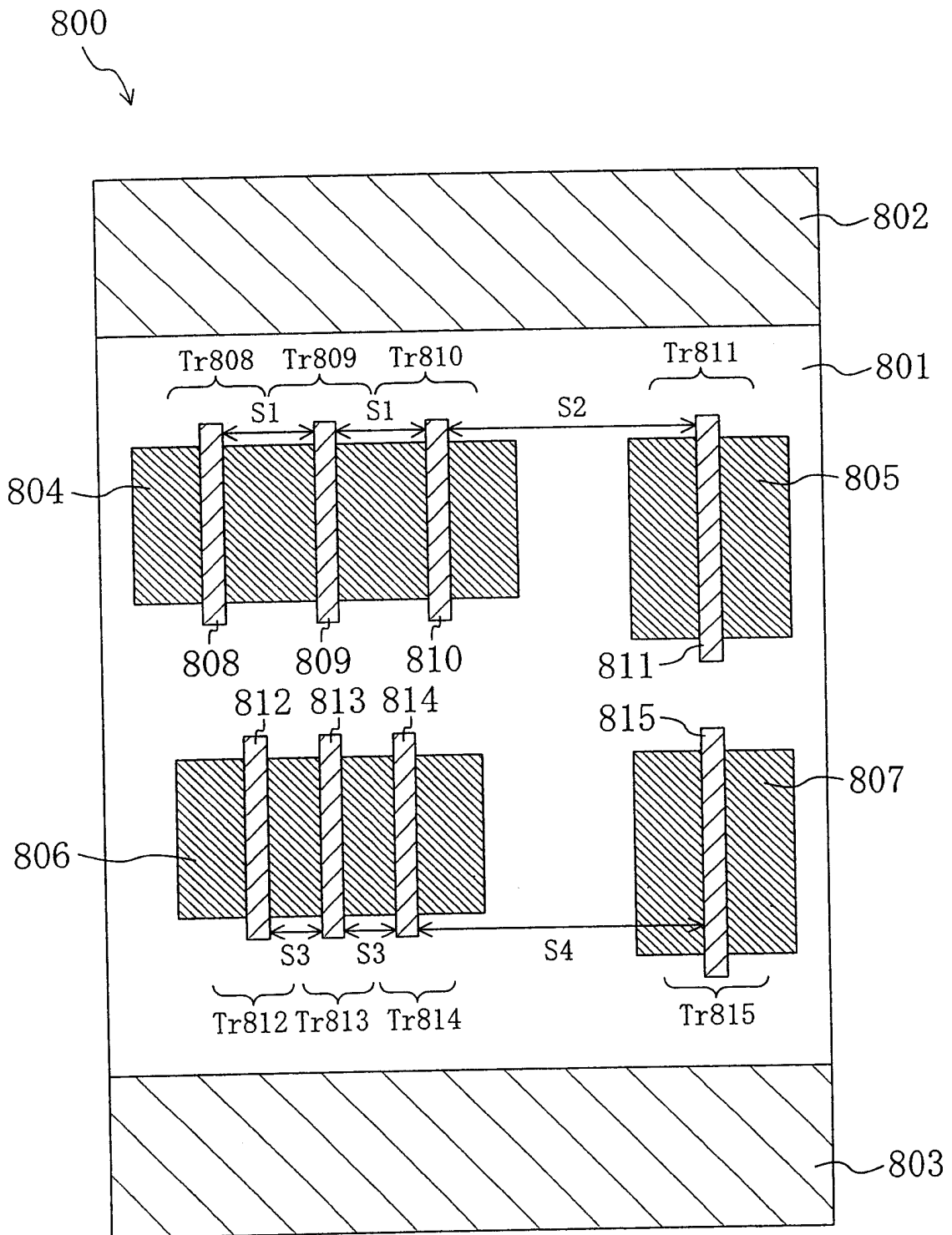


图 8

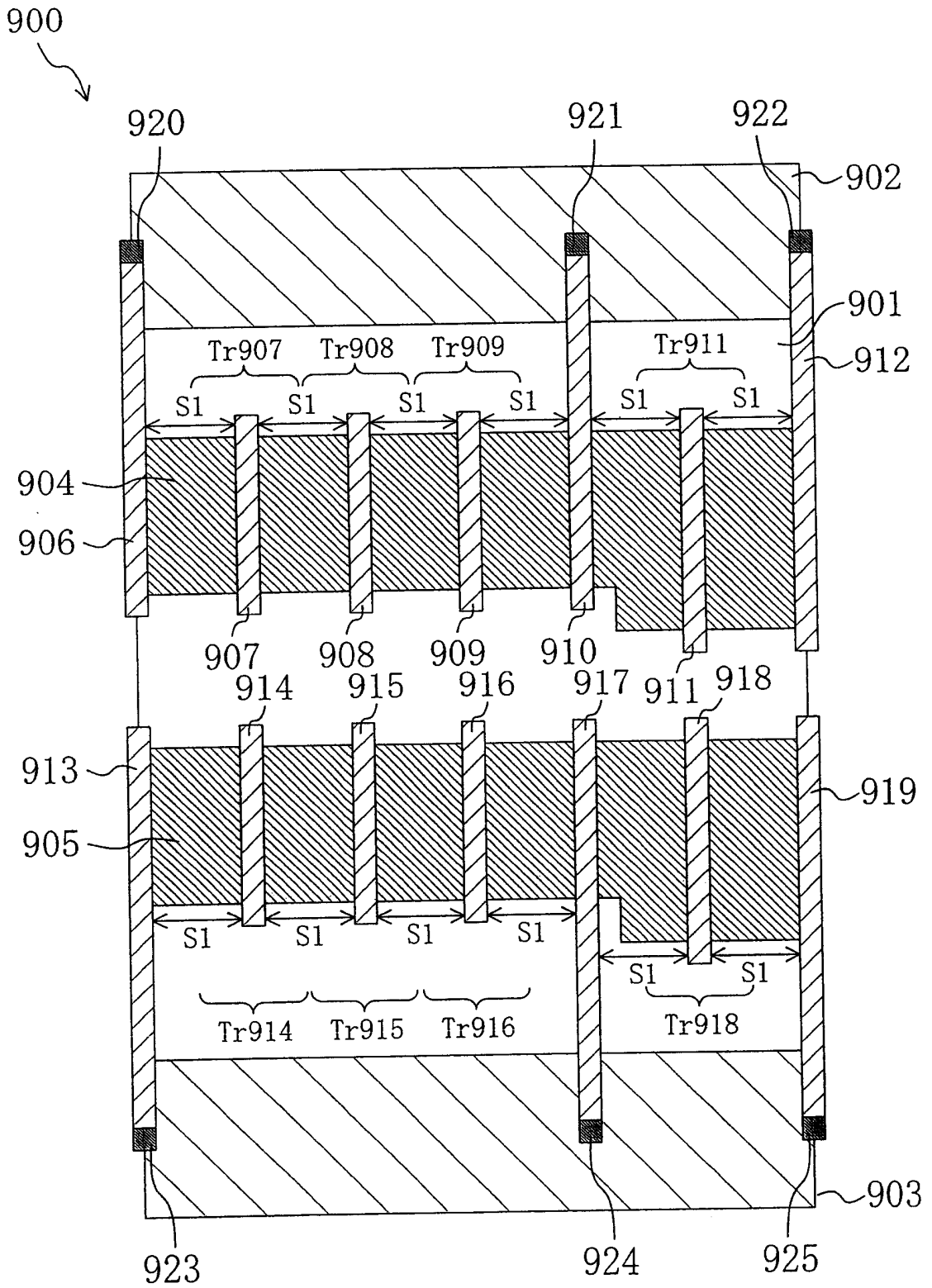


图 9

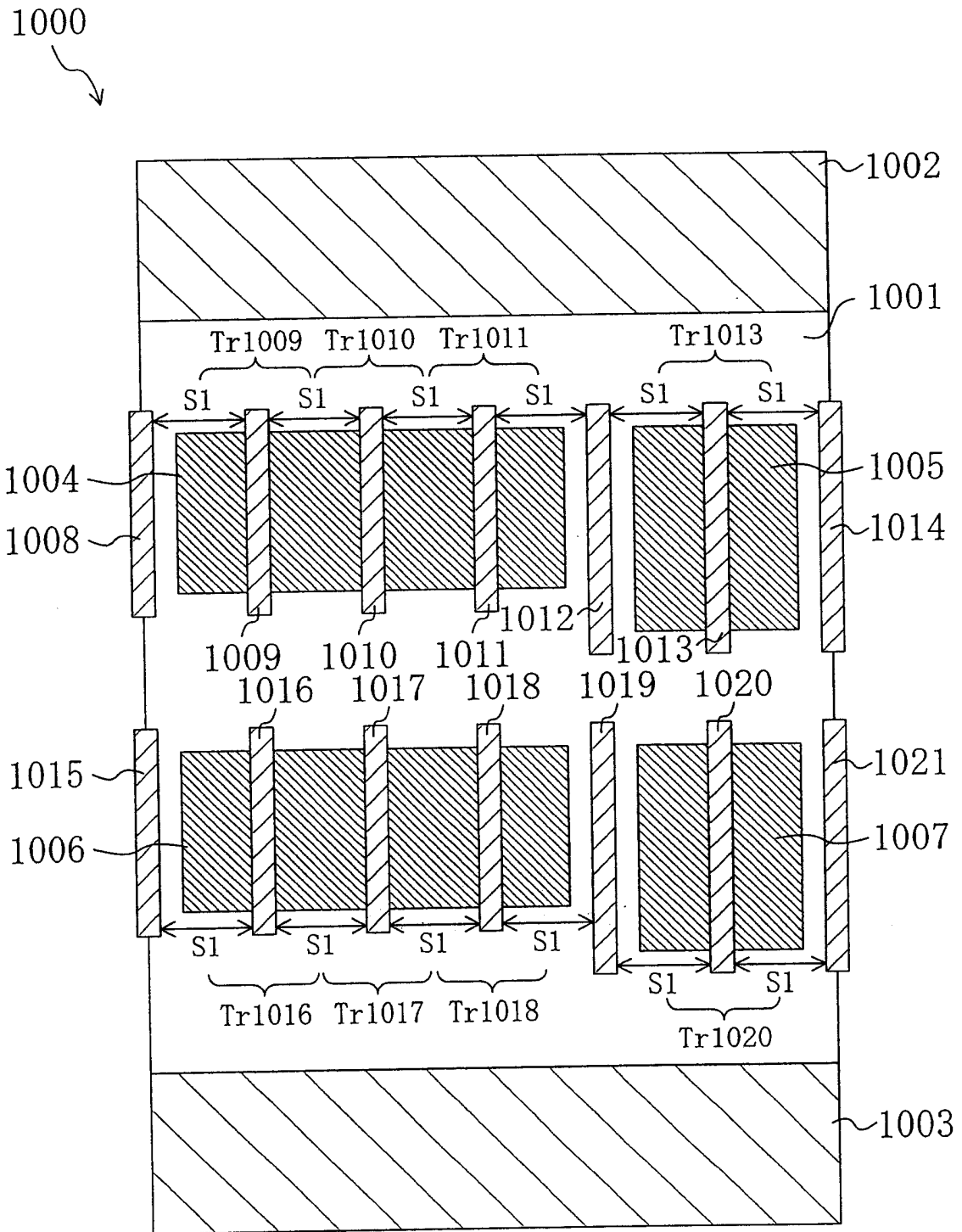


图 10

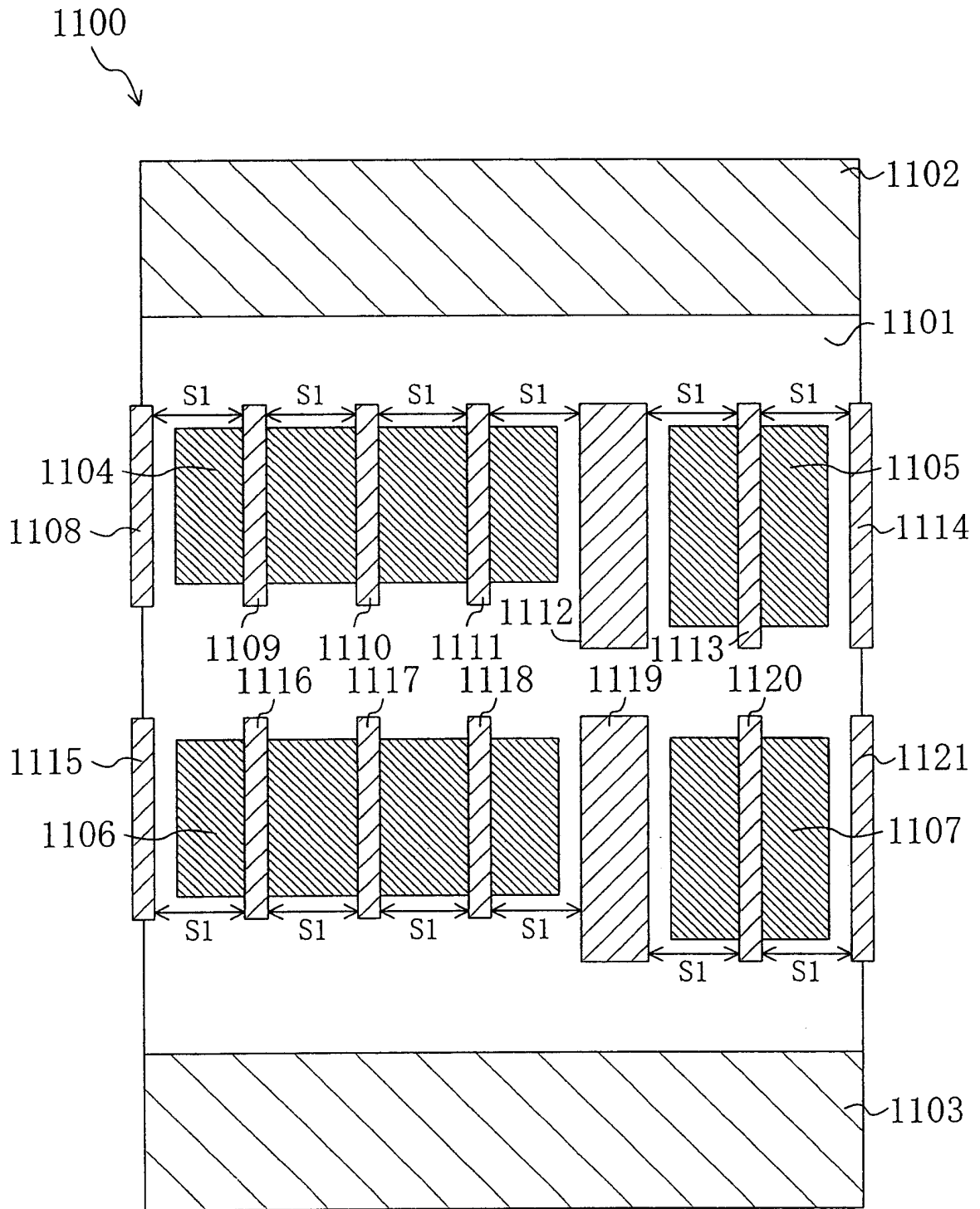


图 11

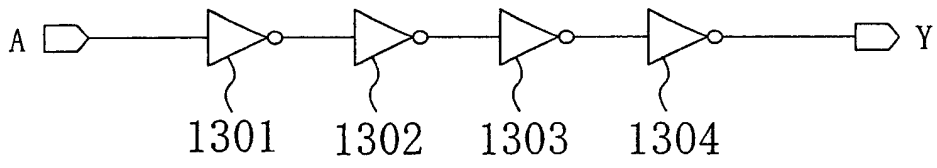


图 12A

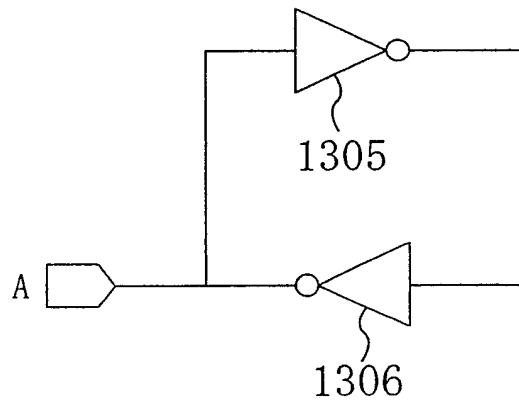


图 12B

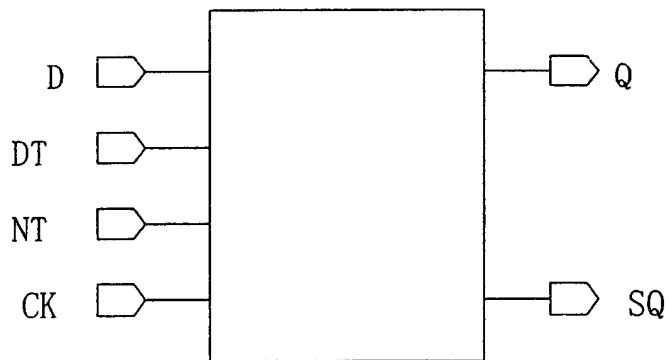


图 13