

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013年12月5日 (05.12.2013)



(10) 国际公布号
WO 2013/178078 A1

- (51) 国际专利分类号:
H01L 27/146 (2006.01) H01L 29/808 (2006.01)
H01L 21/337 (2006.01)
- (21) 国际申请号: PCT/CN2013/076473
- (22) 国际申请日: 2013年5月30日 (30.05.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210179855.6 2012年6月1日 (01.06.2012) CN
- (71) 申请人: 格科微电子(上海)有限公司 (GALAXY-CORE SHANGHAI LIMITED CORPORATION) [CN/CN]; 中国上海市浦东新区盛夏路560号2幢11层, Shanghai 201203 (CN)。
- (72) 发明人: 赵立新 (ZHAO, Lixin); 中国上海市浦东新区盛夏路560号2幢11层, Shanghai 201203 (CN)。李文强 (LI, Wenqiang); 中国上海市浦东新区盛夏路560号2幢11层, Shanghai 201203 (CN)。蒋珂玮 (JIANG, Kewei); 中国上海市浦东新区盛夏路560号2幢11层, Shanghai 201203 (CN)。
- (74) 代理人: 北京市金杜律师事务所 (KING & WOOD MALLESONS); 中国北京市朝阳区东三环中路1号

环球金融中心办公楼东楼20层, Beijing 100020 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

[见续页]

(54) Title: IMAGE SENSOR AND TRANSISTOR MANUFACTURING METHOD

(54) 发明名称: 图像传感器与晶体管的制作方法

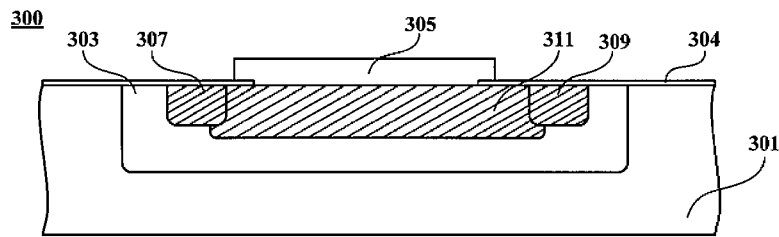


图 3a / FIG. 3a

(57) Abstract: Provided are an image sensor (200) and transistor (204, 300) manufacturing method, the image sensor (200) comprising a pixel array; one or more pixel units of the pixel array comprise one source follower transistor (204, 300); the source follower transistor (204, 300) is a junction type field effect transistor, and comprises: a first conductive substrate (301); a second conductive well (303) located in the first conductive substrate (301); a second conductive deposition doped layer (305) located outside the surface of the first conductive substrate (301) and at least partially located on the second conductive well (303); a first conductive source area (307) located in the second conductive well (303); a first conductive drain area (309) located in the first conductive substrate (301) and/or in the second conductive well (303); and a first conductive doped layer (311) at least partially located between the second conductive well (303) and the second conductive deposition doped layer (305), such that the first conductive source area (307) is electrically connected to the first conductive drain area (309), and a PN junction is formed between the first conductive doped layer and the second conductive well (303) and between the first conductive doped layer and the second conductive deposition doped layer (305) respectively.

(57) 摘要:

[见续页]



WO 2013/178078 A1

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

提供一种图像传感器 (200) 与晶体管 (204, 300) 的制作方法。图像传感器 (200) 包括像素阵列, 像素阵列的一个或多个像素单元包括一个源跟随晶体管 (204, 300)。源跟随晶体管 (204, 300) 是结型场效应晶体管, 包括: 第一导电类型衬底 (301); 第二导电类型阱 (303), 位于第一导电类型衬底 (301) 中; 第二导电类型淀积掺杂层 (305), 位于第一导电类型衬底 (301) 表面外并至少部分位于第二导电类型阱 (303) 上; 第一导电类型源区 (307), 位于第二导电类型阱 (303) 中; 第一导电类型漏区 (309), 位于第一导电类型衬底 (301) 中和/或第二导电类型阱 (303) 中; 第一导电类型掺杂层 (311), 至少部分位于第二导电类型阱 (303) 与第二导电类型淀积掺杂层 (305) 之间, 以使得第一导电类型源区 (307) 与第一导电类型漏区 (309) 电连接, 并在其与第二导电类型阱 (303) 之间以及其与第二导电类型淀积掺杂层 (305) 之间分别形成 PN 结。

图像传感器与晶体管的制作方法

技术领域

- 5 本发明涉及半导体技术领域，更具体地，本发明涉及一种图像传感器以及一种晶体管的制作方法。

背景技术

传统的图像传感器通常可以分为两类：电荷耦合器件（Charge
10 Coupled Device, CCD）图像传感器和互补金属氧化物半导体（CMOS）
图像传感器。其中，CMOS 图像传感器具有体积小、功耗低、生产成本
低等优点，因此，CMOS 图像传感器易于集成在例如手机、笔记本电脑、
平板电脑等便携电子设备中，作为提供数字成像功能的摄像模组使用。

CMOS 图像传感器通常采用 3T 或 4T 的像素结构。图 1 即示出了一
15 种传统 CMOS 图像传感器的 4T 像素结构，包括光电二极管 11、转移晶
体管 12、复位晶体管 13、源跟随晶体管 14 以及行选择晶体管 15。其中，
光电二极管 11 用于感应光强变化而形成相应的图像电荷信号。转移晶
体管 12 用于接收转移控制信号 TX，在转移控制信号 TX 的控制下，转
移晶体管 12 相应导通或关断，从而使得光电二极管 11 所感应的图像电
20 荷信号被读出到与该转移晶体管 12 漏极耦接的浮动扩散区（floating
diffusion），进而由该浮动扩散区存储图像电荷信号。复位晶体管 13 用
于接收复位控制信号 RST，在该复位控制信号 RST 的控制下，复位晶
体管 13 相应导通或关断，从而向源跟随晶体管 14 的栅极提供复位信号。
源跟随晶体管 14 用于将转移晶体管 12 获得的图像电荷信号转换为电压
25 信号，并且该电压信号可以通过行选择晶体管 15 输出到位线 BL 上。

然而，传统 CMOS 图像传感器输出的电压信号中往往具有较大的
闪烁噪声，特别在光线较弱时，这种闪烁噪声更为明显。电压信号中的
闪烁噪声会显著地降低图像质量。

发明内容

因此，需要提供一种具有较低闪烁噪声的图像传感器。

发明人经过研究发现，传统的 CMOS 图像传感器往往采用表面沟道晶体管来作为源跟随晶体管。在这种源跟随晶体管中，导电沟道位于
5 衬底表面，并靠近衬底上的栅氧化层。然而，衬底与栅氧化层的界面容易形成界面态，该界面态会随机地俘获或释放载流子，从而引起沟道电流的变化，进而在源跟随晶体管输出的电压信号中引入闪烁噪声。

为了解决上述问题，根据本发明的一个方面，提供了一种图像传感器。该图像传感器包括像素阵列，该像素阵列中的一个或多个像素单元
10 包括一个源跟随晶体管，所述源跟随晶体管是结型场效应晶体管，其包括：第一导电类型衬底；第二导电类型阱，位于所述第一导电类型衬底中；第二导电类型淀积掺杂层，位于所述第一导电类型衬底表面外并至少部分位于所述第二导电类型阱上；第一导电类型源区，位于所述第二导电类型阱中；第一导电类型漏区，位于所述第一导电类型衬底中和/
15 或位于所述第二导电类型阱中；第一导电类型掺杂层，至少部分位于所述第二导电类型阱与所述第二导电类型淀积掺杂层之间，以使得所述第一导电类型源区与所述第一导电类型漏区电连接，并在其与所述第二导电类型阱之间以及其与所述第二导电类型淀积掺杂层之间分别形成 PN 结。

20 相比于现有技术的图像传感器，由于采用了结型场效应晶体管替代表面沟道 MOS 晶体管作为源跟随晶体管，这避免了导电沟道中的载流子因氧化层-半导体衬底界面处的界面态而被随机俘获或释放，从而有效减少了输出的电压信号中的闪烁噪声，进而提高了图像传感器的成像质量。此外，在该结型场效应晶体管中，导电沟道一侧的 PN 结是通过
25 位于第一导电类型衬底表面外的第二导电类型淀积掺杂层以及与其相接触的第一导电类型掺杂层形成的。由于第二导电类型淀积掺杂层的边缘可以通过例如干法刻蚀来形成，其轮廓易于控制，因此采用该结型场效应晶体管的图像传感器可靠性较高，并且不同像素单元之间的性能差异较小。

5 在一个实施例中，所述第二导电类型淀积掺杂层包括掺杂的多晶硅层或非晶硅层。该掺杂的多晶硅或非晶硅可以通过化学气相淀积方式或其他适合的淀积方式形成在第一导电类型衬底表面外，而无需通过离子注入方式形成在第一导电类型衬底中。这可以减少一次离子注入，从而降低了图像传感器的制作成本。此外，由于减少了一次离子注入，因而源跟随晶体管中导电沟道的轮廓易于控制，并且不会由于退火次数过多而造成较深的结深而影响其性能。因此，该源跟随晶体管无需在其导电沟道外的第一导电类型衬底中制作较深的隔离槽来隔离相邻区域，这可以降低制作工艺难度，并减少图像传感器的面积。

10 在一个实施例中，所述第二导电类型阱与所述第二导电类型淀积掺杂层在所述第一导电类型掺杂层外至少部分相互重叠，以使得所述第二导电类型阱与所述第二导电类型淀积掺杂层相互电连接。

15 在一个实施例中，所述第一导电类型漏区和/或第一导电类型掺杂层至少部分位于所述第二导电类型阱外，以使得所述第一导电类型漏区与所述第一导电类型衬底电连接。

20 在一个实施例中，所述第二导电类型淀积掺杂层的边缘位于第一导电类型衬底表面的介电层上或者位于第一导电类型衬底中的隔离沟槽上。在刻蚀第二导电类型掺杂层的过程中，其边缘与第一导电类型衬底之间的介电层可以使得第二导电类型掺杂层的刻蚀停止在介电层上或隔离沟槽上，从而避免第一导电类型衬底的损伤以及由此带来的晶体管损伤。

25 根据本发明的另一方面，还提供了一种晶体管的制作方法，包括下述步骤：提供第一导电类型衬底，所述第一导电类型衬底中掺杂形成有第二导电类型阱；在所述第一导电类型衬底和/或所述第二导电类型阱中掺杂形成第一导电类型掺杂层；形成第二导电类型淀积掺杂层，其位于所述第一导电类型衬底表面外并至少部分位于所述第一导电类型掺杂层上，以使得所述第二导电类型淀积掺杂层与所述第一导电类型掺杂层之间形成PN结；在所述第二导电类型阱中形成第一导电类型源区，并在所述第二导电类型阱中和/或所述第一导电类型衬底中形成第一导

电类型漏区，以使得所述第一导电类型源区与所述第一导电类型漏区电连接。

5 在一个实施例中，所述第二导电类型淀积掺杂层的边缘位于第一导电类型衬底表面的介电层上或者位于第一导电类型衬底中的隔离沟槽上。

10 在一个实施例中，在形成所述第二导电类型淀积掺杂层的步骤之前，还包括：在所述第一导电类型衬底表面形成所述介电层和/或在所述第一导电类型衬底中形成隔离沟槽；并且所述形成第二导电类型淀积掺杂层的步骤进一步包括：部分刻蚀所述介电层，以使得所述第一导电类型掺杂层至少部分露出；在所述露出的第一导电类型掺杂层上淀积掺杂的多晶硅或非晶硅以形成所述第二导电类型淀积掺杂层；以及部分刻蚀所述第二导电类型淀积掺杂层并使得被刻蚀的第二导电类型淀积掺杂层边缘位于所述介电层上和/或所述隔离沟槽上。

15 在一个实施例中，所述部分刻蚀介电层的步骤进一步包括：部分刻蚀所述介电层，以使得所述第一导电类型掺杂层与所述第二导电类型阱至少部分露出。

20 在一个实施例中，所述淀积掺杂的多晶硅或非晶硅的步骤进一步包括：在淀积所述多晶硅或非晶硅的同时对所淀积的多晶硅或非晶硅进行掺杂，或者在淀积所述多晶硅或非晶硅之后，对所淀积的多晶硅或非晶硅进行掺杂。

本发明的以上特性及其他特性将在下文中的实施例部分进行明确地阐述。

附图说明

25 通过参照附图阅读以下所作的对非限制性实施例的详细描述，能够更容易地理解本发明的特征、目的和优点。其中，相同或相似的附图标记代表相同或相似的装置。

图 1 示出了一种传统 CMOS 图像传感器的 4T 像素结构；

图 2 示出了根据本发明一个实施例的图像传感器 200；

图 3a 示出了图 2 中图像传感器 200 的源跟随晶体管的一个例子 300;

图 3b 示出了图 2 中图像传感器 200 的源跟随晶体管的另一例子;

图 4a 示出了图 2 中图像传感器 200 的源跟随晶体管的另一例子
5 400;

图 4b 示出了图 4a 的源跟随晶体管沿 AA'方向的剖面示意图;

图 5a 示出了根据本发明一个实施例的晶体管的制作方法 500;

图 5b 至图 5e 示出了图 5a 中的制作方法 500 的剖面示意图。

10 具体实施方式

下面详细讨论实施例的实施和使用。然而，应当理解，所讨论的具体实施例仅仅示范性地说明实施和使用本发明的特定方式，而非限制本发明的范围。

参考图 2，示出了根据本发明一个实施例的图像传感器 200，该图
15 像传感器 200 包括像素阵列，该像素阵列中的每个像素单元包括：光电二极管 201，用于感应光强变化而生成相应的图像电荷信号；转移晶体管 202，用于转移图像电荷信号；以及源跟随晶体管 204，用于基于所转移的图像电荷信号生成电压信号，其中，该源跟随晶体管 204 是结型场效应晶体管。

20 需要说明的是，在一些例子中，像素阵列中的多个像素单元可以具有一个源跟随晶体管 204，例如相邻的 2 个、4 个或更多个像素单元可以共用一个源跟随晶体管 204 以输出电压信号。此外，在本实施例中，源跟随晶体管 204 是 P 型场效应晶体管。本领域技术人员可以理解，在其他的实施例中，源跟随晶体管 204 亦可为 N 型场效应晶体管。

25 具体地，光电二极管 201 耦接于参考电位线 VSS，例如地或负电源电位，与转移晶体管 202 的源极之间，用于感应光强变化而形成相应的图像电荷信号。转移晶体管 202 的漏极与源跟随晶体管 204 的栅极相连，该转移晶体管 202 的栅极用于接收转移控制信号 TX，在转移控制信号 TX 的控制下，转移晶体管 202 相应导通或关断，从而使得光电二极管

201 所感应的图像电荷信号被读出到耦接在该转移晶体管 202 的漏极的浮动扩散区, 并由该浮动扩散区存储图像电荷信号。

源跟随晶体管 204 耦接在参考电位线 VSS 与偏置电流源 205 之间, 其漏极耦接至参考电位线 VSS, 其源极耦接至该偏置电流源 205 并用于
5 输出电压信号, 其栅极耦接至转移晶体管 202 的漏极, 即耦接到浮动扩散区, 以获取转移晶体管 202 所转移的图像电荷信号。在偏置电流源 205 的偏置下, 源跟随晶体管 204 源极的电压跟着其栅极所获取的图像电荷信号变化而变化, 其电压增益接近于 1。在一个实施例中, 源跟随晶体管 204 的源极进一步通过行选择晶体管(图中未示出)耦接到位线(图
10 中未示出), 并将该电压信号提供给图像传感器的信号处理电路。

在一个实施例中, 该图像传感器还包括复位晶体管 203, 该复位晶体管 203 的漏极用于接收复位信号 RSG, 其源极耦接到转移晶体管 202 的漏极与源跟随晶体管 204 的栅极。该复位晶体管 203 的栅极用于接收
15 复位控制信号 RST, 在该复位控制信号 RST 的控制下, 复位晶体管 203 相应导通或关断, 从而向源跟随晶体管 204 的栅极提供复位信号。在该实施例中, 转移晶体管 202 与复位晶体管 203 均为 NMOS 晶体管, 可以理解, 在其他的实施例中, 转移晶体管 202 与复位晶体管 203 亦可采用其他类型的晶体管, 例如 PMOS 晶体管或结型场效应管。

由于采用了结型场效应晶体管替代表面沟道 MOS 晶体管作为源跟
20 随晶体管 204, 这避免了导电沟道中的载流子因氧化层-半导体衬底界面处的界面态而被随机俘获或释放, 从而有效减少了输出的电压信号中的闪烁噪声, 进而提高了图像传感器 200 的成像质量。

在复位电容 213 与图像电容 211 分别存储对应于复位信号与图像电荷信号的电荷之后, 放大单元 215 对这两个电容上的电压差进行放大,
25 并将经过放大的输出电压提供给后续的处理电路。

图 3a 示出了图 2 中图像传感器 200 的源跟随晶体管的一个例子 300, 其中该源跟随晶体管为 P 型场效应晶体管。本领域普通技术人员应当理解, 其工作原理同样适用于源跟随晶体管为 N 型场效应晶体管的情形。

如图 3a 所示, 该源跟随晶体管包括:

P 型衬底 301;

N 型阱 303, 其位于 P 型衬底 301 中;

5 N 型淀积掺杂层 305, 其位于 P 型衬底 301 表面外, 并至少部分位于 N 型阱 303 上;

P 型源区 307, 其位于 N 型阱 303 中;

P 型漏区 309, 其位于 P 型衬底 301 中和/或 N 型阱 303 中;

10 P 型掺杂层 311, 其至少部分位于 N 型阱 303 与 N 型淀积掺杂层 305 之间, 以使得 P 型源区 307 与 P 型漏区 309 电连接, 并且使得 P 型源区 307 与 P 型漏区 309 电连接, 并在 P 型掺杂层 311 与 N 型阱 303 之间, 以及在该 P 型掺杂层 311 与 N 型淀积掺杂层 305 之间分别形成 PN 结。

具体地, P 型衬底 301 可以是 P 型掺杂的半导体晶片, 或者是 P 型掺杂的绝缘体上硅 (SOI), 或者是 N 型掺杂的半导体晶片中的 P 型阱区, 或者其他类似衬底或阱区。

15 P 型源区 307 全部位于 N 型阱 303 中。该 N 型阱 303 使得 P 型源区 307 与 P 型衬底 301 相互隔离。由于源区 307 用于输出电压信号, 其可能具有较高的电位, 而 P 型衬底 301 通常耦接到参考电位线, 例如地。因此, 源区 307 与 P 型衬底 301 相互隔离可以避免衬底穿通, 以保证源跟随晶体管的正常工作。

20 根据具体实施例的不同, 该 P 型漏区 309 可以全部位于 N 型阱 303 外的 P 型衬底 301 中; 或者全部位于 N 型阱 303 中; 或者一部分位于 N 型阱 303 内, 而另一部分位于 N 型阱 303 外的 P 型衬底 301 中。在图 3a 所示的例子 300 中, P 型漏区 309 全部位于 N 型阱 303 中, 因而其与 P 型源区 307 通过 N 型阱 303 内的 P 型掺杂层 311 相互电连接。在实际应用中, 该 P 型源区 307 以及 P 型漏区 309 分别与 P 型掺杂层 311 相互部分重叠 (overlap) 以实现其间的电连接。与 P 型掺杂层 311 对应, N 型淀积掺杂层 305 也可以全部或部分地位于 N 型阱 303 上, 并位于源区 307 与漏区 309 之间。在图 3a 的例子 300 中, 该 N 型淀积掺杂层 305 的布图 (layout) 全部位于 N 型阱 303 的布图内。

P型掺杂层 311 位于 N 型阱 303 与 N 型淀积掺杂层 305 之间, 并电连接 P 型源区 307 与 P 型漏区 309。由于 P 型掺杂层 311 至少部分位于 N 型阱 303 中, 因而该 P 型掺杂层 311 与 N 型阱 303 接触, 从而在其接触界面附近形成了结型场效应管的一个 PN 结。此外, P 型掺杂层 311 还与位于其上的 N 型淀积掺杂层 305 至少部分相互接触, 从而在其接触界面附近形成了结型场效应管的另一个 PN 结。这使得 N 型阱 303 与 N 型淀积掺杂层 305 作用为该源跟随晶体管的栅极, 而两个 PN 结之间的区域即为源跟随晶体管 300 的导电沟道区。当源跟随晶体管工作时, N 型淀积掺杂层 305 (以及 N 型阱 303) 与源区 307 以及漏区 309 之间的电压差的不同会引起这两个 PN 结的结空间电荷区的宽度变化, 即改变了结型场效应管的导电沟道厚度, 进而改变了沟道电流的大小。需要说明的是, 由于 P 型掺杂层 311 与 N 型淀积掺杂层 305 采用相同的材料, 即由硅构成, 因而其接触面位置的界面态缺陷远少于氧化层-衬底界面的界面态缺陷。由于沟道电流处于远离 P 型衬底 301 表面的 P 型掺杂层 311 内, 其基本上不会受到 P 型衬底 301 表面氧化层-衬底界面的界面态作用, 从而大大降低了界面态缺陷随机俘获或释放载流子的几率, 进而有效减少了源跟随晶体管输出电压信号中的闪烁噪声。

在一些实施例中, N 型淀积掺杂层 305 与 P 型掺杂层 311 之间的电接触可以通过移除 P 型衬底 301 表面的介电层 304, 例如氧化层, 实现, 即: P 型衬底 301 表面通常形成有一层氧化层, 可以将 P 型掺杂层 311 上方的氧化层部分移除以将该 P 型掺杂层 311 从 P 型衬底 301 表面露出; 之后, 再在 P 型衬底 301 上淀积例如掺杂的多晶硅或非晶硅以形成该 N 型淀积掺杂层 305。该介电层 304 可以预先形成在 P 型衬底 301 表面。由于介电层 304 的隔离, N 型淀积掺杂层 305 仅与 P 型掺杂层 311 接触并构成 PN 结, 而不会与 P 型源区 307 以及 P 型漏区 309 电接触。在一些例子中, 掺杂的多晶硅层或非晶硅层可以在被淀积时一并对该多晶硅或非晶硅进行掺杂, 即在淀积的反应腔体中加入具有掺杂离子的气体。这就不需要再以离子注入的方式来掺杂形成 N 型淀积掺杂层 305, 这可以减少一次离子注入, 从而降低图像传感器的制作成本。可以理解, 在

一些其他的例子中，N型淀积掺杂层 305 也可以通过下述方式形成：先淀积多晶硅或非晶硅，再对所淀积的多晶硅或非晶硅进行掺杂，例如以离子注入或扩散方式掺杂。

此外，N型淀积掺杂层 305 可以采用例如干法刻蚀来控制，其轮廓易于控制，因此采用该结型场效应管的图像传感器 300 可靠性较高。优选地，在图 3a 所示的实施例中，N型淀积掺杂层 305 的边缘位于介电层 304 上。该介电层 304 使得 N型淀积掺杂层 305 边缘与 P型衬底 301 隔离。在刻蚀 N型淀积掺杂层 305 的过程中，其边缘与 P型衬底 301 之间的介电层 304 可以使得 N型淀积掺杂层 305 的刻蚀停止在介电层 304 上，从而避免 P型衬底 301 的损伤以及由此带来的晶体管损伤。在一些例子中，N型淀积掺杂层 305 与 P型衬底 301 接触的部分位于介电层 304 的窗口内，其边缘超出该介电层 304 窗口边缘一定长度，例如 5 纳米、10 纳米、50 纳米，等等。

在一些例子中，N型阱 303 与 N型淀积掺杂层 305 可以在 P型掺杂层 311 外部分相互重叠，从而使得 N型阱 303 与 N型淀积掺杂层 305 相互电连接。这就不需要在 N型阱 303 中制作额外的通孔或其他结构来引出 N型阱 303，从而降低了制作成本。可以理解，在另一些例子中，N型阱 303 与 N型淀积掺杂层 305 也可以不相互直接接触，而是通过介电层 304 中的通孔来电连接。

图 3b 示出了图 2 中图像传感器 200 的源跟随晶体管的另一例子。在图 3b 中，还示出了图像传感器 200 的光电二极管，其由 P型衬底 301 以及位于 N型阱 303 外的 N型掺杂区 321 构成。

如图 3b 所示，P型衬底 301 中还包括隔离沟槽 323，其位于 N型阱 303 外，即位于 N型掺杂区 321 与 N型阱 303 之间。隔离沟槽 323 采用绝缘材料，例如氧化硅、氮化硅形成，因而具有较好的电学隔离效果。P型衬底 301 中的隔离沟槽 323 使得 N型掺杂区 321 与 N型阱 303 相互隔离，其可以有效避免光电二极管的负极与源跟随晶体管的栅极之间发生短路（即穿通）而影响图像传感器的运行。可以看出，由于减少了一次离子注入，导电沟道的轮廓易于控制，并且不会由于退火次数过多而

造成较深的结深。因此，该图像传感器无需在导电沟道外的 P 型衬底 301 中制作较深的隔离槽来隔离相邻区域，即隔离沟槽 323 可以采用浅沟槽隔离结构 (Shallow Trench Isolation)，其占用的芯片面积相对较小，因而能够有效减少图像传感器的面积。

- 5 在一个优选的实施例中，隔离沟槽 323 可以与 P 型源区 307 和/或 N 型掺杂区 321 相邻，这可以进一步减少图像传感器的面积，从而提高芯片集成度。特别地，在图 3b 所示的例子中，隔离沟槽 323 与 N 型阱 303 以及 P 型源区 307 相邻，这使得 N 型阱 303 与 P 型衬底 301 的接触面积减小，从而有效减少了 N 型阱 303 与 P 型衬底 301 之间的寄生电容。
- 10 在图像传感器中，N 型阱 303 会被耦接到图像传感器的浮动扩散区。可以理解，N 型阱 303 与 P 型衬底 301 之间的寄生电容越小，图像传感器的灵敏度也越高。因此，与 N 型阱 303 以及 P 型源区 307 相邻的隔离沟槽 323 能够进一步提高图像传感器的灵敏度。

- 此外，在一些实施例中，N 型淀积掺杂层 305 的边缘也可以位于隔离沟槽 323 上。该隔离沟槽 323 使得 N 型淀积掺杂层 305 边缘与 P 型衬底 301 隔离。在刻蚀 N 型淀积掺杂层 305 的过程中，其边缘与 P 型衬底 301 之间的隔离沟槽 323 可以使得 N 型淀积掺杂层 305 的刻蚀停止在隔离沟槽 323 上，从而避免 P 型衬底 301 的损伤以及由此带来的晶体管损伤。
- 15

- 20 图 4a 与图 4b 示出了图 2 中图像传感器 200 的源跟随晶体管的另一例子 400。其中，图 4b 是图 4a 中源跟随晶体管沿 AA' 方向的剖面示意图。

- 如图 4a 与图 4b 所示，该源跟随晶体管具有与图 3a 中的源跟随晶体管类似的结构。但是，该源跟随晶体管的漏区 409 位于 N 型阱 403 外的 P 型衬底 401 中，这使得 P 型掺杂的漏区 409 与 P 型衬底 401 电连接。在实际应用中，该漏区 409 与 P 型衬底 401 均耦接至参考电位线，例如地，因此其间不具有电压差，从而不会在漏区 409 与 P 型衬底 401 之间形成电流。
- 25

 相应地，P 型掺杂层 411 至少部分地由 N 型阱 403 延伸至 P 型衬底

401 中，以使得该 P 型衬底 401 与 P 型掺杂层 411 共同电连接源区 407 与漏区 409。这样，当该源跟随晶体管导通时，沟道电流能够由漏区 409 经过该 P 型衬底 401 以及 P 型掺杂层 411 而流向源区 407。

特别地，对于图像传感器 200 而言，其通常具有多个像素单元，而每个像素单元均具有源跟随晶体管。对于这些源跟随晶体管的漏区 409，可以有部分或全部漏区 409 均至少部分地位于 N 型阱 403 外的 P 型衬底 401 中。这样，这些位于 N 型阱 403 外的漏区 409 可以具有与 P 型衬底 401 相等的电位，从而其相互之间具有相等的电位。因而，这可以使得在不增加芯片面积的情况下提高了接地的效果，例如可以通过 P 型衬底 401 来共享接地，这就避免不同像素单元接地电位不一致，从而进一步提高了图像传感器的性能。

参考图 4a，N 型阱 403 与 N 型淀积掺杂层 405 在 P 型掺杂层 411 外至少部分相互重叠，从而使得 N 型阱 403 与 N 型淀积掺杂层 405 相互电连接。这就不需要在 N 型阱 403 中制作额外的通孔来引出 N 型阱 403，从而降低了制作成本。

图 5a 示出了根据本发明一个实施例的晶体管的制作方法 500。

如图 5a 所示，该制作方法 500 包括：

执行步骤 S501，提供第一导电类型衬底，该第一导电类型衬底中掺杂形成有第二导电类型阱；

执行步骤 S503，在第一导电类型衬底和/或第二导电类型阱中掺杂形成第一导电类型掺杂层；

执行步骤 S505，形成第二导电类型淀积掺杂层，其位于第一导电类型衬底表面外并至少部分位于第一导电类型掺杂层上，以使得第二导电类型淀积掺杂层与第一导电类型掺杂层之间形成 PN 结；

执行步骤 S507，在第二导电类型阱中形成第一导电类型源区，并在第二导电类型阱中和/或第一导电类型衬底中形成第一导电类型漏区，以使得第一导电类型源区与第一导电类型漏区电连接。

可以理解，该晶体管的制作方法 500 可以用于制作图像传感器中的源跟随晶体管。在实际应用中，制作图像传感器的工艺还包括形成图像

传感器像素单元中的光电二极管、以及其他晶体管，例如转移晶体管、复位晶体管、行选择晶体管的步骤，在此不再赘述。

5 在一些例子中，第二导电类型淀积掺杂层的边缘位于第一导电类型衬底表面的介电层上，或者位于第一导电类型衬底中的隔离沟槽上。在刻蚀第二导电类型淀积掺杂层的过程中，其边缘与第一导电类型衬底之间的介电层或隔离沟槽可以使得第二导电类型淀积掺杂层的刻蚀自停止在介电层或隔离沟槽上，从而避免第一导电类型衬底的刻蚀损伤以及由此带来的晶体管损伤。

10 在一些例子中，在步骤 S505 之前，还包括：在第一导电类型衬底表面形成介电层和/或在第一导电类型衬底中形成隔离沟槽；并且形成第二导电类型淀积掺杂层的步骤进一步包括：部分刻蚀介电层，以使得第一导电类型掺杂层至少部分露出；在露出的第一导电类型掺杂层上淀积掺杂的多晶硅或非晶硅以形成第二导电类型淀积掺杂层；以及部分刻蚀第二导电类型淀积掺杂层并使得被刻蚀的第二导电类型淀积掺杂层边缘位于介电层上和/或隔离沟槽上。

20 在一个实施例中，部分刻蚀介电层的步骤进一步包括：部分刻蚀介电层以使得第一导电类型掺杂层与第二导电类型阱至少部分露出。因而，需要在露出的第一导电类型掺杂层与第二导电类型阱上淀积掺杂的多晶硅或非晶硅以形成第二导电类型淀积掺杂层。直接形成在第二导电类型阱上的第二导电类型电极掺杂层可以与其下的第二导电类型阱电接触，从而可以将该第二导电类型阱电引出，而无需制作通孔或其他电连接结构来引出该第二导电类型阱。

25 图 5b 至图 5e 示出了图 5a 的制作方法 500 的剖面示意图。其中，该制作方法 500 形成的晶体管为 P 型场效应晶体管。本领域普通技术人员应当理解，其工作原理同样适用于晶体管为 N 型场效应晶体管的情形。接下来，参考图 5a 至图 5e，对用于制作图像传感器的该晶体管的制作方法 500 的一个实施例进行详述。

如图 5b 所示，提供 P 型衬底 501，该 P 型衬底 501 中形成有光电二极管区 502 以及 N 型阱 503。该 N 型阱 503 与光电二极管区 502 通过

其间的 P 型衬底 501 相互分离。

之后，如图 5c 所示，形成 P 型掺杂层 511，其至少部分位于 N 型阱 503 中。在图 5c 中，P 型掺杂层 511 全部位于 N 型阱 503 中。此外，N 型阱 503 与位于其中的 P 型掺杂层 511 之间构成了晶体管的一个 PN 结。在 5 一些其他的实施例中，P 型掺杂层 511 也可以部分地位于 P 型衬底 501 中，并且部分地位于 N 型阱 503 中。需要说明的是，形成 P 型掺杂层 511 以及 N 型阱 503 的步骤通常采用离子注入实现，在每次离子注入之后，还需要对该 P 型衬底 501 进行退火处理，例如快速退火处理，以激活离子并减少注入引起的晶格缺陷。

10 接着，在 P 型衬底 501 表面形成介电层 504。该介电层 504 例如为氧化硅或其他介材料，可以通过例如氧化工艺或淀积工艺形成该介电层 504。可选地，在一些例子中，还可以在 P 型衬底 501 中形成隔离沟槽（图中未示出），该隔离沟槽通常位于 N 型阱 511 之外。

然后，如图 5d 所示，形成 N 型淀积掺杂层 505，其位于 P 型衬底 15 501 表面外并至少部分位于 N 型阱 503 上，以使得 N 型淀积掺杂层 505 与 N 型阱 503 中的 P 型掺杂层 511 之间形成 PN 结。

具体地，该 N 型淀积掺杂层 505 可以通过下述步骤形成：首先，部分刻蚀介电层 504，以在 P 型衬底 501 上形成窗口，该窗口使得 P 型掺杂层 511 至少部分露出；接着，在露出的 P 型掺杂层 511 上淀积掺杂的多晶硅或非晶硅以形成 N 型淀积掺杂层 505；之后，部分刻蚀 N 型淀积掺杂层 505 并使得 N 型淀积掺杂层 505 边缘位于介电层 504 上，或者使得 N 型淀积掺杂层 505 的边缘位于隔离沟槽上，即使得该 N 型淀积掺杂层 505 的边缘不直接位于 P 型衬底 501 上。在 20 一些例子中，可以通过化学气相淀积工艺淀积多晶硅或非晶硅，并在淀积该多晶硅或非晶硅的同时掺杂 P 型离子，例如磷或砷离子，以形成掺杂的多晶硅或非晶硅。在另一些例子中，可以通过化学气相淀积工艺淀积多晶硅或非晶硅，之后，在所淀积的多晶硅或非晶硅中掺杂 P 型离子，例如通过扩散或离子注入的方式掺杂。在还有一些例子中，可以先通过化学气相淀积工艺淀积多晶硅或非晶硅，接着部分刻蚀所淀积的多晶硅或非晶硅，之后再再 25

形成源区与漏区之前或之后对被刻蚀的多晶硅或非晶硅进行离子注入来掺杂杂质离子。

在一个优选的实施例中，N型淀积掺杂层 505 还直接形成在 N 型阱 503 上。相应地，介电层 504 被刻蚀为使得 P 型掺杂层 511 与 N 型阱 503 至少部分露出，并且在露出的 P 型掺杂层 511 与 N 型阱 503 上淀积掺杂的多晶硅或非晶硅来形成 N 型淀积掺杂层。

可以看出，通过该介电层窗口，所淀积的多晶硅能够与其下的 P 型掺杂层 511 直接接触，从而形成结型场效应晶体管导电沟道另一侧的 PN 结。这个 PN 结连同 P 型掺杂层 511 与 N 型阱 503 之间的 PN 结共同限定该结型场效应晶体管的导电沟道，而 N 型阱 503 与 N 型淀积掺杂层 505 则共同作为结型场效应晶体管的两个栅极。

接着，如图 5e 所示，在 N 型阱 503 中形成 P 型源区 507 以及 P 型漏区 509，并使得该 P 型源区 507 以及 P 型漏区 509 相互电连接。在图 5e 的例子中，P 型源区 507 与 P 型漏区 509 通过其间的 P 型掺杂层 511 电连接。可以理解，在一些实施例中，P 型漏区 509 亦可形成在 N 型阱 503 外的 P 型衬底 501，该 P 型漏区 509 可以通过其与 N 型阱 503 之间的 P 型衬底 501 来电连接到 N 型阱 503，并进一步地通过 P 型掺杂层 511 电连接到 P 型源区 507。

可以看出，由于该 N 型淀积掺杂层 505 可以通过淀积工艺形成，而无需通过离子注入方式形成在 P 型衬底 501 中。这可以减少一次离子注入与退火处理，从而降低了晶体管的制作成本。此外，由于减少了一次离子注入，导电沟道的轮廓易于控制，并且不会由于退火次数过多而造成较深的结深。因此，该结型场效应晶体管无需在导电沟道外的 P 型衬底 501 中制作较深的隔离槽来隔离相邻区域，例如 N 型阱 503 与光电二极管区 502 之间，这可以降低制作工艺难度，并减少晶体管的面积。

尽管在附图和前述的描述中详细阐明和描述了本发明，应认为该阐明和描述是说明性的和示例性的，而不是限制性的；本发明不限于上述实施方式。

那些本技术领域的一般技术人员可以通过研究说明书、公开的内容

及附图和所附的权利要求书，理解和实施对披露的实施方式的其他改变。在权利要求中，措词“包括”不排除其他的元素和步骤，并且措辞“一个”不排除复数。在发明的实际应用中，一个零件可能执行权利要求中所引用的多个技术特征的功能。权利要求中的任何附图标记不应理解为对范围的限制。

权 利 要 求 书

1. 一种图像传感器，其特征在于，包括像素阵列，所述像素阵列中的一个或多个像素单元包括一个源跟随晶体管，所述源跟随晶体管是结型场效应晶体管，其包括：
- 5 第一导电类型衬底；
第二导电类型阱，位于所述第一导电类型衬底中；
第二导电类型淀积掺杂层，位于所述第一导电类型衬底表面外并至少部分位于所述第二导电类型阱上；
- 10 第一导电类型源区，位于所述第二导电类型阱中；
第一导电类型漏区，位于所述第一导电类型衬底中和/或位于所述第二导电类型阱中；
第一导电类型掺杂层，至少部分位于所述第二导电类型阱与所述第二导电类型淀积掺杂层之间，以使得所述第一导电类型源区与
- 15 所述第一导电类型漏区电连接，并在其与所述第二导电类型阱之间以及其与所述第二导电类型淀积掺杂层之间分别形成 PN 结。
2. 根据权利要求 1 所述的图像传感器，其特征在于，所述第二导电类型淀积掺杂层包括掺杂的多晶硅层或非晶硅层。
3. 根据权利要求 1 所述的图像传感器，其特征在于，所述第二导电类型阱与所述第二导电类型淀积掺杂层在所述第一导电类型掺杂层外至少部分相互重叠，以使得所述第二导电类型阱与所述第二导电类型淀积掺杂层相互电连接。
- 20 4. 根据权利要求 1 所述的图像传感器，其特征在于，所述第一导电类型漏区和/或所述第一导电类型掺杂层至少部分位于所述第二导电类型阱外，以使得所述第一导电类型漏区与第一导电类型衬底电连接。
- 25 5. 根据权利要求 1 所述的图像传感器，其特征在于，所述第二导电类型淀积掺杂层的边缘位于第一导电类型衬底表面的介电层上或者位于第一导电类型衬底中的隔离沟槽上。

6. 一种晶体管的制作方法，其特征在于，包括下述步骤：

提供第一导电类型衬底，所述第一导电类型衬底中掺杂形成有第二导电类型阱；

5 在所述第一导电类型衬底和/或所述第二导电类型阱中掺杂形成第一导电类型掺杂层；

形成第二导电类型淀积掺杂层，其位于所述第一导电类型衬底表面外并至少部分位于所述第一导电类型掺杂层上，以使得所述第二导电类型淀积掺杂层与所述第一导电类型掺杂层之间形成 PN 结；

10 在所述第二导电类型阱中形成第一导电类型源区，并在所述第二导电类型阱中和/或所述第一导电类型衬底中形成第一导电类型漏区，以使得所述第一导电类型源区与所述第一导电类型漏区电连接。

7. 根据权利要求 6 所述的制作方法，其特征在于，所述第二导电类型淀积掺杂层的边缘位于第一导电类型衬底表面的介电层上或者位于第一导电类型衬底中的隔离沟槽上。

15 8. 根据权利要求 7 所述的制作方法，其特征在于，

在形成所述第二导电类型淀积掺杂层的步骤之前，还包括：在所述第一导电类型衬底表面形成所述介电层和/或在所述第一导电类型衬底中形成隔离沟槽；

并且所述形成第二导电类型淀积掺杂层的步骤进一步包括：

20 部分刻蚀所述介电层，以使得所述第一导电类型掺杂层至少部分露出；

在所述露出的第一导电类型掺杂层上淀积掺杂的多晶硅或非晶硅以形成所述第二导电类型淀积掺杂层；以及

25 部分刻蚀所述第二导电类型淀积掺杂层并使得被刻蚀的第二导电类型淀积掺杂层边缘位于所述介电层上和/或所述隔离沟槽上。

9. 根据权利要求 8 所述的制作方法，其特征在于，所述部分刻蚀介电层的步骤进一步包括：部分刻蚀所述介电层，以使得所述第一导电类型掺杂层与所述第二导电类型阱至少部分露出。

10. 根据权利要求 8 所述的制作方法，其特征在于，所述淀积掺

杂的多晶硅或非晶硅的步骤进一步包括：在淀积所述多晶硅或非晶硅的同时对所淀积的多晶硅或非晶硅进行掺杂，或者在淀积所述多晶硅或非晶硅之后，对所淀积的多晶硅或非晶硅进行掺杂。

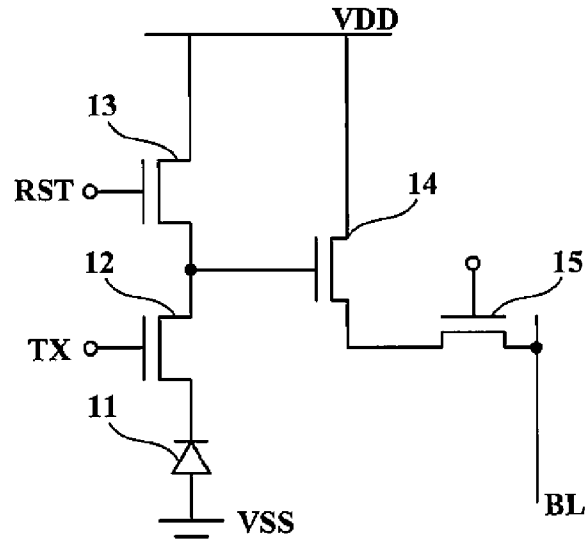


图 1

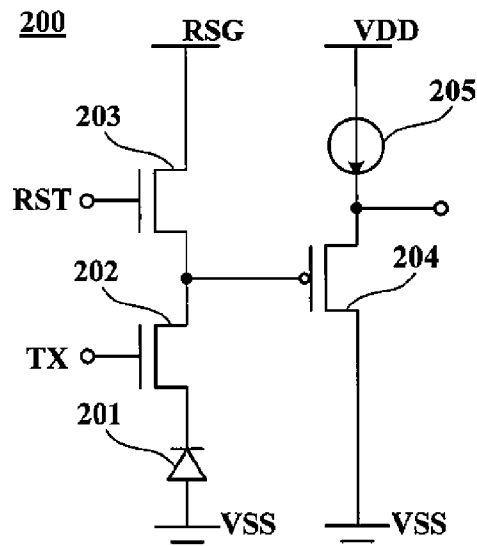


图 2

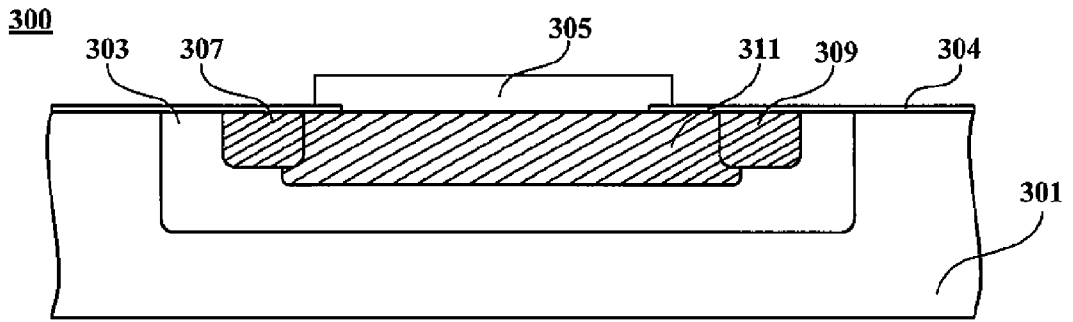


图 3a

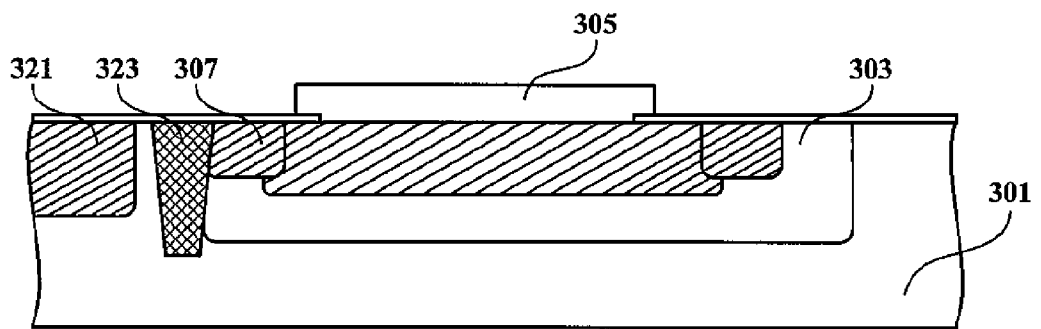


图 3b

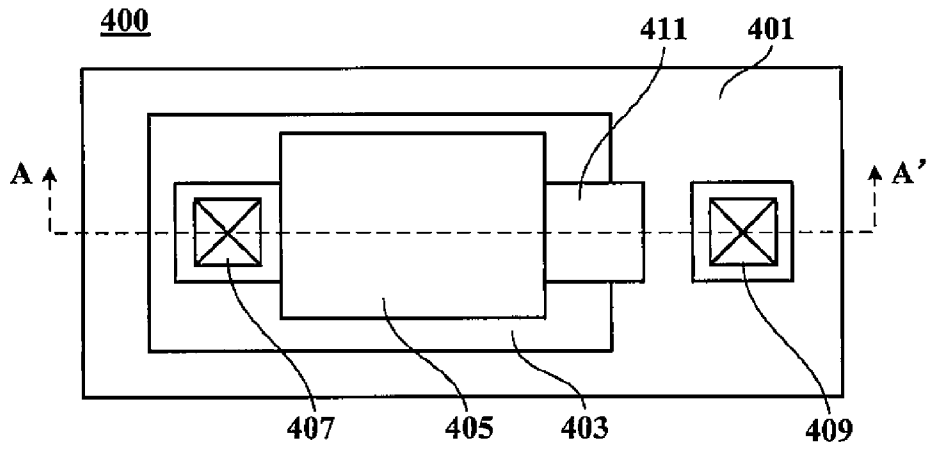


图 4a

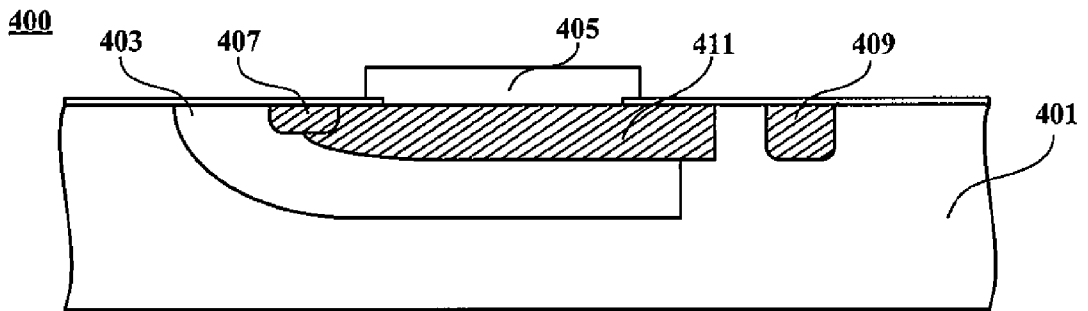


图 4b

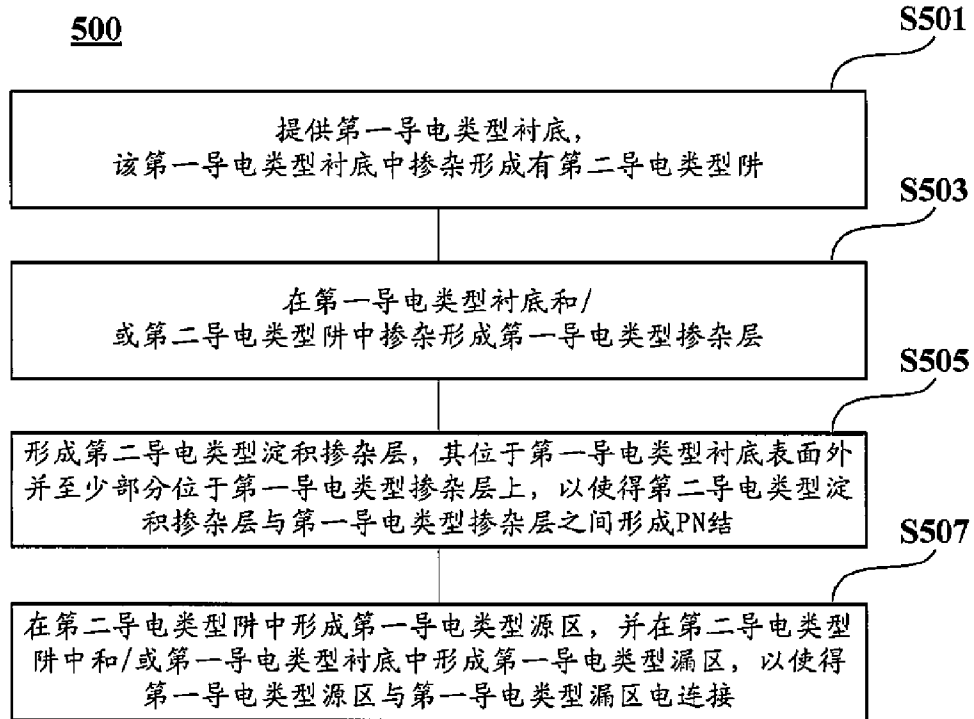


图 5a

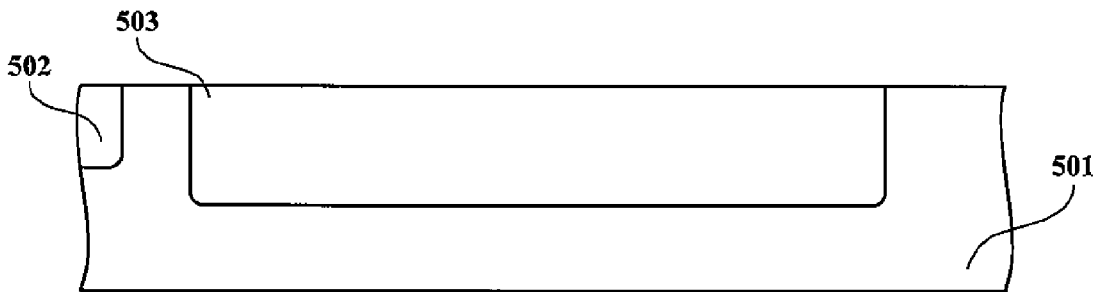


图 5b

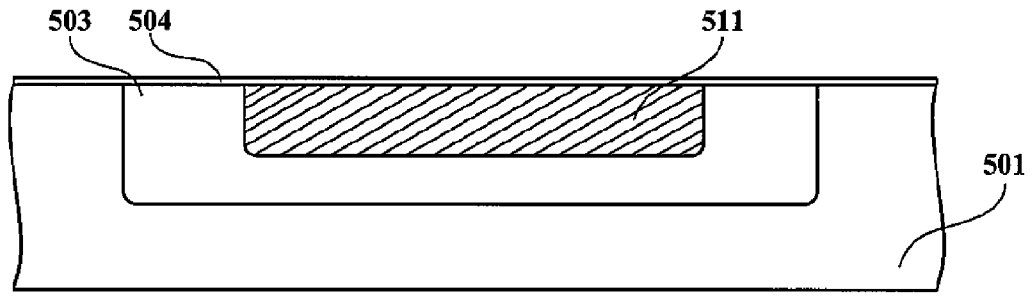


图 5c

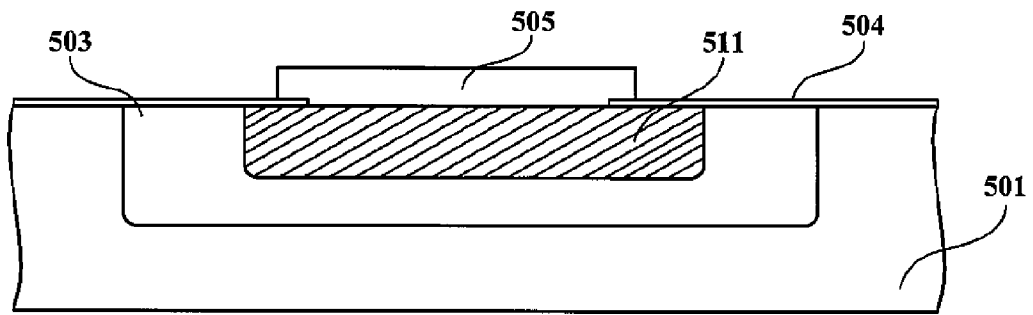


图 5d

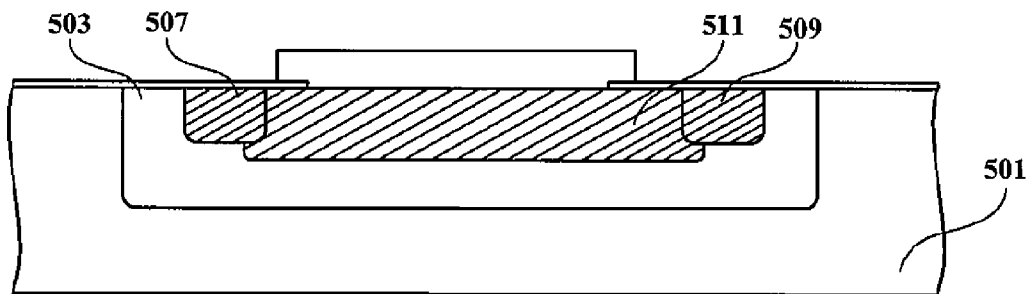


图 5e

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/076473

A. CLASSIFICATION OF SUBJECT MATTER		
See the extra sheet		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
IPC: H01L		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, CNKI, WPI, EPODOC: image sensor, image transducer, junction field effect transistor, well, CMOS, JFET, well, doped, pixel, source, drain, horizontal, source follower, pixel, sensi+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 102709302 A (GALAXYCORE INC.) 03 October 2012 (03.10.2012) claims 1-10	1-10
PX	CN 202678315 U (GALAXYCORE INC.) 16 January 2013 (16.01.2013) claims 1-5	1-5
A	CN 102054863 A (GALAXYCORE INC.) 11 May 2011 (11.05.2011) description, paragraphs [0043] to [0095], and figure 11	1-10
A	WO 2011155105 A1 (PANASONIC CORP.) 15 December 2011 (15.12.2011) description, paragraphs [0053] to [0063] and figures 7a-8f	1-10
A	CN 101366123 A (ANALOG DEVICES INC.) 11 February 2009 (11.02.2009) the whole document	1-10
A	CN 101986431 A (SHANGHAI GRACE SEMICONDUCTOR MFG CORP.) 16 March 2011 (16.03.2011) the whole document	1-10
A	US 6271550 B1 (GEHRMANN) 07 August 2001 (07.08.2001) the whole document	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
*	Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search	Date of mailing of the international search report	
29 August 2013 (29.08.2013)	12 September 2013 (12.09.2013)	
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Bin Telephone No. (86-10) 62411585	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/076473

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102709302 A	03.10.2012	None	
CN 202678315 U	16.01.2013	None	
CN 102054863 A	11.05.2011	None	
WO 2011155105 A1	15.12.2011	JPWO 2011155105 A1	01.08.2013
		US 2013087836 A1	11.04.2013
CN 101366123 A	11.02.2009	WO 2007075759 A2	05.07.2007
		CN 101366123 B	30.03.2011
		US 7411231 B2	12.08.2008
		US 2007145410 A1	28.06.2007
		JP 2009521804 A	04.06.2009
		EP 1969637 A2	17.09.2008
CN 101986431 A	16.03.2011	None	
US 6271550 B1	07.08.2001	EP 0981166 A2	23.02.2000

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/076473

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146 (2006.01) i

H01L 21/337 (2006.01) i

H01L 29/808 (2006.01) i

国际检索报告

国际申请号
PCT/CN2013/076473

A. 主题的分类		
参见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT、CNKI: 图像传感器, 感光, 光电感测, 源跟随, CMOS, 互补金属氧化物半导体, 结型场效应晶体管, JFET, 阱, 掺杂, 像素, 像素, 源, 漏。WPI、EPODOC: image sensor, image transducer, junction field effect transistor, well, CMOS, JFET, source, drain, horizontal, source follower.		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102709302A (格科微电子(上海)有限公司) 03.10 月 2012 (03.10.2012) 权利要求 1-10	1-10
PX	CN202678315U (格科微电子(上海)有限公司) 16.1 月 2013 (16.01.2013) 权利要求 1-5	1-5
A	CN102054863A (格科微电子(上海)有限公司) 11.5 月 2011 (11.05.2011) 说明书[0043]-[0095]段, 图 11	1-10
A	WO2011155105A1(松下株式会社)15.12 月 2011(15.12.2011)说明书[0053]-[0063]段, 图 7a-8f	1-10
A	CN101366123A (模拟设备股份有限公司) 11.2 月 2009 (11.02.2009) 全文	1-10
A	CN101986431A (上海宏力半导体制造有限公司) 16.3 月 2011 (16.03.2011) 全文	1-10
A	US6271550B1 (GEHRMANN) 07.8 月 2001 (07.08.2001) 全文	1-10
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型:		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
“A” 认为不特别相关的表示了现有技术一般状态的文件		“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
“E” 在国际申请日的当天或之后公布的在先申请或专利		“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“&” 同族专利的文件
“O” 涉及口头公开、使用、展览或其他方式公开的文件		
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件		
国际检索实际完成的日期 29.8 月 2013 (29.08.2013)	国际检索报告邮寄日期 12.9 月 2013 (12.09.2013)	
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	受权官员 刘斌 电话号码: (86-10) 62411585	

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/076473

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102709302A	03.10.2012	无	
CN202678315U	16.01.2013	无	
CN102054863A	11.05.2011	无	
WO2011155105A1	15.12.2011	JPWO2011155105A1	01.08.2013
		US2013087836 A1	11.04.2013
CN101366123A	11.02.2009	WO2007075759 A2	05.07.2007
		CN101366123B	30.03.2011
		US7411231 B2	12.08.2008
		US2007145410 A1	28.06.2007
		JP2009521804 A	04.06.2009
		EP1969637 A2	17.09.2008
CN101986431A	16.03.2011	无	
US6271550B1	07.08.2001	EP0981166 A2	23.02.2000

续：主题的分类

H01L 27/146(2006.01) i

H01L 21/337(2006.01) i

H01L 29/808(2006.01) i