

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5212112号
(P5212112)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int.Cl. F I
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 3 0 2 A
 G 1 1 C 11/34 J

請求項の数 15 (全 18 頁)

(21) 出願番号	特願2008-549326 (P2008-549326)	(73) 特許権者	000004237
(86) (22) 出願日	平成19年12月12日(2007.12.12)		日本電気株式会社
(86) 国際出願番号	PCT/JP2007/073909		東京都港区芝五丁目7番1号
(87) 国際公開番号	W02008/072649	(74) 代理人	100080816
(87) 国際公開日	平成20年6月19日(2008.6.19)		弁理士 加藤 朝道
審査請求日	平成22年11月4日(2010.11.4)	(72) 発明者	武田 晃一
(31) 優先権主張番号	特願2006-334645 (P2006-334645)		東京都港区芝五丁目7番1号 日本電気株式会社内
(32) 優先日	平成18年12月12日(2006.12.12)		
(33) 優先権主張国	日本国(JP)		
		審査官	堀 拓也

最終頁に続く

(54) 【発明の名称】 アドレスデコーダ回路及び半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

アドレス信号の所定のビットフィールドをプリデコードし、プリデコード結果に基づき複数の選択信号のうちいずれか1つを活性化して出力するプリデコーダと、

前記プリデコーダから出力される前記複数の選択信号をそれぞれ入力する複数の論理回路と、を備え、

前記複数の論理回路には、第1のパルス信号と第2のパルス信号が共通に入力され、

前記第1のパルス信号がクロックパルスであり、

前記第2のパルス信号がリセットパルスであり、

前記各論理回路は、

前記第1のパルス信号と前記選択信号とを入力し、前記入力した2つの信号の否定論理積演算結果を出力する第1のNANDゲートと、

前記第1のNANDゲートの出力信号を反転して出力する第1のインバータゲートと、

前記第2のパルス信号と前記選択信号とを入力し、前記入力した2つの信号の否定論理積演算結果を出力する第2のNANDゲートと、

前記第2のNANDゲートの出力信号を反転して出力する第2のインバータゲートと、

ドレインが前記第1のNANDゲートの出力に接続され、ゲートが前記第2のNANDゲートの出力に接続され、ソースが電源電圧に接続された第1のPMOSトランジスタと

、ドレインが前記第1のインバータゲートの出力に接続され、ゲートが前記第2のインバ

ータゲートの出力に接続され、ソースが接地電位に接続された第1のNMOSトランジスタと、

を備えている、ことを特徴とするアドレスデコーダ回路。

【請求項2】

前記第1のパルス信号は、活性化されると電源電位となり一定時間後に接地電位とされ

、
前記第2のパルス信号は、前記第1のパルス信号が電源電位から接地電位になると共に活性化されて電源電位となり一定時間後に接地電位とされ、

前記プリデコーダから前記論理回路に入力される前記選択信号が活性化される場合には、前記第1のパルス信号が活性化される以前に前記選択信号は電源電位に設定され、前記
第2のパルス信号が活性化されて接地電位に遷移するまで前記選択信号は電源電位を保ち

10

、
前記選択信号が活性化されない場合には、前記第1のパルス信号が活性化される以前に、前記選択信号は接地電位とされ、前記第2のパルス信号が活性化されて接地電位に遷移するまで前記選択信号は接地電位に保たれる、ことを特徴とする請求項1記載のアドレスデコーダ回路。

【請求項3】

前記プリデコーダから前記論理回路に入力される前記選択信号が活性化される場合には、前記論理回路において、前記第1のパルス信号に同期して一定時間後に、第3のパルス信号が、前記第1のインバータゲートから出力され、

20

前記第2のパルス信号に同期して一定時間後に、第4のパルス信号が、前記第2のインバータゲートから出力される、ことを特徴とする請求項2記載のアドレスデコーダ回路。

【請求項4】

前記第1のNANDゲートを構成するPMOSトランジスタのサイズが、前記第1のPMOSトランジスタのサイズ以下とされ、

前記第1のインバータゲートを構成するNMOSトランジスタのサイズは、前記第1のNMOSトランジスタのサイズ以下とされ、

前記第1のパルス信号の活性化から、前記第3のパルス信号の活性化までの遅延時間を短縮してなる、ことを特徴とする請求項3記載のアドレスデコーダ回路。

【請求項5】

前記複数の論理回路のうち最終段に配置される論理回路の場合、前記第4のパルス信号を出力しない構成としてなる請求項3記載のアドレスデコーダ回路。

30

【請求項6】

アドレス信号の所定のビットフィールドをプリデコードし、プリデコード結果に基づき複数の選択信号のうちいずれか1つを活性化して出力するプリデコーダと、

前記プリデコーダから出力される複数の選択信号をそれぞれ入力する複数の論理回路を備え、

前記複数の論理回路には、第1のパルス信号と第2のパルス信号が共通に入力され、

前記第1のパルス信号がクロックパルスであり、

前記第2のパルス信号がリセットパルスであり、

前記各論理回路は、

前記第1のパルス信号と前記選択信号とを入力し、前記入力した2つの信号の否定論理積演算結果を出力する第1のNANDゲートと、

前記第1のNANDゲートの出力信号を反転して出力する第1のインバータゲートと、

前記第2のパルス信号を入力し、前記第1のインバータゲートの出力信号に応答して、前記第2のパルス信号の反転信号をラッチ出力するラッチ回路と、

前記ラッチ回路の出力信号を反転して出力する第2のインバータゲートと、

ドレインが前記第1のNANDゲートの出力に接続され、ゲートが前記ラッチ回路の出力に接続され、ソースが電源電圧に接続される第1のPMOSトランジスタと、

ドレインが前記第1のインバータゲートの出力に接続され、ゲートが前記第2のインバ

40

50

ータゲートの出力に接続され、ソースが接地電位に接続された第1のNMOSトランジスタと、

を備えている、ことを特徴とするアドレスデコーダ回路。

【請求項7】

前記ラッチ回路は、前記第1のインバータゲートの出力信号を反転する第3のインバータゲートと、

前記第2のパルス信号を第1の入力に入力する第3のNANDゲートと、

前記第3のインバータゲートの出力信号と、前記第3のNANDゲートの出力信号を入力とする第4のNANDゲートと、

を備え、前記第4のNANDゲートの出力は、前記第3のNANDゲートの第2の入力に接続されている、ことを特徴とする請求項6記載のアドレスデコーダ回路。

10

【請求項8】

前記第1のパルス信号は、活性化すると電源電位となり一定時間後に接地電位とされ、

前記第2のパルス信号は、前記第1のパルス信号が接地電位になると共に活性化されて電源電位となり一定時間後に接地電位とされ、

前記プリデコーダから前記論理回路に入力される前記選択信号が活性化される場合には、前記第1のパルス信号が活性化される以前に、前記選択信号は電源電位になり、前記第1のパルス信号が活性化されて接地電位に遷移するまで、前記選択信号は電源電位を保ち、

前記選択信号が活性化されない場合には、前記第1のパルス信号が活性化される以前に、前記第1の選択信号は接地電位とされ、前記第1のパルス信号が活性化されて接地電位に遷移するまで、前記選択信号は接地電位に保たれる、ことを特徴とする請求項6又は7記載のアドレスデコーダ回路。

20

【請求項9】

前記プリデコーダから前記論理回路に入力される前記選択信号が活性化される場合には、前記論理回路において、前記第1のパルス信号に同期して一定時間後に第3のパルス信号が、前記第1のインバータゲートから出力され、

前記第2のパルス信号に同期して一定時間後に第4のパルス信号が第2のインバータゲートから出力されることを特徴とする、請求項8記載のアドレスデコーダ回路。

【請求項10】

前記第1のNANDゲートを構成するPMOSトランジスタのサイズが、前記第1のPMOSトランジスタのサイズ以下とされ、

前記第1のインバータゲートを構成するNMOSトランジスタのサイズが、前記第1のNMOSトランジスタのサイズ以下とされ、前記第1のパルス信号の活性化から前記第3のパルス信号の活性化までの遅延時間を短縮してなる、ことを特徴とする請求項9記載のアドレスデコーダ回路。

30

【請求項11】

前記複数の論理回路のうち最終段に配置される論理回路の場合、前記第4のパルス信号を出力しない構成としてなる請求項9記載のアドレスデコーダ回路。

【請求項12】

請求項1乃至11のいずれか一に記載のアドレスデコーダ回路を備えた半導体記憶装置。

40

【請求項13】

アドレス信号の所定のビットフィールドをプリデコードし、プリデコード結果に基づき複数の選択信号のうちいずれか1つを活性化して出力するプリデコーダと、

前記プリデコーダから出力される複数の選択信号をそれぞれ入力する複数の論理回路を備え、

前記複数の論理回路には、第1のパルス信号と第2のパルス信号が共通に入力され、

前記第1のパルス信号がクロックパルスであり、

前記第2のパルス信号がリセットパルスであり、

50

前記各論理回路は、

第 1 及び第 2 の入力端子にそれぞれ入力される前記第 1 のパルス信号及び前記制御信号の否定論理積をとる第 1 の回路と、

前記第 1 の回路の出力信号を受け、前記第 1 の回路の前記出力信号を反転した信号を第 1 の出力端子から出力する第 2 の回路と、

前記第 2 の入力端子及び第 3 の入力端子にそれぞれ入力される前記制御信号及び前記第 2 のパルス信号の否定論理積をとる第 3 の回路と、

前記第 3 の回路の出力信号を受け、前記第 3 の回路の前記出力信号を反転した信号を第 2 の出力端子から出力する第 4 の回路と、

前記第 1 の回路の出力と第 1 の電源間に接続され、前記第 3 の回路の出力信号に基づきオン・オフ制御される第 1 のスイッチ素子と、

前記第 2 の回路の出力と第 2 の電源間に接続され、前記第 4 の回路の出力信号に基づきオン・オフ制御される第 2 のスイッチ素子と、

を備えている、ことを特徴とするアドレスデコーダ回路。

【請求項 14】

アドレス信号の所定のビットフィールドをプリデコードし、プリデコード結果に基づき複数の選択信号のうちいずれか 1 つを活性化して出力するプリデコーダと、

前記プリデコーダから出力される複数の選択信号をそれぞれ入力する複数の論理回路を備え、

前記複数の論理回路には、第 1 のパルス信号と第 2 のパルス信号が共通に入力され、

前記第 1 のパルス信号がクロックパルスであり、

前記第 2 のパルス信号がリセットパルスであり、

前記各論理回路は、

第 1 及び第 2 の入力端子にそれぞれ入力される前記第 1 のパルス信号及び前記制御信号の否定論理積をとる第 1 の回路と、

前記第 1 の回路の出力信号を受け、前記第 1 の回路の前記出力信号を反転した信号を第 1 の出力端子から出力する第 2 の回路と、

第 3 の入力端子に入力される前記第 2 のパルス信号を、前記第 2 の回路の出力に応答してラッチする第 3 の回路と、

前記第 3 の回路の出力信号を受け、前記第 3 の回路の前記出力信号を反転した信号を第 2 の出力端子から出力する第 4 の回路と、

前記第 1 の回路の出力と第 1 の電源間に接続され、前記第 3 の回路の出力信号に基づきオン・オフ制御される第 1 のスイッチ素子と、

前記第 2 の回路の出力と第 2 の電源間に接続され、前記第 4 の回路の出力信号に基づきオン・オフ制御される第 2 のスイッチ素子と、

を備えている、ことを特徴とするアドレスデコーダ回路。

【請求項 15】

前記プリデコーダ回路が、アドレス信号の所定のビット群 (m ビット) をプリデコードし、出力 2^m ビット (ただし、 \wedge は冪乗) のうちの 1 つのビットを活性化するプリデコーダと、

前記アドレス信号の別のビット群 (n ビット、ただし、n は m と等しいか別の数) をプリデコードし、出力 2^n ビットのうちの 1 つのビットを活性化する別の前記プリデコーダと、

を備え、

前記複数の論理回路が、

2^m 個並置された第 1 群の前記論理回路と、

前記第 1 群の前記論理回路の各論理回路に対してその次段に 2^n 個並置される第 2 群の前記論理回路と、

を備え、

前記第 1 群の論理回路の各論理回路は、前記第 1 の入力端子と前記第 3 の入力端子とに

10

20

30

40

50

前記第 1 のパルス信号と前記第 2 のパルス信号をそれぞれ入力し、前記第 2 の入力端子は、前記プリデコーダの出力の対応するビットに接続され、前記プリデコーダで対応するビット選択時に活性化される前記選択信号を入力し、

前記第 2 群の論理回路は、

それぞれの前記第 1 の入力端子に、前記第 1 群の前記論理回路のうち対応する論理回路の前記第 1 の出力端子から出力される第 1 のパルス信号を、共通に入力し、

それぞれの前記第 3 の入力端子に、前記第 1 群の前記論理回路のうち前記対応する論理回路の前記第 2 の出力端子から出力される第 2 のパルス信号を、共通に入力し、

それぞれの前記第 2 の入力端子は、前記別のプリデコーダの出力の対応するビットにそれぞれ接続され、前記別のプリデコーダで対応するビット選択時に活性化される前記選択信号を入力し、

10

それぞれの前記第 1 の出力端子と前記第 2 の出力端子から、第 1 のパルス信号と第 2 のパルス信号をそれぞれ出力し、

前記第 2 群の前記論理回路が最終段の場合、それぞれの前記第 1 の出力端子から第 1 のパルス信号を出力し、

前記各論理回路は、前記第 2 の入力端子に入力される前記選択信号をイネーブル信号とし、

前記イネーブル信号の活性化期間において、前記第 1 の入力端子に入力される前記第 1 のパルス信号が活性化され、前記第 1 のパルス信号の活性から非活性への遷移に同期して前記第 3 の入力端子に入力される前記第 2 のパルス信号が活性化される、ことを特徴とする請求項 1 3 又は 1 4 記載のアドレスデコーダ回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の記載) 本願は、先の日本特許出願 2006-334645 号(2006年12月12日出願)の優先権を主張するものであり、前記先の出願の全記載内容は、本書に引用をもって繰込み記載されているものとみなされる。

本発明は、半導体記憶装置に関し、特に、高速アクセスの半導体記憶装置に適用して好適なアドレスデコーダ回路、及び該アドレスデコーダ回路を構成する論理回路に関する。

【背景技術】

30

【0002】

図10は、関連技術のアドレスデコーダ回路の典型的な構成の一例を示す図である。同期型メモリでは、ワード線信号をパルス化して制御する。図10の例では、4ビットのアドレス信号AD[0]~AD[3]を、16ビットのワード線信号WL[0]~WL[15]にデコードする。アドレス信号ADを2ビットずつ、4ビットの選択信号XA1[3:0]とXA2[3:0]とにデコードし、ワード線信号WLのパルス幅を決定する基準クロック信号CLK0と、信号XA1[3:0]、XA2[3:0]との間でAND論理をとりながら、最終的に、ワード線信号WLを生成する。

【0003】

AND論理を実現するために、スタティックCMOSのNANDゲートやインバータゲートが一般に用いられ、クロック信号CLKが信号WLまで到達する間に、パルス幅が一定に保たれるように、CMOSゲートのトランジスタレシオを決定する。

40

【0004】

例えば、インバータゲートの場合には、PMOSトランジスタのゲート幅とNMOSトランジスタのゲート幅を約2:1とし、NANDゲートの場合には、PMOSトランジスタのゲート幅とNMOSトランジスタのゲート幅を1:1とする。但し、スタティックCMOSゲートを用いた場合、アドレスデコーダの高速化には限界がある。

【0005】

スタティックCMOSゲートにおいて、パルス信号が伝播する場合、活性化のための信号伝播を行った後に、非活性化のための信号伝播が行われる。クリティカルパスは、活性

50

化のための信号伝播経路である。

【 0 0 0 6 】

パルス信号を伝播するCMOSゲートの高速化手法として、例えば特許文献1（特開2004-32151号公報）には、活性レベルにする第1の出力トランジスタと非活性レベルにする第2の出力トランジスタとをもつゲートと、複数のインバータが縦列に接続されセットパルスSETを伝播して第1の出力トランジスタを駆動する第1のインバータ列と、複数のインバータが接続し出力パルスの非活性化を制御するリセットパルスRESETを伝播して第2の出力トランジスタを駆動する第2のインバータ列とを有し、セットパルスSETの後端エッジに対応するパルスエッジが遅延しないように、第1のインバータ列のインバータ出力に設けられ、セットパルスSETの後端エッジに対応するインバータ出力のパルスエッジを、第2のインバータ列を伝播するリセットパルスRESETに忠答して駆動するリセットトランジスタを有するパルス発生回路が開示されている。このパルス発生回路では、非活性化のための信号を伝播するトランジスタの一部を、パルス信号が伝播される経路から切り離すことでゲートの入力容量が削減され、活性化のための信号を高速に伝播する。一方、単にトランジスタを切り離すと、非活性化のための信号が低速に伝播する。従って、切り離されたトランジスタを制御するために、インバータ列を用いて非活性化のための信号を伝播する経路と、インバータ列を伝播するリセット信号RSとを新たに用意する。

10

【 0 0 0 7 】

信号RSは一定のパルス幅を持ち、クロック信号CLKが立ち下がるのと同時に立ち上がる信号である。これによって、非活性化のための信号が低速に伝播することが防止される。

20

【 0 0 0 8 】

図11に、この高速化手法を適用したアドレスデコーダ回路410の構成を示す。非活性化のための信号RS0を新たに用意して、インバータ列を用いて伝播させる。アドレスデコーダ回路を構成するAND回路200において、非活性化のための信号伝播を行うためのトランジスタを2つのトランジスタに分割する。

【 0 0 0 9 】

分割されるトランジスタは、
NANDゲートの場合、PMOSTランジスタ（ソースが電源に接続され、ドレインがCLKBに接続され、ゲートがRSBに接続される）、
インバータゲートの場合、NMOSTランジスタ（ドレインがCLK1に接続され、ソースがGNDに接続され、ゲートがRSに接続される）、
である。

30

【 0 0 1 0 】

分割されたトランジスタの一方は、インバータ列を伝播するリセット信号によって制御される。これによって、アドレスデコーダ回路の高速動作が達成される。

【 0 0 1 1 】

【特許文献1】特開2004-32151号公報

【発明の開示】

40

【発明が解決しようとする課題】

【 0 0 1 2 】

上記特許文献1の開示事項は、本書に引用をもって繰り込み記載されているものとする。以下に本発明による関連技術の分析を与える。前述した関連技術の構成は下記記載の問題点を有している。

【 0 0 1 3 】

図10を参照して説明したアドレスデコーダ回路は、高速化には限界がある。

【 0 0 1 4 】

また図11を参照して説明したアドレスデコーダ回路は、消費電力が増大する。図11に示した高速化方式では、動作していないゲートに対しても、リセット制御を行う。アド

50

レスデコーダは、ゲートの動作率が低いため、無駄に行われるリセット制御による消費電力が非常に大きい。

【0015】

したがって、本発明の目的は、高速化及び低消費電力を実現するアドレスデコーダを提供することにある。

【課題を解決するための手段】

【0016】

本願で開示される発明は、前記目的を達成するため、概略以下の構成とされる。

【0017】

本発明は、第1のパルス信号と第1の選択信号とを入力し、前記入力した2つの信号の否定論理積演算結果を出力する第1のNANDゲートと、前記第1のNANDゲートの出力信号を反転して出力する第1のインバータゲートと、第2のパルス信号と前記第1の選択信号とを入力し、前記入力した2つの信号の否定論理積演算結果を出力する第2のNANDゲートと、前記第2のNANDゲートの出力信号を反転して出力する第2のインバータゲートと、ドレインが前記第1のNANDゲートの出力に接続され、ゲートが前記第2のNANDゲートの出力に接続され、ソースが電源電圧に接続された第1のPMOSトランジスタと、ドレインが前記第1のインバータゲートの出力に接続され、ゲートが前記第2のインバータゲートの出力に接続され、ソースが接地電位に接続された第1のNMOSトランジスタと、を備えている。本発明において、前記第1のパルス信号と前記第1の選択信号との論理積、前記第2のパルス信号と前記第1の選択信号との論理積を第1、第2の出力端子からそれぞれ出力する。

【0018】

本発明において、前記第1のパルス信号は、活性化されると電源電位となり一定時間後に接地電位とされ、前記第2のパルス信号は、前記第1のパルス信号が接地電位になると共に活性化されて電源電位となり一定時間後に接地電位とされ、前記第1の選択信号が活性化される場合には、前記第1のパルス信号が活性化される以前に前記第1の選択信号は電源電位に設定され、前記第2のパルス信号が活性化されて接地電位に遷移するまで前記第1の選択信号は電源電位を保ち、前記第1の選択信号が活性化されない場合には、前記第1のパルス信号が活性化される以前に、前記第1の選択信号は接地電位とされ、前記第2のパルス信号が活性化されて接地電位に遷移するまで前記第1の選択信号は接地電位に保たれる。

【0019】

本発明において、前記第1の選択信号が活性化される場合には、前記第1のパルス信号に同期して一定時間後に、第3のパルス信号が、前記第1のインバータゲートから出力され、前記第2のパルス信号に同期して一定時間後に、第4のパルス信号が、前記第2のインバータゲートから出力される。

【0020】

本発明は、第1のパルス信号と第1の選択信号とを入力し、前記入力した2つの信号の否定論理積演算結果を出力する第1のNANDゲートと、前記第1のNANDゲートの出力信号を反転して出力する第1のインバータゲートと、第2のパルス信号を入力し、前記第1のインバータゲートの出力信号に応答して、前記第2のパルス信号の反転信号をラッチ出力するラッチ回路と、前記ラッチ回路の出力信号を反転して出力する第2のインバータゲートと、ドレインが前記第1のNANDゲートの出力に接続され、ゲートが前記ラッチ回路の出力に接続され、ソースが電源電圧に接続される第1のPMOSトランジスタと、ドレインが前記第1のインバータゲートの出力に接続され、ゲートが前記第2のインバータゲートの出力に接続され、ソースが接地電位に接続された第1のNMOSトランジスタと、を備えている。

【0021】

本発明において、前記ラッチ回路は、前記第1のインバータゲートの出力信号を反転する第3のインバータゲートと、前記第2のパルス信号を第1の入力に入力する第3のNA

10

20

30

40

50

NANDゲートと、前記第3のインバータゲートの出力信号と、前記第3のNANDゲートの出力信号を入力とする第4のNANDゲートと、を備え、前記第4のNANDゲートの出力は、前記第3のNANDゲートの第2の入力に接続されている。

【0022】

本発明において、前記第1のパルス信号は、活性化すると電源電位となり、一定時間後に接地電位とされ、前記第2のパルス信号は、前記第1のパルス信号が接地電位になると共に活性化されて電源電位となり一定時間後に接地電位とされ、前記第1の選択信号が活性化される場合には、前記第1のパルス信号が活性化される以前に、前記第1の選択信号は電源電位になり、前記第1のパルス信号が活性化されて接地電位に遷移するまで、前記第1の選択信号は電源電位を保ち、前記第1の選択信号が活性化されない場合には、前記第1のパルス信号が活性化される以前に、前記第1の選択信号は接地電位とされ、前記第1のパルス信号が活性化されて接地電位に遷移するまで、第1の選択信号は接地電位に保たれる。

10

【0023】

本発明において、前記第1の選択信号が活性化される場合には、前記第1のパルス信号に同期して一定時間後に第3のパルス信号が、前記第1のインバータゲートから出力され、前記第2のパルス信号に同期して一定時間後に第4のパルス信号が第2のインバータゲートから出力される。

【0024】

本発明において、前記第1のNANDゲートを構成するPMOSトランジスタのサイズが、前記第1のPMOSトランジスタのサイズ以下とされ、前記第1のインバータゲートを構成するNMOSトランジスタのサイズが、前記第1のNMOSトランジスタのサイズ以下とされ、前記第1のパルス信号の活性化から前記第3のパルス信号の活性化までの遅延時間を短縮している。

20

【0025】

本発明のアドレスデコーダ回路は、上記論理回路を複数個配置して構成されている。

【0026】

本発明のアドレスデコーダ回路において、前記複数個の論理回路のうち最終段に配置される論理回路の場合、前記第4のパルス信号を出力しない構成としてもよい。

【0027】

本発明は、第1及び第2の入力端子にそれぞれ入力される第1の信号及び第2の信号の否定論理積をとる第1の回路と、前記第1の回路の出力信号を受け、該出力信号を反転した信号を第1の出力端子から出力する第2の回路と、前記第2の入力端子及び第3の入力端子にそれぞれ入力される前記第2の信号及び第3の信号の否定論理積をとる第3の回路と、前記第3の回路の出力信号を受け、該出力信号を反転した信号を第2の出力端子から出力する第4の回路と、前記第1の回路の出力と第1の電源間に接続され、前記第3の回路の出力に基づきオン・オフ制御される第1のスイッチ素子と、前記第2の回路の出力と第2の電源間に接続され、前記第4の回路の出力に基づきオン・オフ制御される第2のスイッチ素子と、を備えている。本発明においては、前記第3の回路のかわりに、前記第3の入力端子に入力される信号を、前記第2の回路の出力にตอบสนองしてラッチするラッチ回路を備えた構成としてもよい。すなわち、本発明においては、第1及び第2の入力端子にそれぞれ入力される第1の信号及び第2の信号の否定論理積をとる第1の回路と、前記第1の回路の出力信号を受け、該出力信号を反転した信号を第1の出力端子から出力する第2の回路と、前記第3の入力端子に入力される信号を、前記第2の回路の出力にตอบสนองしてラッチする第3の回路と、前記第3の回路の出力信号を受け、該出力信号を反転した信号を第2の出力端子から出力する第4の回路と、前記第1の回路の出力と第1の電源間に接続され、前記第3の回路の出力に基づきオン・オフ制御される第1のスイッチ素子と、前記第2の回路の出力と第2の電源間に接続され、前記第4の回路の出力に基づきオン・オフ制御される第2のスイッチ素子と、を備えた構成としてもよい。また、本発明よれば、アドレスデコーダ回路において、アドレス信号の所定のビット群(mビット)をプリデコー

30

40

50

ドし、出力 2^m ビット（ただし、 \wedge は冪乗）のうちの 1 つのビットを活性化するプリデコードと、 2^m 個並置された第 1 群の論理回路と、前記アドレス信号の別のビット群（ n ビット、ただし、 n は m と等しいか別の数）をプリデコードし、出力 2^n ビットのうちの 1 つのビットを活性化する別のプリデコードと、前記第 1 群の前記論理回路の各論理回路に対してその次段に 2^n 個並置される第 2 群の論理回路と、を備え、前記第 1 群の論理回路と前記第 2 群の論理回路の各論理回路は、上記した本発明に係る論理回路よりなる。前記第 1 群の論理回路の各論理回路は、前記第 1 の入力端子と前記第 3 の入力端子とにクロックパルスとリセットパルスをそれぞれ入力し、前記第 2 の入力端子は、前記プリデコードの出力の対応するビットに接続され、前記第 1 の出力端子と前記第 2 の出力端子からクロックパルスとリセットパルスをそれぞれ出力する。前記第 2 群の論理回路は、それぞれの前記第 1 の入力端子に、前記第 1 群の前記論理回路のうち対応する論理回路の前記第 1 の出力端子から出力されるクロックパルスを、共通に入力し、それぞれの前記第 3 の入力端子に、前記第 1 群の前記論理回路のうち前記対応する論理回路の前記第 2 の出力端子から出力されるリセットパルスを、共通に入力し、それぞれの前記第 2 の入力端子は、前記別のプリデコードの出力の対応するビットにそれぞれ接続され、それぞれの前記第 1 の出力端子と前記第 2 の出力端子から、クロックパルスとリセットパルスをそれぞれ出力し、前記第 2 群の前記論理回路が最終段の場合、それぞれの前記第 1 の出力端子からクロックパルスを出力する。前記各論理回路は、前記第 2 の入力端子に入力される信号をイネーブル信号とし、前記イネーブル信号の活性化期間において、クロックパルスが活性化され、前記クロックパルスの終了に同期してリセットパルスが活性化される。

【発明の効果】

【0028】

本発明によれば、複数個の論理回路を含むアドレスデコード回路において、選択して動作した論理回路だけが、第 2 のパルス信号を用いて、リセット制御を行われるようにしたこと、従来のアドレスデコード回路と比較して、無駄な電荷の充放電が行われず、高速化を図りながら、トータルで消費電力を削減することができる。

【図面の簡単な説明】

【0029】

【図 1】本発明の第 1 の実施例の構成を示す図である。

【図 2】図 1 の NAND 回路の構成を示す図である。

【図 3】図 1 のインバータゲートの構成を示す図である。

【図 4】本発明の第 1 の実施例の動作を説明するためのタイミング波形図である。

【図 5】本発明の第 1 の実施例のアドレスデコード構成を示す図である。

【図 6】本発明の第 2 の実施例の構成を示す図である。

【図 7】図 6 のラッチ回路の構成を示す図である。

【図 8】本発明の第 2 の実施例の動作を説明するためのタイミング波形図である。

【図 9】本発明の第 2 の実施例のアドレスデコード構成を示す図である。

【図 10】従来のアドレスデコード構成を示す図である。

【図 11】従来のアドレスデコード構成を示す図である。

【符号の説明】

【0030】

100、200： AND 回路

101、103、203、204： NAND ゲート

102、104、202： インバータゲート

111、112、211、212： プリデコード

201： ラッチ回路

110、210： アドレスデコード回路（実施例）

310、410： アドレスデコード回路（従来構成）

N1、N2、N3、N4： NMOS トランジスタ

P1、P2、P3、P4： PMOS トランジスタ

10

20

30

40

50

【発明を実施するための最良の形態】

【0031】

本発明を実施するための最良の形態について説明する。本発明のアドレスデコーダ回路は、その好ましい一実施の形態において、第1のパルス信号（CLK）と第1の選択信号（EN）とを入力する第1のNANDゲート（101）と、第1のNANDゲートの出力信号を反転して出力する第1のインバータゲート（102）と、リセット用の第2のパルス信号（RS）と第1の選択信号（EN）とを入力する第2のNANDゲート（103）と、第2のNANDゲートの出力信号を反転して出力する第2のインバータゲート（104）と、ドレイン、ゲート、ソースが、それぞれ第1のNANDゲートの出力、第2のNANDゲートの出力、電源電圧に接続される第1のPMOSトランジスタ（P1）と、ドレイン、ゲート、ソースが、それぞれ、前記第1のインバータゲート（102）の出力端子、第2のインバータゲート（104）の出力端子、接地電位に接続される第1のNMOSトランジスタ（N1）と、を備えた論理回路を複数備え、動作した論理回路だけが、第2のパルス信号を用いて、リセット制御を行われるようにしたことで、無駄な電荷の充放電が行われず、高速化を図りながら、消費電力を削減する。

10

【0032】

本発明は別の実施の形態において、第1のパルス信号と第1の選択信号とを入力し、前記入力した2つの信号の否定論理積演算結果を出力する第1のNANDゲート（101）と、前記第1のNANDゲートの出力信号を反転して出力する第1のインバータゲート（102）と、第2のパルス信号を入力し、前記第1のインバータゲートの出力信号に
 20 応答して、前記第2のパルス信号の反転信号をラッチ出力するラッチ回路（201）と、前記ラッチ回路の出力信号を反転して出力する第2のインバータゲート（104）と、ドレインが前記第1のNANDゲートの出力に接続され、ゲートが前記ラッチ回路の出力に接続され、ソースが電源電圧に接続される第1のPMOSトランジスタ（P1）と、ドレインが前記第1のインバータゲートの出力に接続され、ゲートが前記第2のインバータゲートの出力に接続され、ソースが接地電位に接続された第1のNMOSトランジスタ（N1）と、を備えた構成としてもよい。以下実施例に即して説明する。

20

【実施例】

【0033】

図1は、本発明の第1の実施例の構成を示す図である。本実施例の論理回路はAND回路として機能する。図1を参照すると、本実施例のAND回路は、クロック信号CLKと、選択信号（イネーブル信号）ENとを入力とし、信号CLKBを出力する2入力NANDゲート101と、信号CLKBを入力としクロック信号CLK1を出力するインバータゲート102と、信号（リセット信号）RSと信号ENとを入力とし信号RSBを出力する2入力NANDゲート103と、信号RSBを入力とし出力端子から信号RS1を出力するインバータゲート104と、ソースが電源に接続され、ドレインが2入力NANDゲート101の出力に接続され、信号RSBをゲート端子に入力し信号CLKBの立ち上がり動作を制御するPMOSトランジスタP1と、ソースがGNDに接続され、ドレインがインバータゲート102の出力に接続され、信号RS1をゲートに入力しクロック信号CLK1の立ち下がり動作を制御するNMOSトランジスタN1と、を備えている。論路演算として、 $CLK1 = INV(NAND(CLK, EN)) = AND(CLK, EN)$ 、 $RS1 = INV(NAND(RS, EN)) = AND(RS, EN)$ となる。

30

40

【0034】

図2は、2入力NANDゲート101の構成を示す図である。図2を参照すると、この2入力NANDゲート101は、通常のCMOS型NANDゲートと同様に、ソースが電源に共通に接続され、ゲートにクロック信号CLK、選択信号ENをそれぞれ入力するPMOSトランジスタP2、P3と、PMOSトランジスタP2、P3の共通接続されたドレインと、GND間に直列形態に接続され、ゲートにクロック信号CLK、選択信号ENをそれぞれ入力するNMOSトランジスタN2、N3とを備えている。クロック信号CLKが入力されるPMOSトランジスタP2のサイズを通常よりも小さくする。例えば、通

50

常のNANDのPMOSトランジスタの1/2から1/4のサイズとする。

【0035】

図3は、図1のインバータゲート102の構成を示す図である。通常のCMOSインバータゲートと同様に、インバータゲート102は、ソースが電源とGNDにそれぞれ接続され、ドレイン同士が接続されて出力端子に接続され、ゲートが共通に接続されて入力端子に接続される、PMOSトランジスタP4及びNMOSトランジスタN4から構成される。通常のCMOSインバータゲートと比較して、NMOSトランジスタN4のサイズを通常の値より小さくする。例えば、通常の1/2から1/4のサイズとする。

【0036】

図4は、図1のAND回路の動作を説明するためのタイミング波形図である。クロック信号CLKは、一定期間Highレベルとなるパルス信号である。

10

【0037】

リセット信号RSは、クロック信号CLKの立ち下がりに同期して、立ち上がるパルス信号である。

【0038】

選択信号ENは、クロック信号CLKの立ち上がりエッジ以前に値が確定され、信号RSの立ち上がりエッジ以降まで値を保持する。

【0039】

選択信号ENがHighに確定した後に、クロック信号CLKの立ち上がりエッジが入力されることで、NANDゲート101によって信号CLKBをLowレベルに引き下げる。NANDゲート101によって駆動されるインバータゲート102は、通常のCMOSインバータと比較して、NMOSトランジスタN4（図3参照）のサイズが小さくなっており、信号CLKBの立ち下がり動作は高速化される。

20

【0040】

次いで、信号CLKBが立ち下がることで、CLKBを入力とするインバータゲート102は、その出力に接続されるクロック信号CLK1をHighレベルに引き上げる。この時、インバータゲート102は、次段のAND回路（不図示）のNANDゲート101を駆動する。

【0041】

次の段のAND回路のNANDゲート101は、通常のCMOS型NANDゲートと比較してPMOSトランジスタP2のサイズが小さく設定されており、クロック信号CLK1の立ち上がり動作もまた高速化される。

30

【0042】

一定時間後に、クロック信号CLKの立ち上がりエッジが入力されることで、NANDゲート101は、その出力信号CLKBを引き上げる。これと同時に、信号RSの立ち上がりエッジが入力されることで、RSを入力するNANDゲート103は、その出力に接続される信号RSBを引き下げる。

【0043】

これによって、信号RSBがLowとなるとPMOSトランジスタP1がオンして、PMOSトランジスタP1のドレイン端子に接続する信号CLKBをHigh側に引き上げる。

40

【0044】

このように、NANDゲート101とPMOSトランジスタP1とが同時に信号CLKBの引き上げ動作を行うため、信号CLKBの立ち上がり動作は高速化される。

【0045】

次いで、信号CLKBがHighに立ち上がることで、インバータゲート102はその出力に接続されるクロック信号CLK1を引き下げる。これと同時に、信号RSBがLowに立ち下がることで、RSBを入力するインバータゲート104は、その出力に接続される信号RS1をHigh側に引き上げる。

【0046】

50

これによって、NMOSトランジスタN1がオンして、クロック信号CLK1をLowに引き下げる。

【0047】

このように、インバータゲート102とNMOSトランジスタN1とが同時に、クロック信号CLK1のLow側への引き下げ動作を行うため、クロック信号CLK1の立ち下がり動作もまた高速化される。

【0048】

一定時間後に、信号RSの立ち下がりエッジが入力されることで、NANDゲート103は、信号RSBを引き上げて、PMOSトランジスタP1がオフする。この時、クロック信号CLKはLowであり、NANDゲート101内のPMOSトランジスタP2（図2参照）がオンしており、PMOSトランジスタP1がオフしたとしても、信号CLKBはHighを保つ。

10

【0049】

次いで、信号RSBが立ち上がることで、インバータゲート104は、信号RS1を引き下げて、NMOSトランジスタN1をオフする。

【0050】

この時、信号CLKBはHighであり、インバータゲート102はLowを出力しており、NMOSトランジスタN1がオフしたとしても、問題ない。また、選択信号ENは、信号RSの立ち下がりエッジ以降までHighを保持する。

20

【0051】

図5は、本実施例のアドレスデコーダ回路の構成を示す図である。図5を参照すると、アドレスデコーダ回路110は、プリデコーダ111、112と、本発明のAND回路100とを備えて構成される。

【0052】

Nビットのアドレス信号AD、ワード線のパルス幅を決定する基準クロック信号CLK0、そして、クロック信号CLK0の立下りエッジに同期して立ち上がるリセット信号RS0を入力として、アドレス信号によって選択されたワード線にクロック信号CLK0とほぼ同じパルス幅の信号を出力する。

【0053】

図5の例では、4ビットのアドレス信号AD[0]～AD[3]を、それぞれ2ビットずつプリデコーダ111、112を用いてデコードし、それぞれ4ビットの選択信号XA1[3:0]、XA2[3:0]を出力する。プリデコーダ112からの選択信号XA2[3:0]4ビットのうち1ビットがHighとされ、XA2[3:0]に入力がそれぞれ接続されたAND回路100のうちHighのビットに接続する1つのAND回路100が選択される。また、プリデコーダ111からの選択信号XA1[3:0]4ビットのうち1ビットがHighとされ、XA1[3:0]に入力がそれぞれ接続されたAND回路100のうちHighのビットに接続するAND回路100が選択される。

30

【0054】

4ビットの選択信号XA2[3:0]がそれぞれ入力される4個のAND回路100において、選択された1個のAND回路100だけが、パルスクロック信号CLK0とリセットRS0を、それぞれ、信号BS1とBS2として次段に伝播させる。

40

【0055】

ここで、4ビットの選択信号XA2[3:0]を出力するプリデコーダ112は、クロック信号CLK0の立ち上がりエッジ以前に値が確定し、信号RS0の立ち下がりエッジ以降まで値を保持する。

【0056】

次いで、4ビットのパルス信号BS1[3:0]およびBS2[3:0]と、4ビットの選択信号XA1[3:0]とがそれぞれ入力される16個のAND回路100において、選択された1個のAND回路100だけが、パルス信号BS1[3:0]をワード線WLに伝播させる。ここで、信号XA1[3:0]を出力するプリデコーダ111は、信号

50

B S 1 [3 : 0] の立ち上がりエッジ以前に値が確定して、信号 B S 2 の立ち下がりエッジ以降まで値を保持する。

【 0 0 5 7 】

なお、最終段の A N D 回路 1 0 0 の場合、リセット用パルス信号 R S 1 を出力しなくてもよく、インバータ 1 0 4 のサイズを小さくすることができる。

【 0 0 5 8 】

なお、図 5 のアドレスデコーダは、アドレスが 4 ビット (A D [3 : 0]) で、プリデコーダが 2 個 (プリデコーダ 1 1 1、1 1 2) の構成とされているが、本発明は、かかる構成に限定されるものでないことは勿論である。例えば、アドレスビット数の増大に伴い、プリデコーダの個数や、A N D 回路 1 0 0 の個数や段数も増大する。

10

【 0 0 5 9 】

図 6 は、本発明の第 2 の実施例の構成を示す図である。本実施例の論理回路は A N D 回路として機能する。図 6 を参照すると、本実施例の A N D 回路は、クロック信号 C L K と、選択信号 (イネーブル信号) E N とを入力とし、信号 C L K B を出力する 2 入力 N A N D ゲート 1 0 1 と、信号 C L K B を入力としクロック信号 C L K 1 を出力するインバータゲート 1 0 2 と、信号 R S とクロック信号 C L K 1 とを入力とし信号 R S B を出力するラッチ回路 2 0 1 と、信号 R S B を入力とし信号 R S 1 を出力するインバータゲート 1 0 4 と、ソースとドレインが電源と N A N D ゲート 1 0 1 の出力にそれぞれ接続され信号 R S B をゲートに入力として信号 C L K B の立ち上がり動作を制御する P M O S トランジスタ P 1 と、ソースとドレインが G N D とインバータ 1 0 2 の出力にそれぞれ接続され、イン

20

バータゲート 1 0 4 の出力をゲートに入力としてクロック信号 C L K 1 の立ち下がり動作を制御する N M O S トランジスタ N 1 を備えて構成される。

【 0 0 6 0 】

図 7 は、図 6 のラッチ回路 2 0 1 の構成の一例を示す図である。図 7 を参照すると、このラッチ回路は、クロック信号 C L K 1 を反転して信号 C L K 1 B を出力するインバータゲート 2 0 2 と、信号 (リセット信号) R S と、信号 (ラッチ信号) L T とを入力とし信号 R S B を出力する N A N D ゲート 2 0 3 と、信号 R S B とクロック信号 C L K 1 B とを入力とし信号 L T を出力する N A N D ゲート 2 0 4 を備えて構成される。

【 0 0 6 1 】

図 8 は、図 6、図 7 を参照して説明した本実施例の A N D 回路の動作を説明するタイミング波形図である。クロック信号 C L K は、一定期間に H i g h レベルとなるパルス信号である。信号 (リセット信号) R S はクロック信号 C L K の立下りに同期して立ち上がるパルス信号である。選択信号 E N は、クロック信号 C L K の立ち上がりエッジ以前に値が確定され、クロック信号 C L K の立下りエッジ以降まで値を保持する。

30

【 0 0 6 2 】

選択信号 E N が H i g h に確定した後に、クロック信号 C L K の立ち上がりエッジが入力されることで、N A N D ゲート 1 0 1 によって、信号 C L K B を引き下げる。この時、N A N D ゲート 1 0 1 によって駆動されるインバータゲート 1 0 2 は、通常の C M O S インバータと比較して N M O S トランジスタ N 4 のサイズが小さく設定されているため、信号 C L K B の立ち下り動作は高速化される。

40

【 0 0 6 3 】

次いで、信号 C L K B が立ち下がることで、インバータゲート 1 0 2 は、クロック信号 C L K 1 を引き上げる。この時、インバータゲート 1 0 2 は、次段の A N D 回路 2 0 0 の N A N D ゲート 1 0 1 を駆動する。N A N D ゲート 1 0 1 は、通常の C M O S N A N D ゲートと比較して P M O S トランジスタ P 2 のサイズが小さくっており、クロック信号 C L K 1 の立ち上がり動作も高速化される。

【 0 0 6 4 】

また、クロック信号 C L K 1 が立ち上がることで、ラッチ回路 2 0 1 内の信号 L T は H i g h にセットされる。一定時間後に、クロック信号 C L K の立ち下がりエッジが入力されることで、N A N D ゲート 1 0 1 は、信号 C L K B を H i g h レベルに引き上げる。こ

50

れと同時に、信号RSの立ち上がりエッジが入力されることで、ラッチ回路201内のNANDゲート203は、信号RSBをLowレベルに引き下げる。これによって、PMOSTランジスタP1がオンして、信号CLKBをHighレベルに引き上げる。NANDゲート101とPMOSTランジスタP1とが同時に引き上げ動作を行うため、信号CLKBの立ち上がり動作は高速化される。

【0065】

次いで、信号CLKBが立ち上がることで、インバータゲート102は、クロック信号CLK1をLowレベルに引き下げる。これと同時に、信号RSBが立ち下がることで、インバータゲート104は、信号RS1をHighレベルに引き上げる。これによって、NMOSTランジスタN1がオンして、クロック信号CLK1をLowレベルに引き下げる。

10

【0066】

インバータゲート102とNMOSTランジスタN1とが同時に引き下げ動作を行うため、クロック信号CLK1の立ち下がり動作もまた高速化される。

【0067】

また、選択信号ENは、クロック信号CLKの立ち下がりエッジ以降までHighレベルを保持する。

【0068】

一定時間後に、信号RSの立ち下がりエッジが入力されることで、NANDゲート203は、信号RSBをHighレベルに引き上げ、PMOSTランジスタP1がオフする。この時、クロック信号CLKはLowであり、NANDゲート101内のPMOSTランジスタP2がオンしており、PMOSTランジスタP1がオフしたとしても、信号CLKBはHighを保つ。

20

【0069】

次いで、信号RSBが立ち上がることで、インバータゲート104は、信号RS1をLowに引き下げて、NMOSTランジスタN1をオフする。

【0070】

この時、信号CLKBはHighでインバータゲート102はLowを出力しており、NMOSTランジスタN1がオフしたとしても問題ない。また、信号RSBが立ち上がることで、ラッチ回路201内の信号LTがLowにリセットされる。

30

【0071】

図9は、本実施例のアドレスデコーダ回路の構成の一例を示す図である。図9を参照すると、アドレスデコーダ回路210は、プリデコーダ211、212と、AND回路200とを備えて構成されている。Nビットのアドレス信号AD、ワード線のパルス幅を決定する基準クロック信号CLK0、そして、クロック信号CLK0の立下りエッジに同期して立ち上がるリセット信号RS0を入力として、アドレス信号によって選択されたワード線にクロック信号CLK0とほぼ同じパルス幅の信号を出力する。

【0072】

図9の例では、4ビットのアドレス信号AD[0]~AD[3]を、それぞれ2ビットずつプリデコーダ211、212を用いてデコードし、それぞれ4ビットの選択信号XA1[3:0]、XA2[3:0]を出力する。4ビットの選択信号XA2[3:0]がそれぞれ入力される4個のAND回路200において、選択された1個のAND回路200だけが、パルスクロック信号CLK0と信号RS0を、それぞれ、信号BS1[3:0]とBS2[3:0]として次段に伝播させる。ここで、信号XA2[3:0]を出力するプリデコーダ212は、クロック信号CLK0の立ち上がりエッジ以前に値が確定して、クロック信号CLK0の立ち下がりエッジ以降まで値を保持する。

40

【0073】

次いで、4ビットのパルス信号BS1[3:0]およびBS2[3:0]と、4ビットの選択信号XA1[3:0]とがそれぞれ入力される16個のAND回路200において、選択された1個のAND回路200だけが、パルス信号BS1をワード線WLに伝播さ

50

せる。

【 0 0 7 4 】

ここで、信号 X A 1 [3 : 0] を出力するプリデコーダ 2 1 1 は、信号 B S 1 の立ち上がりエッジ以前に値が確定して、信号 B S 2 の立ち下がりエッジ以降まで値を保持する。最終段の A N D 回路 2 0 0 の場合、リセット用パルス信号 R S 1 を出力しなくてもよく、インバータ 1 0 4 のサイズを小さくすることができる。

【 0 0 7 5 】

本実施例の A N D 回路を用いてアドレスデコーダ回路を構成することで、図 1 0 に示した関連技術のアドレスデコーダ回路と比較して、30%の高速化が実現できる。

【 0 0 7 6 】

図 1 1 に示した関連技術のアドレスデコーダ回路とリセット動作時の消費電力を比較する。

【 0 0 7 7 】

ファンアウト 4 程度で設計した場合、1 段目の A N D 回路の N A N D ゲートの入力容量は 1、P M O S トランジスタ P 2 の入力容量は 1、インバータゲートの入力容量は 6、N M O S トランジスタ N 4 の入力容量は 2 である。

【 0 0 7 8 】

そして、2 段目の A N D 回路では、N A N D ゲートの入力容量は 4、P M O S トランジスタ P 2 の入力容量は 4、インバータゲートの入力容量は 2 4、N M O S トランジスタ N 4 の入力容量は 8 である。

【 0 0 7 9 】

そして、インバータ列の 4 個のインバータの入力容量はそれぞれ、4、8、2 4、3 2 である。

【 0 0 8 0 】

この時、クロック信号 C L K 0 の信号 R S 0 の伝播によって充放電されるトランジスタ容量は、それぞれ以下ようになる。

【 0 0 8 1 】

$$C L K 0 : (1 + 6) + (4 \times 4 + 2 4) = 4 7$$

【 0 0 8 2 】

$$R S 0 : (1 + 2) \times 4 + (4 + 8) \times 1 6 + 4 + 8 + 2 4 + 3 2 = 2 7 2$$

【 0 0 8 3 】

全体では、3 1 9 である。

【 0 0 8 4 】

これに対して、本発明の A N D 回路を用いてアドレスデコーダ回路を構成した場合、以下ようになる。

【 0 0 8 5 】

$$C L K 0 : (1 + 6) + (4 \times 4 + 2 4) = 4 7$$

【 0 0 8 6 】

$$R S 0 : (1 + 2) \times 1 + (4 + 8) \times 1 + 4 + 8 / 4 + 2 4 / 4 + 3 2 / 1 6 = 2 9$$

【 0 0 8 7 】

全体では、7 6 であり、リセット動作時に充放電されるトランジスタ容量を大きく削減できる。また、アドレスの数が増大すれば、この差はさらに大きくなる。

【 0 0 8 8 】

本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

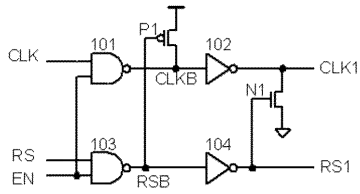
10

20

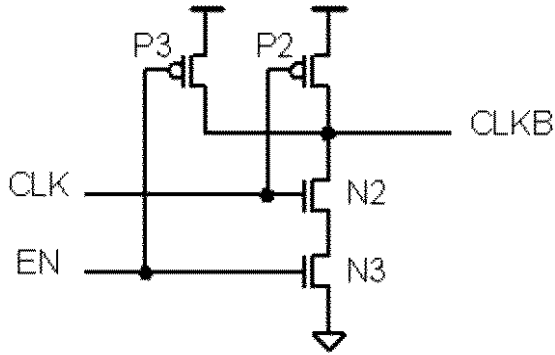
30

40

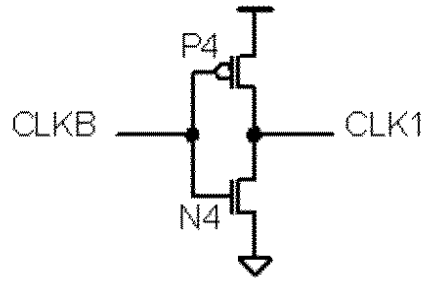
【 図 1 】



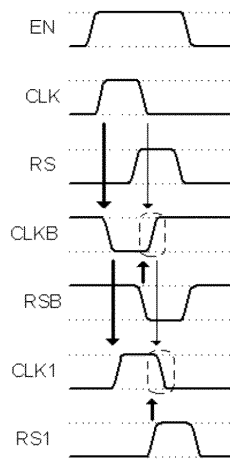
【 図 2 】



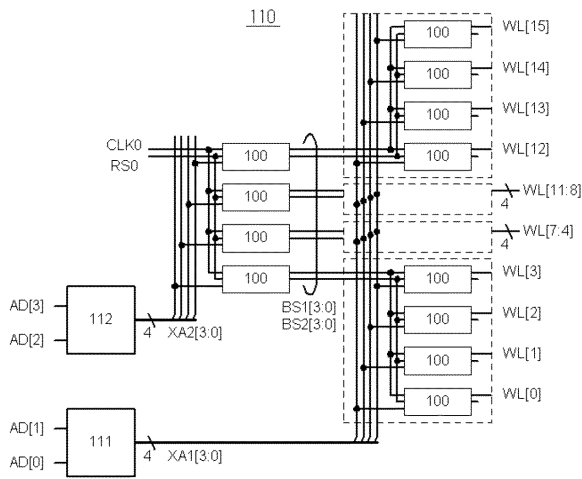
【 図 3 】



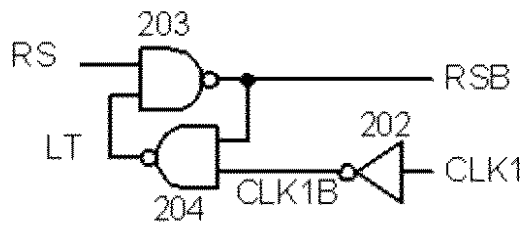
【 図 4 】



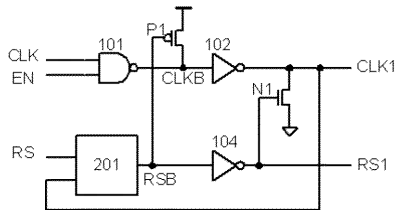
【 図 5 】



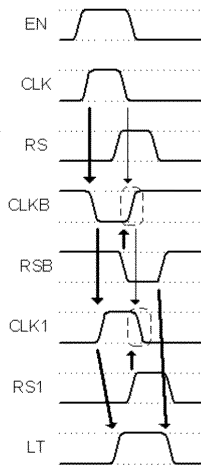
【 図 7 】



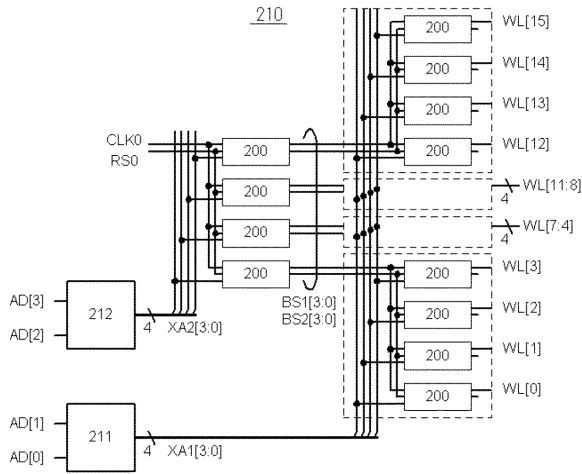
【 図 6 】



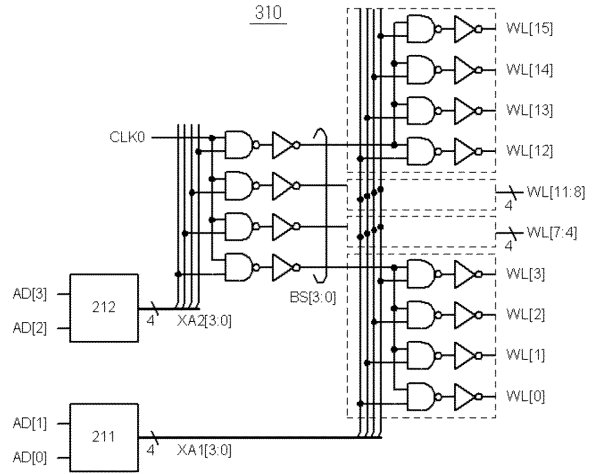
【 図 8 】



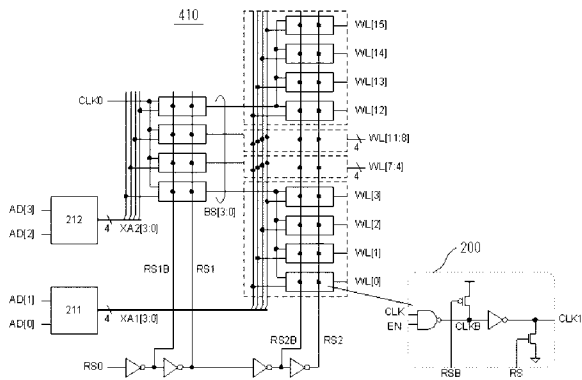
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(56)参考文献 特開平 1 1 - 2 0 3 8 5 8 (J P , A)
特開平 0 7 - 0 7 9 1 4 8 (J P , A)
特開 2 0 0 3 - 1 7 3 6 8 4 (J P , A)
特開平 0 7 - 0 7 8 4 8 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 1 / 4 1 3