(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/00

(45) 공고일자 2000년11월01일
(11) 등록번호 10-0268121
(24) 등록일자 2000년07월11일

(21) 출원번호	10-1998-0005177	(65) 공개번호	특1998-0071515
(22) 출원일자	1998년02월19일	(43) 공개일자	1998년10월26일
(30) 우선권주장	97-36437 1997년02월20일 일본(JP)		

(73) 특허권자 닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
일본 도오꾜도 미나또꾸 시바 5쵸메 7방 1고
(72) 발명자 기꾸찌 히로아끼
일본 도오꾜도 미나또꾸 시바 5쵸메 7방 1고닛뽕덴끼 가부시끼가이샤나이
하마지마 도모히로
일본 도오꾜도 미나또꾸 시바 5쵸메 7방 1고닛뽕덴끼 가부시끼가이샤나이
(74) 대리인 박해선, 조영원

심사관 : 원호준

(54) 절연층 및 반도체층 사이의 접촉 없이 서로 접착된 반도체웨이퍼로부터 제조되는 적층기판 및 그 제조방법

요약

절연층 (23) 이 제 1 실리콘웨이퍼 (21) 의 주표면 (21a) 상에서 선택적으로 성장되고 상기 주표면 (21a) 아래로 함몰되도록 부분적으로 식각되며, 그 후에, 상기 제 1 실리콘웨이퍼가 제 2 실리콘웨이퍼 (25) 에 접착되는데, 상기 제 1 실리콘웨이퍼가 상기 제 2 실리콘웨이퍼로부터 분리되지 않도록 상기 제 1 실리콘웨이퍼의 주표면이 상기 제 2 실리콘웨이퍼의 주표면에 강하게 접착된다.

대표도

도3a

명세서

도면의 간단한 설명

도 1a 내지 도 1c 는 일본특개평 4-29353 에 개시된 적층기판을 제조하기 위한 종래의 방법을 도시하는 단면도.

도 2a 내지 도 2c 는 일본특개평 6-156451 에 개시된 적층기판을 제조하기 위한 종래의 방법을 도시하는 단면도.

도 3a 내지 도 3d 는 본발명에 따른 적층기판을 제조하기 위한 방법을 도시하는 단면도.

도 4 는 도 3a 내지 도 3d 에 도시된 방법에 사용되는 실리콘웨이퍼를 도시하는 평면도.

도 5 는 "A" 로 표시된 실리콘웨이퍼의 부분을 확대하여 도시하는 평면도.

도 6 은 본발명에 따른 적층기판을 제조하기 위하여 또다른 공정에서 수행된 열처리의 결과적인 구조를 도시하는 단면도.

도 7 은 본발명에 따른 적층기판을 제조하기 위하여 또다른 공정에서 사용되는 단결정 실리콘웨이퍼를 도시하는 평면도.

<도면의 주요부분에 대한 부호의 설명>

21 : 약하게 도핑된 n 타입 단결정 실리콘기판

21a : 약하게 도핑된 n 타입 단결정 실리콘기판의 주표면

23 : 절연층 23a : 절연층의 상부표면

25 : 강하게 도핑된 n 타입 단결정 실리콘기판

25a : 강하게 도핑된 n 타입 단결정 실리콘기판의 주표면

26 : 공동 28 : 단차

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본발명은 적층기판에 관한 것으로, 한쪽 실리콘웨이퍼 상에 선택적으로 형성된 절연층 및 단결정 실리콘층 사이의 접촉 없이 서로 접착된 한 쌍의 실리콘웨이퍼로부터 제조되는 적층기판에 관한 것이다.

SOI (Silicon On Insulator) 기판과 같은 적층기판구조는 접착 공정을 통하여 제조되며, 반도체 전력장치에 적합하다. 이러한 적층기판은 차세대용 CMOS (Complementary Metal Oxide Semiconductor) 장치에 이용될 수 있다.

인텔리전트 전력 집적회로장치는 많은 양의 전기전력을 제어하기 위한 전력회로 및 상기 전력회로를 제어하기 위한 주변회로를 포함하고, 적층기판은 전력회로로부터 주변회로를 전기적으로 격리하도록 되어있어 인텔리전트 전력 집적회로장치의 신뢰도를 향상시킨다.

일본특개평 4-29353 은 적층기판의 제조방법을 개시하는데, 도 1a 내지 도 1c 에 도시된 종래의 방법이 개시되어 있다. 이 종래의 방법은 약하게 도핑된 n 타입 실리콘기판 (1) 을 준비하는 것으로 시작된다. 포토레지스트 식각마스크 (도시되지 않음) 가 상기 약하게 도핑된 n 타입 실리콘기판 (1) 상에 패터닝되고, 반응성이온식각 기술을 이용함으로써 상기 약하게 도핑된 n 타입 실리콘기판 (1) 이 선택적으로 식각된다. 그 결과, 상기 약하게 도핑된 n 타입 실리콘기판 (1) 의 표면 부분에 얕은 리세스 (recess) 가 형성되어, 상기 얕은 리세스의 바닥면 및 상기 약하게 도핑된 n 타입 실리콘기판 (1) 의 주표면 사이에 단차가 형성된다. 포토레지스트 식각마스크가 제거된다.

상기 약하게 도핑된 n 타입 실리콘기판 (1) 은 열산화되거나, 실리콘디옥사이드 (SiO_2) 가 상기 약하게 도핑된 n 타입 실리콘기판 (1) 의 전표면에 증착된다. 상기 약하게 도핑된 n 타입 실리콘기판 (1) 은 실리콘디옥사이드층 (2) 으로 덮이고, 상기 실리콘디옥사이드층 (2) 은 도 1a 에 도시된 바와 같이 약하게 도핑된 n 타입 실리콘기판 (1) 의 주표면 상에 균일하게 퍼져있게 된다.

이어서, 실리콘디옥사이드층 (2) 은 상기 약하게 도핑된 실리콘기판이 다시 노출될 때까지 연마되거나 균일하게 식각되고, 실리콘디옥사이드층 (2) 은 상기 얕은 리세스에 남게된다. 실리콘디옥사이드층 (2) 은 상기 약하게 도핑된 n 타입 실리콘기판 (1) 과 동일 평면을 이루어, 도 1b 에 도시된 바와 같이 평탄한 평면 (3) 을 형성한다.

또다른 강하게 도핑된 n 타입 실리콘기판 (4) 이 마련되고, 상기 평탄한 평면 (3) 은 도 1c 에 도시된 바와 같이 상기 강하게 도핑된 n 실리콘기판 (4) 의 주표면에 접착된다. 상기 결과적인 반도체 구조는 열처리되어 그 동일성이 향상된다. 상기 약하게 도핑된 n 타입 실리콘기판 (1) 은 점선 (5) 까지 연마되어, 단결정 실리콘층에 평탄한 주표면을 제공한다.

상기한 종래의 기판에 다음과 같이 트랜치 아이솔레이션 (trench isolation) 이 형성된다. 상기 단결정 실리콘층 (1) 의 평탄한 주표면 상에 절연층이 형성되고 절연패턴 (도시되지 않음) 을 형성하도록 선택적으로 식각된다. 상기 절연패턴을 식각마스크로 이용하여 알칼리성 에천트 (etchant) 가 트랜치 (도시되지 않음) 를 형성하도록 상기 단결정 실리콘층 (1) 을 제거한다. 상기 트랜치는 수직 전력 트랜지스터에 할당된 영역 및 제어회로에 할당된 영역 사이에 형성되고, 더욱이 제어회로에 할당된 영역을 회로소자를 제조하기 위한 액티브 (active) 영역으로 분할한다.

상기 결과적인 반도체 구조는 실리콘디옥사이드를 성장시키기 위하여 열산화되거나, 낮은 온도의 CVD (chemical vapor deposition) 에 의해 실리콘디옥사이드가 증착된다. 그 결과, 트랜치를 정의하는 내부표면은 얇은 실리콘디옥사이드층 (도시되지 않음) 으로 덮이게 된다. 상기 결과적인 반도체 구조의 전표면에 CVD 에 의해 폴리실리콘이 증착된다. 이 폴리실리콘은 얇은 실리콘디옥사이드층에 의해 정의된 제 2 차 트랜치를 채우고 확장되어 단결정 실리콘층 (1) 상의 폴리실리콘층 (도시되지 않음) 으로 된다. 상기 폴리실리콘층 및 상기 얇은 실리콘디옥사이드층 (1) 은 단결정 실리콘층 (1) 이 다시 노출될 때까지 연마나 식각에 의해 균일하게 제거되고, 남아있는 실리콘디옥사이드층 및 남아있는 폴리실리콘층이 트랜치에 트랜치 아이솔레이션을 형성한다.

또다른 적층기판이 일본특개평 6-156451 에 개시되어 있는데, 도 2a 내지 도 2c 는 적층기판을 제조하기 위한 종래의 방법을 도시한다. 이 방법은 약하게 도핑된 n 타입 단결정 실리콘기판 (6) 을 준비하는 것으로 시작된다. 상기 약하게 도핑된 n 타입 단결정 실리콘기판의 주표면은 두께가 균일한 실리콘옥사이드층 (도시되지 않음) 을 형성하기 위하여 열산화된다. 포토레지스트 식각마스크 (도시되지 않음) 가 상기 실리콘옥사이드층 상에 패터닝되고, 건식식각에 의해 상기 실리콘옥사이드층이 선택적으로 제거된다. 그 후에, 남아 있는 실리콘옥사이드층을 식각마스크로 이용하여 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (6) 이. 얕은 리세스를 형성하도록, 부분적으로 식각되어, 상기 얕은 리세스의 바닥면 및 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (6) 의 주표면 사이에 단차가 형성된다. 나머지 실리콘옥사이드층은 식각된다.

상기 결과적인 반도체 구조의 전표면 상에 절연물질이 증착된다. 이 절연물질은 상기 얕은 리세스를 채우고 확장되어 도 2a 에 도시된 바와 같이 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (6) 의 주표면 상의 절연층 (7) 으로 된다.

이 절연층 (7) 은, 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (6) 이 노출될 때까지, 규일하게 연마되거나 식각된다. 이 절연층 (7) 은 상기 얕은 리세스에 남게되고, 상기 절연층 (7) 의 상면은 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (6) 의 주표면과 동일한 평면을 이룬다.

상기 결과적인 반도체 구조의 전표면 상에 폴리실리콘이 증착되어, 폴리실리콘층 (8) 을 형성한다. 이 폴리실리콘층 (8) 은 연마되어, 도 2b 에 도시된 바와 같이 연마를 통하여 평평한 표면 (9) 이 만들어진다.

도 2c 에 도시된 바와 같이, 평평한 표면 (9) 에 강하게 도핑된 n 타입 실리콘기판 (10) 이 접착되고, 상

기 약하게 도핑된 n 타입 단결정 실리콘기판 (6) 이, 상기 약하게 도핑된 n 타입 실리콘기판 (6) 을 목표 두께로 조절하도록, 점선 (11) 까지 연마된다.

트랜치 아이솔레이션이 상기한 종래의 기판에 다음과 같이 형성된다. 단결정 실리콘기판 (6) 의 평탄한 주표면 상에 절연층이 형성되고, 절연패턴 (도시되지 않음) 을 형성하도록 선택적으로 식각된다. 이 절연패턴을 식각마스크로 이용하여 알칼리성 에천트가 상기 단결정 실리콘기판 (6) 을 선택적으로 제거하여 트랜치 (도시되지 않음) 를 형성한다. 이 트랜치는 수직 전력 트랜지스터에 할당된 영역 및 제어회로에 할당된 영역 사이에 형성되며, 더욱이 제어회로에 할당된 영역을 회로소자를 제조하기 위한 액티브영역으로 분할한다.

상기 결과적인 반도체 구조는 열산화되어 실리콘디옥사이드를 성장시키거나, 저온 CVD 에 의해 실리콘디옥사이드가 증착된다. 그 결과, 트랜치를 정의하는 내부 표면이 얇은 실리콘디옥사이드층 (도시되지 않음) 으로 덮인다. CVD 에 의해 상기 결과적인 반도체 구조 상에 폴리실리콘이 증착된다. 이 폴리실리콘은 상기 얇은 실리콘디옥사이드층에 의해 정의된 제 2 차 트랜치를 채우고 확장하여 상기 단결정 실리콘층의 주표면 상의 폴리실리콘층 (도시되지 않음) 이 된다. 상기 폴리실리콘층 및 상기 얇은 실리콘디옥사이드층은 상기 단결정 실리콘층이 다시 노출될 때까지 연마나 식각에 의하여 균일하게 제거되고, 남아있는 실리콘디옥사이드층 및 남아있는 폴리실리콘은 상기 트랜치 내에 트랜치 아이솔레이션을 형성한다.

도 1c 에 도시된 종래의 적층기판은 그 위에 제조된 수직 전력 트랜지스터에서 기능부전 (malfunction) 이 발생한다는 점에 문제점이 있다. 이러한 기능부전은 약하게 도핑된 n 타입 실리콘층의 표면 및 강하게 도핑된 n 타입 실리콘층의 주표면 사이의 공동 (void) 으로 인하여 발생하게 된다. 약하게 도핑된 실리콘 및 실리콘디옥사이드는 연마비나 식각비가 다르므로, 상기 실리콘디옥사이드층 (2) 이 상기 약하게 도핑된 n 타입 실리콘기판 (1) 으로부터 불가피하게 돌출한다. 연마기술이나 식각기술은 현재 반도체 및 절연물질을 균일하게 식각할 수 없으므로, 10 ㎚ 이하로 단차를 감소시킬 수 없다. 그 결과, 상기 약하게 도핑된 n 타입 실리콘층 (1) 은 강하게 도핑된 n 타입 실리콘기판 (4) 에 강력하게 접착되지 못하므로, 서로 분리되기 쉽다. 공동이 수직 전력 트랜지스터에 할당된 반도체층 내에 생길 경우, 전류가 감소된다.

도 2c 에 도시된 종래의 적층기판은, 강하게 도핑된 실리콘기판 (10) 이 폴리실리콘층 (8) 의 평평한 표면 (9) 에 직접 접착되기 때문에, 공동으로 인한 기능부전은 없다. 그러나, 평평한 표면 (9) 은 폴리실리콘의 증착 및 연마를 필요로 하며, 이러한 추가적인 공정은 종래의 적층기판의 생산비용을 증가시킨다.

발명이 이루고자 하는 기술적 과제

따라서, 반도체층이 분리되지 않고 생산비용을 낮출 수 있는 적층기판을 제공하는 것이 본발명의 중요한 목적이다.

또한, 그러한 적층기판을 제조하기 위한 방법을 제공하는 것도 본발명의 중요한 목적이다.

상기한 목적을 달성하기 위하여, 본발명은 반도체층의 주표면으로부터 절연층을 함몰시킬 것을 제안한다.

본발명의 일실시예에 따르면, 반도체장치에 사용되는 반도체기판이 제공되는데, 이 반도체기판은 제 1 주표면을 갖는 제 1 반도체기판, 상기 제 1 주표면에 선택적으로 형성되고 리세스를 형성하기 위하여 상기 제 1 주표면으로부터 함몰된 상면을 갖는 절연층, 및 상기 제 1 주표면에 접착되는 제 2 주표면을 갖는 제 2 반도체기판을 구비한다.

본발명의 또다른 실시예에 따르면, 제 1 주표면을 갖는 제 1 반도체기판 및 제 2 주표면을 갖는 제 2 반도체기판을 준비하는 단계, 상기 제 1 주표면 상에 절연층을 선택적으로 성장시키는 단계, 상기 제 1 주표면으로부터 상기 절연층의 상부표면이 함몰되도록 상기 절연층을 부분적으로 제거하는 단계, 결합된 기판을 얻기 위하여 상기 제 1 주표면을 상기 제 2 주표면에 접착하는 단계, 상기 제 1 반도체기판 및 상기 제 2 반도체기판 사이의 접착력을 향상시키기 위하여 상기 결합된 기판을 열처리하는 단계, 및 상기 결합된 기판이 목표 두께가 되도록 조절하는 단계를 구비하는 반도체기판의 제조방법이 제공된다.

발명의 구성 및 작용

본발명에 따른 적층기판 및 그 제조방법의 특징 및 효과는 첨부도면을 참조하여 기재된 이하의 내용으로부터 보다 분명히 이해될 것이다.

제 1 실시예

도 3a 내지 도 3d 는 본발명을 구체화하는 적층기판의 제조방법을 도시하는데, 이 적층기판은 수직 전력 트랜지스터 및 이 수직 전력 트랜지스터를 제어하기 위한 회로소자의 집적화에 적합하다. 이 방법은 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 을 준비하는 것으로 시작한다. 이러한 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 은 5 인치 실리콘웨이퍼 (22) (도 4 참조) 의 일부이고, 그 고유저항은 1 Ω㎝ 이며 두께는 600 ㎛ 이다. 실리콘옥사이드의 절연층 (23) 이 LOCOS (local oxidation of silicon) 기술에 의해 상기 실리콘웨이퍼 (22) 의 주표면 상에 2 ㎛ 두께로 선택적으로 성장된다. 링 모양의 주변영역 (24b) 은 폭이 일정하고, 절연층 (23) 은 바둑판 모양의 패턴 (29) 을 형성한다. 도 5 는 주변영역 (24b) 의 영역 "A" 를 도시하는데, 바둑판 모양의 패턴 (29) 이 도시되어 있다. 각각의 절연층 (23) 은 1 ㎟ 보다 작거나 같다. 이 절연층 (23) 이 중심영역 (24a) 에 형성된 절연층 (도시되지 않음) 만큼의 너비를 갖는다면, 이 넓은 절연층 (23) 은 분리를 초래한다. 중심영역 (24a) 의 절연층은 수 ㎟ 이다. 이러한 이유로, 절연층 (23) 은 중심영역 (24a) 의 절연층보다 좁다. 그 결과적인 구조가 도 3a 에 도시된다.

절연층 (23) 은 불산 (HF) 시스템의 식각용액에 의해 식각되고, 0.9 ㎛ 두께까지 감소된다. 습식식각은 절연층 (23) 을 낮추어서, 각각의 절연층 (23) 의 상부표면 (23a) 은 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 의 주표면 (21a) 보다 낮아지게 된다. 그 결과, 상기 주표면 (21a) 및 상부표면 (23a) 사이에 단차 (28) 가 발생하게 되는데, 그 단차는 도 3b 에 도시된 바와 같이 약 0.1 ㎛ 이다.

강하게 도핑된 n 타입 단결정 실리콘기판 (25) 은 두께가 600 ㎚ 이고 고유저항이 0.01 내지 0.02 Ω㎝

인 5 인치 실리콘웨이퍼의 일부를 형성한다. 도 3c 에 도시된 바와 같이 상온 분위기에서 상기 강하게 도핑된 n 타입 단결정 실리콘기판 (25) 의 주표면 (25a) 이 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 의 주표면 (21a) 에 접착된다. 이러한 접착 작업은 산소 분위기에서 수행될 수도 있다.

상기 주표면 (21a, 25a) 은 연마되어 있으므로, 거울 표면같이 된다. 절연층 (23) 및 상기 강하게 도핑된 n 타입 단결정 실리콘기판 (25) 사이에 빈 공간 (26) 이 발생되어, 주표면 (21a, 25a) 이 서로 강하게 접착된다. 상기 빈 공간 (26) 은 0.1 ㎛ 이상의 깊이를 갖는다. 이러한 이유 때문에, 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 은 상기 강하게 도핑된 n 타입 단결정 실리콘기판 (25) 으로부터 잘 분리되지 않는다.

상기 결과적인 반도체 구조는 열처리되어, 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 및 상기 강하게 도핑된 n 타입 단결정 실리콘기판 (25) 사이의 접착력이 향상된다. 이러한 열처리는 1000 ℃ 이상에서 수행되며, 1000 내지 1200 ℃ 에서 2 시간 동안 수행되는 것이 바람직하다.

상기 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 및 상기 강하게 도핑된 n 타입 단결정 실리콘기판 (25) 사이에 공기가 남아 있긴 하지만, 산소는 실리콘기판과 반응하고, 질소는 열처리하는 동안 실리콘기판 (21, 25) 으로 확산된다. 이러한 이유로, 공기압이 감소한다.

이어서, 상기 반도체 구조의 주변 엣지 (edge) 는 모서리가 깍이고, 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 은 뒷면으로부터 도 3c 에 도시된 점선까지 연마되어 거울 표면을 형성한다. 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 은 액티브층으로서 작용하게 된다. 연마 전에는 상기 실리콘기판 (21) 은 두껍고, 거의 변형되지 않는다. 그러나, 연마 후에는 상기 실리콘기판 (21) 은 얇아지고 변형될 수 있다. 이런 이유로, 실리콘기판 (21, 25) 이 서로 접착될 때, 실리콘기판 (21) 은 절연층 (23) 의 전표면이 기판 (25) 에 접착되는 식으로 변형된다. 이 때문에, 절연층 (23) 은, 도 3d 와의 비교로부터 알수 있는 바와 같이, 변형된다.

상기한 기재로부터 알 수 있는 바와 같이, 절연층 (23)이, 접착되기 전에, 약하게 도핑된 n 타입 단결정 실리콘기판 (21)의 주표면 (21a) 으로부터 함몰되어, 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (21)은 상기 강하게 도핑된 n 타입 단결정 실리콘기판 (25)과 직접적으로 접착된다. 상기 약하게 도핑된 n 타입 단결정 실리콘기판 (21)은 상기 강하게 도핑된 n 타입 단결정 실리콘기판 (25)에 강하게 접착되어, 거의 분리되지 않는다. 이런 이유로, 인텔리전트 전력 집적회로가 적층기판 상에 제조될 때, 수직 전력 트랜지스터에서 기능부전이 발생하지 않는다. 더욱이, 폴리실리콘이 적층기판에 요구되지도 않고, 생산비용이 결코 증가하지도 않는다.

제 2 실시예

도 6 은 본발명을 구체화시키는 적층기판을 제조하기 위한 또다른 방법의 중간 단계를 도시한다. 제 2 실시예를 실행하는 방법은 도 6 에 도시된 단계를 제외하고는 도 3a 내지 도 3d 에 도시된 방법과 유사하다. 이 때문에, 이하의 기재는 도 6 에 도시된 단계에 초점이 맞추어진다.

강하게 도핑된 n 타입 단결정 실리콘기판 (25) 을 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 에 접착한 후, 1000 내지 1200 ℃ 의 산화 분위기에서 2 시간 동안 상기 결과적인 반도체 구조를 열처리한다. 이 때문에 접착력이 향상되고, 실리콘옥사이드가 0.15 ㎛ 두께로 자라며, 결과적인 반도체 구조는 도 6 에 도시된 바와 같이 실리콘옥사이드의 보호층 (30) 에 둘러싸이게 된다. 이 보호층 (30) 은 주변영역에서의 접착력을 강화시켜서, 결과적인 반도체 구조는 연마 중에 잘 분리되지 않는다.

이 경우에, 실리콘디옥사이드가 접착력을 향상시키는 동안에 열적으로 성장하게 된다. 실리콘옥사이드의 성장은 접착력 향상으로부터 분리될 수도 있다. 예를 들어, 비산화 분위기에서 접착력이 향상되고, 그 후에 산화 분위기에서 실리콘옥사이드가 성장된다. 더욱이, 보호층 (30) 은 CVD 에 의하여 형성될 수도 있다. 실리콘옥사이드, 실리콘나이트라이드, 단결정 실리콘, 폴리실리콘 또는 비정질 실리콘이 결과적인 반도체 구조 전표면 상에 증착될 수도 있다. 이어서, 약하게 도핑된 n 타입 단결정 실리콘기판 (21) 이 뒷면으로부터 연마되고, 적층기판이 목표 두께로 조절된다. 연마는 평평한 표면을 만든다.

제 2 실시예는 제 1 실시예의 효과를 모두 달성한다. 더욱이, 제 2 실시예가 링 모양의 주변영역 및 중심영역 사이의 절연층의 크기를 변경할 필요가 없다.

제 3 실시예

도 7 은 본발명을 구체화하는 적층기판을 제조하기 위한 또다른 방법에 사용되는 약하게 도핑된 n 타입 단결정 실리콘기판 (40) 을 도시한다. 제 3 실시예을 실행하는 방법은 방수 단계를 제외하고는 도 3a 내지 도 3d 에 도시된 방법과 유사하다. 이 때문에, 이하의 기재는 방수 단계에 초점이 맞추어진다.

약하게 도핑된 n 타입 단결정 실리콘기판 (40) 의 주표면은 중심영역 (40a) 및 주변영역 (40b) 으로 분할된다. 중심영역 (40a) 은 회로소자에 할당되어, 제어회로의 소자 및 수직 전력 트랜지스터가 중심영역 (40a) 상에 제조된다. 그러나, 어떠한 회로소자도 주변영역 (40b)상에 제조되지는 않는다. 비록 절연층 (23) 이 주변영역 (40b) 상에 형성되지만, 바둑판 모양의 패턴 (29) (도 5 참조)이 주변영역 (40b) 에 형성되지는 않는다.

방수 단계는 상기 함몰 단계 및 접착 단계 사이에 삽입된다. 절연층 (23)을 함몰시킨 후, 주변영역 (40b)을 불산으로 처리하여 실리콘옥사이드를 제거한다. 그 결과, 주변영역은 방수가 된다. 불산 시스템에 적합한 용액은 증기를 주변영역 (40b)으로 불어내기 위하여 기화될 수도 있다. 그 후에, 약하게 도핑된 n 타입 단결정 실리콘기판 (40)을 강하게 도핑된 n 타입 실리콘기판 (25)에 접착한다.

만일 주변영역 (40b) 이 방수가 아니라면, 주변영역 (40b) 이 중심영역보다 빨리 접착되는데, 그 이유는 주변영역에 절연패턴이 없기 때문이다. 이 때문에, 중심영역에 남겨지는 공동이 생긴다. 이러한 경우에, 주변영역 (40b)은 방수이며, 중심영역보다 늦게 접착된다. 이 때문에, 주변영역 (40b)을 통하여 공기가 쉽게 배출되고, 공동이 중심영역에 남지 않는다.

제 3 실시예는 제 1 실시예의 모든 효과를 달성한다. 더욱이, 어떤 바둑판 모양의 패턴도 주변영역 (40b)에 형성되지 않고, 주변영역 (40b)은 기계적 강도에 있어서 주변영역 (24) 보다 크다.

본발명의 특정한 실시예가 도시되고 기재되었지만, 본발명의 사상 및 범위를 벗어남이 없이 다양한 변경 및 수정이 가해질 수 있다는 것은 이 분야에서 통상의 지식을 가진 자에게는 자명할 것이다.

예를 들어, 서로 접착되는 한 쌍의 반도체기판이 서로 다른 물질로 형성될 수도 있고, 두개 이상의 반도체기판이 서로 접착될 수도 있다.

발명의 효과

상기한 본발명에 따르면, 반도체층이 분리되지 않으며 생산비용도 낮출 수 있는 적층기판 및 그 제조방법이 제공된다.

(57) 청구의 범위

청구항 1

제 1 주표면을 갖는 제 1 반도체기판 (21, 40); 상기 제 1 주표면에 선택적으로 형성된 절연층 (23); 및 상기 제 1 반도체기판에 접착된 제 2 반도체기판 (25) 을 구비하는 반도체장치에 사용되는 반도체기판에 있어서, 상기 절연층은 상기 제 2 반도체기판의 제 2 주표면이 상기 제 1 주표면에 직접적으로 접착되도록 리세스를 형성하기 위하여 상기 제 1 주표면으로부터 함몰된 상부표면 (23a) 을 갖는 것을 특징으로하는 반도체기판.

청구항 2

제 1 항에 있어서, 상기 제 1 주표면은 중심영역 (24a) 및 상기 중심영역을 둘러싸는 주변영역 (24b) 을 갖고, 상기 절연층은 상기 주변영역 내에 절연패턴 (29) 을 형성하는 복수의 절연 하부층을 갖는 것을 특징으로 하는 반도체기판.

청구항 3

제 2 항에 있어서, 상기 복수의 절연 하부층 각각은 1 ㎟ 보다 작거나 같은 것을 특징으로 하는 반도체기판.

청구항 4

제 1 항에 있어서, 상기 상부표면 (23a) 은 상기 제 1 주표면 (21a) 으로부터 0.1 ㎛ 이상 함몰되어 있는 것을 특징으로 하는 반도체기판.

청구항 5

제 1 항에 있어서, 상기 제 1 반도체기판 (21) 의 측면, 상기 제 2 반도체기판 (25) 의 측면 및 상기 제 2 반도체기판 (25) 의 뒷면을 덮는 보호층 (30) 을 더 구비하는 것을 특징으로 하는 반도체기판.

청구항 6

제 1 항에 있어서, 상기 제 1 주표면은 중심영역 (40a) 및 상기 중심영역을 둘러싸는 주변영역 (40b) 을 갖고, 상기 주변영역은 방수인 것을 특징으로 하는 반도체기판.

청구항 7

a) 제 1 주표면 (21a) 을 갖는 제 1 반도체기판 (21, 40) 및 제 2 주표면을 갖는 제 2 반도체기판 (25) 을 준비하는 단계; b) 상기 제 1 주표면 상에 절연층 (23) 을 선택적으로 성장시키는 단계; c) 상기 절연층의 상부표면 (23a) 이 상기 제 1 주표면으로부터 함몰되도록 상기 절연층 (23) 을 부분적으로 제거하는 단계; d) 합성 기판을 얻기 위하여 상기 제 1 주표면을 상기 제 2 주표면에 접착하는 단계; e) 상기 제 1 반도체기판 및 상기 제 2 반도체기판 사이의 접착력을 향상시키기 위하여 상기 합성 기판을 열처리하는 단계; 및 f) 상기 합성 기판을 목표 두께로 조절하는 단계를 구비하는 반도체기판의 제조방법.

청구항 8

제 7 항에 있어서, 상기 절연층 (23) 은 상기 제 1 주표면의 주변영역 상에 절연패턴 (29) 을 형성하는 복수의 절연 하부층을 갖는 것을 특징으로 하는 반도체기판의 제조방법.

청구항 9

제 8 항에 있어서, 상기 복수의 절연 하부층 각각은 1 ㎟ 보다 작거나 같은 것을 특징으로 하는 반도체기판의 제조방법.

청구항 10

제 7 항에 있어서, 상기 c) 단계에서 상기 절연층 (23) 은 부분적으로 식각되는 것을 특징으로 하는 반도체기판의 제조방법.

청구항 11

제 7 항에 있어서, 상기 제 1 주표면은 상기 절연층이 성장되지 않는 주변영역 (40b) 을 갖고, 상기 c) 단계 및 상기 d) 단계 사이에 g) 상기 주변영역 (40b) 을 방수로 만드는 단계를 더 구비하는 것을 특징으

로 하는 반도체기판의 제조방법.

청구항 12

제 11 항에 있어서, 상기 g) 단계에서 상기 주변영역은 불산으로 처리되는 것을 특징으로 하는 반도체기판의 제조방법.

청구항 13

제 12 항에 있어서, 상기 g) 단계는 g-1) 상기 불산을 기화시키는 하부단계; 및 g-2) 상기 주변영역을 상기 기화된 불산에 노출시키는 하부단계를 구비하는 것을 특징으로 하는 반도체기판의 제조방법.

청구항 14

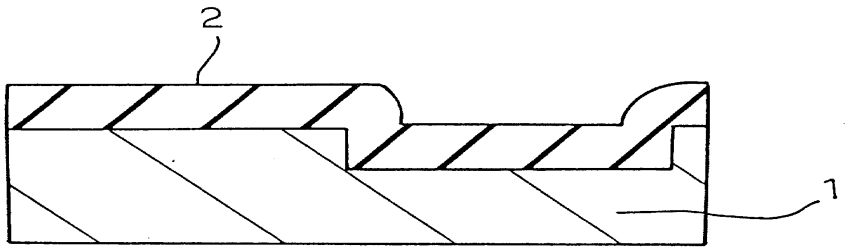
제 7 항에 있어서, 상기 e) 단계에서 상기 합성 기판은 1000 ℃ 이상에서 처리되는 것을 특징으로 하는 반도체기판의 제조방법.

청구항 15

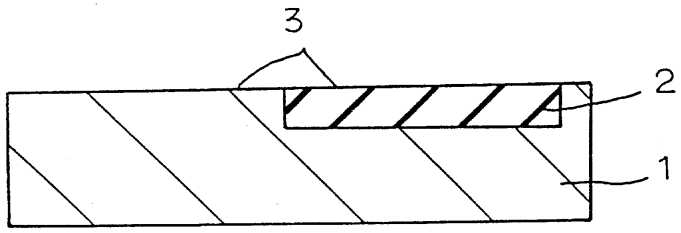
제 7 항에 있어서, 상기 합성 기판은 1000 내지 1200 ℃ 의 온도에서 2 시간 동안 가열되는 것을 특징으로 하는 반도체기판의 제조방법.

도면

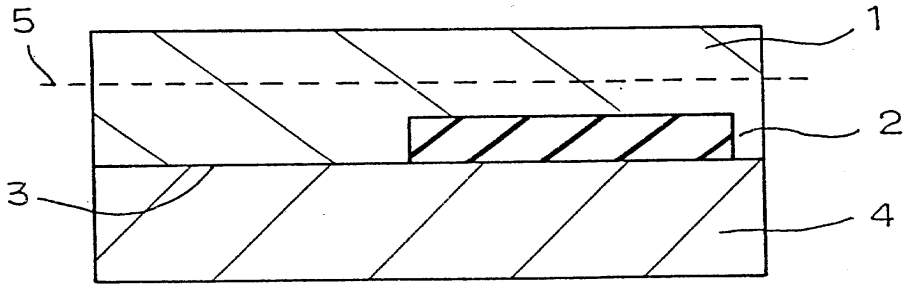
도면1a



도면1b

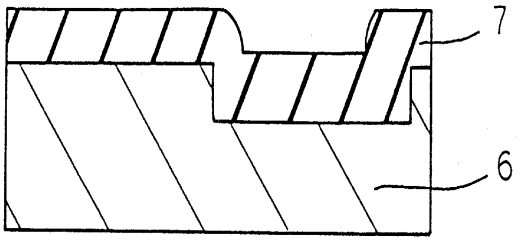


도면1c

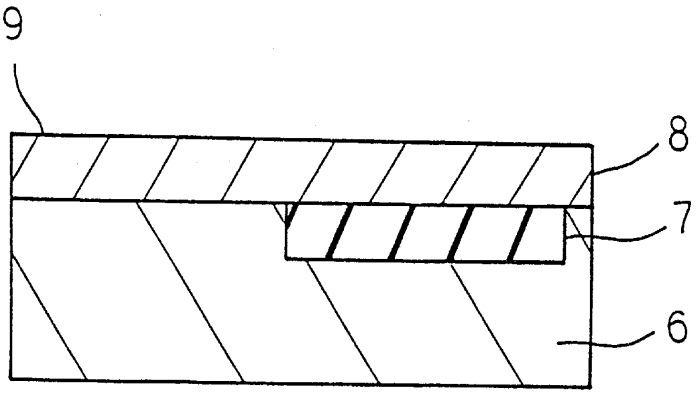


도면2a

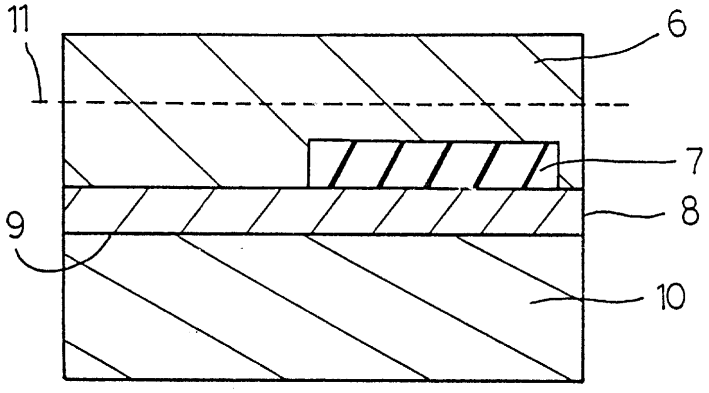
종 래 기 술



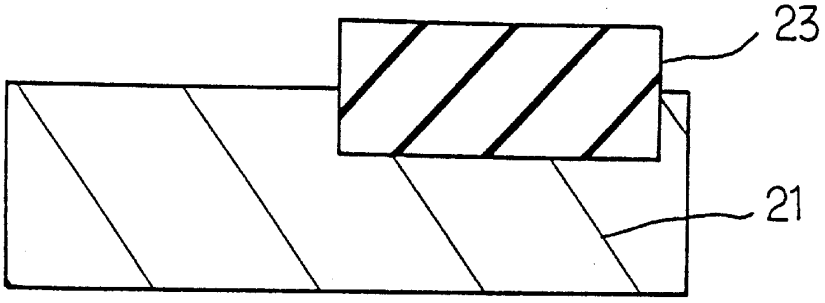
도면2b



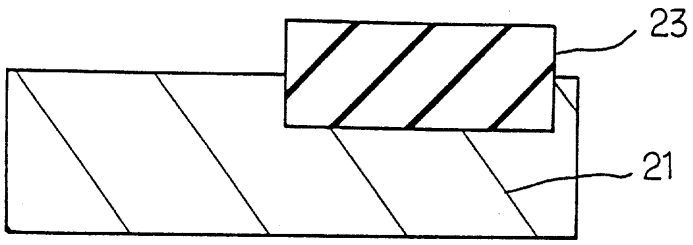
도면2c



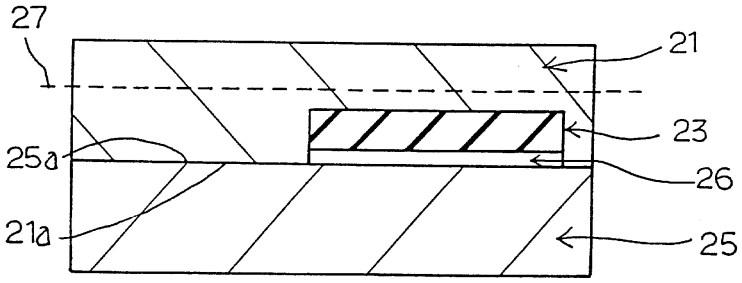
도면3a



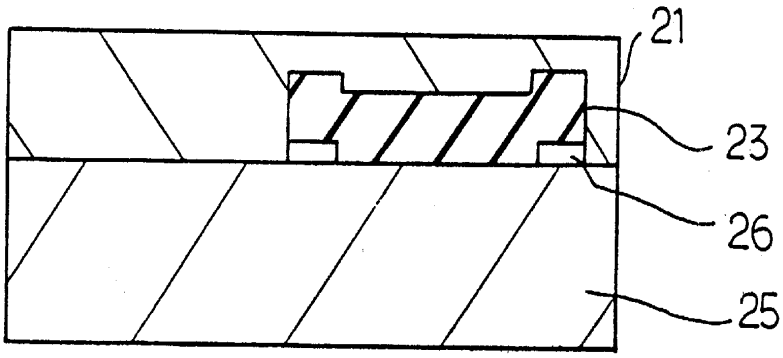
도면3b



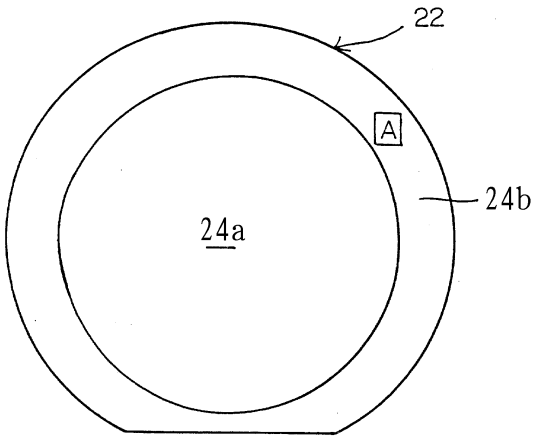
도면3c



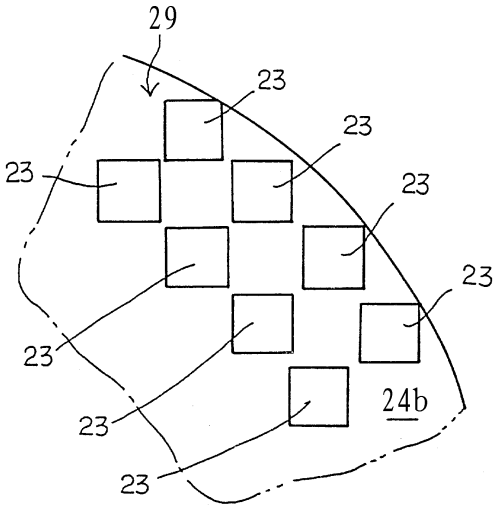
도면3d



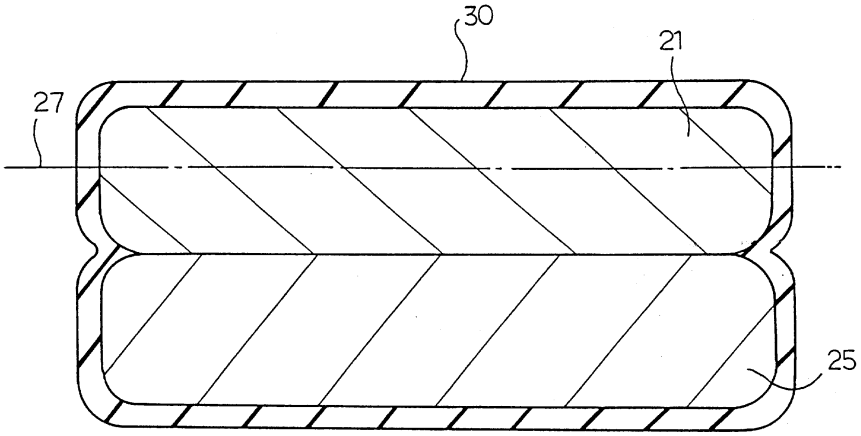
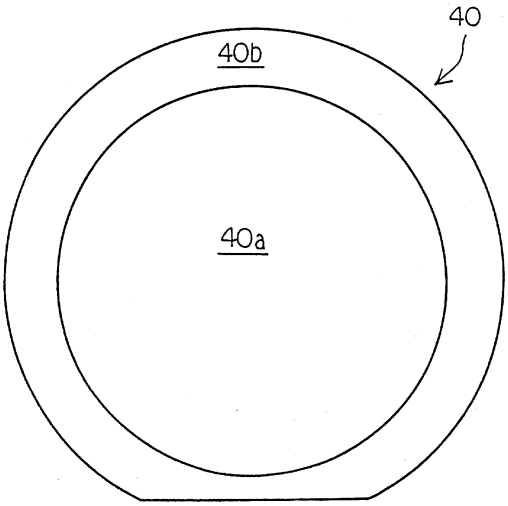
도면4



도면5



도면6



도면7