



(12)发明专利申请

(10)申请公布号 CN 109933541 A

(43)申请公布日 2019.06.25

(21)申请号 201811431719.5

(22)申请日 2018.11.27

(30)优先权数据

10-2017-0174083 2017.12.18 KR

(71)申请人 三星电子株式会社

地址 韩国京畿道水原市

(72)发明人 金鼎勳 李荣息 卢羌镐

(74)专利代理机构 北京铭硕知识产权代理有限公司

11286

代理人 曾世骁 韩明星

(51)Int.Cl.

G06F 12/02(2006.01)

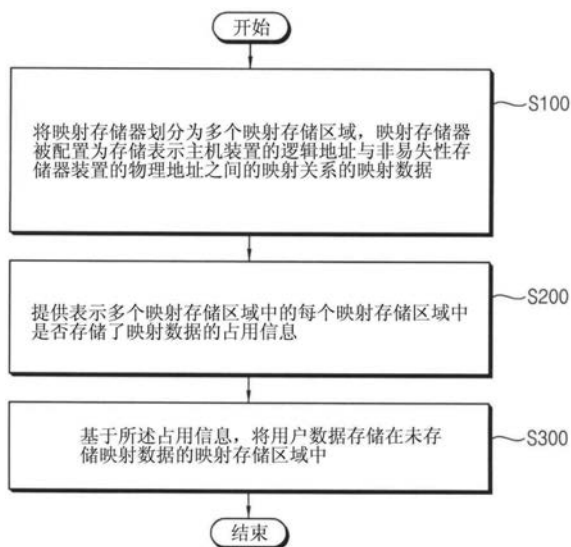
权利要求书3页 说明书14页 附图18页

(54)发明名称

非易失性存储器系统及其操作方法

(57)摘要

一种非易失性存储器系统及其操作方法。为了操作包括非易失性存储器装置和存储器控制器的非易失性存储器系统,映射存储器被划分为多个映射存储区域,其中,所述映射存储器存储表示主机装置的逻辑地址与非易失性存储器装置的物理地址之间的映射关系的映射数据。提供表示所述多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息。基于所述占用信息,将用户数据存储在未存储映射数据的相应映射存储区域中。



1. 一种操作包括非易失性存储器装置和存储器控制器的非易失性存储器系统的方法，所述方法包括：

将映射存储器划分为多个映射存储区域，其中，所述映射存储器被配置为存储表示从主机装置接收的逻辑地址与非易失性存储器装置的物理地址之间的映射关系的映射数据；

提供表示所述多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息；以及

基于所述占用信息，将用户数据存储在上述多个映射存储区域中的未存储映射数据的相应映射存储区域中。

2. 如权利要求1所述的方法，其中，提供占用信息的步骤包括：

提供包括多个状态指示区域的占用状态管理器，其中，所述多个状态指示区域分别相应于所述多个映射存储区域，所述多个状态指示区域中的每个状态指示区域存储表示所述多个映射存储区域中的相应映射存储区域是已占用的映射存储区域还是未占用的映射存储区域的值，其中，已占用的映射存储区域中存储了映射数据，未占用的映射存储区域中未存储映射数据。

3. 如权利要求2所述的方法，其中，提供占用状态管理器的步骤包括：在每个状态指示区域中存储一个或多个比特。

4. 如权利要求3所述的方法，其中，所述一个或多个比特的第一值表示相应映射存储区域是已占用的映射存储区域，并且

其中，所述一个或多个比特的第二值表示相应映射存储区域是未占用的映射存储区域。

5. 如权利要求4所述的方法，其中，提供占用信息的步骤还包括：

当在未占用的映射存储区域中存储了映射数据时，将相应状态指示区域的值从第二值改变为第一值；以及

当存储在已占用的映射存储区域中的映射数据被丢弃时，将相应状态指示区域的值从第一值改变为第二值。

6. 如权利要求3所述的方法，其中，所述一个或多个比特的第一值表示相应映射存储区域是已占用的映射存储区域，

其中，所述一个或多个比特的第二值表示相应映射存储区域是存储了用户数据的数据映射存储区域，并且

其中，所述一个或多个比特的第三值表示相应映射存储区域是未存储映射数据和用户数据二者的空映射存储区域。

7. 如权利要求6所述的方法，其中，提供占用信息的步骤还包括：

当空映射存储区域或数据映射存储区域中存储了映射数据时，将相应状态指示区域的值从第三值或第二值改变为第一值；

当在已占用的映射存储区域中存储的映射数据被丢弃时，将相应状态指示区域的值从第一值改变为第三值；以及

当数据映射存储区域中存储的用户数据被丢弃时，将相应状态指示区域的值从第二值改变为第三值。

8. 如权利要求2所述的方法，还包括：

提供包括多个高速缓存条目的高速缓存表,其中,所述多个高速缓存条目中的每个高速缓存条目包括:表示作为存储了用户数据的数据映射存储区域的相应映射存储区域的地址和与存储在数据映射存储区域中的用户数据相应的逻辑地址。

9. 如权利要求2所述的方法,还包括:

将缓冲存储器划分为多个缓冲区域,其中,所述缓冲存储器在物理上与映射存储器区分开;以及

将用户数据存储在上述缓冲存储器的所述多个缓冲区域中。

10. 如权利要求9所述的方法,还包括:

提供主高速缓存表,其中,主高速缓存表包括存储在所述缓冲存储器中的用户数据的高速缓存信息;以及

提供子高速缓存表,其中,子高速缓存表包括存储在所述映射存储器中的用户数据的高速缓存信息。

11. 如权利要求10所述的方法,其中,主高速缓存表包括多个主高速缓存条目,所述多个主高速缓存条目中的每个主高速缓存条目包括与存储在所述缓冲存储器中的用户数据相应的逻辑地址,以及

其中,子高速缓存表包括多个子高速缓存条目,所述多个子高速缓存条目中的每个子高速缓存条目包括表示作为存储了用户数据的数据映射存储区域的相应映射存储区域的地址以及与存储在数据映射存储区域中的用户数据相应的逻辑地址。

12. 如权利要求10所述的方法,其中,所述缓冲存储器基于主高速缓存表被用作L1高速缓存存储器,并且映射存储器基于子高速缓存表被用作L2高速缓存存储器。

13. 如权利要求9所述的方法,还包括:

提供包括多个组合高速缓存条目的组合高速缓存表,其中,所述组合高速缓存条目中的每个组合高速缓存条目包括:与存储在作为数据映射存储区域的相应映射存储区域中的或存储在所述多个缓冲区域中的相应缓冲区域中的用户数据相应的逻辑地址。

14. 如权利要求2所述的方法,还包括:

从主机装置接收访问命令和逻辑访问地址;

当已占用的映射存储区域中未存储与上述逻辑访问地址相应的映射数据时,从非易失性存储器装置读取与上述逻辑访问地址相应的映射数据;以及

当将从非易失性存储器装置读取的上述映射数据存储在未占用的映射存储区域中时,更新占用状态管理器的状态指示区域的值。

15. 如权利要求2所述的方法,还包括:

从主机装置接收读取命令,其中,上述逻辑地址作为逻辑读取地址被接收;

当上述映射存储器中未存储与上述逻辑读取地址相应的用户数据时,从非易失性存储器装置读取与上述逻辑读取地址相应的用户数据;以及

当将从非易失性存储器装置读取的上述映射数据存储在未占用的映射存储区域中时,更新占用状态管理器的状态指示区域的值。

16. 如权利要求2所述的方法,还包括:

从主机装置接收写入命令、写入数据、上述逻辑地址,其中,上述逻辑地址作为逻辑写入地址被接收;以及

当写入数据作为用户数据存储在未占用的映射存储区域中时,更新占用状态管理器的状态指示区域的值。

17. 如权利要求1所述的方法,其中,每个映射存储区域的大小与在非易失性存储器装置和所述存储器控制器之间传输的数据单位的大小相同。

18. 一种非易失性存储器系统,包括:

非易失性存储器装置;

映射存储器,被配置为存储表示主机装置的逻辑地址与非易失性存储器装置的物理地址之间的映射关系的映射数据,其中,所述映射存储器被划分为多个映射存储区域;

占用状态管理器,被配置为提供表示所述多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息;以及

控制器,被配置为基于所述占用信息将用户数据存储在所述多个映射存储区域中的未存储映射数据的相应映射存储区域中。

19. 如权利要求18所述的非易失性存储器系统,其中,所述占用状态管理器包括多个状态指示区域,其中,所述多个状态指示区域分别相应于所述多个映射存储区域,所述多个状态指示区域中的每个状态指示区域存储表示所述多个映射存储区域中的相应映射存储区域是已占用的映射存储区域还是未占用的映射存储区域的值,其中,已占用的映射存储区域中存储了映射数据,未占用的映射存储区域中未存储映射数据。

20. 一种非易失性存储器系统,包括:

非易失性存储器装置;

映射存储器,被配置为存储表示主机装置的逻辑地址与非易失性存储器装置的物理地址之间的映射关系的映射数据,其中,所述映射存储器被划分为多个映射存储区域;

缓冲存储器,被配置为存储用户数据,其中,所述缓冲存储器在物理上与所述映射存储器区分开并被划分为多个缓冲区域;

占用状态管理器,被配置为提供表示所述多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息;以及

控制器,被配置为基于所述占用信息将用户数据存储在所述多个映射存储区域中的未存储映射数据的相应映射存储区域中。

## 非易失性存储器系统及其操作方法

[0001] 本申请要求于2017年12月18日提交到韩国知识产权局 (KIPO) 的序列号为10-2017-0174083的韩国专利申请的优先权,所述申请的公开通过引用其整体合并于此。

### 技术领域

[0002] 示例实施例总体上涉及半导体集成电路,并且更具体地讲,涉及一种非易失性存储器系统和操作所述非易失性存储器系统的方法。

### 背景技术

[0003] 用于存储数据的半导体存储器装置可以分为易失性存储器装置和非易失性存储器装置。诸如动态随机存取存储器 (DRAM) 装置的易失性存储器装置通常被配置为通过对存储器单元中的电容器充电或放电来存储数据,并且在电源关闭时丢失所存储的数据。诸如闪存存储器装置的非易失性存储器装置即使在电源关闭的情况下仍可以保留已存储的数据。易失性存储器装置广泛用作各种设备的主存储器,而非易失性存储器装置广泛用于在各种电子装置(诸如,计算机、移动装置等)中存储程序代码和/或数据。随着非易失性存储器装置的存储容量的增加,用于控制非易失性存储器装置的电路的尺寸和成本也随之增加。在存储器系统中,高速缓存存储器用于根据命令(诸如从主机输入的命令)进行读取或写入。随着存储器系统的存储容量增加,高速缓存存储器的存储容量和制造存储器系统的成本也会随之增加。

### 发明内容

[0004] 一些示例实施例可提供一种非易失性存储器系统和控制非易失性存储器系统的方法,其中,所述非易失性存储器系统能够有效地利用被配置为控制非易失性存储器装置的存储器控制器中的存储资源。

[0005] 根据示例实施例,一种操作包括非易失性存储器装置和存储器控制器的非易失性存储器系统的方法包括:将映射存储器划分为多个映射存储区域,其中,所述映射存储器存储表示从主机装置接收的逻辑地址与非易失性存储器装置的物理地址之间的映射关系的映射数据;提供表示所述多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息;以及基于所述占用信息,将用户数据存储在上述多个映射存储区域中的未存储映射数据的相应映射存储区域中。

[0006] 根据示例实施例,一种非易失性存储器系统包括:非易失性存储器装置;映射存储器,占用状态管理器和控制器。映射存储器存储表示主机装置的逻辑地址与非易失性存储器装置的物理地址之间的映射关系的映射数据,所述映射存储器被划分为多个映射存储区域。占用状态管理器提供表示所述多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息。控制器基于所述占用信息将用户数据存储在上述多个映射存储区域中的未存储映射数据的相应映射存储区域中。

[0007] 根据示例实施例,一种非易失性存储器系统包括:非易失性存储器装置;映射存储

器,被配置为存储表示主机装置的逻辑地址与非易失性存储器装置的物理地址之间的映射关系的映射数据,其中,所述映射存储器被划分为多个映射存储区域;缓冲存储器,被配置为存储用户数据,其中,所述缓冲存储器在物理上与所述映射存储器区分开并被划分为多个缓冲区域;占用状态管理器,被配置为提供表示所述多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息;以及控制器,被配置为基于所述占用信息将用户数据存储在上述多个映射存储区域中的未存储映射数据的相应映射存储区域中。

[0008] 根据示例实施例的非易失性存储器系统和操作非易失性存储器系统的方法可通过利用映射存储器的一部分作为高速缓存存储器来在不增加电路尺寸的情况下增强非易失性存储器系统的性能。

## 附图说明

[0009] 从结合附图的以下详细描述,将更加清楚地理解本公开的示例实施例。

[0010] 图1是示出根据示例实施例的操作非易失性存储器系统的方法的示图。

[0011] 图2是示出根据示例实施例的非易失性存储器系统的示图。

[0012] 图3是示出根据示例实施例的对包括在图2的非易失性存储器系统中的映射存储器进行划分的示例实施例的示图。

[0013] 图4是示出根据示例实施例的包括在图2的非易失性存储器系统中的占用状态管理器的示例实施例的示图。

[0014] 图5A和图5B是示出根据示例实施例的存储在映射存储器中的映射条目的示例实施例的示图。

[0015] 图6是示出根据示例实施例的映射存储器的示例占用状态的示图。

[0016] 图7是示出根据示例实施例的存储在占用状态管理器中的与图6的占用状态相应的值的示图。

[0017] 图8是示出根据示例实施例的映射存储器的另一示例占用状态的示图。

[0018] 图9是示出根据示例实施例的存储在占用状态管理器中的与图8的占用状态相应的值的示图。

[0019] 图10是示出根据示例实施例的操作非易失性存储器系统的方法的流程图。

[0020] 图11是示出根据示例实施例的包括存储器装置的系统的框图。

[0021] 图12是示出根据示例实施例的包括在图11中的存储器装置中的存储器装置的框图。

[0022] 图13A、图13B和图13C是示出包括在图12的存储器装置中的存储器单元阵列的示例的示图。

[0023] 图14是示出对包括在图2的非易失性存储器系统中的映射存储器进行划分的示例实施例的示图。

[0024] 图15A和图15B是示出根据示例实施例的在操作非易失性存储器系统的方法中使用的高速缓存表的示例实施例的示图。

[0025] 图16A和图16B是示出根据示例实施例的在操作非易失性存储器系统的方法中使用的高速缓存表的其他示例实施例的示图。

[0026] 图17是示出根据示例实施例的在非易失性存储器系统中读取数据的方法的流程

图。

[0027] 图18是示出根据示例实施例的在非易失性存储器系统中写入数据的方法的流程图。

[0028] 图19是示出根据示例实施例的移动装置的框图。

### 具体实施方式

[0029] 将参考附图在下文中更充分地描述各种示例实施例,其中,附图中示出了一些示例实施例。在附图中,相同的标号始终表示相同的元件。可以省略重复的描述。

[0030] 图1是示出根据示例实施例的操作非易失性存储器系统的方法的示图,图2是示出根据示例实施例的非易失性存储器系统的示图。

[0031] 参照图1,映射存储器被划分为多个映射存储区域,其中,映射存储器被配置为存储表示主机装置的逻辑地址与非易失性存储器装置的物理地址之间的映射关系的映射数据(S100)。将参照图3在下文描述映射存储器的划分。

[0032] 提供表示多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息(S200)。如下面将参照图4、图5A、图5B和图6至图9所描述的,占用信息可以被提供为存储在占用状态管理器中的状态指示区域中的值。

[0033] 基于占用信息,将用户数据存储在未存储映射数据的映射存储区域中(S300)。

[0034] 参照图2,非易失性存储器系统3000包括非易失性存储器装置100和控制非易失性存储器装置100的操作的存储器控制器200。

[0035] 与非易失性存储器系统3000通信的主机可将数据写入非易失性存储器系统3000或者可从非易失性存储器系统3000读取数据。例如,由主机写入或读取的数据可以被定义为用户数据。

[0036] 非易失性存储器装置100可包括存储器单元阵列,其中,存储器单元阵列中布置有多个存储器单元,并且存储器单元阵列可包括元数据区MDA和用户数据区UDA。可以不同地确定元数据区域MDA和用户数据区域UDA的相对大小。控制非易失性存储器装置100所需的元数据存储于元数据区MDA中。例如,初始读取电压电平、编程/擦除(P/E)周期、包括逻辑地址和物理地址之间的映射信息的映射表MTBN等可被存储在元数据区域MDA中。用户数据可存储在用户数据区UDA中。

[0037] 存储器控制器200可包括控制器CTRL 300、占用状态管理器OSM 400、映射存储器MMEM 500和缓冲存储器BMEM 600。

[0038] 存储器控制器200可包括与缓冲存储器600分离的映射存储器500,使得映射存储器500和缓冲存储器600可以同时操作。因此,可提高存储器系统3000的操作速度。

[0039] 映射存储器500可存储映射表MTBV或表示主机装置的逻辑地址与非易失性存储器装置100的物理地址之间的映射关系的映射数据。如将参照图3在下文描述的,映射数据可被划分到多个映射存储区域中。

[0040] 缓冲存储器600在物理上可与映射存储器500区分开,并且如将参照图14在下文描述的,缓冲存储器600可被划分为多个缓冲区域。根据示例实施例,可省略缓冲存储器600或者缓冲存储器600可与映射存储器500组合。

[0041] 在一些示例实施例中,缓冲存储器600可加载或缓存由主机写入或读取的用户数

据。例如，缓冲存储器600可用作高速缓存存储器。

[0042] 在一些示例实施例中，映射存储器500和/或缓冲存储器600可用易失性存储器（诸如静态随机存取存储器（SRAM）、动态随机存取存储器（DRAM）等）实现。在其他示例实施例中，映射存储器500和/或缓冲存储器600可用非易失性存储器（诸如磁性随机存取存储器（MRAM）、相变随机存取存储器（PRAM）等）来实现。

[0043] 占用状态管理器400可提供表示多个映射存储区域中的每个映射存储区域中是否存储了映射数据的占用信息。控制器300可基于来自占用状态管理器400的占用信息，将用户数据存储在一个或多个缓冲区域中或存储在未存储映射数据的映射存储区域中。

[0044] 非易失性存储器装置100（例如，闪存存储器装置）可执行数据覆写。为了在闪存存储器装置中覆写数据，在写入数据之前执行擦除操作，这被称为写前擦除（EBW）。闪存存储器装置的擦除操作比写入操作花费更长的时间。此外，在闪存存储器装置中，通常以页为单位执行读取和写入操作，而以大于页的块为单位执行擦除操作。由于这些与其他存储器装置的特性不同的特性，因此闪存存储器装置被设计为与现有的文件系统兼容。为了具有与现有的文件系统的兼容性，存储器控制器200可通过使用诸如闪存转换层（FTL）的虚拟文件系统来管理闪存存储器装置。

[0045] FTL通过使用映射方法将从主机装置输入的逻辑地址映射到物理地址，并产生包括地址映射信息的映射数据。映射数据在非易失性存储器装置100的存储器单元阵列中被存储为映射表MTBN。

[0046] 逻辑地址是用于用户数据的被主机装置识别的地址。主机装置可通过指示逻辑地址而不是物理地址来写入或读取用户数据，其中，物理地址是非易失性存储器装置100的实际存储了用户数据的空间的地址。存储器控制器200可从主机装置接收主机命令和用户数据的逻辑地址，并可将用户数据写入由与逻辑地址相应的物理地址所指示的空间，或者可读取存储在非易失性存储器装置100的由物理地址指示的空间中的用户数据。

[0047] 为了提高非易失性存储器系统3000的操作速度，可将存储在非易失性存储器装置100中的映射数据的至少一部分作为映射表MTBV加载到存储器控制器200的映射存储器500中。此外，一些用户数据可被加载或缓存到存储器控制器200的缓冲存储器600。随着非易失性存储器装置100的存储器容量增加，映射存储器500的存储器容量也必须增加。取决于存储在非易失性存储器装置100中的有效数据的量，映射存储器500的相当大的一部分可以是未使用的或未占用的。

[0048] 根据示例实施例的非易失性存储器系统3000和操作非易失性存储器系统3000的方法可通过利用映射存储器500的一部分作为高速缓存存储器来在不增加电路尺寸的情况下增强非易失性存储器系统的性能。

[0049] 图3是示出根据示例实施例的对包括在图2的非易失性存储器系统中的映射存储器进行划分的示例实施例的示意图。

[0050] 参照图3，映射存储器500可被划分为多个映射存储区域MMR1~MMRn。映射存储区域MMR1~MMRn中的每一个的大小可与在非易失性存储器装置100和存储器控制器200之间传输的数据单位的大小相同。例如，映射存储区域MMR1~MMRn中的每一个的大小可以是页的大小，其中，页是非易失性存储器装置100中的读取操作和写入操作的数据单位。

[0051] 映射存储区域MMR1~MMRn中的每一个可存储多个映射条目。例如，根据示例实施



例,第一映射存储区域MMR1可存储m个映射条目MENT11~MENT1m,第二映射存储区域MMR2可存储m个映射条目MENT21~MENT2m,第三映射存储区域MMR3可存储m个映射条目MENT31~MENT3m,第p映射存储区域MMRp可处于空状态EMP,并且第q至第n映射存储区域MMRq~MMRn可存储用户数据UDT。

[0052] 例如,映射存储区域MMR1~MMRn中的每一个的大小可以是4KB(千字节),并且每个映射条目的大小可以是4字节。在这种情况下,可在映射存储区域MMR1~MMRn中的每一个中存储大约1000个映射条目。

[0053] 图4是示出根据示例实施例的包括在图2的非易失性存储器系统中的占用状态管理器的示例实施例的示图。

[0054] 参照图4,占用状态管理器400可包括多个状态指示区域SR1~SRn。

[0055] 多个状态指示区域SR1~SRn可以分别相应于图3中的多个映射存储区域MMR1~MMRn。例如,第一状态指示区域SR1相应于第一映射存储区域MMR1,第二状态指示区域SR2相应于第二映射存储区域MMR2,并且以这种方式,第n状态指示区域SRn相应于第n映射存储区域MMRn。

[0056] 多个状态指示区域SR1~SRn中的每一个存储表示相应映射存储区域是已占用的映射存储区域还是未占用的映射存储区域的值,其中,已占用的映射存储区域中存储了映射数据,未占用的映射存储区域中未存储映射数据。例如,存储在第一状态指示区域SR1中的值表示第一映射存储区域MMR1是已占用的映射存储区域还是未占用的映射存储区域,存储在第二状态指示区域SR2中的值表示第二映射存储区域MMR2是已占用的映射存储区域还是未占用的映射存储区域,并且以这种方式,存储在第n状态指示区域SRn中的值表示第n映射存储区域MMRn是已占用的映射存储区域还是未占用的映射存储区域。

[0057] 如参照图7至图9将在下文所描述的,状态指示区域SR1~SRn中的每一个可存储一个比特或两个比特。

[0058] 图5A和图5B是示出根据示例实施例的存储在映射存储器中的映射条目的示例实施例的示图。

[0059] 参照图5A,存储在映射存储器500中的每个映射条目MENTij可包括物理地址PAij和其他值ETC。在这种情况下,每个映射条目MENTij的索引ij本身可表示映射到物理地址PAij的逻辑地址。可使用映射表的起始地址、与一个映射条目的大小相应的偏移值等来计算逻辑地址。其他值ETC可包括指示每个映射条目MENTij的有效性的值、指示物理地址PAij的已擦除状态的值等。

[0060] 参照图5B,存储在映射存储器500中的每个映射条目MENTij可包括逻辑地址Laij、物理地址PAij和其他值ETC。在这种情况下,逻辑地址Laij可被映射到物理地址PAij。其他值ETC可包括指示每个映射条目MENTij的有效性的值、指示物理地址PAij的已擦除状态的值等。

[0061] 图6是示出根据示例实施例的映射存储器的示例占用状态的示图,图7是示出根据示例实施例的存储在占用状态管理器中的与图6的占用状态相应的值的示图。

[0062] 图6示出包括16个映射存储区域MMR1~MMR16的映射存储器的占用状态501。参照图6,第一映射存储区域MMR1至第五映射存储区域MMR5相应于存储了映射数据MDT的已占用的映射存储区域OMMR,第六映射存储区域MMR6至第十六映射存储区域MMR16相应于未存储

映射数据MDT的未占用的映射存储区域UMMR。在与未占用的映射存储区域UMMR相应的第六映射存储区域MMR6至第十六映射存储区域MMR16中,第十映射存储区域MMR10至第十六映射存储区域MMR16与存储了用户数据UDT的数据映射存储区域DATA MMR相应,并且第六映射存储区域MMR6至第九映射存储区域MMR9是未存储映射数据MDT和用户数据UDT二者的空映射存储区域EMPTY MMR。

[0063] 图7示出与图6的映射存储器的占用状态501相应的两个占用状态管理器401a和401b。

[0064] 根据示例实施例的占用状态管理器401a可以在状态指示区域SR1~SR16中的每一个中存储一个比特。状态指示区域SR1~SR16中的每一个可存储第一值(例如,“1”)和第二值(例如,“0”)中的一个,其中,第一值“1”表示相应映射存储区域是存储了映射数据MDT的已占用的映射存储区域OMMR,第二值“0”表示相应映射存储区域是未存储映射数据MDT的未占用的映射存储区域UMMR。在图6的占用状态501的情况下,如图7所示,第一状态指示区域SR1至第五状态指示区域SR5可具有第一值“1”,第六状态指示区域SR6至第十六状态指示区域SR16的可具有第二值“0”。

[0065] 映射存储器的占用状态501是可变的,并且状态指示区域SR1~SR16的值可根据占用状态501的改变而更新。如果在未占用的映射存储区域UMMR中新存储了映射数据MDT,则与未占用的映射存储区域UMMR相应的状态指示区域的值可从第二值“0”改变为第一值“1”。例如,如果在第六映射存储区域MMR6中新存储了映射数据MDT,则第六状态指示区域SR6的值可以从第二值“0”改变为第一值“1”。如果存储在已占用的映射存储区域OMMR中的映射数据MDT被丢弃或无效,则与已占用的映射存储区域OMMR相应的状态指示区域的值可以从第一值“1”改变为第二值“0”。例如,存储在第五映射存储区域MMR5中的映射数据MDT被丢弃,第五状态指示区域SR5的值可以从第一值“1”改变为第二值“0”。

[0066] 根据另一示例实施例的占用状态管理器401b可在状态指示区域SR1~SR16中的每一个中存储两个比特。状态指示区域SR1~SR16中的每一个可存储第一值(例如,“11”)、第二值(例如,“01”)或第三值(例如,“00”)中的一个,其中,第一值“11”可表示相应映射存储区域是存储了映射数据MDT的已占用的映射存储区域OMMR,第二值“01”可表示相应映射存储区域是存储了用户数据UDT的数据映射存储区域DATA MMR,第三值“00”可表示相应映射存储区域是未存储映射数据MDT和用户数据UDT二者的空映射存储区域EMPTY MMR。在图6的占用状态501的情况下,如图7所示,第一状态指示区域SR1至第五状态指示区域SR5可具有第一值“11”,第十状态指示区域SR10至第十六状态指示区域SR16可具有第二值“01”,第六状态指示区域SR6至第九状态指示区域SR9可以具有第一值“01”。

[0067] 如果在空映射存储区域EMPTY MMR中或在数据映射存储区域DATA MMR中新存储了映射数据MDT,则与空映射存储区域EMPTY MMR或数据映射存储区域DATA MMR相应的状态指示区域的值可以从第三值“00”或第二值“01”改变为第一值“11”。例如,如果在第六映射存储区域MMR6中新存储了映射数据MDT,则第六状态指示区域SR6的值可以从第三值“00”改变为第一值“11”。此外,如果在第十映射存储区域MMR10中新存储了映射数据MDT,则第十状态指示区域SR10的值可以从第二值“01”改变为第一值“11”。如果存储在已占用的映射存储区域OMMR中的映射数据MDT被丢弃或无效,则与已占用的映射存储区域OMMR相应的状态指示区域的值可以从第一值“11”改变为第三值“00”。例如,存储在第五映射存储区域MMR5中的

映射数据MDT被丢弃,第五状态指示区域SR5的值可以从第一值“11”改变为第三值“00”。

[0068] 这样,通过利用映射存储器的一部分作为用于存储用户数据的高速缓存存储器,可以在不增加电路尺寸的情况下增强非易失性存储器系统的性能。

[0069] 图8是示出根据示例实施例的映射存储器的另一示例占用状态的示图,图9是示出根据示例实施例的存储在占用状态管理器中的与图8的占用状态相应的值的示图。

[0070] 图8示出包括16个映射存储区域MMR1~MMR16的映射存储器的占用状态502。与图6的占用状态501相比,图8的占用状态502中的已占用的映射存储区域OMMR的数量有所增加。参照图8,第一映射存储区域MMR1至第九映射存储区域MMR9与存储了映射数据MDT的已占用的映射存储区域OMMR相应,第十映射存储区域MMR10至第十六映射存储区域MMR16与未存储映射数据MDT的未占用的映射存储区域UMMR相应。在与未占用的映射存储区域UMMR相应的第十映射存储区域MMR10至第十六映射存储区域MMR16中,第十一映射存储区域MMR11至第十六映射存储区域MMR16与存储了用户数据UDT的数据映射存储区域DATA MMR相应,第十映射存储区域MMR10是未存储映射数据MDT和用户数据UDT二者的空映射存储区域EMPTY MMR。

[0071] 图9示出与图8的映射存储器的占用状态502相应的两个占用状态管理器402a和402b。如参照图7所描述的,存储在状态指示区域SR1~SR16中的值可被确定和更新。

[0072] 根据示例实施例的占用状态管理器402a可以在状态指示区域SR1~SR16中的每一个中存储一个比特。状态指示区域SR1~SR16中的每一个可存储第一值(例如,“1”)和第二值(例如,“0”)中的一个,其中,第一值“1”可表示相应映射存储区域是存储了映射数据MDT的已占用的映射存储区域OMMR,第二值“0”可表示相应映射存储区域是未存储映射数据MDT的未占用的映射存储区域UMMR。在图8的占用状态502的情况下,如图9所示,第一状态指示区域SR1至第九状态指示区域SR9可具有第一值“1”,第十状态指示区域SR10至第十六状态指示区域SR16可具有第二值“0”。

[0073] 根据另一示例实施例的占用状态管理器402b可以在状态指示区域SR1~SR16中的每一个中存储两个比特。状态指示区域SR1~SR16中的每一个可存储第一值(例如,“11”)、第二值(例如,“01”)或第三值(例如,“00”)中的一个,其中,第一值“11”可表示相应映射存储区域是存储了映射数据MDT的已占用的映射存储区域OMMR,第二值“01”表示相应映射存储区域是存储了用户数据UDT的数据映射存储区域DATA MMR,第三值“00”可表示相应映射存储区域是未存储映射数据MDT和用户数据UDT二者的空映射存储区域EMPTY MMR。在图8的占用状态502的情况下,如图9所示,第一状态指示区域SR1至第九状态指示区域SR9可具有第一值“11”,第十一状态指示区域SR11至第十六状态指示区域SR16可具有第二值“01”,第十状态指示区域SR10可以具有第三值“00”。

[0074] 如参考图6至图9所描述的,存储了映射数据MDT的已占用的映射存储区域的数量和存储了用户数据UDT的数据映射存储区域DATA MMR的数量可被动态地改变。

[0075] 图10是示出根据示例实施例的操作图2的非易失性存储器系统的方法的流程图。

[0076] 参照图10,对于读取操作或写入操作,存储器控制器可从主机装置接收访问命令ACMD和逻辑访问地址LAA(S510)。访问命令ACMD可包括读取命令和写入命令。逻辑访问地址LAA可包括逻辑读取地址和逻辑写入地址。

[0077] 当映射存储器MMEM的已占用的映射存储区域中未存储与逻辑访问地址LAA相应的映射数据MDT时(S520:否),存储器控制器从非易失性存储器装置读取与逻辑访问地址LAA

相应的映射数据MDT (S530)。

[0078] 如参照图6至图9所描述的,当存储器控制器确定将读取的映射数据MDT存储在与未占用的映射存储区域相应的新的映射存储区域NEW MMR中时 (S540:是),存储器控制器将读取的映射数据MDT存储在与未占用的映射存储区域UMMR相应的新的映射存储区域NEW MMR中 (S550),并更新占用状态管理器OSM的相应状态指示区域的值 (S560)。映射存储器向非易失性存储器装置提供与逻辑访问地址LAA相应的物理地址PA (S580)。当存储器控制器确定将读取的映射数据MDT存储在与已占用的映射存储区域相应的旧的映射存储区域OLD MMR中时 (S540:否),存储器控制器将读取的映射数据MDT存储在与已占用的映射存储区域OMMR相应的旧的映射存储区域OLD MMR中 (S570),并且不需要更新占用状态管理器OSM的值。

[0079] 当与逻辑访问地址LAA相应的映射数据MDT被存储在映射存储器MMEM的已占用的映射存储区域中时 (S520:是),存储器控制器不需要访问非易失性存储器装置,并且映射存储器向非易失性存储器装置提供与逻辑访问地址LAA相应的物理地址 (S580)。

[0080] 图11是示出根据示例实施例的包括贮存器装置的系统的框图。

[0081] 参照图11,系统1000包括主机装置2000和贮存器装置3000。贮存器装置3000可以是图2的非易失性存储器系统3000的示例。例如,贮存器装置3000可以是嵌入式多媒体卡 (eMMC)。

[0082] 主机装置2000可被配置为控制数据处理操作,诸如数据读取操作和数据写入操作。主机装置2000可以是数据处理装置,诸如可以处理数据的应用处理器。主机装置2000和贮存器装置3000可嵌入或实现在电子装置中。当系统1000是电子装置时,贮存器装置3000可通过连接工具 (例如,焊盘、引脚、总线或通信线路) 与系统1000 (电子装置) 的其他组件电连接以与主机装置2000通信。

[0083] 主机装置2000可包括处理器 (CPU) 2100、存储器 (MEM) 2200和主机控制器接口 (HCI) 2300。操作系统 (OS) 和/或主机固件 (FW) 2110可以由处理器2100驱动。主机装置2000还可包括时钟发生器 (未示出)、状态控制单元 (未示出) 等。

[0084] 处理器2100可包括用于控制命令CMD的产生、响应RES的分析、贮存器装置3000的寄存器 (例如,扩展的 (EXT) \_CSD寄存器 (未示出)) 中数据的存储和/或数据处理的硬件和/或软件。处理器2100可驱动操作系统 (OS) 和/或主机固件 (FW) 2110来执行这些操作。

[0085] 主机控制器接口 (HCI) 2300可以与贮存器装置3000接口连接。例如,主机控制器接口2300被配置为将命令CMD发布到贮存器装置3000,从贮存器装置3000接收根据命令CMD的响应RES,将写入数据发送到贮存器装置3000,并从贮存器装置3000接收读取数据。

[0086] 贮存器装置3000可包括多个非易失性存储器装置 (NVM) 100和贮存器控制器200。非易失性存储器装置 (NVM) 100可包括图2的非易失性存储器装置100,并且贮存器控制器200可以是图2的存储器控制器200的示例。

[0087] 非易失性存储器装置100可以可选地被供应有外部高电压VPP。非易失性存储器装置100可以用闪存存储器、铁电随机存取存储器 (FRAM)、相变随机存取存储器 (PRAM)、磁性随机存取存储器 (MRAM) 等实现。

[0088] 贮存器控制器200可通过多个通道CH1~CHi连接到非易失性存储器装置100。贮存器控制器200可包括一个或更多个处理器210、纠错码 (ECC) 块220、主机接口230、映射存储

器500、缓冲存储器600、非易失性存储器接口250和任务队列260。

[0089] 如上所述,映射存储器500被划分为多个映射存储区域。映射存储器500存储表示主机装置2000的逻辑地址与非易失性存储器装置100的物理地址之间的映射关系的映射数据。缓冲存储器600可以在物理上与映射存储器区分开,并且如参照图14将要描述的,缓冲存储器600可被划分成多个缓冲区域。

[0090] ECC块220可计算将要在写入操作被编程的数据的纠错码值,并且可以在读取操作时使用纠错码值来纠正读取数据的差错。在数据恢复操作中,ECC块220可以纠正从非易失性存储器装置100恢复的数据的差错。尽管图11中未示出,但是还可包括用于存储驱动存储器控制器220所需的代码数据的代码存储器。代码存储器可以由非易失性存储器装置实现。

[0091] 处理器210被配置为控制存储器控制器200的整体操作。例如,处理器210可操作包括闪存转换层(FTL)等的固件212。FTL可执行各种功能,例如,地址映射、读取校准、纠错等。

[0092] 任务队列260可存储任务(例如,从主机装置2000提供的写入任务和读取任务)和各个任务的状态信息。主机接口230可提供与诸如主机装置2000的外部装置的接口连接。非易失性存储器接口250可提供与非易失性存储器装置100的接口连接。

[0093] 图12是示出根据示例实施例的包括在图11中的存储器装置中的存储器装置的框图,图13A、图13B和图13C是示出包括在图12的存储器装置中的存储器单元阵列的示例的示图。

[0094] 为了便于描述,在图12、图13A、图13B和图13C中示出NAND闪存存储器装置作为存储器装置的示例。

[0095] 参照图12,NAND闪存存储器装置100可包括存储器单元阵列110、读取/写入电路120、行选择电路140和控制电路150。存储器单元阵列110可包括多个存储器单元。每个存储器单元可存储一比特的数据或多比特的数据。

[0096] 存储一比特的存储器单元可被称为单级单元(SLC),存储多比特的存储器单元可被称为多级单元(MLC)。存储器单元阵列110可包括布置在多个行或字线与多个列或位线的交叉点处的多个存储器单元。存储器单元阵列110中的存储器单元可形成多个存储器块。

[0097] 控制电路150可控制与NAND闪存存储器装置100的写入、读取和擦除操作相关联的整体操作。将要被编程的数据可以在控制电路150的控制下被加载到读取/写入电路120。在编程操作期间,控制电路150可控制行选择电路140和读取/写入电路120,使得编程电压(program voltage)被施加到所选择的字线,编程通过电压(program pass voltage)被施加到未选择的字线,并且基体(bulk)偏置电压(例如,0V)被施加到存储器单元的基体中。

[0098] 可根据增量步进脉冲编程(ISPP)产生编程电压。随着程序循环的重复,编程电压的电平可以按电压间隔顺序地增加或减少。编程脉冲的数量、编程脉冲的电压电平、每个编程脉冲的持续时间等可以由控制电路150或外部存储器控制器确定。

[0099] 控制电路150可产生基体电压或字线电压,诸如编程电压、通过电压、编程验证电压、读取电压等。行选择电路140可响应于来自控制电路150的行地址和控制信号选择存储器单元阵列110中的一个存储块和所选存储块中的一个字线。行选择电路140可响应于来自控制电路150的控制信号向所选的字线和未选择的字线提供相应的字线电压。

[0100] 读取/写入电路120由控制电路150控制,以根据操作模式作为读出放大器或写入驱动器操作。例如,读取/写入电路120可以作为读出放大器操作,用于在验证读取操作或正

常读取操作期间从存储器单元阵列110读出数据。在正常读取操作期间输出的数据可被提供给外部装置(诸如存储器控制器或主机装置),而在验证读取操作期间输出的数据可被提供给通过/失败验证电路(未示出)。

[0101] 在写入操作的情况下,读取/写入电路120可作为写入驱动器操作,用于基于将要写入存储器单元阵列110中的数据来驱动位线。读取/写入电路120可从外部装置接收数据,并基于接收到的数据驱动位线。读取/写入电路120可包括与多个位线相应的多个页缓冲器。

[0102] 在对耦接到所选的字线的存储器单元进行编程时,编程电压和编程验证电压可被交替地施加到所选的字线。对于验证操作,耦接到所选的存储器单元的位线可被预充电。可通过相应的页缓冲器检测经过预充电的位线的电压变化。在验证读取操作期间检测到的数据可被提供给通过/失败验证电路,以确定相应的存储器单元是否已被成功编程。

[0103] 图13A是示出包括在NOR闪存存储器装置中的存储器单元阵列的电路示图,图13B是示出包括在NAND闪存存储器装置中的存储器单元阵列的电路示图,图13C是示出包括在垂直闪存存储器装置中的存储器单元阵列的电路示图。

[0104] 参照图13A,存储器单元阵列110a可包括多个存储器单元MC1。同一列中的存储器单元可并联在位线BL(1)、...、位线BL(m)中的一个与公共源极线CSL之间。同一行中的存储器单元可共同连接到字线WL(1)、...、字线WL(n)中的同一字线。例如,第一列中的存储器单元可并联在第一位线BL(1)与公共源极线CSL之间。第一行中的存储器单元可共同连接到第一字线WL(1)。存储器单元MC1可由字线WL(1)、...、字线WL(n)上的电压控制。

[0105] 在包括存储器单元阵列110a的NOR闪存存储器装置中,可以按字节或字执行读取操作和编程操作,并可按块112a执行擦除操作。在编程操作中,具有约-0.1伏至-0.7伏范围的基体电压可被施加到NOR闪存存储器装置的基体衬底。

[0106] 参照图13B,存储器单元阵列110b可包括串选择晶体管SST、地选择晶体管GST和多个存储器单元MC2。串选择晶体管SST可连接到位线BL(1)、...、位线BL(m),地选择晶体管GST可连接到公共源极线CSL。存储器单元MC2可以串联在串选择晶体管SST和地选择晶体管GST之间。同一行中的存储器单元可连接到字线WL(1)、...、字线WL(n)中的同一字线。例如,16、32或64个字线可被布置在串选择线SSL和地选择线GSL之间。

[0107] 串选择晶体管SST可连接到串选择线SSL,并可由串选择线SSL上的电压控制。地选择晶体管GST可连接到地选择线GSL,并可由地选择线GSL上的电压控制。存储器单元MC2可由字线WL(1)、...、字线WL(n)上的电压控制。

[0108] 在包括存储器单元阵列110b的NAND闪存存储器装置中,可按页111b执行读取操作和编程操作,并可按块112b执行擦除操作。在编程操作期间,具有大约0伏的电平的基体电压可被施加到NAND闪存存储器装置的基体衬底。例如,每个页缓冲器可连接到奇数编号的位线和偶数编号的位线。在这种情况下,奇数编号的位线可形成奇数编号的页,偶数编号的位线可形成偶数编号的页,并且可交替地执行针对奇数编号的页和偶数编号的页的编程操作。

[0109] 参照图13C,存储器单元阵列110c可包括多个串113c,串113c中的每一个具有垂直结构。串113c可沿第二方向D2被形成以限定串列,并且多个串列可沿第三方向D3被形成以限定串阵列。每个串可包括串选择晶体管SSTV、地选择晶体管GSTV,以及沿第一方向D1形成

并且串联在串选择晶体管SSTV和地选择晶体管GSTV之间的多个存储器单元MC3。

[0110] 串选择晶体管SSTV可连接到位线BL (1)、...、位线BL (m)，地选择晶体管GSTV可连接到公共源极线CSL。串选择晶体管SSTV可连接到串选择线SSL11、串选择线SSL12、...、串选择线SSLi1、串选择线SSLi2，地选择晶体管GSTV可以连接到地选择线GSL11、地选择线GSL12、...、地选择线GSLi1、地选择线GSLi2。同一层中的存储器单元可连接到字线WL (1)、字线WL (2)、...、字线WL (n-1)、字线WL (n) 中的同一字线。每个串选择线和每个地选择线可以沿第二方向D2延伸，串选择线SSL11、...、串选择线SSLi2和地选择线GSL11、...、地选择线GSLi2可以沿第三方向D3被布置为彼此间隔开。每个字线可以沿第二方向D2延伸，并且字线WL (1)、...、字线WL (n) 可以沿第一方向D1和第三方向D3被布置为彼此间隔开。每个位线可以沿第三方向D3延伸，并且位线BL (1)、...、位线BL (m) 可以沿第二方向D2被布置为彼此间隔开。存储器单元MC3可由字线WL (1)、...、字线WL (n) 上的电压控制。

[0111] 与NAND闪存存储器装置类似，在包括存储器单元阵列110c的垂直闪存存储器装置中，可以按页执行读取操作和编程操作，并且可以按块执行擦除操作。

[0112] 尽管未在图13C中示出，但是包括在单个串中的两个串选择晶体管可连接到单个串选择线，包括在单个串中的两个地选择晶体管可连接到单个地选择线。根据示例实施例，单个串可包括一个串选择晶体管和一个地选择晶体管。

[0113] 图14是示出对包括在图2的非易失性存储器系统中的映射存储器进行划分的示例实施例的示图。

[0114] 参照图14，缓冲存储器600可被划分为存储用户数据的多个缓冲区域BR1~BRk。缓冲区域BR1~BRk中的每一个的大小可以与在非易失性存储器装置和存储器控制器之间传输的数据单位的大小相同。因此，图3的映射存储区域MMR1~MMRn中的每一个的大小和缓冲区域BR1~BRk中的每一个的大小可以与所述数据单位相同。通过相同大小的统一的存储器管理，映射存储器500的至少一部分可以用作缓冲存储器，例如高速缓存存储器。

[0115] 图15A和图15B是示出根据示例实施例的在操作非易失性存储器系统的方法中使用的高速缓存表的示例实施例的示图。

[0116] 图15A示出了存储用户数据的高速缓存信息的组合高速缓存表700，其中，用户数据存储缓冲存储器600和映射存储器500中，其中，缓冲存储器600和映射存储器500在物理上彼此区分开，图15B示出与组合高速缓存表700相应的高速缓存条目的示例。

[0117] 在示例实施例中，缓冲存储器600可存储组合高速缓存表700。例如，缓冲存储器600的一些缓冲区域可存储用户数据，缓冲存储器600的一些缓冲区域可存储组合高速缓存表700。

[0118] 参照图15A，组合高速缓存表700可包括用于存储与用户数据相应的高速缓存信息的多个组合高速缓存条目CEN1、CEN2和CEN3，其中，用户数据被存储在映射存储器500的数据映射存储区域DATA MMR或缓冲存储器600的缓冲区域中。组合高速缓存条目CEN1、CEN2和CEN3的数量可根据存储在数据映射存储区域DATAMMR和缓冲区域中的用户数据的量而变化。

[0119] 参照图15B，每个组合高速缓存条目CENTi可包括存储器标识字段MB、逻辑地址LAI、与逻辑地址LAI相应的用户数据的地址和其他值ETC。与逻辑地址LAI相应的用户数据的地址可以是映射存储区域MRAi的地址或缓冲区域BRAi的地址。当用户数据的地址是映射

存储区域的地址MRA<sub>i</sub>时,存储器识别字段MB可具有第一值,或者当用户数据的地址是缓冲区域的地址BRA<sub>i</sub>时,存储器识别字段MB可具有第二值。其他值可包括表示组合高速缓存条目CENT<sub>i</sub>的有效性的值等。当省略缓冲存储器600或者缓冲存储器600与映射存储器500组合时,可以省略存储器标识字段MB。

[0120] 图16A和图16B是示出根据示例实施例的在操作非易失性存储器系统的方法中使用的高速缓存表的其他示例实施例的示意图。

[0121] 图16A示出了主高速缓存表701和子高速缓存表702,其中,主高速缓存表701存储缓冲存储器600中存储的用户数据的高速缓存信息,子高速缓存表702存储映射存储器500中存储的用户数据的高速缓存信息,其中,缓冲存储器600和映射存储器500可以在物理上彼此区分开,图16B示出与主高速缓存表701和子高速缓存表702相应的高速缓存条目的示例。

[0122] 参照图16A,主高速缓存表701可包括多个主高速缓存条目CENT11、CENT12和CENT13,以存储与存储在缓冲存储器600的缓冲区域中的用户数据相应的高速缓存信息,子高速缓存表702可包括多个子高速缓存条目CENT21、CENT22和CENT23,以存储与存储在映射存储器500的数据映射存储区域DATA MMR中的用户数据相应的高速缓存信息。主高速缓存条目CENT11、CENT12和CENT13的数量和子高速缓存条目CENT21、CENT22和CENT23的数量可根据分别存储在缓冲区域和数据映射存储区域DATA MMR中的用户数据的量而变化。

[0123] 参照图16B,主高速缓存表701中的每个主高速缓存条目CENT<sub>i</sub>可包括与存储在缓冲区域中的用户数据相应的逻辑地址LA<sub>i</sub>和其他值ETC。在这种情况下,主高速缓存条目CENT<sub>i</sub>的索引<sub>i</sub>本身可表示与逻辑地址LA<sub>i</sub>相应的用户数据被存储的缓冲区域的地址,使得缓冲区域的地址可以映射到逻辑地址。可使用缓冲存储器的起始地址、与一个主高速缓存条目的大小相应的偏移值等来计算缓冲区域的地址。其他值ETC可包括指示每个主高速缓存条目CENT<sub>i</sub>的有效性的值等。作为另一示例,主高速缓存表701中的每个主高速缓存条目CENT<sub>i</sub>可包括表示存储了用户数据的缓冲区域的地址的地址BRA<sub>i</sub>。

[0124] 子高速缓存表702中的每个子高速缓存条目CENT<sub>2j</sub>可包括地址MRA<sub>j</sub>、逻辑地址LA<sub>j</sub>和其他值ETC,其中,地址MRA<sub>j</sub>表示存储了用户数据的数据映射存储区域DATA MMR的地址,逻辑地址LA<sub>j</sub>与存储在数据映射存储区域DATA MMR中的用户数据相应。在这种情况下,逻辑地址LA<sub>2j</sub>可映射到数据映射存储区域DATA MMR的地址MRA<sub>j</sub>。其他值ETC可包括指示每个子高速缓存条目CENT<sub>2j</sub>的有效性的值等。

[0125] 存储器控制器可基于主高速缓存表701使用缓冲存储器600作为L1高速缓存存储器,并且基于子高速缓存表702使用映射存储器作为L2高速缓存存储器。换句话说,存储器控制器可首先搜索主高速缓存表701,并仅在主高速缓存表701中不存在与来自主机装置的逻辑地址相应的高速缓存信息的情况下才搜索子高速缓存表702。

[0126] 图17是示出根据示例实施例的在非易失性存储器系统中读取数据的方法的流程图。

[0127] 参照图17,对于读取操作,存储器控制器可从主机装置接收读取命令RD和逻辑读取地址LRA (S610)。

[0128] 当映射存储器MMEM的数据映射存储区域DATA MMR中未存储与逻辑读取地址LRA相应的用户数据时 (S620:否),存储器控制器从非易失性存储器装置读取与逻辑读取地址LRA



相应的用户数据UDT (S640)。

[0129] 在示例实施例中,操作S640可包括图10的操作S520至操作S580。例如,在操作S580中,存储器控制器可向非易失性存储器装置提供与逻辑读取地址LRA相应的物理地址PA,使得存储器控制器可以从非易失性存储器装置读取与逻辑读取地址LRA相应的用户数据UDT。

[0130] 如参照图6至图9所描述的,映射存储器MMEM将读取的用户数据UDT写入空映射存储区域EMPTY MMR (S650) 并更新占用状态管理器OSM的相应状态指示区域的值 (S660)。存储器控制器向主机装置提供读取的用户数据UDT (S670)。

[0131] 当映射存储器MMEM的数据映射存储区域DATA MMR中存储了与逻辑读取地址LRA的相应的用户数据时 (S620:是),存储器控制器不需要访问非易失性存储器装置。存储器控制器从映射存储器MMEM的数据映射存储区域DATA MMR读取用户数据,并向主机装置提供读取的用户数据UDT (S670)。

[0132] 图18是示出根据示例实施例的在非易失性存储器系统中写入数据的方法的流程图。

[0133] 参照图18,对于写入操作,存储器控制器可从主机装置接收写入命令WR、逻辑写入地址LWA和写入数据WDT (S710)。

[0134] 如参照图6至图9所描述的,当映射存储器MMEM的数据映射存储区域DATA MMR中未存储与逻辑写入地址LWA相应的用户数据UDT时 (S720:否),存储器控制器将写入数据WDT作为用户数据UDT存储在映射存储器MMEM的空映射存储区域EMPTY MMR中 (S740),并更新占用状态管理器OSM的相应状态指示区域的值 (S750)。存储器控制器向非易失性存储器装置提供写入数据WDT (S760)。

[0135] 当映射存储器MMEM的数据映射存储区域DATA MMR中存储了与逻辑写入地址LWA相应的用户数据UDT时 (S720:是),存储器控制器将写入数据WDT覆写在数据映射存储区域DATA MMR中 (S730) 以替换存储在其中的用户数据UDT,并向非易失性存储装置提供写入数据WDT (S760)。

[0136] 在示例实施例中,操作S760可包括图10的操作S520至操作S580。例如,在操作S580中,存储器控制器可向非易失性存储器装置提供与逻辑写入地址LWA相应的物理地址PA,使得存储器控制器可将与逻辑写入地址LWA相应的写入数据WDT存储在非易失性存储器装置中。

[0137] 如参照图10、图17和图18所描述的,当映射存储器的新的映射存储区域中存储了映射数据或用户数据时,可更新占用状态管理器的值。此外,当存储在映射存储器中的映射数据或用户数据被丢弃或无效时,可更新占用状态管理器的值。通过占用状态管理器的值的这种更新,可以有效地执行根据示例实施例的操作非易失性存储器系统的方法。

[0138] 图19是示出根据示例实施例的移动装置的框图。

[0139] 参照图19,移动装置4000可包括至少一个应用处理器4100、通信模块4200、显示/触摸模块4300、贮存器装置4400和缓冲器RAM 4500。

[0140] 应用处理器4100控制移动装置4000的操作。通信模块4200被实现为执行与外部装置的无线或有线通信。显示/触摸模块4300被实现为显示由应用处理器4100处理的数据和/或通过触摸板接收数据。贮存器装置4400被实现为存储用户数据。贮存器装置4400可以是嵌入式多媒体卡 (eMMC)、固态驱动器 (SSD)、通用闪存 (UFS) 装置等。贮存器装置4400可执行

如上所述的映射数据和用户数据的高速缓存。

[0141] 缓冲器RAM 4500临时地存储用于对移动装置4000的操作进行处理的数据。例如，缓冲器RAM 4500可以是易失性存储器(诸如双倍数据速率(DDR)同步动态随机存取存储器(SDRAM)、低功率双倍数据速率(LPDDR) SDRAM、图形双倍数据速率(GDDR) SDRAM、Rambus动态随机存取存储器(RDRAM)等)。

[0142] 如上所述，根据示例实施例的非易失性存储器系统和操作非易失性存储器系统的方法可通过利用映射存储器的一部分作为高速缓存存储器来在不增加电路尺寸的情况下增强非易失性存储器系统的性能。

[0143] 本发明构思可应用于任何电子装置和系统。例如，本发明构思可应用于诸如存储卡、固态驱动器(SSD)、嵌入式多媒体卡(eMMC)、移动电话、智能电话、个人数字助理(PDA)、便携式多媒体播放器(PMP)、数码相机、摄像机、个人计算机(PC)、服务器计算机、工作站、膝上型计算机、数字TV、机顶盒、便携式游戏机、导航系统、可穿戴装置、物联网(IoT)装置、万物互联网(IoE)装置、电子书、虚拟现实(VR)装置、增强现实(AR)装置等的系统。

[0144] 前述内容是对示例实施例的说明，而不应被解释为对示例实施例进行限制。尽管已经描述了一些示例实施例，但是本领域技术人员将容易理解的是，在实质上不脱离权利要求的精神和范围的情况下对示例实施例进行的许多修改都是可行的。

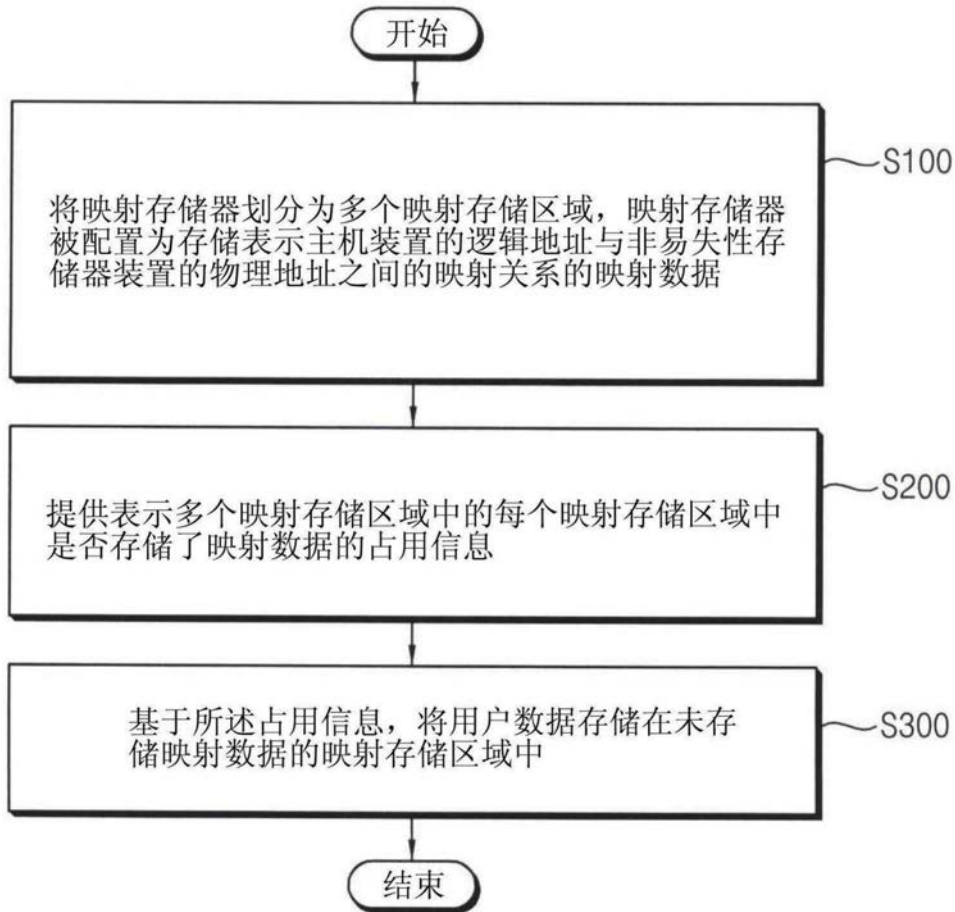


图1

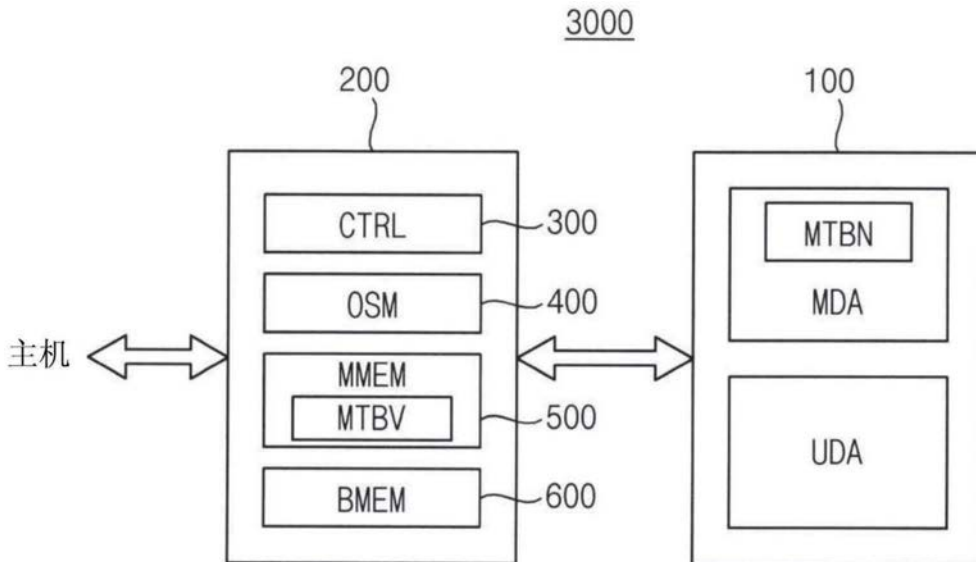


图2

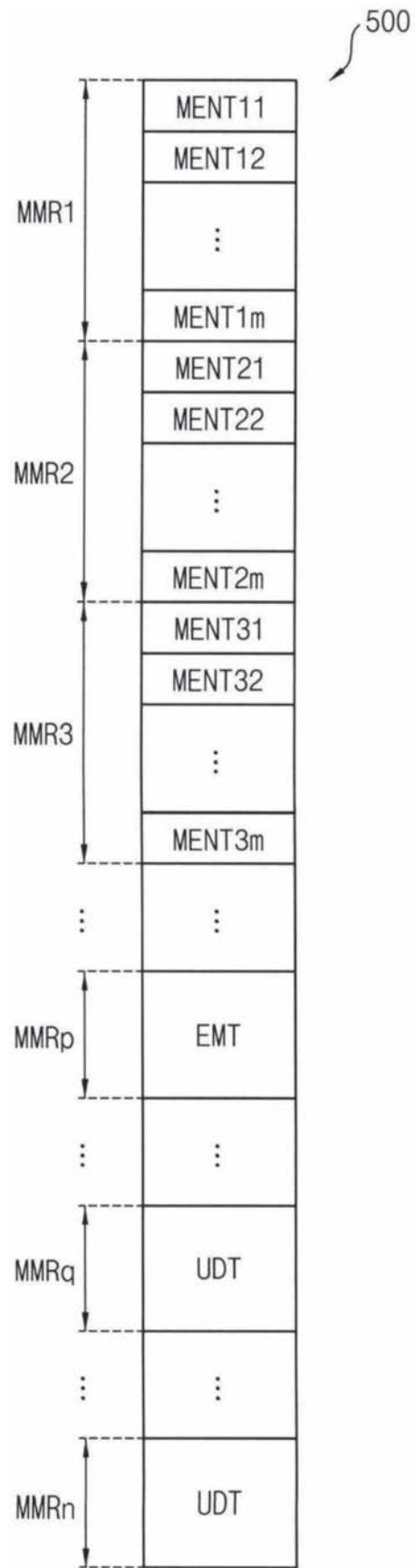


图3

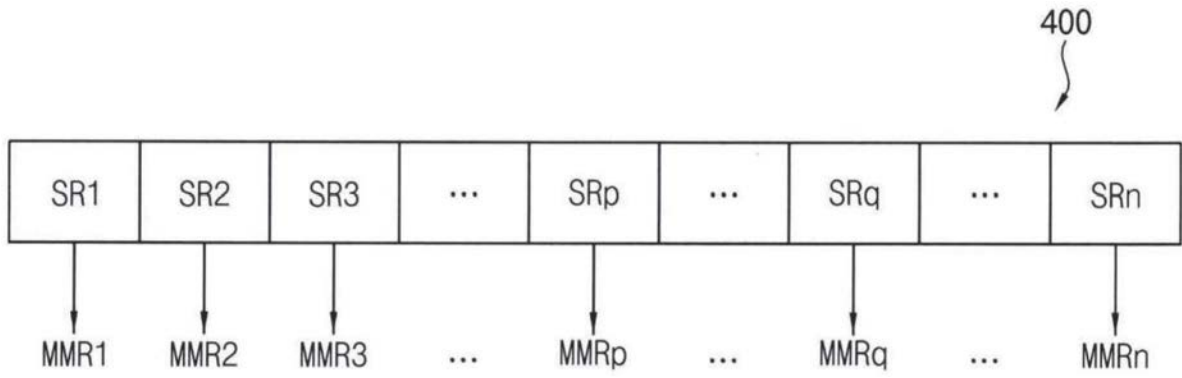


图4

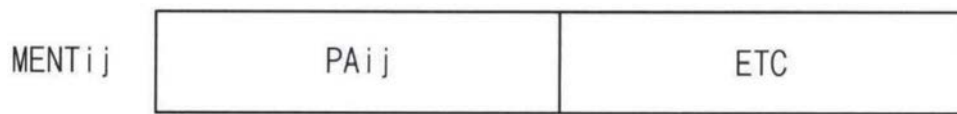


图5A



图5B

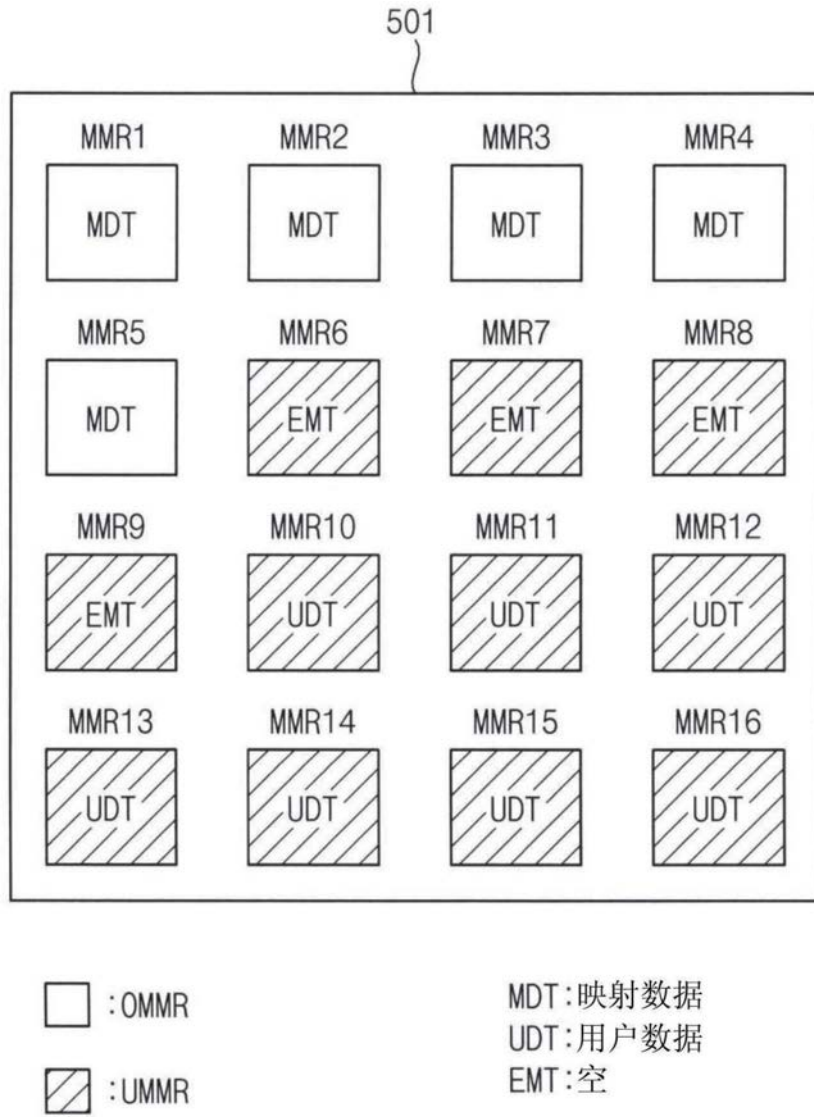


图6

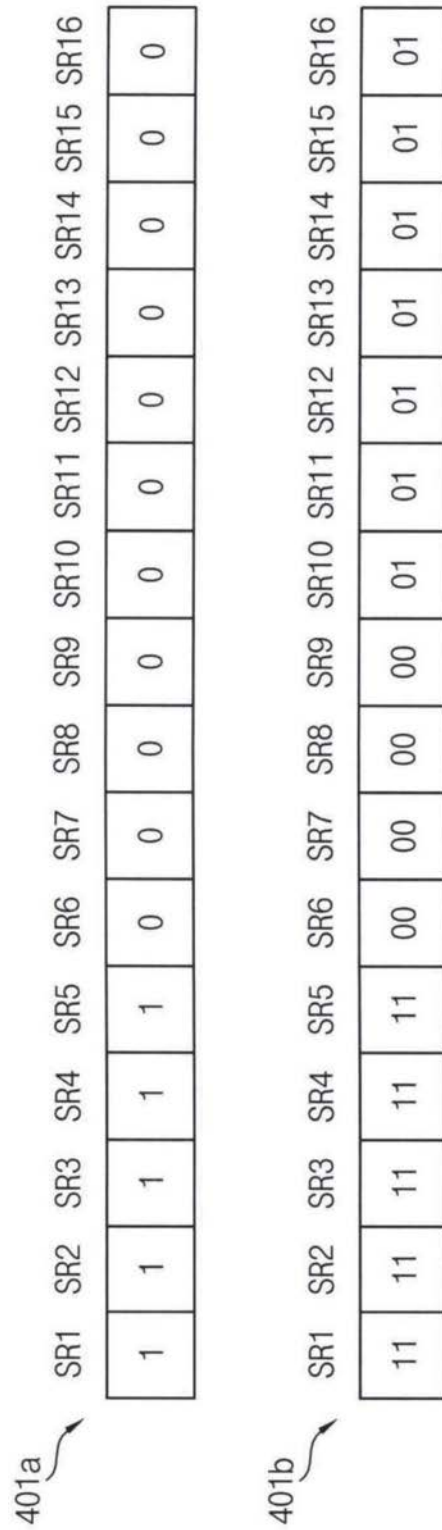


图7

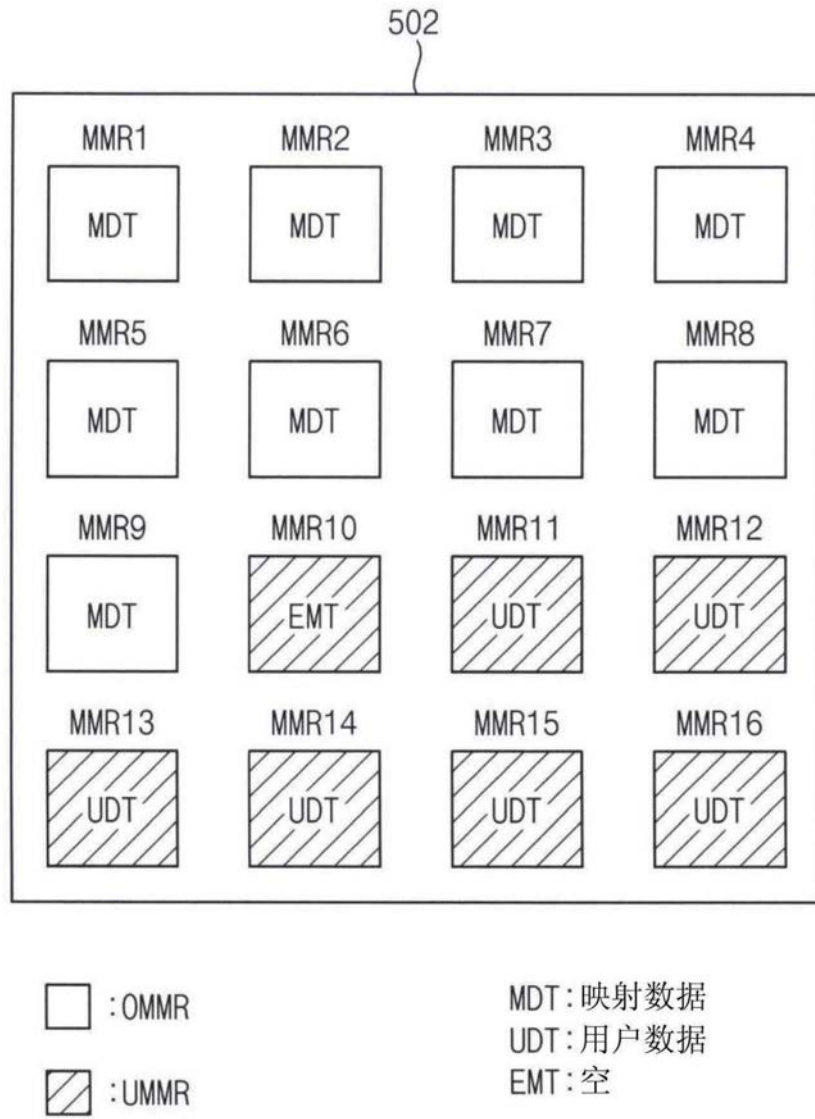


图8



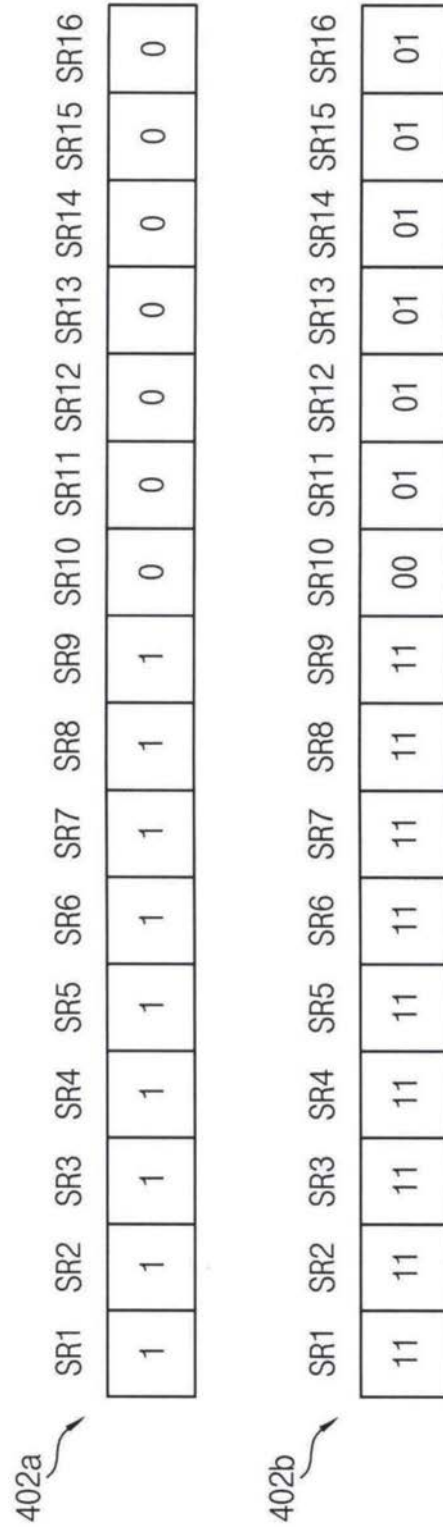


图9

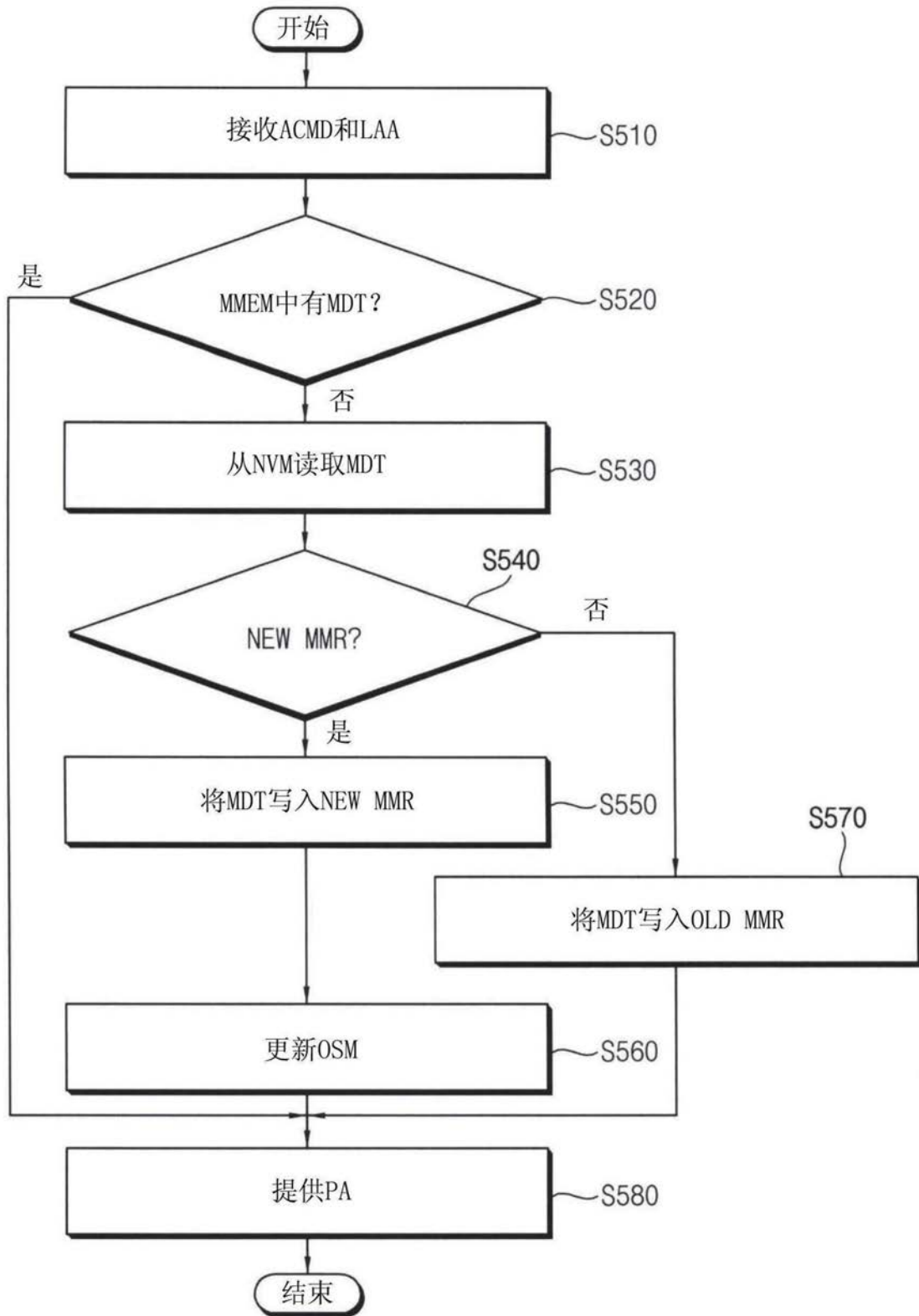


图10

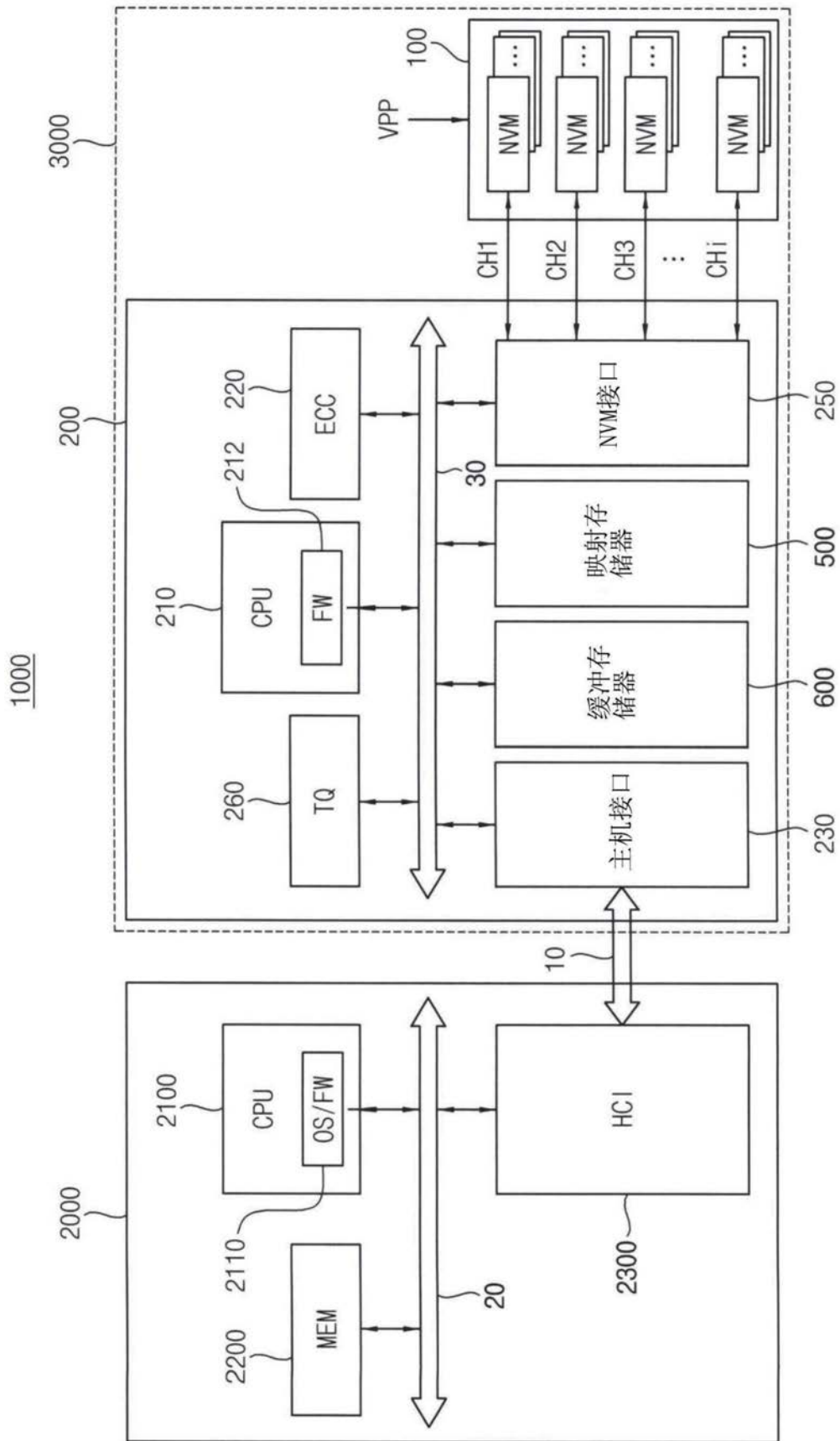


图11

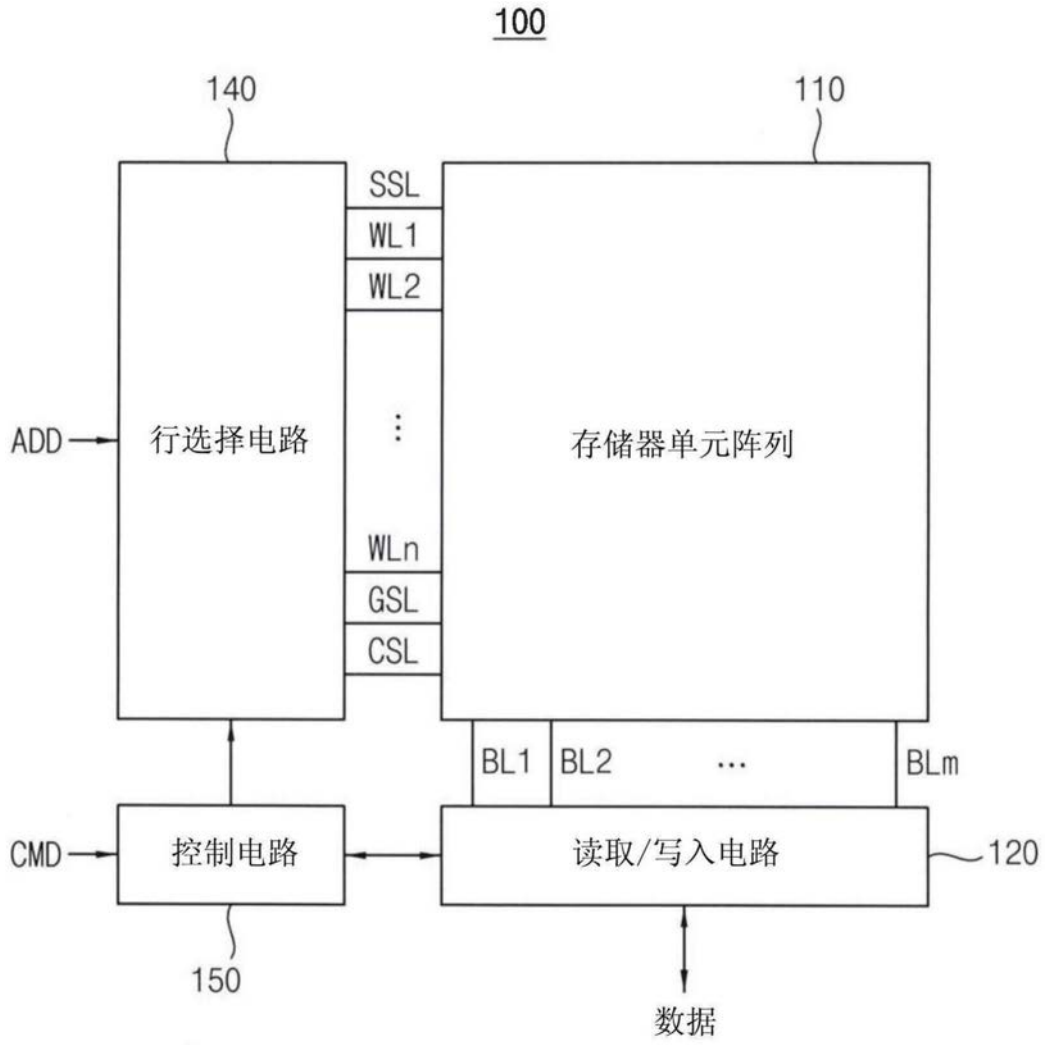


图12

110a

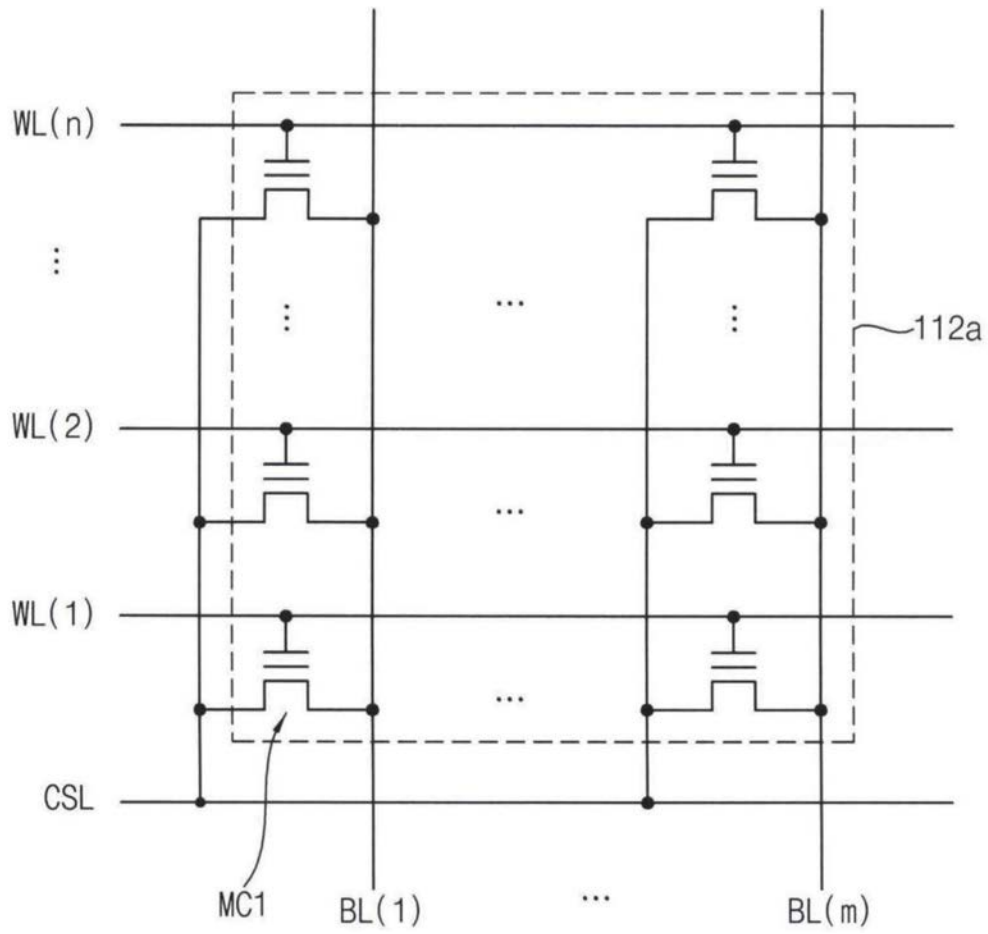


图13A

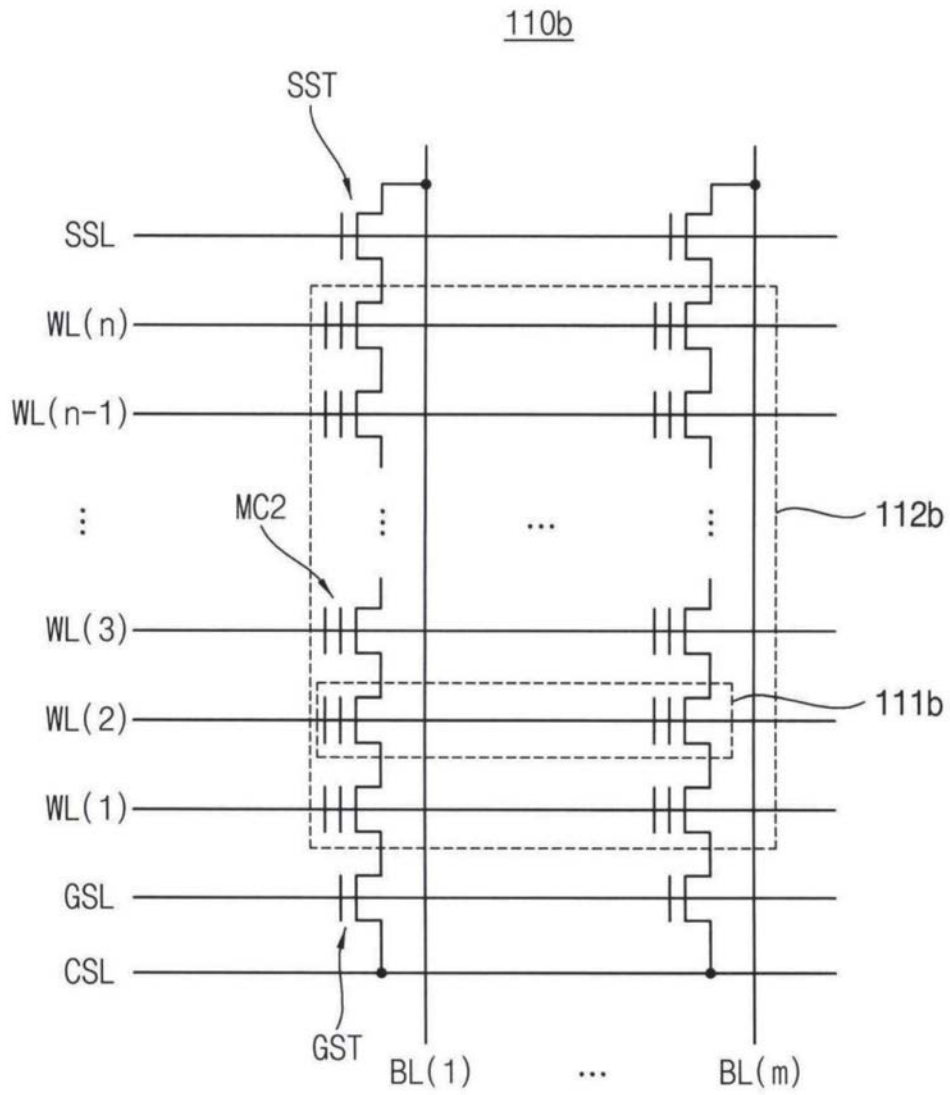


图13B

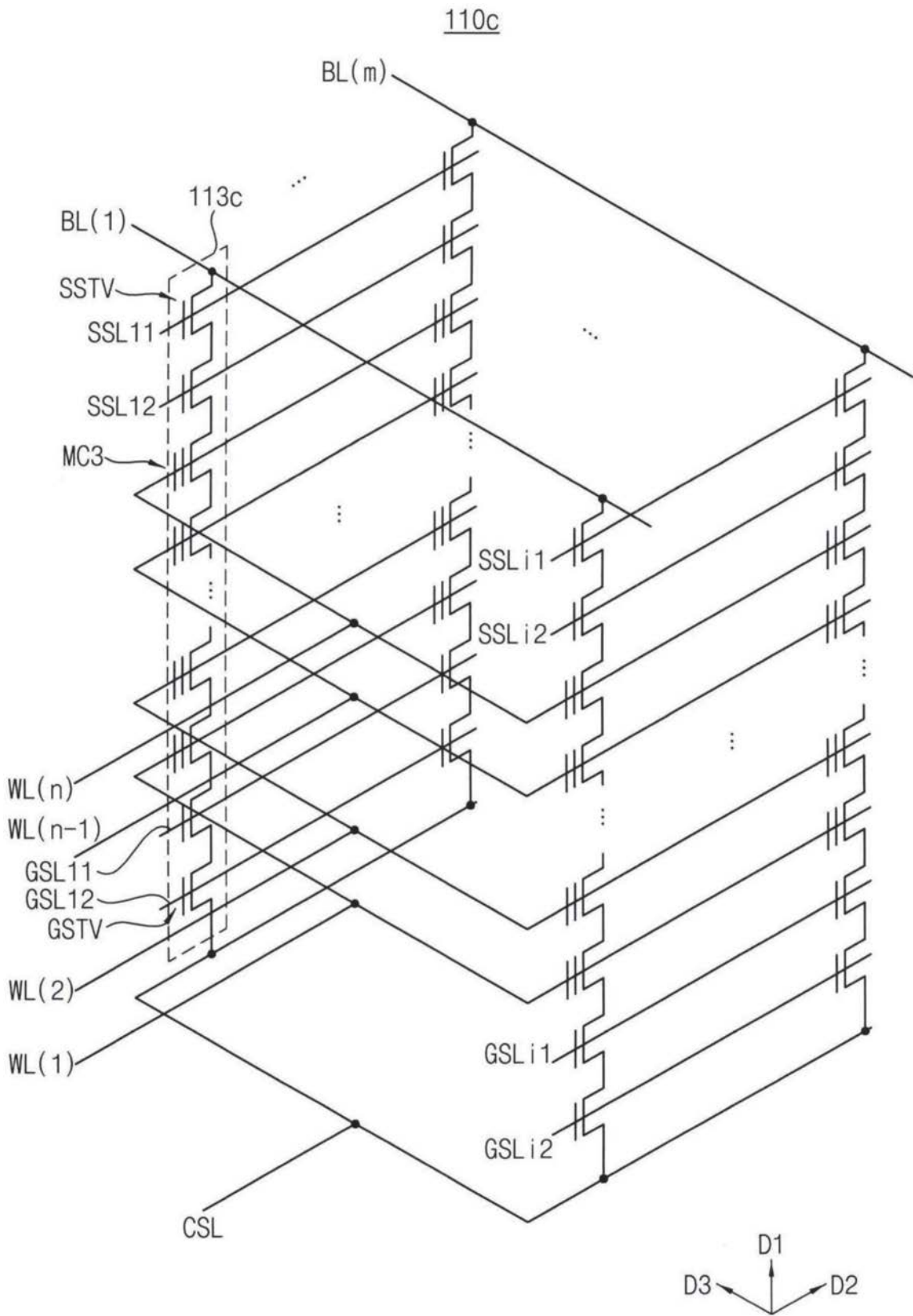


图13C

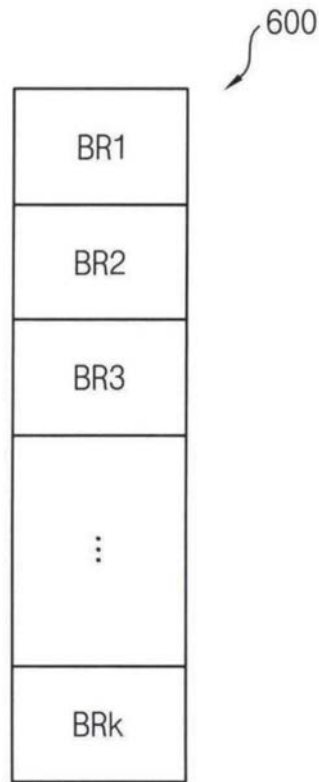


图14

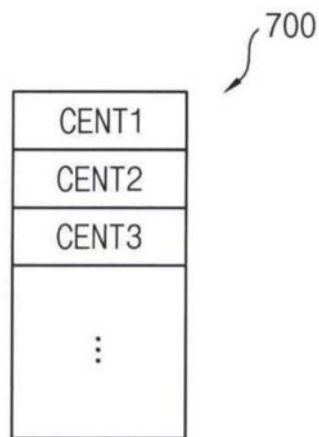


图15A

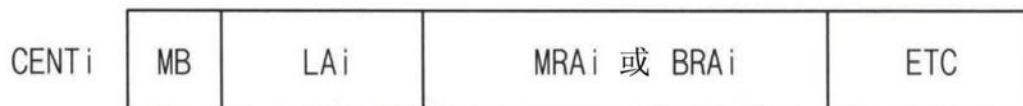


图15B



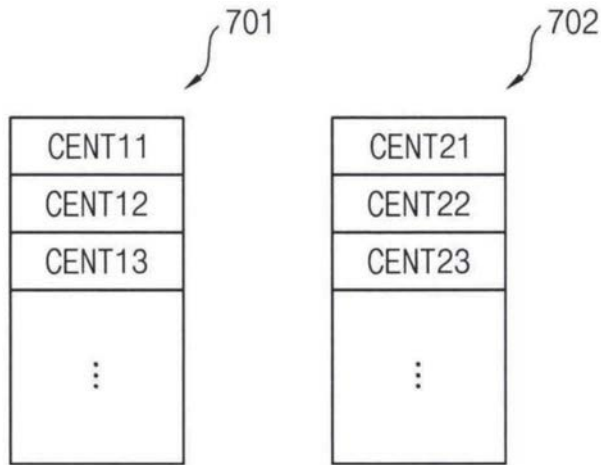


图16A

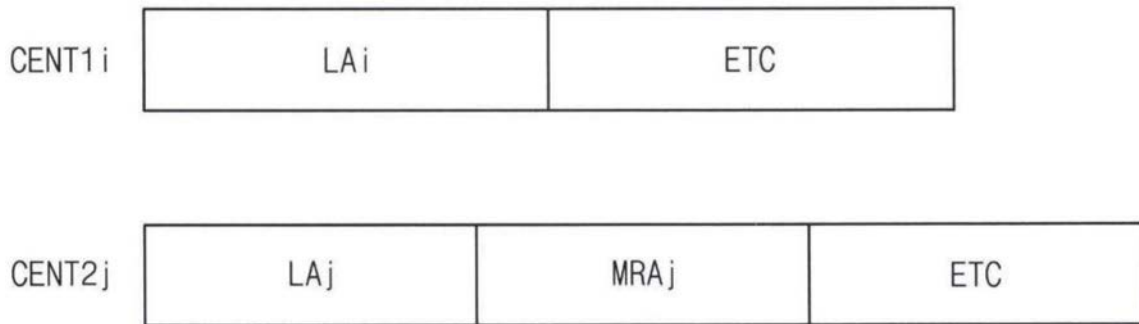


图16B

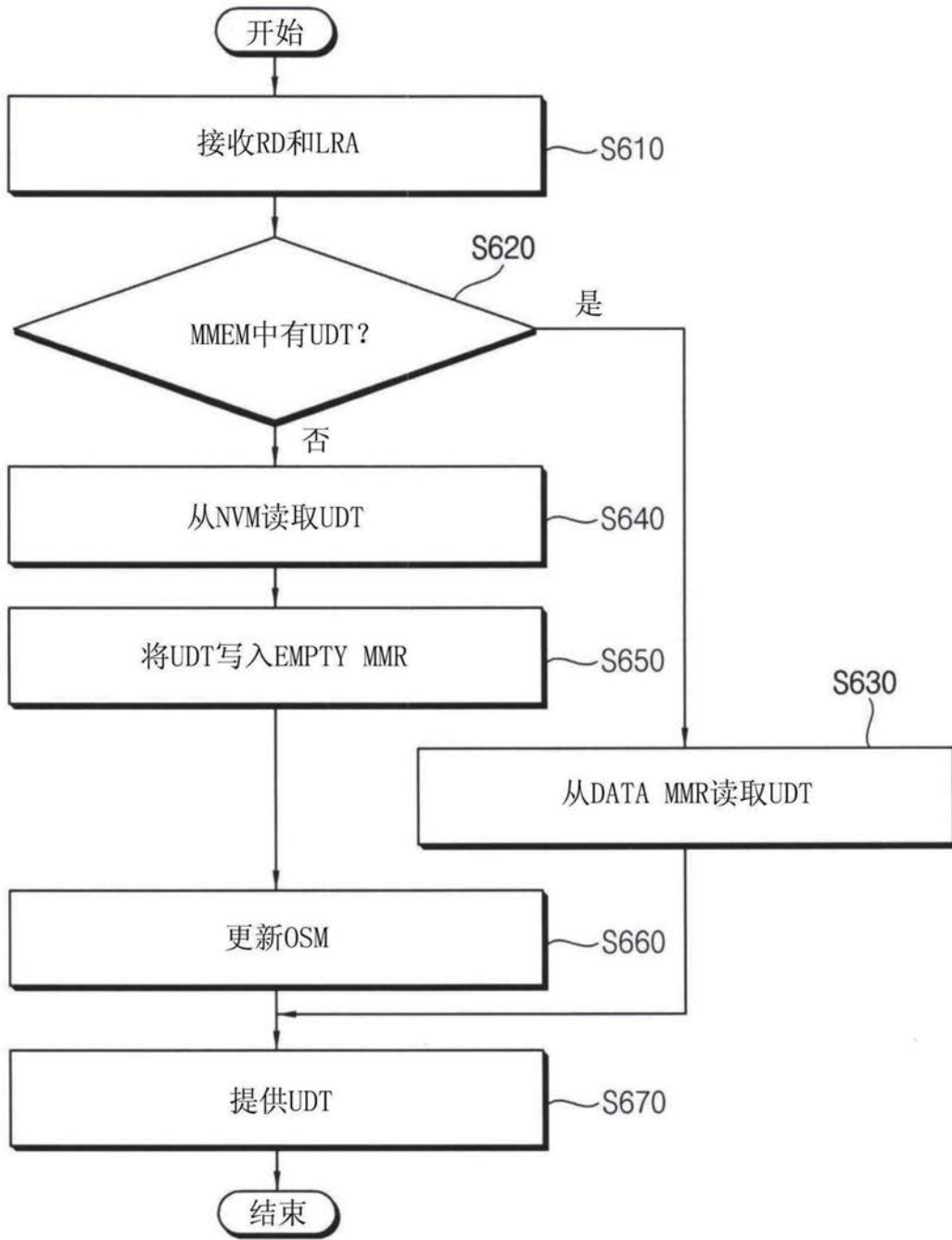


图17

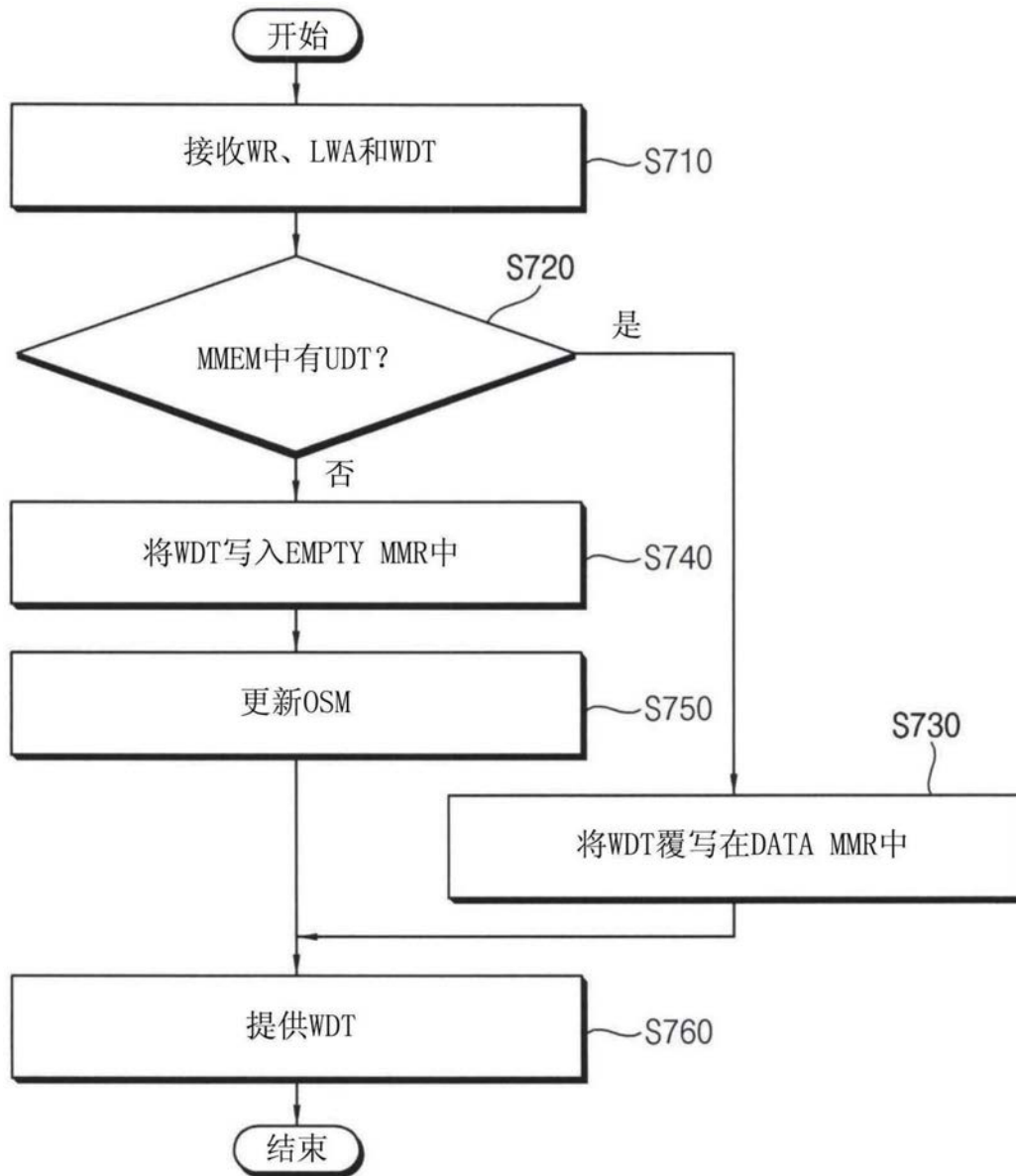


图18

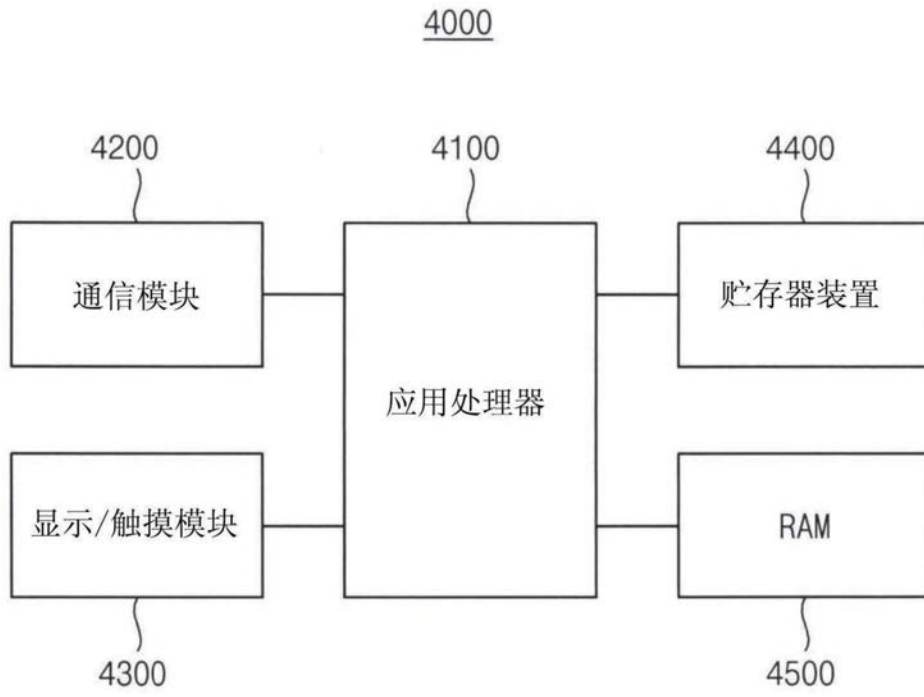


图19