

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5017865号
(P5017865)

(45) 発行日 平成24年9月5日(2012.9.5)

(24) 登録日 平成24年6月22日(2012.6.22)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 3 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 2 K
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 8 D
	HO 1 L 29/78	6 5 2 T
	HO 1 L 29/78	6 5 2 G

請求項の数 13 (全 35 頁)

(21) 出願番号	特願2006-8995 (P2006-8995)	(73) 特許権者	000005234
(22) 出願日	平成18年1月17日(2006.1.17)		富士電機株式会社
(65) 公開番号	特開2007-194283 (P2007-194283A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成19年8月2日(2007.8.2)	(74) 代理人	100104190
審査請求日	平成20年10月15日(2008.10.15)		弁理士 酒井 昭徳
		(72) 発明者	中村 俊一
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内
		(72) 発明者	米澤 喜幸
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内
		審査官	瀧内 健夫

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体でできた基体のおもて面側にソース領域を有し、前記基体の裏面側にドレイン領域を有し、前記ソース領域と前記ドレイン領域の間にドリフト層と、前記ドレイン領域の少なくとも一部領域である高ドープ層を有し、前記基体のおもて面から形成されたトレンチ内の少なくとも側面にゲート絶縁膜を介してゲート電極を有し、かつ前記基体を構成する半導体材料の絶縁破壊電界と比誘電率の積が、前記ゲート絶縁膜を構成する絶縁物材料の絶縁破壊電界の常用値と比誘電率の積よりも大きい半導体装置において、

前記トレンチを、前記基体のおもて面から前記ドリフト層を貫いて前記ドレイン領域側の高ドープ層に達する深さに形成し、

前記トレンチの、前記ゲート電極よりも深い部分を、前記基体の半導体材料の絶縁破壊電界と同等か、またはそれ以上の値の絶縁破壊電界の常用値を有する絶縁物で埋め込み、

前記ゲート電極の下端での前記絶縁物の厚さが、前記ドリフト層の厚さよりも大きく、前記ドリフト層となる半導体領域がn型であり、かつ前記トレンチに埋め込まれた前記絶縁物中に存在する固定電荷の符号が正であることを特徴とする半導体装置。

【請求項2】

半導体でできた基体のおもて面側にソース領域を有し、前記基体の裏面側にドレイン領域を有し、前記ソース領域と前記ドレイン領域の間にドリフト層と、前記ドレイン領域の少なくとも一部領域である高ドープ層を有し、前記基体のおもて面から形成されたトレンチ内の少なくとも側面にゲート絶縁膜を介してゲート電極を有し、かつ前記基体を構成す

る半導体材料の絶縁破壊電界と比誘電率の積が、前記ゲート絶縁膜を構成する絶縁物材料の絶縁破壊電界の常用値と比誘電率の積よりも大きい半導体装置において、

前記トレンチを、前記基体のおもて面から前記ドリフト層を貫いて前記ドレイン領域側の高ドーブ層に達する深さに形成し、

前記トレンチの、前記ゲート電極よりも深い部分を、前記基体の半導体材料の絶縁破壊電界と同等か、またはそれ以上の値の絶縁破壊電界の常用値を有する絶縁物で埋め込み、

前記ゲート電極の下端での前記絶縁物の厚さが、前記ドリフト層の厚さよりも大きく、前記ドリフト層となる半導体領域がp型であり、かつ前記トレンチに埋め込まれた前記絶縁物中に存在する固定電荷の符号が負であることを特徴とする半導体装置。

【請求項3】

半導体でできた基体のおもて面側にソース領域を有し、前記基体の裏面側にドレイン領域を有し、前記ソース領域と前記ドレイン領域の間にドリフト層と、前記ドレイン領域の少なくとも一部領域である高ドーブ層を有し、前記基体のおもて面から形成されたトレンチ内の少なくとも側面にゲート絶縁膜を介してゲート電極を有し、かつ前記基体を構成する半導体材料の絶縁破壊電界と比誘電率の積が、前記ゲート絶縁膜を構成する絶縁物材料の絶縁破壊電界の常用値と比誘電率の積よりも大きい半導体装置において、

前記トレンチを、前記基体のおもて面から前記ドリフト層を貫いて前記ドレイン領域側の高ドーブ層に達する深さに形成し、

前記トレンチの、前記ゲート電極よりも深い部分を、前記基体の半導体材料の絶縁破壊電界と同等か、またはそれ以上の値の絶縁破壊電界の常用値を有する絶縁物で埋め込み、

前記ゲート電極の下端での前記絶縁物の厚さが、前記ドリフト層の厚さよりも大きく、前記トレンチに埋め込まれた前記絶縁物と前記基体との界面の前記基体側に、該界面に垂直に、前記基体を構成する半導体材料の絶縁破壊電界の $(5/9)$ 倍となる電界を印加した場合に、前記ドレイン領域と前記基体のボディ領域となる半導体領域が、前記トレンチに埋め込まれた前記絶縁物と、前記基体の半導体領域に広がる空乏層によって、完全に隔てられることがないという特性を有することを特徴とする半導体装置。

【請求項4】

半導体でできた基体のおもて面側にソース領域を有し、前記基体の裏面側にドレイン領域を有し、前記ソース領域と前記ドレイン領域の間にドリフト層と、前記ドレイン領域の少なくとも一部領域である高ドーブ層を有し、前記基体のおもて面から形成されたトレンチ内の少なくとも側面にゲート絶縁膜を介してゲート電極を有し、かつ前記基体を構成する半導体材料の絶縁破壊電界と比誘電率の積が、前記ゲート絶縁膜を構成する絶縁物材料の絶縁破壊電界の常用値と比誘電率の積よりも大きい半導体装置において、

前記トレンチを、前記基体のおもて面から前記ドリフト層を貫いて前記ドレイン領域側の高ドーブ層に達する深さに形成し、

前記トレンチの、前記ゲート電極よりも深い部分を、前記基体の半導体材料の絶縁破壊電界と同等か、またはそれ以上の値の絶縁破壊電界の常用値を有する絶縁物で埋め込み、

前記ゲート電極の下端での前記絶縁物の厚さが、前記ドリフト層の厚さよりも大きく、前記基体を構成する半導体材料の絶縁破壊電界および比誘電率をそれぞれ E_s および ϵ_s とし、前記トレンチに埋め込まれた前記絶縁物の絶縁破壊電界の常用値および比誘電率をそれぞれ E_1 および ϵ_1 とすると、

前記トレンチに埋め込まれた前記絶縁物と前記基体との界面の前記基体側に、該界面に垂直に E_s の $(\{(E_1/E_s)^2 - 1\} / \{(\epsilon_s/\epsilon_1)^2 - 1\})$ 倍となる電界を印加した場合に、前記ドレイン領域と前記基体のボディ領域となる半導体領域が、前記トレンチに埋め込まれた前記絶縁物と、前記基体の半導体領域に広がる空乏層によって、完全に隔てられることがないという特性を有することを特徴とする半導体装置。

【請求項5】

前記ドリフト層となる半導体領域がn型であり、かつ前記トレンチに埋め込まれた前記絶縁物中に存在する固定電荷の符号が正であることを特徴とする請求項3または4に記載の半導体装置。

10

20

30

40

50

【請求項 6】

前記ドリフト層となる半導体領域が p 型であり、かつ前記トレンチに埋め込まれた前記絶縁物中に存在する固定電荷の符号が負であることを特徴とする請求項 3 または 4 に記載の半導体装置。

【請求項 7】

前記基体を構成する半導体材料が SiC であり、前記ゲート絶縁膜および前記トレンチに埋め込まれた前記絶縁物が SiO₂ を主成分とする絶縁物であることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置。

【請求項 8】

前記基体を構成する半導体材料が { 0 0 0 1 } 面を主面とする 4 H - SiC であり、前記トレンチに埋め込まれた前記絶縁物の絶縁破壊電界の常用値が 2 . 5 M V / c m 以上であり、同絶縁物の絶縁破壊電界の常用値と比誘電率の積が 2 5 M V / c m 以下であることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置。

10

【請求項 9】

前記基体を構成する半導体材料が { 1 1 - 2 0 } 面を主面とする 4 H - SiC もしくは 6 H - SiC、{ 0 1 - 1 4 } 面を主面とする 6 H - SiC、または { 0 3 - 3 8 } 面を主面とする 4 H - SiC であり、前記トレンチに埋め込まれた前記絶縁物の絶縁破壊電界の常用値が 1 . 8 M V / c m 以上であり、同絶縁物の絶縁破壊電界の常用値と比誘電率の積が 1 8 M V / c m 以下であることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置。

20

【請求項 10】

前記基体を構成する半導体材料が 3 C - SiC であり、前記トレンチに埋め込まれた前記絶縁物の絶縁破壊電界の常用値が 1 . 5 M V / c m 以上であり、同絶縁物の絶縁破壊電界の常用値と比誘電率の積が 1 5 M V / c m 以下であることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置。

【請求項 11】

前記基体を構成する半導体材料の絶縁破壊電界が 3 M V / c m 以下であり、同半導体材料の絶縁破壊電界と比誘電率の積が 1 2 M V / c m 以上であり、前記トレンチに埋め込まれた前記絶縁物が SiO₂ であることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置。

30

【請求項 12】

前記基体を構成する半導体材料の主面のオフ角が 1 0 度以内であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 13】

前記ゲート絶縁膜の比誘電率が、前記トレンチに埋め込まれた前記絶縁物の比誘電率よりも大きいことを特徴とする請求項 1 ~ 1 2 のいずれか一つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体材料として SiC (炭化珪素) 等、シリコンよりもバンドギャップの広い半導体を用いた半導体装置に関し、特にトレンチゲート構造を有する縦型の MISFET (金属 - 絶縁膜 - 半導体構造を有する電界効果トランジスタ) を構成する半導体装置に関する。

40

【背景技術】

【0002】

従来から、半導体材料として SiC を用いて高耐圧パワーデバイスを作製すると、オン抵抗を大幅に低減できる可能性のあることが指摘されている。例えば、ローム社のプレスリリースによれば、ローム社が量産する予定である SiC 製 MOSFET (金属 - 酸化膜 - 半導体構造を有する電界効果トランジスタ) のオン抵抗は、同じ耐圧クラスの Si 製 IGBT (絶縁ゲート型バイポーラトランジスタ) のオン抵抗の半分となる (非特許文献 1

50

参照。)。

【 0 0 0 3 】

S i Cを主材料とする高耐压のM O S F E Tが今後1、2年のうちに各半導体メーカーから出荷される見込みである。今後、低コスト化と電気的特性の向上が進めば、インバーター部品のS i製I G B Tの大半がS i C製I G B Tに置き換わっていくと考えられる。

【 0 0 0 4 】

しかし、S i Cデバイスの量産化にあたっては、S i Cウェハが、S iウェハに比べて、非常に高価であるという問題がある。現時点では、S i Cウェハの面積あたりの単価は、S iウェハの面積あたりの単価の数十倍である。従って、S i Cデバイスの開発にあたっては、単位面積あたりの電流駆動能力を向上させることが極めて重要である。

10

【 0 0 0 5 】

従来は、S i O₂/S i C界面の状態がS i O₂/S i界面ほど良好ではない。そのため、S i O₂/S i C界面でのM O Sチャネル移動度は、数十c m²/V s程度であり、S i O₂/S i界面でのM O Sチャネル移動度と比べて約1桁小さい。従って、S i C製の高耐压デバイスでは、M O Sチャネルに起因するオン抵抗を低減することが重要である。

【 0 0 0 6 】

また、S i Cデバイスでは、ドリフト領域の抵抗が、S iデバイスに比べて非常に小さいので、M O Sチャネルにおける抵抗(チャネル抵抗)がデバイスの抵抗の大部分を占めている。従って、S i Cデバイスの電流駆動能力は、主として単位面積あたりのチャネル密度によって決まる。

20

【 0 0 0 7 】

縦型M O S F E T等の縦型M I S F E Tの構造は、主として、図15に示すD M O S F E T型と、図16に示すトレンチM O S F E T型に大別される。両図において、符号1は、ドレイン領域となる基板である。また、符号2、3、4、5、6、7、8、9および10は、それぞれドリフト層、ボディー領域、ソースコンタクト領域、ボディーコンタクト領域、ゲート酸化膜、ゲート電極、層間絶縁膜、ソース電極およびドレイン電極である。また、図16において、符号11は、トレンチである。

【 0 0 0 8 】

なお、図15および図16では、1つのゲート電極が単位構造として示されているが、実際のデバイスにおいては、これらの単位構造が多く繰り返される。また、両図においては、図面上では細線となってしまうような個所が誇張して描かれており、実際の寸法比とは異なっている(他の図においても同じ)。また、本明細書および添付図面では、同一の構成要素については同一の符号を付して、重複する説明を省略する。

30

【 0 0 0 9 】

図15に示すように、D M O S F E T型では、オン状態において、ボディー領域3の、ゲート酸化膜6との界面にできるM I S(絶縁膜が酸化膜の場合は、M O S)チャネル12を通過した電子は、ボディー領域3の間のJ F E T領域13を流れ、ドリフト層2を経て基板1に至る。オフ状態においては、J F E T領域13は、基本的にピンチオフ状態となり、印加電圧の大部分は、ボディー領域3とドリフト層2の間のp n接合によって維持される。従って、ゲート酸化膜6の付近では、電界は相当に緩和されている。

40

【 0 0 1 0 】

しかし、図15に示す構造では、J F E T領域13の両側にp n接合があるため、オン状態のときに、J F E T効果によって、空乏層がp n接合のビルトイン電圧の分だけJ F E T領域13に伸び、電流流路が狭搾される。このため、J F E T領域13の抵抗(以下、J F E T抵抗とする)が増大する。

【 0 0 1 1 】

単位面積あたりの電流駆動能力を向上するために、図15に示す単位構造の横幅、すなわちセルピッチを縮小すると、J F E T領域13の横幅も縮小されるが、J F E T効果による電流流路の狭搾量は変わらない。このため、J F E T領域13のうち、電流流路が狭搾されない部分の割合が減少してしまい、J F E T抵抗が増大する。

50

【0012】

このようなJFET抵抗の増大は、オン状態での損失を増加させるため、好ましくない。また、JFET領域13の横幅が狭過ぎると、pn接合のビルトイン電圧によってJFET領域13がピンチオフしてしまうため、JFET抵抗が急激に増加する。従って、JFET領域13の横幅には一定の下限があり、それゆえ、セルピッチにも下限がある。

【0013】

図16に示すトレンチMOSFET型では、JFET領域がなく、オン状態において、MIS(MOS)チャンネル12を通過した電子は、直ちにドリフト層2に入り、基板1に達する。このように、JFET抵抗が存在しないので、上述したDMOSFET型よりもセルピッチの縮小を図ることができる。従って、トレンチMOSFET型では、DMOSFET型よりも単位面積あたりの電流駆動能力を高くすることができる。

10

【0014】

トレンチMOSFET型構造では、オフ状態において、ボディー領域3とドリフト層2とからなるpn接合の界面付近で最も高電界となる。そして、オフ状態のときには、トレンチ底にある、ゲート電極7とドリフト層2の間の絶縁膜に、ボディー領域3とドリフト層2とからなるpn接合の界面付近とほぼ同じ電束密度が侵入する。ここで、半導体中と絶縁膜中とを通じて同じになるのは、電界ではなく、電束密度、あるいは比誘電率と電界の積(以下、電界比誘電率積とする)である。

【0015】

Siでは、絶縁破壊電界が0.3MV/cm程度であり、比誘電率が1.2程度である。一方、主として絶縁膜に用いられるSiO₂では、絶縁破壊電界の常用値(以下、常用絶縁破壊電界とする)が2.5~3MV/cmであり、比誘電率が概ね4弱である。従って、Siを用いる場合には、電界集中がない限り、SiO₂に侵入する電界比誘電率積が3.6MV/cm以下であり、電界にすると概ね1MV/cm程度以下であるので、特に問題にはならない。

20

【0016】

ここで、SiO₂に関して常用絶縁破壊電界を用いる理由は、以下の通りである。絶縁物、特に半導体プロセスで用いられるSiO₂等のアモルファス状の絶縁物の場合、瞬間的に高電界が印加されても破壊しない。しかし、高電界が長時間、印加されると、次第に劣化し、最終的に絶縁破壊に至るといった経時劣化現象を示す。

30

【0017】

そのため、所定のデバイス寿命の間、絶縁物として機能を保証するためには、瞬間的な絶縁破壊電界よりも低い所定の電界を上限に定め、これよりも高い電界が絶縁物に印加されないように設計する必要がある。従って、この瞬間的な絶縁破壊電界よりも低い所定の電界を常用絶縁破壊電界として、設計の基準に用いるのである。

【0018】

Si中の電界集中を避けるために、図17に示すように、SiO₂に電圧を分担させる構造が提案されている(非特許文献2参照)。図17に示す構造では、トレンチ11が基板1に達するまで深く形成されている。そして、厚いSiO₂膜からなるフィールド絶縁膜14によってドリフト層2および基板1からゲート電極7を隔離したRESURF構造が形成されている。このフィールド絶縁膜14に対しては、ゲート電極7とドレイン領域である基板1とが明らかに近接しており、Siに比べてSiO₂に高電界が印加されるのは明らかである。

40

【0019】

一般に、パワーデバイスでは、過電圧によりデバイスが破壊する場合、ソースとドレインが短絡されないまま、ゲートとドレインが短絡することは、避けなければならない。その理由は、以下の通りである。

【0020】

通常、ソースおよびドレイン側の高圧回路には、ソースとドレインの短絡に備えた対策が講じられている。従って、万一、ソースとドレインが短絡しても、当該デバイスや、当

50

該デバイスと協調して動作する他のパワーデバイスや受動素子等が焼損するだけで済む。

【0021】

それに対して、ゲート側の制御回路は、一般に低耐圧であるので、ゲートとドレインが短絡してゲートにドレイン側の高電圧が印加されると、ゲート側の制御回路が破壊されてしまう。そして、その破壊的な高電圧がその制御回路から隣接する低圧回路に次々と伝播して、当該パワーデバイスを用いているシステム全体に致命的な損害をもたらす可能性がある。

【0022】

このような事態を招かないために、ゲート回路に容量が十分に大きいツェナーダイオードを付加するような対策が可能である。しかし、これは、経済的に不合理であるばかりでなく、スイッチングのたびにこのツェナーダイオードを充放電するために、スイッチング損失の増大とスイッチング速度の低下と制御波形の乱れなどの不都合を生じる。

【0023】

以上のような観点から、デバイスの耐圧が、ゲートとドレイン間の耐圧で決まるような設計は、好ましくない。そこで、ゲートとドレイン間の耐圧を十分確保するために、半導体の絶縁破壊電界が相当に大きい場合であっても、ゲートとドレイン間の耐圧を確保できるようなデバイス構造が必要である。

【0024】

ところで、SiCを用いることによってオン抵抗を大幅に低減できる理由は、以下の通りである。SiCは、Siよりも高い絶縁破壊電界を有するので、SiCデバイスでSiデバイスと同じ耐圧を実現するには、ドリフト層をSiデバイスよりも薄くでき、またドリフト層のドーピング量を高くすることができる。それによって、SiCデバイスのドリフト層の抵抗をSiの場合と比べて2桁以上低減できるからである。

【0025】

しかし、SiCの比誘電率は、9.6～10程度であり、Siと大差がないのに対して、SiCの絶縁破壊電界は、1.5～2.5MV/cmとSiより5～8倍も高い。そのため、SiCの縦型トレンチMOSFETにおいて、図16に示すようなSiデバイスと同じ構造を適用したのでは、トレンチ底の絶縁膜に過大な電界が印加されることになる。

【0026】

従って、ボディ領域3とドリフト層2とからなるpn接合の耐圧よりも、このトレンチ底の絶縁膜の常用絶縁破壊電界によって、耐圧が決まってしまう。この問題の解決策として、図18に示すように、ドリフト層2がn型である場合に、トレンチ底に埋め込みp型領域15を設け、この埋め込みp型領域15をソース電位に保つようにした構造が公知である(例えば、特許文献1参照。)

【0027】

また、トレンチ底の絶縁膜に過大な電界が印加されるのを避ける別の構造として、トレンチ底の絶縁膜を厚くした構造が提案されている(例えば、特許文献2、特許文献3参照。)。さらに、別の構造として、主としてボディ領域とドリフト領域からなるpn接合ダイオードの耐圧を下げる構造と、トレンチ底以外の部分に電界集中を起こさせる構造が提案されている(例えば、特許文献4参照。)

【0028】

【特許文献1】米国特許第6180958号明細書

【特許文献2】特開平2-102579号公報

【特許文献3】特開平7-326755号公報

【特許文献4】特開平10-308512号公報

【非特許文献1】「従来比1/40の低損失SiCパワーMOSFET開発!」、[online]、[平成17年6月30日検索]、インターネット<URL: <http://www.rohm.co.jp/news/sicpower-j.html>>

【非特許文献2】マサヒト・コダマ(Masahito Kodama)、外3名、「テンパラチャ キャラクタリスティクス オブ ア ニュー 100V レイテッド パワ

10

20

30

40

50

「MOSFET、VLMOS (パーティカル LOCOS MOS) (Temperature characteristics of a new 100V rated power MOSFET, VLMOS (Vertical LOCOS MOS))」、プロシーディングズ オブ 2004 インターナショナル シンポジウム オン パワー セミコンダクタ デバイシス & ICs (Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs)、2004年、p. 463 - 466

【発明の開示】

【発明が解決しようとする課題】

【0029】

しかしながら、上述した図18に示す構造では、埋め込みp型領域15とドリフト層2とによりpn接合が形成されるため、オン状態のときに、空乏層がドリフト層2に、このpn接合のほぼビルトイン電圧分だけ伸びることになる。その結果、電流流路が狭搾されてしまい、デバイスの抵抗が増大する。

【0030】

この現象は、原理的にはJFET効果と同じものである。つまり、トレンチ底に埋め込みp型領域15を設けると、トレンチMOSFET型構造とすることによって回避できたはずのJFET効果が再び現れることになる。

【0031】

そのため、DMOSFET型構造の場合と同様に、セルピッチの縮小に限界が生じる。従って、上述したように、高価なSiCウェハを用いるSiCデバイスでは、セルピッチの縮小が重要であるにもかかわらず、トレンチMOSFET型構造としたことにより得られるセルピッチの縮小化という主たる効果が失われてしまう。

【0032】

また、上記特許文献2または3に開示された構造では、SiC中の電界よりもトレンチ底の絶縁膜中の電界によって耐圧が制限されるため、SiCの有する高い絶縁破壊電界を十分に活用しているとは言えない。さらに、上記特許文献4に開示された構造では、SiCの有する高い絶縁破壊電界から期待される高耐圧を実現することができないという欠点がある。

【0033】

この発明は、上述した従来技術による問題点を解消するため、トレンチ底部の絶縁膜の破壊に起因するゲートとドレイン間の短絡を抑制し、高耐圧を実現することができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0034】

この発明にかかる半導体装置は、半導体でできた基体のおもて面側にソース領域を有し、前記基体の裏面側にドレイン領域を有し、前記ソース領域と前記ドレイン領域の間にドリフト層と、前記ドレイン領域の少なくとも一部領域である高ドープ層を有し、前記基体のおもて面から形成されたトレンチ内の少なくとも側面にゲート絶縁膜を介してゲート電極を有し、かつ前記基体を構成する半導体材料の絶縁破壊電界と比誘電率の積が、前記ゲート絶縁膜を構成する絶縁物材料の絶縁破壊電界の常用値と比誘電率の積よりも大きい半導体装置において、前記トレンチを、前記基体のおもて面から前記ドリフト層を貫いて前記ドレイン領域側の高ドープ層に達する深さに形成し、前記トレンチの、前記ゲート電極よりも深い部分を、前記基体の半導体材料の絶縁破壊電界と同等か、またはそれ以上の値の絶縁破壊電界の常用値を有する絶縁物で埋め込み、前記ゲート電極の下端での前記絶縁物の厚さが、前記ドリフト層の厚さよりも大きいことを特徴とする。

【0035】

この発明にかかる半導体装置は、上記の発明において、前記ドリフト層となる半導体領域がn型であり、かつ前記トレンチに埋め込まれた前記絶縁物中に存在する固定電荷の符号が正であることを特徴とする。

10

20

30

40

50

【0036】

この発明にかかる半導体装置は、上記の発明において、前記ドリフト層となる半導体領域がp型であり、かつ前記トレンチに埋め込まれた前記絶縁物中に存在する固定電荷の符号が負であることを特徴とする。

【0037】

この発明にかかる半導体装置は、上記の発明において、前記トレンチに埋め込まれた前記絶縁物と前記基体との界面の前記基体側に、該界面に垂直に、前記基体を構成する半導体材料の絶縁破壊電界の(5/9)倍となる電界を印加した場合に、前記ドレイン領域と前記基体のポディー領域となる半導体領域が、前記トレンチに埋め込まれた前記絶縁物と、前記基体の半導体領域に広がる空乏層によって、完全に隔てられないことがないという特性を有することを特徴とする。

10

【0038】

この発明にかかる半導体装置は、上記の発明において、前記基体を構成する半導体材料の絶縁破壊電界および比誘電率をそれぞれ E_s および ϵ_s とし、前記トレンチに埋め込まれた前記絶縁物の絶縁破壊電界の常用値および比誘電率をそれぞれ E_i および ϵ_i とすると、前記トレンチに埋め込まれた前記絶縁物と前記基体との界面の前記基体側に、該界面に垂直に E_s の $(\{(E_i/E_s)^2 - 1\} / \{(\epsilon_s/\epsilon_i)^2 - 1\})$ 倍となる電界を印加した場合に、前記ドレイン領域と前記基体のポディー領域となる半導体領域が、前記トレンチに埋め込まれた前記絶縁物と、前記基体の半導体領域に広がる空乏層によって、完全に隔てられないことがないという特性を有することを特徴とする。

20

【0039】

この発明にかかる半導体装置は、上記の発明において、前記基体を構成する半導体材料がSiCであり、前記ゲート絶縁膜および前記トレンチに埋め込まれた前記絶縁物がSiO₂を主成分とする絶縁物であることを特徴とする。

【0040】

この発明にかかる半導体装置は、上記の発明において、前記基体を構成する半導体材料が{0001}面を主面とする4H-SiCであり、前記トレンチに埋め込まれた前記絶縁物の絶縁破壊電界の常用値が2.5MV/cm以上であり、同絶縁物の絶縁破壊電界の常用値と比誘電率の積が2.5MV/cm以下であることを特徴とする。

【0041】

この発明にかかる半導体装置は、上記の発明において、前記基体を構成する半導体材料が{11-20}面を主面とする4H-SiCもしくは6H-SiC、{01-14}面を主面とする6H-SiC、または{03-38}面を主面とする4H-SiCであり、前記トレンチに埋め込まれた前記絶縁物の絶縁破壊電界の常用値が1.8MV/cm以上であり、同絶縁物の絶縁破壊電界の常用値と比誘電率の積が1.8MV/cm以下であることを特徴とする。

30

【0042】

この発明にかかる半導体装置は、上記の発明において、前記基体を構成する半導体材料が3C-SiCであり、前記トレンチに埋め込まれた前記絶縁物の絶縁破壊電界の常用値が1.5MV/cm以上であり、同絶縁物の絶縁破壊電界の常用値と比誘電率の積が1.5MV/cm以下であることを特徴とする。

40

【0043】

この発明にかかる半導体装置は、上記の発明において、前記基体を構成する半導体材料の絶縁破壊電界が3MV/cm以下であり、同半導体材料の絶縁破壊電界と比誘電率の積が1.2MV/cm以上であり、前記トレンチに埋め込まれた前記絶縁物がSiO₂であることを特徴とする。

【0044】

この発明にかかる半導体装置は、上記の発明において、前記基体を構成する半導体材料の主面のオフ角が10度以内であることを特徴とする。

【0045】

50

この発明にかかる半導体装置は、上記の発明において、前記ゲート絶縁膜の比誘電率が、前記トレンチに埋め込まれた前記絶縁物の比誘電率よりも大きいことを特徴とする。

【0046】

ここで、ミラー・ブラヴェ指数の表記において、“-”はその直後の数値のバーを意味している。つまり、ミラー・ブラヴェ指数の数値の直前に“-”が付されている場合には、六方格子の、その“-”が付された数値に対応する座標軸を、当該ミラー・ブラヴェ指数で特定される面がマイナス方向で横切ることを意味する。

【0047】

本発明によれば、トレンチに埋め込まれた絶縁物の常用絶縁破壊電界が、半導体の絶縁破壊電界と同等かそれよりも大きく、また比誘電率の大小に関係なく、トレンチ内の絶縁物と半導体に概ね等しい電界が印加されるので、トレンチ内の絶縁物よりも先に半導体側で絶縁破壊が起こる。従って、ゲートとドレインの間で短絡が起こる前に、ソースとドレインの間で短絡が起こる。

【発明の効果】

【0048】

本発明にかかる半導体装置によれば、トレンチ底部の絶縁膜の破壊に起因するゲートとドレイン間の短絡を抑制することができるので、高耐圧を実現することができるという効果を奏する。

【発明を実施するための最良の形態】

【0049】

上記目的を達成するため、本発明者らは以下の検討を行った。以下に、その検討内容について説明するが、ここでは、主たるキャリアが電子であると仮定して説明する。

【0050】

これは、SiCにおいては、正孔よりも電子の方が移動度が大きいので、電子を主たるキャリアとするデバイスが好ましく用いられるからである。正孔を主たるキャリアとするデバイスの場合には、以下の説明において、電子と正孔、n型とp型、並びに電荷および電位の符号を入れ替え、また、電界、電束密度および電気力線の向きを逆にして、読み替えばよい。

【0051】

また、本明細書では、基体の半導体材料として4H-SiCを用い、トレンチに埋め込む絶縁物材料としてSiO₂を主成分とする材料を用いる場合を例にして説明するが、本発明はこの組合せに限るものではない。つまり、従来のトレンチ構造では、基体に比べて比誘電率の小さい絶縁物を用いる際に、絶縁物に過大な電界が印加されてしまう。

【0052】

それに対して、本発明の本質的な点は、構造上の工夫により、電磁気学上の法則によって、比誘電率の大小に関係なく、絶縁物にほぼ等しい電界が印加されるようにすることにある。従って、トレンチに埋め込まれる絶縁物材料の常用絶縁破壊電界が、基体となる半導体材料の絶縁破壊電界と同等か、それよりも大きければ、いかなる組合せでもよい。これは、後述する実施の形態においても同様である。

【0053】

実際に、工業的に入手または作製可能な半導体の中で、絶縁破壊電界が2~3MV/cm以上であり、かつn型とp型の両方の伝導型の制御が比較的容易であるものは、SiCと一部のIII族窒化物半導体、例えばGaNやGaNを主成分とする混晶に限られている。しかし、III族窒化物半導体は、実質的に絶縁体であるAlNを除いて、一般に、Siよりも熱伝導率が小さい。そのため、大電流密度を要求される縦型パワーデバイス用半導体材料として単体で用いるのは好ましくない。

【0054】

単位面積あたりの電流駆動能力をさらに向上させようとする、単位面積あたりの電力密度が増大するので、必然的に、単位面積あたりのデバイスの発熱量が増加する。これは、導通損失に直接影響するオン抵抗を低減できたとしても、ソースとドレイン間およびゲ

10

20

30

40

50

ートとドレイン間の静電容量に起因するスイッチング損失を低減できないからである。このような事情により、縦型パワーデバイス用半導体材料としては、現在のところ、SiCが最も適当である。

【0055】

SiCには多数のポリタイプ（結晶構造）がある。SiCの工業的に入手可能なポリタイプは、3Cと6Hと4Hに限られている。6Hおよび4HのSiCには、電子移動度および絶縁破壊電界に、強い異方性があることが知られている。また、比誘電率にも多少異方性があるとされている。一方、3C-SiCについては、物性値の異方性は小さいと考えられている。

【0056】

これらポリタイプの物性値を表1に示す。縦型パワーデバイスでは、オン状態で電子が走行する方向およびオフ状態で主として電界が向かう方向は、いずれも主面に概ね垂直な方向である。従って、表1においては、主面に垂直な方向の値を物性値の代表値としている。

【0057】

【表1】

ポリタイプ	4H		6H		3C
面方位	{0001}	{11 $\bar{2}$ 0}	{0001}	{11 $\bar{2}$ 0}	(001)
電子移動度 (cm ² /Vs)	1120	940	150	500	1000
絶縁破壊電界 (MV/cm)	2.5	1.8	2.8	1.8	1.5
比誘電率	10	9.7	10	9.7	9.7
Baligaの性能指数	403	138	75	72	76

【0058】

表1において、Baligaの性能指数は、電子移動度、絶縁破壊電界および比誘電率の3つの物性値から計算により求められる値であり、所与の耐圧に対するオン抵抗の理論下限の逆数に比例する。従って、Baligaの性能指数の値が大きいほど好ましい。表1より、4H-SiCは、電子移動度が大きく、また、各面方位で十分大きな絶縁破壊電界を有するので、好ましい。特に、4H-SiCの{0001}面を主面として用いると、オン抵抗の理論下限が小さいので、好ましい。

【0059】

一方、トレンチに埋め込む絶縁物としては、次の条件を満たすものでなければならない。第1に、トレンチ内のゲートとして用いられる側壁部分に付着しないか、またはこの部分に付着しても後から制御性よく取り除くことができるか、または絶縁物自身がゲート絶縁膜の一部もしくは全部となること。第2に、開口部の幅に比べて相当に深いトレンチを埋め込むことができ、かつ埋め込まれた領域内に耐圧を低下させるようなボイドやクラックを生じることがないこと。

【0060】

第3に、ゲート絶縁膜およびゲート電極を汚染しないこと。第4に、デバイスの保管条件や使用条件、および絶縁物の埋め込み後の全デバイスプロセスにおいて、熱的および化学的に耐えられること。以上の4つの条件を少なくとも満たす必要がある。比誘電率および絶縁破壊電界の条件については、後述する。これらの条件を満たす絶縁物材料は極めて限られている。半導体材料がSiCである場合、SiO₂またはSiO₂を主成分とする絶縁物材料であれば、上記4つの条件を満たすことができる。

【0061】

（理論的考察）

トレンチ底から下方（ドレイン側）での電界分布を考察するにあたって、まず、半導体と絶縁物からなる系の1次元的モデルで考える。半導体の誘電率は、絶縁物の誘電率よりも高いとする。また、半導体は、ドナー密度の小さい（低濃度の）n型であると仮定する

10

20

30

40

50

。

【 0 0 6 2 】

図 1 に、1 次元的モデルの構成を示す。図 1 には、1 次元的モデルの断面図 1 0 0 と、その断面図に対応する深さ方向の電界分布を示す特性図 1 1 0 が示されている。断面図 1 0 0 に示すように、1 次元的モデルは、一对の金属電極 2 1 , 2 2 の間に、半導体 2 3 と絶縁物 2 4 が直列に挟まれた構成となっている。

【 0 0 6 3 】

半導体 2 3 と絶縁物 2 4 の界面に垂直に電圧が印加される場合、この界面では電束密度が保存される。そして、半導体 2 3 の誘電率が絶縁物 2 4 の誘電率よりも高いので、特性図 1 1 0 で示すように、絶縁物 2 4 中の電界強度が、半導体 2 3 中の電界強度よりも高くなる。なお、半導体 2 3 がドナー密度の小さい n 型であるため、半導体 2 3 中での電界強度の変化が小さいとして、無視してある。

10

【 0 0 6 4 】

ここで重要なことは、半導体 2 3 中の電界強度が絶縁破壊電界に達したとき、または絶縁物 2 4 中の電界強度が常用絶縁破壊電界に達したときに絶縁破壊が起こると考えて設計を行うことである。例えば、Si を熱酸化したことにより得られる SiO₂ 膜の瞬間的な絶縁破壊電界は、10 MV/cm 以上にも達する。しかし、このような高電界が常時印加される場合には、デバイスの寿命を保証できないため、通常は、2.5 ~ 3 MV/cm を超えるような電界が SiO₂ に印加されないように設計する。

【 0 0 6 5 】

半導体の絶縁破壊電界から期待される耐圧を得るには、半導体中の電界が絶縁破壊電界に達したときに、絶縁物中の電界が常用絶縁破壊電界を超えてはならない。図 1 に示すように、半導体 2 3 と絶縁物 2 4 との界面に垂直に電圧が印加される場合、上述したように半導体 2 3 中と絶縁物 2 4 中とで電束密度が等しくなるので、両方で電界比誘電率積が等しくなる。

20

【 0 0 6 6 】

半導体 2 3 中の電界が絶縁破壊電界に達したときに、半導体 2 3 中の絶縁破壊電界と半導体 2 3 の比誘電率の積（以下、絶縁破壊電界比誘電率積とする）が、絶縁物 2 4 中の電界比誘電率積に等しくなる。このときの絶縁物 2 4 中の電界が常用絶縁破壊電界を超えている場合、すなわち半導体 2 3 の絶縁破壊電界比誘電率積が、絶縁物 2 4 の常用絶縁破壊電界と比誘電率の積（以下、常用絶縁破壊電界比誘電率積とする）よりも大きい場合には、絶縁物 2 4 の方が先に破壊し、トレンチ MISFET の場合には、ゲートとドレイン間の短絡が起こる可能性がある。

30

【 0 0 6 7 】

なお、前述の SiO₂ のように、絶縁物の絶縁破壊電界と常用絶縁破壊電界との間に数倍の差がある場合には、半導体の絶縁破壊電界比誘電率積が、絶縁物の常用絶縁破壊電界比誘電率積よりも大きい場合であっても、耐圧を維持できるように見えることがある。しかし、耐圧を維持できるのは短時間であり、実用上、十分な寿命を保証できるわけではない。

【 0 0 6 8 】

一例として、半導体が Si または SiC であり、絶縁物が SiO₂ である場合を考える。Si の絶縁破壊電界、比誘電率および絶縁破壊電界比誘電率積の各値は、それぞれ 0.3 MV/cm、1.2 および 3.6 MV/cm である。SiC の絶縁破壊電界、比誘電率および絶縁破壊電界比誘電率積の各値は、それぞれ 1.5 ~ 2.5 MV/cm、1.0 前後および 1.5 ~ 2.5 MV/cm である。SiO₂ の常用絶縁破壊電界、比誘電率および常用絶縁破壊電界比誘電率積の各値は、それぞれ 2.5 ~ 3 MV/cm、4 前後および 1.0 ~ 1.2 MV/cm である。

40

【 0 0 6 9 】

Si と SiO₂ を比べると、SiO₂ の常用絶縁破壊電界比誘電率積は、Si の絶縁破壊電界比誘電率積よりも 3 倍程度以上大きい。従って、1 次元モデルでは、図 1 の断面図 1

50

00に示すような配置であっても、 SiO_2 が先に絶縁破壊する心配はない。

【0070】

しかし、 SiC と SiO_2 を比べると、 SiO_2 の常用絶縁破壊電界比誘電率積は、 SiC の絶縁破壊電界比誘電率積の4～8割程度しかない。そのため、図1の断面図100に示すような配置では、 SiO_2 が先に絶縁破壊する危険性が高い。つまり、 SiC のように絶縁破壊電界比誘電率積が大きい半導体材料を用いる場合には、図1の断面図100に示すような配置にならないようなデバイス構造としなければならない。

【0071】

次に、図2に示すように、一对の金属電極21, 22の間に、半導体23と絶縁物24が並列に挟まれており、半導体23と絶縁物24の界面に平行に電圧が印加される場合を
10
考える。この場合、電界は、半導体23と絶縁物24の界面に平行になる。従って、半導体23中のイオン化ドナーによる電界分布の変化を無視すれば、半導体23と絶縁物24の比誘電率の大小に関係なく、半導体23中の電界と絶縁物24中の電界は、等しくなる。

【0072】

つまり、半導体23の絶縁破壊電界よりも、絶縁物24の常用絶縁破壊電界の方が大きければ、絶縁物24が先に破壊してゲートとドレインの間の短絡が起こることはない。 SiC と SiO_2 の組合せでは、 SiO_2 の常用絶縁破壊電界が SiC の絶縁破壊電界と同等か、それよりも大きいので、図2に示す配置であれば、 SiO_2 が先に絶縁破壊する心配
20
はない。

【0073】

(デバイス構造への組み込み)

通常、縦型MISFETにおいては、ドレイン側にフィールドストップ層と呼ばれる高ドーブ層が設けられる。ドリフト層が完全に空乏化した後、このフィールドストップ層内で電界が急激に減少して、ほぼ0となる。それよりも深い部分は、ドレイン電極の一部のようなものである。

【0074】

従って、例えば図3-1に示すように、トレンチ41の深さを、少なくとも半導体側の絶縁破壊電圧において電界がほぼ0となる深さにする。そして、このトレンチ41のうち、MISチャネル42の近傍、すなわちゲート電極37よりも深い部分に絶縁物46を埋
30
め込んでおく。このような構成にすれば、図2に示すような配置を実現できる。

【0075】

そして、このトレンチ41の深い部分に埋め込まれた絶縁物(以下、埋め込み絶縁物とする)46の常用絶縁破壊電界が、半導体の絶縁破壊電界と同等か、それよりも大きければ、この埋め込み絶縁物46が先に絶縁破壊してゲートとドレインの間が短絡するのを防ぐことができる。なお、図4-1に示すように、トレンチ41の深さを、半導体側の絶縁破壊電圧において電界がほぼ0となる深さよりも深くしてもよい。図4-1に示す例は、トレンチ41が基板31を貫通している例である。

【0076】

また、埋め込み絶縁物46とゲート絶縁膜36の材料が異なってもよい。例えば、
40
トレンチ41に SiO_2 を主成分とする絶縁物が埋め込まれており、ゲート絶縁膜36がこれよりも比誘電率の高い材料であってもよい。また、ゲート絶縁膜36が SiO_2 を主成分とする絶縁膜であって、トレンチ41にはこれよりも比誘電率の低い絶縁物材料が埋め込まれていてもよい。

【0077】

このようにゲート絶縁膜36の比誘電率が埋め込み絶縁物46の比誘電率よりも大きい方が、好ましい。その理由は、ゲートの電流駆動能力を低下させることなく、ゲートとドレインの間の静電容量を低減できるからである。

【0078】

また、ゲート電極37の直下に、ゲート絶縁膜36と同じ材料の絶縁物があってもよい
50

し、ゲート絶縁膜 36 および埋め込み絶縁物 46 のいずれでもない材料の絶縁物があってもよい。あるいは、埋め込み絶縁物 46 がそのままゲート電極 37 に接触していてもよい。

【0079】

また、埋め込み絶縁物 46 は、1 種類の材料であってもよいし、複数の材料からなってもよい。例えば、この埋め込み絶縁物 46 が半導体に接する部分には、 SiO_2 を主成分とする絶縁膜が存在し、それよりも内側には、その絶縁膜よりも比誘電率の低い材料が埋め込まれていてもよい。

【0080】

また、埋め込み絶縁物 46 以外の構成については、図 3 - 1 または図 4 - 1 に示す構成に限らず、種々変更可能である。例えば、フィールドストップ層 47 が基板 31 と兼用になっていてもよい。また、電流広がり層 48 がなくてもよい。さらに、ソースコンタクトおよびボディーコンタクトの取り方が図 3 - 1 または図 4 - 1 の例と異なってもよい。

10

【0081】

また、ゲート電極 37 については、その上端がボディー領域 33 とソースコンタクト領域 34 の界面よりも上にあり、その下端がボディー領域 33 と電流広がり層 48 (電流広がり層 48 がない場合は、ドリフト層 32) の境界面よりも下にあり、かつ埋め込み絶縁物 46 に過大な電界が印加されるほど下になければ、ゲート電極 37 がどのように配置されていてもよい。さらに、上記条件を満たせば、ゲート電極 37 の形状もどのような形状

20

【0082】

また、MIS チャンネル 42 の付近のトレンチ 41 は、主面に概ね垂直でなくてもよい。特に、MIS チャンネル 42 の近傍におけるトレンチ 41 の形状は、チャンネル抵抗が小さくなるように適宜選択され、どのような形状であっても、本発明の趣旨である高耐圧化を実現できる。

【0083】

(2次元・3次元的效果に対する考察)

実際のデバイスでは、ドリフト層に無視できない量のドナーが存在する。このため、ドリフト層の電界は一定ではなく、電界強度が、ボディー領域側から基板またはフィールドストップ層側へ向かって次第に減少する。図 5 に示すように、ドナー密度が一定であれば、ドリフト層の電界分布は、一定の傾きを有する台形となる。この傾きは、ドナー密度に比例し、比誘電率に反比例する。

30

【0084】

オン抵抗を最小化するためには、ドリフト層とフィールドストップ層の境界における電界が、ドリフト層とボディー領域の界面の電界(半導体の絶縁破壊電界に一致する)の $1/3$ となるように設計するのがよいとされている。一方、図 6 に示すように、理想的な絶縁物の内部には固定電荷がないので、その内部での電界は一定である。

【0085】

図 5 において斜線を付した台形部分および図 6 において斜線を付した長方形部分のそれぞれの面積が印加電圧に相当するので、両者の面積は等しい。すなわち、トレンチに埋め込まれた絶縁物中の電界は、半導体中の電界の平均値となる。上述したオン抵抗を最小化するための設計に従えば、トレンチに埋め込まれた絶縁物中の電界は、半導体の絶縁破壊電界の $2/3$ となる。

40

【0086】

そのままでは、半導体と絶縁物の界面で電位が異なってしまうので、半導体の下方から絶縁物の上方に向かって少しずつ電気力線が入り、半導体と絶縁物の界面での電位を揃えることになる。これは、一種の電界集中である。しかし、電位を揃えるためだけであるならば、この効果だけによって、半導体側の最大電界よりも高い電界が絶縁物に印加されることはない。

50

【0087】

実際のデバイスでは、MISFETとして動作するために、ゲート電極の下端は、必ずボディー領域よりも下にある。従って、トレンチに埋め込まれた絶縁物の方が、半導体よりも短い距離で、半導体と同じ電圧を維持しなければならない。また、SiCのように、絶縁破壊電界が大きい場合には、ドリフト層のドナー密度がボディー領域のアクセプタ密度に比べて無視できないほどに高い。

【0088】

このため、オフ時には、ボディー領域にも空乏層が伸び、印加電圧の一部を負担することになる。従って、トレンチに埋め込まれた絶縁物には、一見、ますます大きな電界がかかるように思われる。しかし、実施の形態において後述するように、少なくともSiCを用いる場合には、設計耐圧が非常に低い場合を除いて、ボディー領域が負担する電圧は、印加電圧の5%以下である。従って、このことによって絶縁物中の電界が増加する問題は、致命的ではない。

10

【0089】

設計耐圧が1kV以上であれば、ドリフト層の厚さは5 μ m以上になる。作製余裕を見込んだ結果、ゲート電極の下端がドリフト層の中に例えば0.5 μ mほど食い込み、ゲート電極の下端がボディー領域の下端よりもドレインに近くなっても、電界の増加率は10%以下である。従って、このことによって絶縁物中の電界が増加する問題も、致命的ではない。

【0090】

以上より、絶縁物中の電界増加率として、通常は15%を見込んでおけば十分であり、実用上は10%でもよいと思われる。例えば、半導体がSiCであり、トレンチに埋め込まれる絶縁物がSiO₂である場合、SiCの絶縁破壊電界は2.5MV/cmである。

20

【0091】

上述した影響を考慮すると、SiCが絶縁破壊する際に、SiO₂には15%増しの2.9MV/cm弱の電界が印加される可能性がある。しかし、この値は、SiO₂の常用絶縁破壊電界である3MV/cmよりも小さい。従って、SiO₂が先に絶縁破壊することはなく、高耐圧を実現できる。さらには、ゲート電極の下端とフィールドストップ層との距離が、少なくとも、ドリフト層の厚さよりも大きくなるように、ゲート電極の下端位置を調整する必要がある。

30

【0092】

なお、SiCを用いる場合には、設計耐圧が1kV以下になると、ドリフト層の抵抗よりも、チャンネル抵抗、ソースやドレインのコンタクト抵抗および基板の抵抗などの影響が顕著になってくる。従って、設計耐圧が1kVよりも大幅に小さい場合には、オン抵抗を下げる効果がなく、無意味である。

【0093】

(絶縁物中の固定電荷に対する考察)

絶縁物の形成方法によって、内部に固定電荷を生じるような絶縁物がある。例えば、Siを熱酸化してSiO₂を形成する場合、ドライ雰囲気で行うと、酸素が欠乏することによって、正の固定電荷が生じやすいとされている。一方、ウェット雰囲気で行うと、内部に水酸基が取り込まれることによって、負の固定電荷が生じやすいとされている。

40

【0094】

これらの固定電荷は、半導体が空乏化した際のイオン化ドナーあるいはアクセプタと同様に、絶縁物中の電界分布に変化をもたらす。絶縁物中に固定電荷がある場合の電界分布は、図5に示す半導体の場合と同様に、一定の傾きを有する電界分布となる。そして、この傾きは、ドナー密度に比例し、比誘電率に反比例する。

【0095】

なお、絶縁物中には、微視的には正負両方の固定電荷が存在している場合があるが、両者が絶縁物中に一様に分布している限り、正負の電荷量を合計した電荷密度のみが重要で

50

ある。以下の説明では、正負両方の固定電荷の電荷量を合計した電荷密度を、固定電荷密度と称する。そして、正の固定電荷の電荷量の方が多い場合には、その固定電荷密度に相当する量の正の固定電荷が絶縁物中に存在するものとし、一方、負の固定電荷の電荷量の方が多い場合には、その固定電荷密度に相当する量の負の固定電荷が絶縁物中に存在するものとする。

【0096】

図2に示すように、半導体と絶縁物が並列に配置され、接している場合、両者で電界の傾きが等しくなるためには、半導体中のドナー密度を半導体の比誘電率で除した商と、絶縁物中の固定電荷密度を絶縁物の比誘電率で除した商が、等しくなればよい。等しくなる場合の絶縁物中の固定電荷密度を、平衡電荷密度という。

10

【0097】

ただし、絶縁物中の固定電荷は、イオン化ドナーと同じ符号の電荷、すなわち正の固定電荷である必要がある。上述した条件が満たされない場合、電界の方向が一様であると、半導体中と絶縁物中で電位が異なってしまうので、半導体と絶縁物の界面で電位が等しくなるように、半導体と絶縁物の界面を横切る電気力線が存在する。

【0098】

絶縁物中の正の固定電荷が平衡電荷密度よりも多い場合、電界が絶縁物中で急激に減少するのを補うように、絶縁物の下方から半導体の上方に向かって、電気力線が出て行くことになる。これは、絶縁物の下方で電界集中しているように見える。しかし、半導体中と絶縁物中とで電位を揃えるためだけであれば、半導体中の本来の電界よりも大きな電界が絶縁物の下方に印加されることはない。

20

【0099】

一方、絶縁物中の正の固定電荷が平衡電荷密度よりも少ない場合、電界が半導体中で急激に減少するのを補うように、半導体の下方から絶縁物の上方に向かって、電気力線が入ってくるようになる。これは、絶縁物の上方で電界集中しているように見える。しかし、半導体中と絶縁物中とで電位を揃えるためだけであれば、半導体中の本来の電界よりも大きな電界が絶縁物の上方に印加されることはない。

【0100】

しかし、図3-1および図4-1に示すトレンチ型MISFETでは、上述したようにボディ領域の電圧分担やゲート電極の下端位置によって、絶縁物中の電界がもともと高くなる傾向がある。そのため、ゲート電極の下端で電界強度が常用絶縁破壊電界を超えてしまう可能性がでてくる。

30

【0101】

絶縁物中の固定電荷が負である場合には、この効果がより一層強くなり、ゲート電極の下端の電界強度はさらに高くなる。これは、負の固定電荷を有する絶縁物が、空乏化したp型半導体のように振る舞うのが原因である。つまり、負の固定電荷を有する絶縁物と、ドリフト層をなすn型半導体によって、公知の超接合構造が形成されたような状態となる。一般に、超接合構造とは、不純物濃度を高めたn型の領域とp型の領域を交互に繰り返し接合した構造のことである。

【0102】

40

そのため、絶縁物と半導体の接合界面を横切るように横方向電界が発生し、不必要な高電界が生じる。このような場合において、例えばSiCとSiO₂の組合せのように、半導体の絶縁破壊電界と絶縁物の常用絶縁破壊電界が接近していると、絶縁物が先に絶縁破壊して、ゲートとドレインの間の短絡を起こす可能性が高いため、好ましくない。

【0103】

以上のように、ドリフト層をなす半導体がn型である場合には、トレンチに埋め込まれた絶縁物が正の固定電荷を有する方が、負の固定電荷を有するよりも、ゲート電極の下端付近の電界を緩和できるので、好ましい。より好ましくは、トレンチに埋め込まれた絶縁物が平衡電荷密度程度の正の固定電荷を有するのがよい。また、ゲート電極の下端の電界を緩和する程度に、平衡電荷密度をやや上回る程度の正の固定電荷を有するのが、さらに

50

好ましい。

【0104】

(従来構造との違い)

図7に示す超接合構造では、n型領域25とp型領域26の接合界面に平行に電圧が印加される。そして、この接合界面に垂直な方向、すなわち横方向の電界によって、n型領域25とp型領域26を空乏化させることにより、高耐圧が実現される。

【0105】

図7においては省略されているが、超接合構造の上にはゲートが設けられており、スイッチングデバイスとして機能する。この構造は、n型領域25とp型領域26の電荷バランスが大変に厳しい一方で、n型領域25とp型領域26の少なくとも一方を選択的に形成しなければならないため、作製するのが難しい。

10

【0106】

そこで、図8に示すように、p型領域26に代えて、絶縁物27を用いることにより、超接合構造の代用とする提案がある。この構造は、ドリフト層を貫通するトレンチを形成し、そのトレンチ内に絶縁物27を埋め込むことにより形成される。この構造では、トレンチ内に埋め込まれた絶縁物27に全体として負の固定電荷が生じなければ、超接合構造として機能しない。以下、この代用構造を含めて超接合構造とする。

【0107】

しかし、このような構造をトレンチ型MISFETに適用する場合、上述したように、図示省略したゲート電極の下端付近の電界が高くなる。従って、例えばSiCとSiO₂の組合せのように、半導体の絶縁破壊電界と絶縁物の常用絶縁破壊電界が接近していると、絶縁物が先に絶縁破壊して、ゲートとドレインの間の短絡を起こす可能性が高いため、好ましくない。

20

【0108】

また、超接合構造では、発生する横方向電界は、ドリフト層を横方向に空乏化させるのに十分である程度に大きくなければならない。絶縁物の比誘電率が半導体の比誘電率よりも小さい場合には、絶縁物中に、半導体中よりも大きな横方向電界が発生する。

【0109】

発明者らの計算によれば、絶縁物中の最大電界が、絶縁物の常用絶縁破壊電界を越えることがないためには、半導体の絶縁破壊電界のうち、横方向電界に分配される割合が、次の(1)式の値の平方根よりも小さくなければならない。また、通常構造よりも高耐圧を実現するためには、前記割合が、(5/9)よりも小さくなければならない。なお、通常構造とは、超接合構造ではない構造、すなわちドリフト層が一様で単一の導電型の半導体層で構成される構造のことをいう。

30

【0110】

$$\left\{ (E_1 / E_s)^2 - 1 \right\} / \left\{ (E_s / E_1)^2 - 1 \right\} \cdots (1)$$

ただし、 E_s 、 E_1 および E_s / E_1 は、それぞれ半導体の絶縁破壊電界、半導体の比誘電率、絶縁物の常用絶縁破壊電界および絶縁物の比誘電率である。

【0111】

しかし、半導体の絶縁破壊電界のうち、横方向電界に分配される割合が丁度、上記(1)式の値またはそれに近い値では、デバイス作製時のわずかな誤差により、絶縁物中の最大電界が絶縁物の常用絶縁破壊電界を越える可能性があるため、好ましくない。従って、半導体の絶縁破壊電界のうち、横方向電界に分配される割合を、上記(1)式の値よりも相当に小さい値に設計すべきである。

40

【0112】

半導体の絶縁破壊電界が大きいと、前記(1)式の値は小さくなる。例えば、半導体がSiであり、絶縁物がSiO₂である場合には、(1)式の値は1.2以上となり、5/9よりも相当に大きいので、横方向電界によって絶縁物中の電界が過大になる心配はない。しかし、半導体が4H-SiCであり、電圧が概ね<0001>方向に印加され、絶縁物がSiO₂である場合には、前記(1)式の値は0.09程度である。

50

【0113】

絶縁破壊電界が最も小さいとされる3C-SiCを用いる場合には、前記(1)式の値は0.58程度である。従って、SiCとSiO₂の組合せで、図8に示すような超接合構造を構成する場合には、絶縁物中に過大な電界が印加されないように注意して設計する必要がある。

【0114】

一方、横方向電界に分配される割合が小さいと、半導体のn型領域を空乏化させるためには、n型領域の幅(1次的に繰り返される場合を仮定する)に応じて、ドナー密度を下げなければならない。そのため、同じ耐圧を有する通常構造に比べて、オン抵抗を低減させることができない可能性がある。

10

【0115】

超接合構造における繰り返しのピッチを小さくすると、n型領域の幅も小さくなる。発明者らの計算によれば、同じ耐圧の通常構造に比べてオン抵抗を低減させるためには、最も単純には、半導体の絶縁破壊電界のうち、横方向電界に分配される割合を、次の(2)式で表される値よりも大きくしなければならない。(2)式の値が実数でない場合には、超接合構造にしても、通常構造よりもオン抵抗を低減させることはできない。

【0116】

$0.5 - (0.25 - \{8 \times E_s \div (27 \times BV_D) \times (P \div 2)\}^2) \dots (2)$

ただし、E_s、BV_DおよびPは、それぞれ半導体の絶縁破壊電界、設計耐圧および超接合の繰り返しピッチである。

20

【0117】

半導体の絶縁破壊電界が大きいほど、また、超接合の繰り返しピッチが大きいほど、前記(2)式の値は大きくなる。一方、設計耐圧が大きいほど、前記(2)式の値は小さくなる。例えば、設計耐圧が1kVであり、4H-SiCに、その概ね<0001>方向に電圧が印加される場合、超接合の繰り返しピッチを8μmにすると、前記(2)式の値は0.096となる。

【0118】

この値は、同じ条件での前記(1)式の値(0.08程度)よりも大きいので、図8に示すような超接合構造にしても、耐圧とオン抵抗のトレードオフを改善することはできない。設計耐圧が2kVであると、前記(2)式の値は0.022となる。従って、前記(2)式のような単純な仮定の下では、超接合構造にすることによって、耐圧とオン抵抗のトレードオフを改善することができそうに見える。

30

【0119】

しかし、実際には、超接合構造の場合、印加電圧が0Vであって、n型領域には空乏層が多少広がっている。そのため、オン抵抗が増加する。場合によっては、n型領域が完全に空乏化していることもある。これは、JFET効果と同様の現象である。図7に示すpn接合を用いた超接合構造の場合には、まさにJFET効果に相当し、空乏層の広がりの分、オン抵抗が増加する。

【0120】

上述した4H-SiCを用い、設計耐圧を2kVにした例において、n型領域の幅が超接合の繰り返しピッチの半分であり、pn接合を用いた場合と同じ2.7V程度のビルトイン電圧相当の空乏層が伸びているとする。この場合に、前記(2)式の値(0.022)ぎりぎりの設計では、印加電圧が0Vのときに、n型領域の30%近くが空乏化する。そのため、実際のオン抵抗は、空乏層の伸びがない場合に比べて、30%以上も増加してしまい、通常構造よりもオン抵抗が高くなってしまう。

40

【0121】

簡単な見積もりによれば、半導体の絶縁破壊電界のうちの横方向電界に分配される割合の2乗に相当する値、すなわち前記(1)式の値や前記(2)式の値と直接比較できる値が0.033程度以上になるように設計しなければならない。この値は、前記(1)式の

50

値(0.08)よりも小さいので、この範囲に収まるように設計すれば、超接合構造により、耐圧とオン抵抗のトレードオフを改善できないことはない。

【0122】

しかし、設計可能範囲は、横方向電界強度にして $\pm 20\%$ に満たない。また、この範囲内で制御性を確保したとしても、オン抵抗を、通常構造の60%強程度しか低減できない。4H-SiCの場合、この耐圧クラスでは、デバイスの全オン抵抗に対するドリフト層のオン抵抗の寄与は、20%程度以下である。従って、ドリフト層を超接合構造にすることによって、この程度のオン抵抗の低減を実現できるとしても、デバイスのオン抵抗としては、10%も低減することはできない。

【0123】

さらに、同様の見積もりによれば、設計耐圧が概ね1.25kV以下になると、半導体の絶縁破壊電界のうち横方向電界に分配される割合の2乗に相当する値は、前記(1)式の値よりも大きくなってしまふ。そのため、超接合構造にしても、オン抵抗を低減することはできない。超接合の繰り返しピッチが大きい場合、あるいはn型領域の幅が広い場合には、さらに高耐圧設計でなければ、超接合構造にしても、オン抵抗を低減することはできない。

【0124】

以上のように、図8に示す超接合構造では、相当な高耐圧が要求される場合、あるいは十分に小さい繰り返しピッチを実現できる場合を除いては、設計耐圧に対するオン抵抗の低減効果はわずかである。また、それを実現するための努力に見合う効果は得られない。

【0125】

半導体がSiである場合には、pn接合による超接合構造を作製しやすくするために、R. van Dalenらによって、図9に示す構造が提案されている(Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs、2004年、p.451-453)。この構造は、ドリフト層にトレンチをドレインに達するように形成し、n型領域25の表面に不純物を拡散させることによってp型領域26とし、トレンチ内に絶縁物27で埋め込むことにより形成される。

【0126】

この構造をRESURFの一種とする文献もあるが、横方向電界によって空乏化を促進することによって高耐圧を得るという点で、超接合構造と同じである。従って、ここでは、図9に示す構造も超接合構造に含める。この構造では、p型領域26内で横方向電界が緩和されるので、前記(1)式の条件は、p型領域26の幅に応じて緩和される。しかし、この構造を作製するのは、図8の構造を作製するよりも難しいのは明らかである。

【0127】

特に、SiCの場合、不純物の拡散係数が極めて小さいので、Siのようにトレンチ形成後に拡散法により不純物を導入するのは、現実的でない。従って、エピタキシャル再成長またはイオン注入を行うことによって、p型領域26を形成することになる。しかし、トレンチのアスペクト比が高い場合には、いずれの方法でも困難である。

【0128】

一方、上述した通り、超接合構造のメリットを享受するためには、高耐圧設計で、繰り返しピッチを小さくする必要があるので、トレンチのアスペクト比は、相当に高くなってしまふ。従って、SiCとSiO₂の組合せを用いる場合には、図9に示す超接合構造は現実的ではない。例えば、図3-1または図4-1に示すような本発明構造によるのが合理的である。

【0129】

本発明によれば、電荷バランスを厳重に維持する必要がなく、また、横方向電界によってn型領域が完全に空乏化する必要がないので、絶縁物が埋め込まれるトレンチのピッチあるいはデバイス上面から見たトレンチの配置形状と、n型領域のドナー密度を、独立に選ぶことができる。従って、設計の自由度が高く、デバイスプロセスにおける許容誤差を

10

20

30

40

50

、従来の超接合構造と比べて大きく取ることができる。

【0130】

特に、本発明によれば、縦型トレンチMISFETにおいて、もはや超接合構造として有効には機能しないような構造であっても、ゲート電極下の絶縁物がドレイン側の高ドーブ層まで達していない場合に比べて、ゲート電極下の絶縁物に過大な電界が印加されるのを回避できる。従って、高耐圧を実現できるという利点がある。

【0131】

ここで、超接合構造として有効には機能しないような構造とは、次のような構造のことである。すなわち、トレンチに埋め込まれた絶縁物と半導体の界面のうち、半導体側に、その界面に垂直に、半導体の絶縁破壊電界の(5/9)倍、または前記(1)式の値の平方根倍のうち、いずれか小さい方に相当する電界を印加したときに、半導体のドレイン領域とボディー領域が、トレンチに埋め込まれた絶縁物および半導体の空乏層によって完全に隔てられることがないような構造である。

【0132】

なお、本発明は、ドリフト層の伝導型がn型であり、トレンチに埋め込まれる絶縁物が正の固定電荷を有する構成に限るものではない。例えば、ドリフト層の伝導型がp型である場合に、トレンチに埋め込まれる絶縁物が負の固定電荷を有していてもよい。

【0133】

また、n型のドリフト層のドナー密度が、所望の耐圧に対して、超接合構造ではない通常構造の1次元モデルから導かれるドナー密度と同等であるならば、ゲート電極の下端に過大な電界が印加されない範囲において、トレンチに埋め込まれる絶縁物が負の固定電荷を有していてもよい。ドリフト層の伝導型がp型である場合も同様であり、トレンチに埋め込まれる絶縁物が正の固定電荷を有していてもよい。

【0134】

実施の形態1.

図3-1は、本発明の実施の形態1にかかるトレンチMOSFETの要部の構成を示す断面図である。図3-1に示すように、(0001)_{Si}面を主面とする高濃度のn型4H-SiCからなる基板31の上に、高濃度のn型のフィールドストップ層47、低濃度のn型のドリフト層32、n型の電流広がり層48、p型のボディー領域33および高濃度のn型のソースコンタクト領域34が、基板31側からこの順で積層されている。

【0135】

ソースコンタクト領域34の表面から、ボディー領域33、電流広がり層48およびドリフト層32を貫通して、フィールドストップ層47に達するトレンチ41が形成されている。トレンチ41の側壁面のうち、ボディー領域33、ソースコンタクト領域34の、ボディー領域近傍部分および電流広がり層48のボディー領域近傍部分には、例えば酸化膜でできたゲート絶縁膜36を介して、ゲート電極37が設けられている。

【0136】

トレンチ41のうち、ゲート電極37より下の部分は、SiO₂を主成分とする埋め込み絶縁物46によって満たされている。また、トレンチ41のうち、ゲート電極37より上の部分と、ソースコンタクト領域34の表面の一部には、層間絶縁膜38が形成されている。ソースコンタクト領域34の残りの表面は、ソース電極39に接している。

【0137】

ソース電極39は、層間絶縁膜38の上を覆い、図示しない隣接するセルのソースコンタクト領域に接している。ソース電極39のうちの一部は、高濃度のp型のボディーコンタクト領域35に接している。ボディーコンタクト領域35は、ボディー領域33に食い込んで形成されている。基板31のもう一方の主面(裏面)には、ドレイン電極40が設けられている。

【0138】

なお、基板31の主面は、(000-1)_C面であってもよい。また、{0001}面から数度、例えば10度以内の角度のオフがついていてもよい。基板31の主面がいずれ

10

20

30

40

50

であっても、MOSFETの各領域を形成する際に致命的な結晶欠陥が生じたり、各領域の表面や側面に不必要に凹凸が生じたり、膜厚やドーピング濃度等の制御性が著しく低下したりしなければ、高耐圧が得られる。

【0139】

また、フィールドストップ層47および電流広がり層48は、なくてもよい。SiC基板31の品質が十分でない場合、フィールドストップ層47を設けると、逆方向電圧印加時に空乏層がドリフト層32の全体に広がっても、その端部での高電界が基板31に印加されるのを防ぐことができる。従って、基板品質の低さに起因して絶縁破壊が起こるのを抑制できるので、好ましい。

【0140】

ドリフト層32は比較的高抵抗であるので、オン状態のときに、ボディー領域33とゲート絶縁膜36の界面のMISチャネル42を流れる電流は、ドリフト層32のうちトレンチ41の付近のみを流れようとする。これは、電流集中によるオン抵抗の増大を招く可能性がある。電流広がり層48を設けると、電流がドリフト層32の広い領域に広がって流れるので、電流集中によるオン抵抗の増大を抑制することができるので、好ましい。

【0141】

また、トレンチ41は、フィールドストップ層47を貫通して基板31に達していてもよい。さらに、図4-1に示すように、トレンチ41が基板31を貫通していてもよい。深いトレンチを形成する場合には、トレンチ底面と側壁面との角部がエッチングの進行が速く、角部が深く掘り下げられた形状となりやすい。ドリフト層32の途中にトレンチ41の底面を形成すると、そのトレンチ底面の形状が特性に影響しやすいが、本実施の形態のように、フィールドストップ層47に達するトレンチとすると、その底面の形状での特性への影響が少なくてもよい。また、トレンチ41の側壁面は、基板31の主面に対して垂直でなくてもよい。特に、トレンチ41の側壁面のうち、ゲート絶縁膜36と接する部分は、基板31の主面に対して、チャネル抵抗が小さくなるような角度を有していてもよい。更に、図3-2のように、ゲート電極37より下のトレンチ41の側壁面をくさび状に傾斜させてもよいし、図4-2のように、トレンチ41の側壁面全体をくさび状に傾斜させてもよい、このように、トレンチ41の底面を狭小とすることにより、深いトレンチであってもゲート絶縁膜36での埋め込みが容易となる。

【0142】

さらに、トレンチ41の側壁面は、平面のみの組合せで構成されていなくてもよい。つまり、トレンチ41の側壁面が曲面だけで構成されていてもよい。あるいは、トレンチ41の側壁面が平面と曲面の組合せで構成されていてもよい。

【0143】

また、ゲート電極37が、ゲート絶縁膜36を介して、電流広がり層48の厚さの全体にわたって設けられていてもよいし、ドリフト層32の一部に沿って設けられていてもよい。ただし、ゲート電極37がドリフト層32の相当に下の方まで設けられていると、オフ時に、その付近のゲート絶縁膜36に過大な電界が印加されるので、好ましくない。

【0144】

また、ソースコンタクト領域34の表面とボディーコンタクト領域35の表面は、いずれの表面にもソース電極39が接していれば、面一になっていなくてもよい。例えば、ボディーコンタクト領域35の表面がソースコンタクト領域34の表面よりも下方にあってもよい。

【0145】

図3-1および図4-1には、図を簡略化するため、トレンチ41が1本だけ示されているが、実際には、図面の左右方向、およびセルの構造と配置によっては奥行き方向に、図3-1または図4-1の構造を多数繰り返した構造となっている。

【0146】

図10と図11は、トレンチMOSFETをソース電極の上方から見たときのトレンチの平面形状を示す図である。図10に示す例は、図3-1または図4-1の奥行き方向に

10

20

30

40

50

向かってトレンチ41の面方位等に変化のない、ストライプセル構造の例である。図11に示す例は、トレンチ41および各セルが六角形状をなす六角形状セル構造の例である。このように、セルがどのような形状であっても、高耐圧を実現できる。

【0147】

実際のトレンチMOSFETにおいては、ゲート電極37は、デバイスの端部でまとめられてデバイス表面に取り出される。ゲート電極37の取り出し方は、従来のSi製のトレンチMOSFETと同じである。

【0148】

また、実際のトレンチMOSFETにおいては、デバイス端部での電界集中を緩和するために、エッジターミネーションが形成される。図12と図13は、エッジターミネーション構造を示す断面図である。図12に示す例は、電界集中を回避するために、デバイスの側端部において、ソースコンタクト領域34からドリフト層32まで(電流広がり層48のポディー領域近傍部分まででもよい)の部分を切り落とし、露出したドリフト層32(または、電流広がり層48)の表面の一部にp型ガードリング領域49を形成し、さらに露出した半導体の表面に保護絶縁膜50を形成した例である。

10

【0149】

図13に示す例は、さらにフィールドストップ層47まで切り落とし、露出した表面に保護絶縁膜50を設けて保護する、いわゆるメサ構造とした例である。このように、エッジターミネーション構造がどのような構造であっても、デバイスの耐圧を著しく低下させたり、デバイス内部に著しい電界集中を生じさせたりするものでないかぎり、高耐圧

20

【0150】

次に、図3-1に示すトレンチMOSFETを作製する方法について説明する。エピタキシャル成長、ポディーコンタクトの形成、電界緩和構造(JTE)の形成、トレンチの形成、埋め込み酸化膜の形成、ゲート酸化膜の形成、ゲート電極の形成を順に行ってデバイスが完成する。以下に、各工程ごとに詳細に説明する。

【0151】

(エピタキシャル成長工程)

例えば、(0001)_{Si} 8度オフ面を主面とするn型の4H-SiC基板、または(000-1)_C 8度オフ面を主面とするn型4H-SiC基板を用意する。8度のオフ角がついた基板を用いる理由は、後述するエピタキシャル成長のために、市販されているSiC基板に8度のオフがつけられているからである。

30

【0152】

近年、4度オフの基板も市販されているので、この基板を用いてエピタキシャル成長が可能であれば、4度オフ基板を用いてもよい。基板の実効ドナー密度は、例えば 10^{18} cm^{-3} 台の中盤である。基板の厚みは、例えば400 μm 前後である。これは、市販されている基板の厚さが400 μm 前後であるからである。

【0153】

エピタキシャル成長を行い、基板の上にn型フィールドストップ層、n型ドリフト層、n型電流広がり層、p型ポディー層およびn⁺型ソースコンタクト層をこの順に成膜する。フィールドストップ層のドナー密度は例えば $0.5 \sim 10 \times 10^{17} \text{ cm}^{-3}$ であり、厚さは例えば約2 μm である。

40

【0154】

ドリフト層のドナー密度は例えば約 $1.6 \times 10^{16} \text{ cm}^{-3}$ であり、厚さは例えば約5.7 μm である。電流広がり層のドナー密度は例えば約 $1 \times 10^{17} \text{ cm}^{-3}$ であり、厚さは例えば約0.4 μm である。ポディー層のアクセプタ密度は例えば $2 \times 10^{17} \text{ cm}^{-3}$ であり、厚さは例えば約1 μm である。

【0155】

ソースコンタクト層のドナー密度は例えば $2 \times 10^{19} \text{ cm}^{-3}$ であり、厚さは例えば約0.3 μm である。{0001} 8度オフ面を主面とする4H-SiC基板に対してエピタ

50

キシャル成長を行うための装置については、市販されているので、詳細な説明を省略する。

【 0 1 5 6 】

なお、上述した各層の膜厚およびドーピング密度は、一例であり、所望の耐圧やその他の特性および許容すべきプロセス誤差によって、適切に設計される。また、いずれの層も、必ずしも均一なドーピング密度である必要はなく、成膜方向に沿ってドーピング密度が変化していてもよい。

【 0 1 5 7 】

また、一例として挙げれば、ストライプセル構造の場合のセルピッチに相当するストライプのピッチは例えば $14\ \mu\text{m}$ であり、トレンチの幅は例えば $2\ \mu\text{m}$ である。このピッチとドリフト層のドナー密度から考察すると、本実施の形態の構造は、超接合構造としては、有効に機能しない。ドリフト層および電流広がり層と、ボディー層とからなる p n 接合の理論耐圧は、例えば $1.1\ \text{kV}$ である。

【 0 1 5 8 】

(ボディーコンタクト形成工程)

上記エピタキシャル成長工程の次に、例えば TEOS と O_2 を原料ガスとするプラズマ CVD を行い、ソースコンタクト層側の全面に例えば約 $2\ \mu\text{m}$ の厚さの SiO_2 を堆積する。そして、フォトリソ工程によって、ボディーコンタクト領域形成用フォトリソマスクパターンを形成する。その後、例えば CHF_3 を反応性ガスとするプラズマエッチングを行い、 SiO_2 のマスクパターンを形成する。

【 0 1 5 9 】

続いて、例えば O_2 プラズマにより、 SiO_2 のエッチング中に発生した堆積物とフォトリソレジストを除去して、イオン注入用 SiO_2 マスクとする。そして、例えば 1200 のウェット雰囲気中で例えば 30 分間の熱酸化を行い、スクリーン酸化膜を形成する。続いて、試料を例えば 500 に加熱し、表面から例えば $0.4\ \mu\text{m}$ までの深さに、平均密度が例えば $1.5 \times 10^{21}\ \text{cm}^{-3}$ のボックスプロファイルとなるように、アルミニウムをイオン注入する。

【 0 1 6 0 】

続いて、バッファフッ酸を用いて、スクリーン酸化膜と SiO_2 マスクを除去する。その後、再びフォトリソレジストを塗布し、これを Ar フロー中で例えば 800 に加熱して炭化することによって、カーボンキャップとする。なお、フォトリソレジストを炭化する代わりに、例えばスパッタによりカーボンを成膜することによって、カーボンキャップを形成してもよい。

【 0 1 6 1 】

この状態で、Ar フロー中で例えば 1800 で 5 分間保持することによって、イオン注入により導入されたアルミニウムを活性化する活性化アニールとする。その後、 O_2 フロー中で例えば 800 で 1 時間保持して、カーボンキャップを除去する。ここまでの工程により、ソースコンタクト層の一部にボディーコンタクト領域が形成される。ソースコンタクト層の残りの部分は、ソースコンタクト領域となる。

【 0 1 6 2 】

(JTE 形成工程)

上記ボディーコンタクト形成工程の次に、プラズマ CVD を行い、ボディーコンタクト領域側の全面に例えば約 $2\ \mu\text{m}$ の厚さの SiO_2 を堆積する。そして、フォトリソによって、ソース・ボディー領域アイソレーション用フォトリソマスクパターンを形成する。その後、例えば CHF_3 を反応性ガスとするプラズマエッチングを行い、 SiO_2 のマスクパターンを形成する。

【 0 1 6 3 】

続いて、例えば O_2 プラズマにより、 SiO_2 のエッチング中に発生した堆積物とフォトリソレジストを除去して、RIE (反応性イオンエッチング) 用 SiO_2 マスクとする。そして、プラズマエッチング (RIE) を行い、ソースコンタクト領域とボディー領域のうち

10

20

30

40

50

の必要な部分を残し、それ以外のソースコンタクト領域、ボディー領域、電流広がり層およびドリフト層の一部を除去する。

【0164】

このときのエッチング深さは例えば2 μm弱であり、エッチングすべき領域の幅が十分に大きいので、これらの領域および層を容易に除去できる。例えば、SF₆とO₂を反応性ガスとするICPプラズマ（誘導結合プラズマ）によって、容易に実現することができる。

【0165】

続いて、上述したボディーコンタクト領域を形成するときと同様にして、エッチングにより除去した領域の一部に、選択的にアルミニウムをイオン注入し、活性化アニールを行う。その際のアルミニウムの注入深さは例えば0.3 μmであり、平均密度は例えば0.9 ~ 1 × 10¹⁷ cm⁻³である。なお、ボディーコンタクト領域を形成するための活性化アニールと、JTEを形成するための活性化アニールを同時に行ってもよい。

【0166】

（トレンチ形成工程）

上記JTE形成工程の次に、プラズマCVDを行い、ボディーコンタクト領域側の全面に例えば約3.7 μmの厚さのSiO₂を堆積する。このような厚いSiO₂を堆積すると、クラックを生じることが多い。しかし、適切な条件で堆積した後、十分にゆっくりと降温することによって、SiO₂のクラックを抑制できる。

【0167】

続いて、フォトリソによって、トレンチ形成用フォトリソマスクパターンを形成する。その後、例えばCHF₃を反応性ガスとするプラズマエッチングを行い、SiO₂のマスクパターンを形成する。続いて、例えばO₂プラズマにより、SiO₂のエッチング中に発生した堆積物とフォトリソマスクを除去して、RIE用SiO₂マスクとする。

【0168】

続いて、例えばSF₆とO₂を反応性ガスとするICPプラズマエッチング（RIE）を行い、フィールドストップ層に達するトレンチを形成する。発明者らが用いている装置では、ICP電力、バイアス電力、SF₆とO₂の流量および反応圧力を調整し、低圧および低流量に設定することによって、SiCのエッチング速度とSiO₂のエッチング速度の比（選択比）が最大で2.3程度になる。

【0169】

従って、この条件でエッチングを行うことによって、深さが例えば8 μm弱のトレンチを形成できるので、フィールドストップ層に達するトレンチを容易に形成できる。なお、他の方法によって、トレンチを形成してもよい。例えば、反応性ガスとして、SF₆の代わりに、Cl₂やHBrを用いてもよいし、CF₄やNF₃などを用いてもよい。これらのガスは、Siプロセスでよく用いられている。

【0170】

また、エッチング装置は、平行平板方式やECR（電子サイクロトロン共鳴）方式の装置でもよい。また、マスク材料は、用いる反応性ガスに対して選択比の大きい材料であればよい。例えば、SF₆やCF₄を反応性ガスとして用いる場合には、ITOなどを用いることができる。

【0171】

続いて、SiO₂マスクを残したまま、例えば約1150 °Cのドライ雰囲気中で熱酸化を行い、トレンチ側壁で例えば約40 nmの厚さの犠牲酸化膜を形成する。そして、バッファ酸を用いて、犠牲酸化膜とSiO₂マスクを除去する。その際、SiO₂マスクが完全に除去されずに残っていてもよい。この酸化膜の形成と除去を行うことによって、RIEの際にトレンチ側壁に生じたダメージを除去することができる。

【0172】

（埋め込み酸化膜形成工程）

上記トレンチ形成工程の次に、トレンチにSiO₂またはSiO₂を主成分とする絶縁物

10

20

30

40

50

を埋め込む。その方法として、以下の2種類の方法について説明するが、必ずしもこれらの方法に限らない。

【0173】

トレンチに絶縁物を埋め込む第1の方法について説明する。まず、主面とトレンチ側壁に SiO_2 または SiO_2 を主成分とする絶縁物を薄く形成する。この薄い絶縁物は、トレンチに埋め込まれる絶縁物(図3-1の埋め込み絶縁物46)の一部となるので、その常用絶縁破壊電界が、半導体の絶縁破壊電界よりも高くなるように形成する必要がある。

【0174】

また、主面上に形成される絶縁物(以下、便宜上、 SiO_2 とする)は、後の工程でポリシリコンをエッチバックする際のエッチストップになるので、選択比に見合う厚さを有する必要がある。また、絶縁物中に負の固定電荷を生じると、ゲート電極の下端付近の絶縁物に過大な電界が印加されて、好ましくないため、絶縁物中になるべく負の固定電荷を生じないようにする必要がある。

10

【0175】

そのような薄い絶縁物を形成するには、トレンチ形成工程での SiO_2 マスクを完全にエッチングし尽くさずに残しておき、例えば1150のドライ雰囲気中で再び熱酸化すればよい。トレンチ側壁面に例えば40nmの厚さの熱酸化膜が形成される。なお、必ずしもこの通りである必要はない。例えば、TEOSと O_2 を原料ガスとするプラズマCVDを行って、適切な膜厚の SiO_2 を堆積し、これを例えば1300の10% N_2 希釈 N_2O で適度な時間アニールするなどしてもよい。

20

【0176】

続いて、 Si プロセスでよく行われているように、例えばLPCVDにより、薄い SiO_2 上に高濃度のリンを含むポリシリコンを堆積する。その際、このポリシリコンの、トレンチ側壁面における膜厚が、トレンチ幅の50~70%程度になるようにする。ポリシリコンの最適な膜厚は、ポリシリコンの稠密度に依存する。このポリシリコンには、リンの他に、ホウ素を含ませてもよい。

【0177】

続いて、 Si プロセスでよく行われているように、例えば Cl_2 や HBr を反応性ガスに用いたプラズマエッチングにより、ポリシリコンの異方性エッチングを行う。その際、後続の熱酸化により生成される酸化膜の上端がボディ領域の下端よりも下になるように、ポリシリコンをエッチバックする。ただし、後続の熱酸化後の酸化膜の上端があまり下方に位置すると、デバイスのオフ時に、酸化膜に過大な電界が印加されることになるため、好ましくない。

30

【0178】

ポリシリコンと SiO_2 の選択比に比べて、トレンチ底面に予め形成された SiO_2 膜が薄すぎると、トレンチ底面の SiO_2 を突き抜けて、 SiC のフィールドストップ層や基板がエッチングされてしまう。(0001) $_{\text{Si}}$ 面を用いる場合、この面の熱酸化速度は、他の面よりも格段に小さい。そのため、熱酸化により SiO_2 を形成すると、上述したように、トレンチ底の薄い SiO_2 膜を突き抜けてしまう事態が、特に起こりやすい。

【0179】

40

しかし、フィールドストップ層内や基板内で、多少トレンチの形状が変化しても、少なくともエッチングされた SiC に絶縁物が埋め込まれるかぎり、耐圧に影響はない。ただし、ソースコンタクト領域やボディコンタクト領域があまりエッチングされないように、注意する必要がある。

【0180】

続いて、残ったポリシリコンをドライ雰囲気中で熱酸化する。それによって、トレンチが、酸化膜からなる埋め込み絶縁物で埋め込まれる。ドライ雰囲気中で熱酸化を行うことによって、熱酸化膜が酸素欠乏気味となり、酸化膜中に正の固定電荷が発生する。ウェット雰囲気中で熱酸化を行うと、熱酸化膜中に水酸基が取り込まれ、酸化膜中に負の固定電荷が発生するため、好ましくない。

50

【0181】

熱酸化前のポリシリコンには高濃度のリンが含まれているので、熱酸化によって軟化温度の低い、いわゆるPSG膜（ホウ素を含有する場合は、BPSG膜）となる。元のポリシリコンがホウ素を含有している場合は、BPSG膜となる。従って、高温、例えば1000でアニールすると、リフロー効果により、SiCがエッチングされてできた、トレンチ底部の空隙が埋められる。

【0182】

なお、ポリシリコンの熱酸化とアニールが同時に起こっていてもよい。また、軟化温度が低いため、より低温まで熱応力が緩和され続けるので、デバイスが完成した際に、トレンチに埋め込まれた絶縁物の残留応力が小さくなる。これは、SiのDRAM（ダイナミックランダムアクセスメモリ）向けのトレンチ埋め込み技術においてよく知られている通りである。

10

【0183】

さらに、ポリシリコンの熱酸化後、トレンチに埋め込まれたSiO₂の上にSiNを堆積してもよい。例えばLPCVDやプラズマCVDによりSiNを堆積すると、トレンチの側壁よりも底部（ここでは、トレンチに埋め込まれたSiO₂の上端）に厚く堆積する。従って、SiNの堆積後に熱リン酸に浸すことによって、トレンチの側壁に堆積したSiNを除去し、トレンチ内のSiO₂の上のみSiNを残すことができる。

【0184】

トレンチに絶縁物を埋め込む第2の方法について説明する。第2の方法では、例えばLPCVDやプラズマCVDを行って、トレンチ側壁面にPSG膜またはBPSG膜を直接堆積する。あるいは、例えばTEOSとO₂を原料ガスとするLPCVDやプラズマCVDを行って、SiO₂を堆積し、その後リンとホウ素をドライブインするようにしてもよい。

20

【0185】

しかし、これらの方法で酸化膜を一度に堆積すると、トレンチ内部に空隙が残ることがある。そこで、酸化膜をある程度の厚さに堆積したら、高温（例えば1000）でアニールしてリフローさせる。このようにして、トレンチ底部付近に空隙が残らないようにしながら、酸化膜の堆積とリフローを繰り返して、トレンチ底部から順次、空隙のない埋め込み酸化膜を形成する。

30

【0186】

この方法によりトレンチ全体に空隙のない埋め込み酸化膜を形成すると、酸化膜の表面の凹凸が激しくなることがある。凹凸が激しい場合には、例えばSiC主面をエッチストップとした研磨を行って、表面を平坦化する。その際、研磨剤として、例えばシリカを用いると、堆積した酸化膜は、シリカより軟弱であるので、削られる。

【0187】

しかし、SiCは、シリカよりはるかに硬いので、ほとんど削られない。ただし、研磨により表面の温度が上昇すると、SiCの表面が酸化されて削られてしまうので、温度があまり上昇しないようにする必要がある。なお、酸化膜の表面が十分に平坦である場合には、平坦化するための研磨を行う必要はない。

40

【0188】

最後に、トレンチ内のSiO₂を所定の深さまでエッチバックして、トレンチ内の埋め込み絶縁物を完成させる。エッチバックを行う際には、例えばCHF₃を反応性ガスとして、プラズマエッチングを行えばよい。SiO₂とSiCの選択比が40以上となる条件があるので、そのような条件でプラズマエッチングを行う場合には、主面にSiCが露出していても差し支えない。

【0189】

ただし、SiCの表面では、CHF₃が重合膜を形成する場合がある。その場合には、O₂プラズマによりその重合膜を除去する必要がある。なお、この後に、上述した第1の方法と同様に、トレンチに埋め込まれたSiO₂の上にSiNを堆積してもよい。

50

【0190】

(ゲート酸化膜形成工程)

上記埋め込み酸化膜形成工程の次に、例えばTEOSとO₂を原料ガスとするプラズマCVDを行い、トレンチの側壁面に、例えば約100nmの厚さのSiO₂膜を形成する。続いて、例えば1300の10%N₂希釈N₂Oで例えば1時間のアニールを行い、トレンチ側壁面のSiO₂膜をゲート酸化膜とする。

【0191】

なお、別の方法によりゲート酸化膜を形成してもよい。例えば、単に熱酸化を行うことだけによって、ゲート絶縁膜を形成してもよい。また、上記方法とは異なる方法でSiO₂を堆積してから上記方法と同じ方法でアニールを行ってもよいし、SiO₂を堆積してから上記方法と異なる方法でアニールを行ってもよい。

10

【0192】

ただし、所定のゲート耐圧が得られ、チャネル移動度が高くなるように、ゲート絶縁膜を形成するべきである。このゲート酸化膜形成工程では、ゲート酸化膜と一緒にエッジターミネーションの保護絶縁膜が形成される。

【0193】

上述した1300でのアニールは、ゲート絶縁膜だけでなく、トレンチに埋め込まれたSiO₂、すなわち埋め込み絶縁物や、ゲート酸化膜の堆積前に主面上に残っていたSiO₂についても、耐圧が向上し、界面特性が向上するので、好ましい。また、トレンチに埋め込まれたSiO₂の上にSiNがある場合には、トレンチに埋め込まれたSiO₂からリンやホウ素がゲート酸化膜に拡散するのを遅らせる効果があるので、好ましい。

20

【0194】

(ゲート電極形成工程～デバイスの完成)

これ以降の工程は、SiCに対するコンタクトがNiであることと、例えば1000程度の高温アニールを行うことを除いて、SiのトレンチMOSFETの作製プロセスとほとんど同じである。上記ゲート酸化膜形成工程の次に、高濃度のリンを含むポリシリコンを堆積してトレンチを埋める。

【0195】

そして、そのポリシリコンを所定の深さまでエッチバックして、ゲート電極とする。その後、例えばSiO₂の層間絶縁膜を堆積し、層間絶縁膜と、ここまでの工程で主面上に残っているSiO₂等をエッチングして、ソースコンタクトホールを形成する。その際、ソースコンタクトホールに、ソースコンタクト領域とボディコンタクト領域の両方を露出させる。

30

【0196】

続いて、スパッタにより層間絶縁膜上にNiを成膜し、ウェット法またはドライエッチングにより、コンタクトホールよりも広めにNiをパターニングする。あるいは、ソースコンタクトホールを形成する際に用いたフォトレジストを残しておき、その状態でスパッタを行ってNiを成膜し、フォトレジストとともに不要なNiを除去する、いわゆるリフトオフ法を行ってもよい。

【0197】

ソース電極となるNiのパターンを形成した後、基板裏面のSiO₂を除去し、スパッタにより基板裏面にNiを成膜する。その後、例えば1000程度でコンタクトアニールを行う。最後に、ゲートパッドにコンタクトホールを形成し、スパッタによりソース電極側の表面にAlを成膜し、これをパターニングして、デバイスを完成させる。

40

【0198】

(デバイスの評価)

次に、(0001)_{Si}8度オフ面を主面とするn型の4H-SiC基板と、(000-1)_C8度オフ面を主面とするn型4H-SiC基板を用いて、上述した種々の作製方法により作製したトレンチMOSFETの評価を行った結果について説明する。いずれの基板およびプロセスによっても、作製されたデバイスは、良好なMOSFETのオン特性を

50

示した。

【0199】

デバイスのオン抵抗は、 $7 \text{ m}\Omega/\text{cm}^2$ 程度であった。また、いずれの基板を用いても、大多数のプロセスにおいて、オフ時の耐圧の平均値は 1050 V 程度であった。また、オフ時の耐圧は、正の温度係数を示した。これより、ボディ領域と電流広がり層の界面で、ほぼ一様にアバランシェ破壊が起こっていると考えられる。

【0200】

ただし、上述した埋め込み酸化膜を形成する第1の方法において、ポリシリコンをウェット雰囲気酸化したデバイスについては、以下のような好ましくない結果が得られた。オフ時の耐圧については、 1000 V を超える耐圧を示すデバイスもあったが、総じて耐圧が低く、耐圧のばらつきも大きかった。また、 0 V から漸次、印加電圧を増加させていくと、途中から急激にリーク電流が増加し、絶縁破壊に至るデバイスが多かった。

10

【0201】

このようなデバイスでは、リーク電流が増加し始めた時点で印加電圧を一定に保つても、時間とともにリーク電流が増加し、絶縁破壊に至るものが多かった。このような経時変化のような現象は、 SiO_2 のようなアモルファス状物質によく見られる現象である。さらに、測定温度が上がると、耐圧が低下する傾向が見られた。

【0202】

SiC の絶縁破壊電界は、温度の上昇とともに増加するが、 SiO_2 の常用絶縁破壊電界は、温度の上昇とともに低下することが知られている。以上のことより、絶縁破壊が、トレンチに埋め込まれた酸化膜で起こっていることが原因で、耐圧が低いと考えられる。また、酸化膜中の負の固定電荷密度がばらついていることが原因で、耐圧がばらついていると考えられる。このように、トレンチに埋め込まれた絶縁物が、大きな負の固定電荷を有しているのは、好ましくない。

20

【0203】

比較のため、トレンチを深く形成しないで、ゲート電極の直ぐ下までの深さにした構造のデバイスも作製した。この比較用のデバイスでは、 TEOS と O_2 を原料ガスとするプラズマCVDにより、ゲート酸化膜を堆積したので、トレンチの側壁面と底面にほぼ同じ厚さの酸化膜が形成されている。このようなデバイスでは、耐圧が $600 \sim 800 \text{ V}$ 程度以下しかなく、耐圧のばらつきも大きかった。

30

【0204】

また、比較用のデバイスの中には、破壊耐圧付近の電圧を長時間印加し続けると、次第にリーク電流が増加して、ついには絶縁破壊するものがあった。このようなデバイスでは、その構造上、トレンチ底付近の酸化膜に電界が集中しやすいことと、その酸化膜の比誘電率が SiC よりも小さいために、 SiC 中よりも大きな電界が酸化膜に印加されることが原因で、絶縁破壊すると考えられる。従って、本実施の形態のように、フィールドストップ層まで達するトレンチが形成され、そのトレンチの、ゲート電極の下の部分に絶縁物が埋め込まれた構造とすることが、好ましい。

【0205】

実施の形態1によれば、トレンチ41がドレイン側の高ドープ層であるフィールドストップ層47に達しているので、電磁気学的法則上、半導体とトレンチ41内の埋め込み絶縁物46には、比誘電率の大小に関係なく、概ね等しい電界が印加される。そのため、半導体の絶縁破壊電界比誘電率積が、絶縁物の常用絶縁破壊電界比誘電率積よりも大きくても、絶縁物の常用絶縁破壊電界が、半導体の絶縁破壊電界と同等かそれよりも大きいので、絶縁物の方が先に絶縁破壊してゲートとドレイン間の短絡を起こすことがなく、高耐圧を実現できる。

40

【0206】

実施の形態2.

図14は、本発明の実施の形態2にかかるトレンチMOSFETの要部の構成を示す断面図である。図14の正面断面図1400に示すように、実施の形態2は、トレンチ41

50

を、フィールドストップ層 47 を貫通して基板 31 のより深い部分に達するように形成したものである。

【0207】

また、図 14 の側面断面図 1410 に示すように、実施の形態 2 では、基板 31 の裏面が部分的に削り込まれており（図示されていない）、それによってオン抵抗の低減が図られている。さらに、その削り込まれた基板裏面の一部分から、トレンチ 41 に平行でないバックトレンチ 51 が形成されている。

【0208】

そのバックトレンチ 51 がトレンチ 41 と交差することによって、トレンチ 41 の底面に開口部が設けられている。その開口部を通じて、トレンチ 41 の内壁面がバックトレンチ 51 の内壁面と一続きになり、トレンチ 41 の内壁面がバックトレンチ 51 の内壁面を介して基板 31 の裏面まで接続されている。

【0209】

バックトレンチ 51 内には、絶縁物 56 が埋め込まれている。このような構成にすることによって、トレンチ 41 およびバックトレンチ 51 内に絶縁物 56 を埋め込む工程を簡略化できる。なお、図 14 に示すようにトレンチ 41 とバックトレンチ 51 が概ね直交していてもよいし、トレンチ 41 とバックトレンチ 51 が交差するようになっていれば、直交しなくてもよい。その他の構成は、実施の形態 1 と同様であるので、実施の形態 1 と同様の構成については、同一の符号を付して説明を省略する。

【0210】

次に、図 14 に示すトレンチ MOSFET を作製する方法について説明する。エピタキシャル成長、ボディーコンタクトの形成、裏面薄膜化およびバックトレンチの形成、電界緩和構造（JTE）の形成、トレンチの形成、埋め込み酸化膜の形成、ゲート酸化膜の形成、ゲート電極の形成を順に行ってデバイスが完成する。以下に、各工程ごとに詳細に説明する。

【0211】

（エピタキシャル成長工程およびボディーコンタクト形成工程）

エピタキシャル成長工程とボディーコンタクト形成工程を順次行う。両工程は、いずれも実施の形態 1 と同様である。従って、説明が重複するので、省略する。ただし、実施の形態 2 では、例えば、 $(0001)_{Si}$ 8 度オフ面を主面とする n 型の 4H-SiC 基板を用いる。

【0212】

（裏面薄膜化・バックトレンチ形成）

上記ボディーコンタクト形成工程の次に、基板裏面に例えば $4\ \mu\text{m}$ の Al を堆積し、主面からトレンチ 41 が形成される部分の付近のみをエッチングして、SiC をエッチングするためのマスクとする。次に、例えば SF_6 と O_2 を反応性ガスとする高密度 ICP プラズマにより、SiC をエッチングする。この、Al 堆積と SiC エッチング処理を繰り返し行う。その際のマスク合わせの精度は、主面側に対する精度のように厳しくはない。

【0213】

高密度プラズマを用いることによって、SiC のエッチング速度が例えば $18\ \mu\text{m}/\text{分}$ 以上になるが、Al との選択比が 15 以上と高いので、1 回の Al の堆積とエッチングによって、例えば約 $60\ \mu\text{m}$ の SiC をエッチングすることができる。従って、この処理を例えば 7 ~ 8 回繰り返して、主面からトレンチ 41 が形成される部分の付近における SiC の残りの厚さを例えば約 $50\ \mu\text{m}$ にする。

【0214】

なお、別方法で基板裏面を薄膜化してもよい。例えば Al の代わりに、ITO のような選択比の高い材料を基板裏面に成膜してもよい。また、プラズマエッチング方法に代えて、FIB（集束イオンビーム）やサンドブラストのようなエッチング方法を用いてよい。あるいは、基板裏面が概ね $(000-1)_c$ 面である場合には、Al や Ni をマスクとした溶融 KOH や溶融 NaOH を用いたウェットエッチング方法でもよい。

10

20

30

40

50

【0215】

基板裏面を薄膜化した後、バックトレレンチ51を形成するためにパターンニングしたA1をマスクとして、上述した裏面薄膜化処理と同様のエッチングを行い、幅が例えば約20 μm であり、深さが例えば約30 μm であるバックトレレンチ51を形成する。バックトレレンチ51は、主面側に形成されるトレレンチ41のように微細でなくてもよい。また、バックトレレンチ51が主面側のトレレンチ41と平行でなければ、主面側のトレレンチ41の底部に開口部を設けることができるので、バックトレレンチ51の厳密な方位合わせは不要である。

【0216】

(JTE形成工程)

JTE形成工程は、実施の形態1と同様であるので、説明を省略する。

10

【0217】

(トレレンチ形成工程)

上記JTE形成工程の次に、主面からトレレンチ41を形成するが、トレレンチ41をバックトレレンチ51に到達させるため、20 μm 程度の深さにエッチングする必要があり、実施の形態1よりも高い選択比を有するエッチング技術が必要である。反応性ガスとしてSF₆等のフッ素を含むガスを用いると、SiO₂との選択比を向上させるのは困難である。

【0218】

その理由は、Si-Fの結合力和Si-Oの結合力が、ほぼ同等であるからである。しかし、主面側にITOのような選択比の高い物質を堆積すると、微細加工が困難となる。そこで、Siとの結合力がOよりも相当に弱い物質、例えばBr等を用いると、SiO₂との選択比を向上させることができると考えられる。従って、ここでは、HBrとO₂を反応性ガスとするICPプラズマを用い、スパッタ作用が少ない条件でエッチングを行う。

20

【0219】

この条件でエッチングを行うと、10程度の選択比が得られる。多結晶SiCに関して、DiGaoraらによって同様の手法が報告されている(Applied Physics Letters、2003年3月17日、第82巻、第11号、p.1742-1744)。トレレンチ形成工程におけるその他の処理等については、実施の形態1と同様であるので、説明を省略する。

30

【0220】

(埋め込み酸化膜形成工程)

上記トレレンチ形成工程の次に、以下のようにして、主面、トレレンチ41の側壁および底面(バックトレレンチ51に接したことでSiCが存在しない部分を除く)、並びにバックトレレンチ51の側壁および底面(図14の側面断面図1410では、バックトレレンチ51の上面になる)に、SiO₂を形成する。

【0221】

まず、例えば1150のドライ雰囲気中で熱酸化を行う。それによって、基板裏面が(000-1)_c面であり、熱酸化速度が大きいので、基板裏面に所定の厚さ、例えば40nmの厚さのSiO₂が形成される。主面とトレレンチ41の底面は(0001)_{si}面であるので、主面とトレレンチ41の底面では酸化がほとんど進行しない。

40

【0222】

トレレンチ41の底面には、例えば4nm程度の厚さのSiO₂が形成される。主面については、トレレンチ形成工程でのSiO₂マスクを完全にエッチングし尽くさずに残すことによって、主面には、トレレンチ41の底面よりも厚いSiO₂が存在する。トレレンチ41の側面には、(0001)_{si}面と(000-1)_c面の中間的な膜厚のSiO₂が存在する。

【0223】

続いて、主面側全面を吸引しながら、基板裏面から溶剤に溶かしたBPSGを滴下する。このようなBPSGは、市販されている。主面、並びにトレレンチ41およびバックトレ

50

ンチ51の側壁および底面には、 SiO_2 が存在するので、BPSGは、この SiO_2 に沿うように、基板裏面から主面に向かって、トレンチ41とバックトレンチ51を埋めていく。

【0224】

その溶媒中のBPSGの濃度を次第に増加させると、トレンチ41とバックトレンチ51には、次第に高濃度のBPSGが埋められる。その際、BPSGの濃度を漸次増加させてもよいし、段階的に増加させてもよい。ただし、薄膜化した基板裏面に溜まっているBPSGの粘度が急激に増大すると、BPSGがトレンチ41およびバックトレンチ51に入らずに、BPSGの流れが止まったり、BPSGが途切れたりすることがあるので、注意を要する。

10

【0225】

一方、溶媒中のBPSGの濃度が低すぎると、後にベーキングを行う際にクラックが生じたり、所定の絶縁破壊電界が得られないという不都合を生じるおそれがある。従って、あまり低濃度のBPSGで封止するのは、好ましくない。

【0226】

続いて、主面の吸引を止め、スピコーティングと同様の手法により、主面に回りこんだBPSGを均一化させる。このとき、好ましくは基板裏面から吸引するとよいが、その際にBPSGを逆吸引しないように注意する必要がある。その後、BPSGをベーキングして、固化させる。

20

【0227】

続いて、例えばバッファフッ酸を用いて、基板裏面に溜まっているBPSGを除去する。さらに、 CHF_3 プラズマによりエッチングし、 O_2 プラズマによりクリーニングしてもよい。続いて、実施の形態1と同様にして、主面から SiO_2 を所定の深さまでエッチバックして、トレンチ41に埋め込まれた埋め込み絶縁物46と、バックトレンチ51に埋め込まれた絶縁物56を完成させる。なお、トレンチ41内の埋め込み絶縁物46の上に SiN を堆積してもよい。

【0228】

(ゲート酸化膜形成工程～デバイスの完成)

これ以降、ゲート酸化膜の形成からデバイスの完成に至る工程は、実施の形態1と同様であるので、説明を省略する。

30

【0229】

(デバイスの評価)

次に、 $(0001)_{\text{Si}}$ 8度オフ面を主面とするn型の4H-SiC基板を用いて、上述した実施の形態2の作製方法により作製したトレンチMOSFETの評価を行った結果について説明する。作製されたデバイスは、良好なMOSFETのオン特性を示した。デバイスのオン抵抗は、 $5\text{ m}\Omega/\text{cm}^2$ 程度であり、実施の形態1のデバイスの70%程度であった。これは、基板を薄膜化したために、基板の抵抗が減ったからであると考えられる。

【0230】

オフ時の耐圧の平均値は1050V程度であり、実施の形態1とほぼ同じであった。ただし、トレンチ41に埋め込まれたBPSGの溶媒中の濃度が低すぎた場合に、オフ時の耐圧の平均値が300V以下になるバッチがあった。溶媒中のBPSGの濃度が低すぎると、常用絶縁破壊電界だけでなく、瞬間的な絶縁破壊電界も著しく低下するためと考えられる。

40

【0231】

実施の形態2によれば、実施の形態1と同様に、ゲートとドレイン間の短絡が起こるのを抑制して、高耐圧を実現できるという効果が得られる。また、基板裏面の薄膜化により、基板裏面のうち、電流が流れる部分が薄くなっているため、オン抵抗を低減できる。一方、電流が流れないデバイス外側の領域には、基板31が厚いまま残っているため、デバイスの機械的強度を維持できる。さらに、トレンチ41の内壁面がバックトレンチ51の内壁面を介して基板31の裏面まで接続しているため、トレンチ内に絶縁物を容易に埋め

50

込むことができる。

【0232】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。例えば、基板31は、{11-20}面を主面とする4H-SiCもしくは6H-SiC、{01-14}面を主面とする6H-SiC、または{03-38}面を主面とする4H-SiCであってもよい。これらの場合には、埋め込み絶縁物46の常用絶縁破壊電界は1.8MV/cm以上であり、常用絶縁破壊電界比誘電率積は1.8MV/cm以下である。

【0233】

また、基板31は、3C-SiCであってもよい。この場合には、埋め込み絶縁物46の常用絶縁破壊電界は1.5MV/cm以上であり、常用絶縁破壊電界比誘電率積は1.5MV/cm以下である。さらに、本発明は、SiO₂/SiC系に限らず、SiO₂/GaN系や、Low-k(低誘電率材料)/SiC系などにも有効である。

10

【産業上の利用可能性】

【0234】

以上のように、本発明にかかる半導体装置は、SiCデバイスに有用であり、特に、縦型トレンチMOSFETに適している。

【図面の簡単な説明】

【0235】

【図1】半導体と絶縁物が直列に配置された1次元モデルの構成を示す断面図である。

【図2】半導体と絶縁物が並列に配置された1次元モデルの構成を示す断面図である。

20

【図3-1】本発明の実施の形態1にかかるトレンチMOSFETの構成を示す断面図である。

【図3-2】本発明の実施の形態1にかかるトレンチMOSFETの別の構成を示す断面図である。

【図4-1】本発明の実施の形態1にかかるトレンチMOSFETの別の構成を示す断面図である。

【図4-2】本発明の実施の形態1にかかるトレンチMOSFETの別の構成を示す断面図である。

【図5】ドナー密度が一定であるときのドリフト層の電界分布を示す特性図である。

【図6】理想的な絶縁物の電界分布を示す特性図である。

30

【図7】一般的な超接合構造を示す断面図である。

【図8】超接合構造の別の構造を示す断面図である。

【図9】超接合構造の別の構造を示す断面図である。

【図10】トレンチMOSFETを上方から見たときのトレンチの形状の一例を示す平面図である。

【図11】トレンチMOSFETを上方から見たときのトレンチの形状の別の例を示す平面図である。

【図12】エッジターミネーション構造の一例を示す断面図である。

【図13】エッジターミネーション構造の別の例を示す断面図である。

【図14】本発明の実施の形態2にかかるトレンチMOSFETの構成を示す断面図である。

40

【図15】従来のDMOSFET型の縦型MOSFETの構成を示す断面図である。

【図16】従来のトレンチMOSFET型の縦型MOSFETの構成を示す断面図である。

。

【図17】従来のトレンチMOSFET型の縦型MOSFETの構成を示す断面図である。

。

【図18】従来のトレンチMOSFET型の縦型MOSFETの構成を示す断面図である。

。

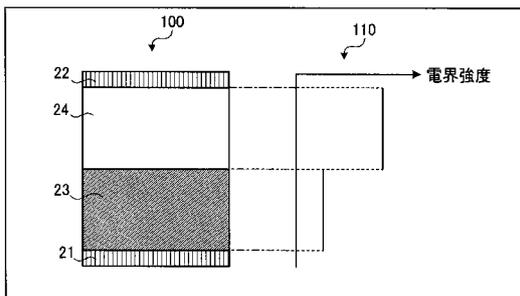
【符号の説明】

【0236】

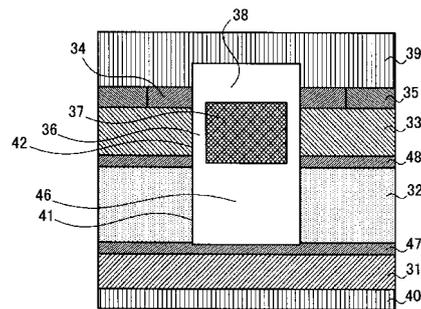
50

- 3 1 基板 (ドレイン領域)
- 3 3 ボディー領域
- 3 4 ソース領域 (ソースコンタクト領域)
- 3 6 ゲート絶縁膜
- 3 7 ゲート電極
- 4 1 トレンチ
- 4 6 絶縁物
- 4 7 高ドープ層 (フィールドストップ層)

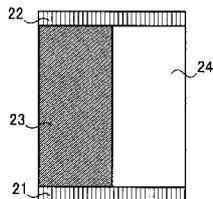
【図 1】



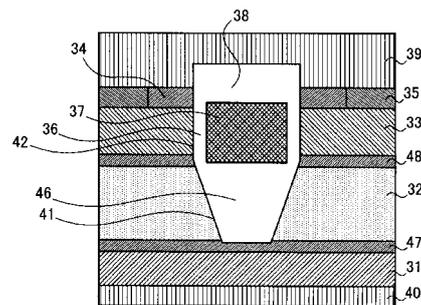
【図 3 - 1】



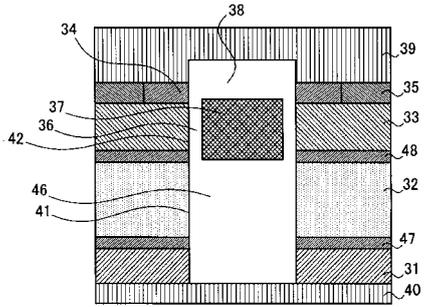
【図 2】



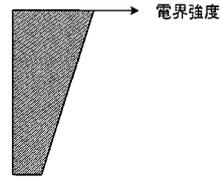
【図 3 - 2】



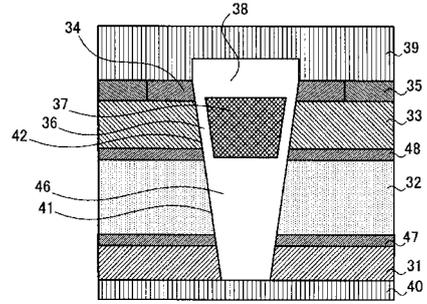
【図4-1】



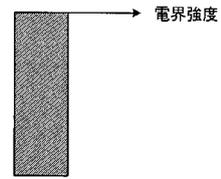
【図5】



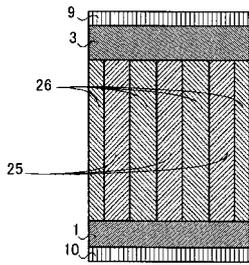
【図4-2】



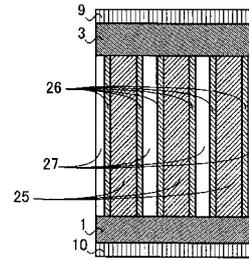
【図6】



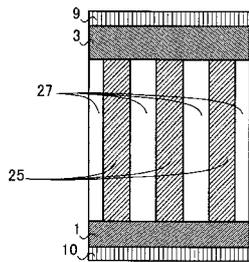
【図7】



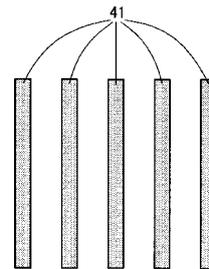
【図9】



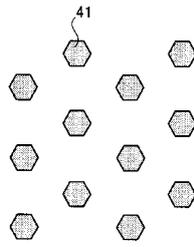
【図8】



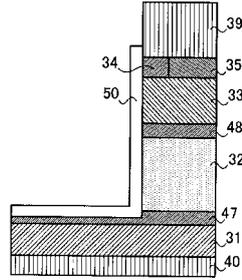
【図10】



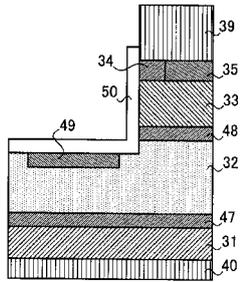
【図11】



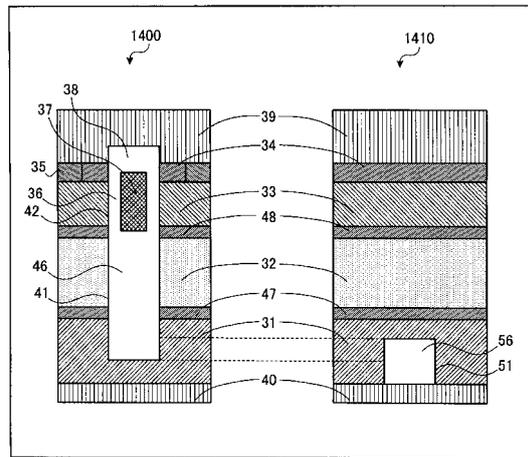
【図13】



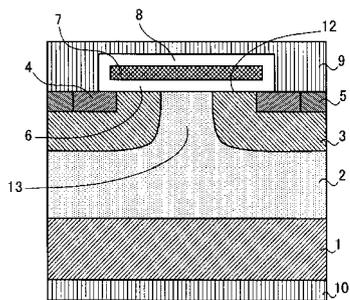
【図12】



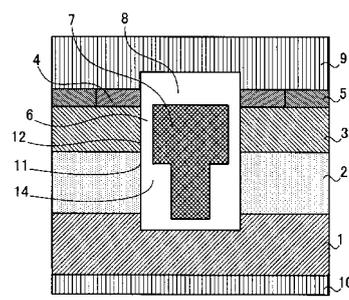
【図14】



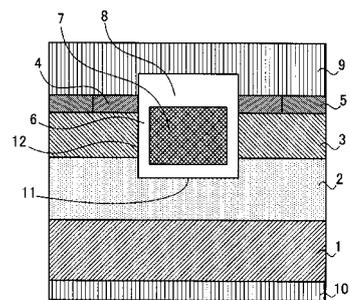
【図15】



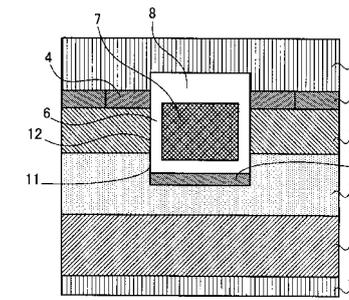
【図17】



【図16】



【図18】



フロントページの続き

- (56)参考文献 特開平08 - 222735 (JP, A)
特開2005 - 340685 (JP, A)
特開平10 - 120497 (JP, A)
特開2000 - 106428 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/78
H01L 21/336