

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-205555

(P2009-205555A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 12/16 (2006.01)</b>	G06F 12/16 340Q	5B018
<b>G11C 16/02 (2006.01)</b>	G11C 17/00 601Q	5B060
<b>G06F 12/06 (2006.01)</b>	G11C 17/00 601E	5B125
	G11C 17/00 611Z	
	G11C 17/00 641	

審査請求 未請求 請求項の数 3 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2008-48799 (P2008-48799)  
 (22) 出願日 平成20年2月28日 (2008.2.28)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 矢野 純二  
 東京都港区芝浦一丁目1番1号 株式会社東芝内  
 (72) 発明者 松崎 秀則  
 東京都港区芝浦一丁目1番1号 株式会社東芝内  
 (72) 発明者 初田 幸輔  
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

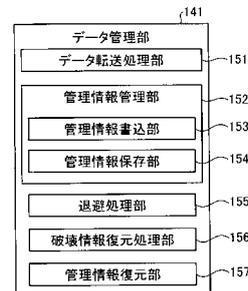
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】多値メモリを使用したNAND型フラッシュメモリを有するメモリシステムで、上位ページに書き込み中に瞬断などが発生した場合に、既に書込まれたデータを破壊から守ることができるメモリシステムを提供する。

【解決手段】揮発性の第1の記憶部と、多値データを記憶可能な複数のメモリセルからなり、複数のページを有するメモリセルが複数配列して構成される不揮発性の第2の記憶部と、第1の記憶部を介してホスト装置と第2の記憶部との間のデータ転送を行うコントローラと、を備え、コントローラは、第2の記憶部にデータを追記的に書き込む前に、データを書込むページと同じメモリセルの下位のページにデータが書込まれている場合に、該下位のページのデータをバックアップする退避処理部155と、下位のページのデータが破壊された場合に、バックアップされたデータを用いて破壊されたデータを復元する破壊情報復元処理部156と、を有する。

【選択図】 図11



**【特許請求の範囲】****【請求項 1】**

揮発性の第 1 の記憶部と、

多値データを記憶可能な複数のメモリセルからなり、複数のページを有するメモリセルが複数配列して構成される不揮発性の第 2 の記憶部と、

前記第 1 の記憶部を介してホスト装置と前記第 2 の記憶部との間のデータ転送を行うとともに、起動時に前記第 2 の記憶部に記憶された前記データの格納位置を含む管理情報を前記第 1 の記憶部に取込み、該取り込んだ管理情報を更新しながら管理情報に基づいて前記第 1 および第 2 の記憶部でのデータ管理を行うコントローラと、

を備えるメモリシステムであって、

10

前記コントローラは、

前記第 2 の記憶部にデータを追記的に書込む前に、前記データを書込むページと同じメモリセルの下位のページにデータが書込まれている場合に、該下位のページのデータをバックアップする退避処理手段と、

前記下位のページのデータが破壊された場合に、前記バックアップされたデータを用いて破壊された前記データを復元する破壊情報復元処理手段と、

を有することを特徴とするメモリシステム。

**【請求項 2】**

前記退避処理手段は、同じ前記メモリセルに対して設定された異なるページ間の関係を示すページ位置情報に基づいて、前記データを書込むページと同じメモリセルの下位のページにデータが書込まれているかを判定することを特徴とする請求項 1 に記載のメモリシステム。

20

**【請求項 3】**

前記退避処理手段は、前記破壊される可能性のある既書込データを前記第 2 の記憶部にバックアップすることを特徴とする請求項 1 または 2 に記載のメモリシステム。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、不揮発性半導体記憶装置を用いて構成されるメモリシステムに関する。

**【背景技術】**

30

**【0002】**

ハードディスク装置を 2 次記憶装置として用いたパーソナルコンピュータにおいては、ハードディスク装置に格納されるデータが何らかの障害によって無効なデータとなってしまうことを防ぐためにバックアップをとる技術が知られている。たとえば、ハードディスク装置中のデータの変更を検出すると、そのデータの変更前のバックアップコピーであるスナップショットをとり、そのデータに対する更新を記録したログをとる。その後、所定の時間ごとにスナップショットをとるとともに、スナップショットをとる前の過去のログを無効にし、新しいログを生成するという処理が繰り返し行われる（たとえば、特許文献 1 参照）。このような処理を行うことで、データが無効になってしまった場合には、スナップショットとログを基にそのデータを復元することができる。

40

**【0003】**

ところで、近年では、不揮発性半導体記憶装置である NAND 型フラッシュメモリの大容量化が進行し、この NAND 型フラッシュメモリを有するメモリシステムを 2 次記憶装置とするパーソナルコンピュータが製品化されている。しかし、このような NAND 型フラッシュメモリに格納されるデータのバックアップに対して、ハードディスク装置に格納されるデータのバックアップの場合と同様に上記特許文献 1 の技術を適用することはできない。それは、NAND 型フラッシュメモリの大容量化には、1 つのメモリセルに 2 ビット以上の複数のデータ（多値データ）を記憶することが可能な多値メモリ技術が使用されているからである。

**【0004】**

50

多値メモリを構成するメモリセルは、チャンネル領域上にゲート絶縁膜、浮遊ゲート電極、ゲート間絶縁膜および制御ゲート電極が順に積層された積層ゲート構造を有する電界効果型トランジスタ構造を有し、浮遊ゲート電極に蓄積される電子の数に応じて、複数の閾値電圧を設定可能な構成を有している。そして、この複数の閾値電圧によって、多値記憶を可能とするために、1つのデータに対応する閾値電圧の分布を非常に狭く制御する必要がある。

【0005】

たとえば、4値を記憶することができる多値メモリでは、1つのメモリセルに下位ページと上位ページを設け、それぞれのページに1ビットのデータを書込むことによって、2ビット(4値)を記憶するものがある。このような多値メモリのデータ書込方法は、第1のメモリセルの下位ページにデータを書込んだ後、隣接メモリセル(第2のメモリセル)の下位ページにデータを書込む。そして、この隣接メモリセルへの書込み後に、第1のメモリセルの上位ページにデータを書込んでいる(たとえば、特許文献2参照)。

10

【0006】

しかし、このような多値メモリでは、先に書込んだメモリセルの閾値電圧が、このメモリセルと隣接し、後に書込まれるメモリセルの閾値電圧によって変動してしまう。このため、多値メモリでは、あるメモリセルの上位ページの書込み中に、たとえば電源の異常遮断など(以下、瞬断という)によって書込みが中断されると、先に書込んだ同じメモリセルの下位ページのデータも破壊される下位ページデータ破壊が生じる可能性がある。

20

【0007】

そのため、NAND型フラッシュメモリを2次記憶装置とするパーソナルコンピュータにおいて、たとえば特許文献1のログをあるメモリセルの上位ページに書込み中に瞬断によって下位ページデータ破壊が生じてしまった場合には、書込み中のデータのほかに、この書込み中のメモリセルの下位ページのデータまで破壊されてしまい、データを復元することができなくなってしまうという問題点があった。つまり、NAND型フラッシュメモリを有するメモリシステムを2次記憶装置としたパーソナルコンピュータに対して特許文献1の技術を用いてバックアップをとる方法では、パーソナルコンピュータの状態を瞬断前の状態に復元するには不十分であるという問題点があった。

【0008】

特に、あるメモリセルトランジスタの上位ページに書込み中に瞬断が発生した後にメモリシステムを次回起動する場合に、従来の方法では、瞬断が発生する前の最新の状態まで復帰させることができず、瞬断が発生した場合のメモリシステムの最新の状態への復元処理については提案されていなかった。

30

【0009】

【特許文献1】米国特許出願公開第2006/0224636号明細書

【特許文献2】特開2004-192789号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、多値メモリを使用したNAND型フラッシュメモリを有するメモリシステムで、あるメモリセルトランジスタの上位ページに書込み中に、瞬断やプログラムエラー(メモリセルの破壊)が発生した場合でも、既にデータが書込まれた上記メモリセルトランジスタの下位ページの内容を復元することができるメモリシステムを提供することを目的とする。

40

【課題を解決するための手段】

【0011】

本発明の一態様によれば、揮発性の第1の記憶部と、多値データを記憶可能な複数のメモリセルからなり、複数のページを有するメモリセルが複数配列して構成される不揮発性の第2の記憶部と、前記第1の記憶部を介してホスト装置と前記第2の記憶部との間のデータ転送を行うとともに、起動時に前記第2の記憶部に記憶された前記データの格納位置

50

を含む管理情報を前記第1の記憶部に取込み、該取り込んだ管理情報を更新しながら管理情報に基づいて前記第1および第2の記憶部でのデータ管理を行うコントローラと、を備えるメモリシステムであって、前記コントローラは、前記第2の記憶部にデータを追記的に書込む前に、前記データを書込むページと同じメモリセルの下位のページにデータが書込まれている場合に、該下位のページのデータをバックアップする退避処理手段と、前記下位のページのデータが破壊された場合に、前記バックアップされたデータを用いて破壊された前記データを復元する破壊情報復元処理手段と、を有することを特徴とするメモリシステムが提供される。

【発明の効果】

【0012】

本発明によれば、多値メモリを使用したNAND型フラッシュメモリを有するメモリシステムで、あるメモリセルトランジスタの上位ページに書き込み中に、瞬断やプログラムエラーが発生した場合でも、既にデータが書込まれた上記メモリセルトランジスタの下位ページの内容を復元することができるという効果を奏する。

【発明を実施するための最良の形態】

【0013】

以下に添付図面を参照して、本発明にかかるメモリシステムの最良な実施の形態を詳細に説明する。なお、この実施の形態により本発明が限定されるものではない。

【0014】

このメモリシステムは、不揮発性半導体記憶装置を含み、たとえば、パーソナルコンピュータなどのホスト装置の2次記憶装置(SSD: Solid State Drive)として使用され、ホスト装置から書込要求が出されたデータを記憶し、またホスト装置から読出要求があったデータを読み出してホスト装置に出力する機能を有する。図1は、本発明の実施の形態にかかるメモリシステムの構成の一例を示すブロック図である。このメモリシステム10は、第1の記憶部としてのDRAM(Dynamic Random Access Memory)11と、第2の記憶部としてのNAND型フラッシュメモリ(以下、NANDメモリという)12と、電源回路13と、コントローラとしてのドライブ制御部14と、を備える。

【0015】

DRAM11は、データ転送用、管理情報記録用または作業領域用の記憶部として使用される。具体的には、データ転送用の記憶部としては、ホスト装置から書込要求があったデータをNANDメモリ12に書込む前に一時的に保存したり、ホスト装置から読出要求があったデータをNANDメモリ12から読み出して一時的に保存したりするために使用される。また、管理情報記録用の記憶部としては、DRAM11およびNANDメモリ12に記憶されるデータの格納位置を管理するための管理情報を格納するために使用される。さらに、作業領域用の記憶部としては、管理情報を復元する際に用いるログの展開時などに使用される。

【0016】

NANDメモリ12は、データ保存用の記憶部として使用される。具体的には、ホスト装置側によって指定されたデータを記憶したり、DRAM11で管理される管理情報をバックアップ用に記憶したり、メモリシステム10の管理プログラム(ファームウェア)を保存したりする。この図1では、NANDメモリ12が4つのチャンネル対応記憶領域120A~120Dによって構成されている場合が示されている。1つのチャンネル対応記憶領域120A~120Dは、所定のサイズの記憶容量を有する8個のチップ122が1つにまとめられたパッケージ121を2つ含んでいる。また、各チャンネル対応記憶領域120A~120Dは、ドライブ制御部14とバス15を介して接続されており、各チャンネル対応記憶領域120A~120Dに接続されるバス15がチャンネルを形成している。

【0017】

電源回路13は、外部電源を受け、この外部電源を用いてメモリシステム10の各部に供給するための複数の内部電源を生成する。また、電源回路13は、外部電源の立ち上がりまたは立ち下りを検知して、パワーオンリセット信号を生成する。このパワーオンリセ

10

20

30

40

50

ット信号は、ドライブ制御部14に送られる。

【0018】

ドライブ制御部14は、DRAM11とNANDメモリ12を制御する。詳細は後述するが、たとえば、電源回路13からのパワーオンリセット信号に応じて、管理情報の復元処理や管理情報の保存処理を行う。また、ドライブ制御部14は、ATAインタフェース（図中では、ATA I/Fと表記）を介して、ホスト装置との間でデータを送受信し、RS232Cインタフェース（図中では、RS232C I/Fと表記）を介して、デバッグ用機器との間でデータを送受信する。さらに、ドライブ制御部14は、メモリシステム10の外部に設けられる状態表示用LEDを制御するための制御信号を出力する。

【0019】

ここで、NANDメモリ12の構成について説明する。NANDメモリ12は、データ消去の単位であるブロックを基板上に複数配列して構成される。図2は、NANDメモリに含まれる1個のブロックの構成の一例を示す回路図である。なお、この図2において、紙面上の左右方向をX方向とし、紙面上のX方向に垂直な方向をY方向としている。

【0020】

NANDメモリ12の各ブロックBLKは、X方向に沿って順に配列された $(m+1)$ 個（ $m$ は0以上の整数）のNANDストリングNSを備えている。各NANDストリングNSは、Y方向に隣接するメモリセルトランジスタMT間で拡散領域（ソース領域またはドレイン領域）を共有してY方向に直列に接続された $(n+1)$ 個（ $n$ は0以上の整数）のメモリセルトランジスタMT $0 \sim MTn$ と、この $(n+1)$ 個のメモリセルトランジスタMT $0 \sim MTn$ の列の両端に配置される選択トランジスタST1、ST2と、を有する。

【0021】

各メモリセルトランジスタMT $0 \sim MTn$ は、半導体基板上に形成された積層ゲート構造を有する電界効果型トランジスタから構成される。ここで、積層ゲート構造には、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層（浮遊ゲート電極）と、この電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲート電極と、が含まれる。メモリセルトランジスタMT $0 \sim MTn$ は、浮遊ゲート電極に蓄えられる電子の数に応じて閾値電圧が変化し、この閾値電圧の違いに応じて2ビット以上のデータを記憶することができる多値メモリである。なお、以下に示す実施の形態では、メモリセルトランジスタMTは4値を記憶することができる多値メモリである場合を例に挙げて説明するが、4値よりも大きな値を記憶することができる多値メモリであってもよい。

【0022】

NANDストリングNSを構成するメモリセルトランジスタMT $0 \sim MTn$ の制御ゲート電極には、それぞれワード線WL $0 \sim WLn$ が接続されており、また各NANDストリングNS中のメモリセルトランジスタMT $i$ （ $i=0 \sim n$ ）間は、同一のワード線WL $i$ （ $i=0 \sim n$ ）によって共通接続されている。つまり、ブロックBLK内において同一行にあるメモリセルトランジスタMT $i$ の制御ゲート電極は、同一のワード線WL $i$ に接続される。この同一のワード線WL $i$ に接続される $(m+1)$ 個のメモリセルトランジスタMT $i$ の群は1つのページを形成する単位となる。4値を記憶することができる多値メモリの場合には、同一のワード線WL $i$ に接続されるメモリセルトランジスタMT $i$ の群は、2つのページを形成する。最初に書込みが行われるページを下位ページとし、2回目に書込みが行われるページを上位ページとすると、NANDメモリ12では、このページ単位でデータの書込みと読み出しが行われる。

【0023】

1つのブロックBLK内の $(m+1)$ 個の選択トランジスタST1のドレインにはそれぞれビット線BL $0 \sim BLm$ が接続され、ゲートには選択ゲート線SGDが共通接続されている。また、選択トランジスタST1のソースはメモリセルトランジスタMT0のドレインと接続されている。同様に、1つのブロックBLK内の $(m+1)$ 個の選択トランジスタST2のソースにはソース線SLが共通接続され、ゲートには選択ゲート線SGSが

10

20

30

40

50

共通接続されている。また、選択トランジスタST2のドレインはメモリセルトランジスタMTnのソースと接続されている。

【0024】

なお、図示されていないが、1つのブロックBLK内のビット線BLj (j = 0 ~ m) は、他のブロックBLKのビット線BLjとの間で、選択トランジスタST1のドレインを共通に接続している。つまり、複数のブロックBLK内において同一列にあるNANDストリングNS間は、同一のビット線BLjによって接続される。

【0025】

NANDメモリ12では、上記したように、書込/読出の最小単位が同一のワード線WL<sub>i</sub>に接続されたメモリセルトランジスタMT<sub>i</sub>群内の1つのページであり、消去の最小単位が所定の数のページからなる1つのブロック(以下、物理ブロックともいう)である。また、このブロックが複数集まってプレーンを構成し、プレーンが複数集まって1つのチャンネル対応記憶領域120A~120Dを構成する。そして、このチャンネル対応記憶領域120A~120Dが複数集まって、1つのNANDメモリ12が構成される。以下の例では、チャンネル数が4であり、プレーン数が2であるものとする。

10

【0026】

このメモリシステムにおいては、チャンネル対応記憶領域120A~120Dが複数並列してドライブ制御部14に接続される構成となっているため、複数チャンネルを並行して動作させたり、1チャンネルのみを動作させたりすることが可能である。

【0027】

なお、ドライブ制御部14の設定によって、所定の数の物理ブロックを単位として書込/読出処理を行ったり、消去を行ったりする場合があるが、この場合の所定の数の物理ブロックの集まりを論理ブロックというものとする。

20

【0028】

つぎに、DRAM11とNANDメモリ12の機能構成について説明する。図3は、DRAMとNANDメモリの機能構成を模式的に示す図であり、(a)はDRAMの機能構成を示し、(b)はNANDメモリの機能構成を示している。

【0029】

図3(a)に示されるように、DRAM11は、ホスト装置から書込要求のあったデータが記憶されるライトキャッシュ領域WCと、ホスト装置から読出要求のあったデータが記憶されるリードキャッシュ領域RCと、DRAM11およびNANDメモリ12に記憶されるデータの格納位置を管理するための管理情報が記憶される一時記憶領域111と、管理情報を復元する際に使用される作業領域112と、を有する。

30

【0030】

図3(b)に示されるように、NANDメモリ12は、ホスト装置から書込要求のあったデータが格納されるデータ格納領域125と、DRAM11の一時記憶領域111で管理される管理情報が保存される管理情報保存領域126と、既に下位ページが書込まれたメモリセルトランジスタの上位ページにデータを書込んでいる最中に、異常な電源遮断(瞬断)の発生やプログラムエラー(NANDメモリへの書込み失敗)によって、下位ページが破壊されてしまう下位ページデータ破壊から下位ページに書込まれている内容を保全するために、下位ページの内容がバックアップされる退避領域127と、を有する。また、NANDメモリ12のデータ格納領域125は、データが追記される追記領域128と、データ格納領域125内の追記領域128以外の領域であり、1つのまたは所定の数の物理ブロック単位でデータが一括して書込まれる非追記領域129と、に分けることができる。この例では、追記領域128でのデータの書込単位をページサイズ単位とし、非追記領域129でのデータの書込単位を物理ブロックサイズ単位(たとえば512KB単位)または物理ブロックサイズ単位の整数倍であるものとする。そのため、データ格納領域125では、各ブロックを記憶するための領域を、さらにページサイズ単位の領域に分割して管理するようにしている。なお、プログラムエラーは、メモリセルトランジスタが破壊されてデータ保存ができない場合に生じるものである。

40

50

## 【 0 0 3 1 】

ここで、D R A M 1 1 の一時記憶領域 1 1 1 で管理される管理情報について説明する。図 4 は、メモリシステムで記憶されるデータを管理する層構造の一例を示す図である。なお、ここで、データとは、ホスト装置から書込要求 / 読出要求のあったデータのことをいうものとする。このメモリシステム 1 0 では、キャッシュの役割をする D R A M 1 1 でのデータ管理を行う D R A M 管理層 3 1 と、N A N D メモリ 1 2 での論理的なデータ管理を行う論理 N A N D 管理層 3 2 と、N A N D メモリ 1 2 での物理的なデータ管理や N A N D メモリ 1 2 の延命処理などを行う物理 N A N D 管理層 3 3 の 3 層構造でデータ管理が行われる。

## 【 0 0 3 2 】

D R A M 1 1 のライトキャッシュ領域 W C とリードキャッシュ領域 R C では、ホスト装置のアドレス管理方法によって管理される論理アドレス（以下、L B A (Logical Block Address) という）で指定されたデータが、D R A M 1 1 上の所定の範囲の物理アドレス（以下、D R A M 内物理アドレスという）に記憶される。また、D R A M 管理層 3 1 内のデータは、格納されるデータの L B A と D R A M 内物理アドレスとの対応関係と、ページ中のセクタサイズ単位のデータの有無を示すセクタフラグと、を含むキャッシュ管理情報 4 1 によって管理される。

## 【 0 0 3 3 】

図 5 は、キャッシュ管理情報テーブルの一例を示す図である。ここでは、キャッシュ管理情報 4 1 は、D R A M 1 1 の 1 ページサイズの領域 1 つに対して 1 エントリとし、エントリ数はライトキャッシュ領域 W C とリードキャッシュ領域 R C に収まるページ数以下とする。各エントリには、ページサイズのデータの L B A と、D R A M 内物理アドレスと、このページをセクタサイズで分割した各領域における有効データの位置を示すセクタフラグと、が関連付けられている。

## 【 0 0 3 4 】

N A N D メモリ 1 2 では、D R A M 1 1 からのデータが N A N D メモリ 1 2 上の所定の範囲の物理アドレス（以下、N A N D 内物理アドレスという）に格納される。多値メモリからなる N A N D メモリ 1 2 では、書換可能回数に制約があるため、N A N D メモリ 1 2 を構成する各ブロック間での書換回数が均等化するようにドライブ制御部 1 4 で制御されている。つまり、ドライブ制御部 1 4 は、N A N D メモリ 1 2 内のある N A N D 内物理アドレスに書込まれたデータの更新を行う場合に、そのデータが含まれるブロックのうち更新が必要な部分を反映させたデータを、元のブロックとは異なるブロックに書込み、元のブロックは無効化するようにして、N A N D メモリ 1 2 を構成するブロック間での書換回数が均等化するように制御している。

## 【 0 0 3 5 】

このように、N A N D メモリ 1 2 では、データの書込 / 読出処理と消去処理とでは処理単位が異なるとともに、データの更新処理においては、更新前のデータの位置（ブロック）と更新後のデータの位置（ブロック）とが異なるため、この実施の形態では、N A N D 内物理アドレスのほかに N A N D メモリ 1 2 内で独自に使用される N A N D 内論理アドレス（以下、N A N D 内論理アドレスという）を設けることにする。

## 【 0 0 3 6 】

そこで、論理 N A N D 管理層 3 2 内のデータは、D R A M 1 1 から受け取ったページサイズ単位のデータの L B A と、受け取ったデータを格納する N A N D メモリ 1 2 の論理的なページ位置を示す N A N D 内論理アドレスとの間の関係と、N A N D メモリ 1 2 における消去単位のブロック（以下、物理ブロックとする）とサイズが一致する論理的なブロック（以下、論理ブロックという）のアドレス範囲を示す関係と、を示す論理 N A N D 管理情報 4 2 によって管理される。なお、物理ブロックを複数まとめたものを論理ブロックとしてもよい。また、物理 N A N D 管理層 3 3 でのデータは、N A N D メモリ 1 2 における論理ブロックの N A N D 内論理アドレスと、物理ブロックの N A N D 内物理アドレスとの対応関係を含む N A N D 内論理アドレス - 物理アドレス変換情報（以下、論物変換情報

10

20

30

40

50

という) 43によって管理される。

【0037】

図6は、論理NAND管理情報テーブルの一例を示す図であり、図7は、NAND内論物変換情報テーブルの一例を示す図である。図6に示されるように、論理NAND管理情報42は、論理ページ管理情報42aと論理ブロック管理情報42bとを含む。論理ページ管理情報42aは、1ページサイズの論理的な領域1つに対して1エン트리とし、各エントリには、1ページサイズのデータのLBAと、NAND内論理アドレスと、このページが有効か否かを示すページフラグと、を含む。また、論理ブロック管理情報42bは、NANDメモリ12の1ブロックサイズの論理的な領域に対して設定されるNAND内論理アドレスを含む。さらに、これらの論理ページ管理情報42aと論理ブロック管理情報42bとは、データ格納領域125と退避領域127のそれぞれについて作成され、格納される。また、図7に示されるように、NAND内論物変換情報43は、NANDメモリ12のNAND内物理アドレスとNAND内論理アドレスとが対応付けられている。

10

【0038】

これらの管理情報によって、ホスト装置で使用されるLBAと、NANDメモリ12で使用されるNAND内論理アドレスと、NANDメモリ12で使用されるNAND内物理アドレスとの間を対応付けることができ、ホスト装置と当該メモリシステム10との間のデータのやり取りを行うことが可能となる。

【0039】

なお、以下では、DRAM管理層31で管理される管理情報は、電源オフなどによって消失するので、揮発性テーブルともいい、論理NAND管理層32および物理NAND管理層33で管理される管理情報は、電源オフなどによって消失した際にメモリシステム10の次回起動時に支障を与え、保存しておくことが必要なので、不揮発性テーブルともいう。

20

【0040】

この不揮発性テーブルは、NANDメモリ12に格納されているデータを管理するものであり、この不揮発性テーブルがなければNANDメモリ12に格納されている情報にアクセスできなかつたり、既に記憶した領域内のデータを消してしまつたりするので、不意の電源オフなどに備えて最新の情報に保存しておく必要がある。そのため、この実施の形態では、NANDメモリ12の管理情報保存領域126には、少なくとも不揮発性テーブルを含む管理情報を最新の状態で保存している。そこでつぎに、NANDメモリ12の管理情報保存領域126に保存される管理情報保存情報について説明する。なお、以下では、不揮発性テーブルのみを管理情報保存領域126に保存する場合を例に挙げる。

30

【0041】

図8は、管理情報保存領域に記憶される管理情報保存情報の内容の一例を模式的に示す図である。この管理情報保存情報には、ある時点における不揮発性テーブルの内容であるスナップショット210と、不揮発性テーブルの内容に変化があつた場合に内容を変更した後の不揮発性テーブルとスナップショット210(またはスナップショット210と既に取りられたログ)との差分情報であるログ220と、スナップショット210とこのスナップショット210に関する一番目に取得されたログ220の位置を示すポインタ230と、が格納される。ここで、スナップショット210とは、DRAM11の一時記憶領域111に記憶される管理情報のうち、少なくとも不揮発性テーブルを含む管理情報を所定の時点で保存した情報のことをいう。また、ログ220は、管理情報が変化する処理(たとえば、NANDメモリ12のデータ格納領域125へのデータの書込処理など)の前後で取られ、処理の前に保存するログを前ログ220Aといい、処理の後に保存するログを後ログ220Bという。

40

【0042】

この図8において、スナップショット210、前ログ220A、後ログ220Bおよびポインタ230は、それぞれ異なるブロックに格納される。スナップショット210は、スナップショット格納用ブロックに格納される。スナップショット210には、NAND

50

メモリ 1 2 の管理情報保存領域 1 2 6 内の不揮発性テーブルである論理 N A N D 管理情報 4 2 と N A N D 内論物変換情報 4 3 とが含まれる。一般的に、N A N D メモリ 1 2 の記憶容量が数十 G B 以上であると、データ管理に必要な管理情報の大きさは、物理ブロックの整数倍の大きさが必要となる。そのため、このスナップショット格納用ブロックは、複数個の物理ブロックで構成される論理ブロックに格納される。新しいスナップショット 2 1 0 は、以前に保存されていたスナップショット 2 1 0 とは別のブロックに一括して書込まれる。

#### 【 0 0 4 3 】

前ログ 2 2 0 A と後ログ 2 2 0 B は、それぞれ前ログ格納用ブロックと後ログ格納用ブロックに追記的に格納される。これらの前ログ 2 2 0 A と後ログ 2 2 0 B は、スナップシ  
10  
ョット 2 1 0 の世代が変わっても、それぞれ同じ前ログ格納用ブロックと後ログ格納用ブロックに連続して追記的に書込まれる。また、これらの前ログ格納用ブロックと後ログ格納用ブロックは、それぞれ複数個の物理ブロックで構成される。図 9 は、ログの一例を示す図である。ログ 2 2 0 は、変更対象の管理情報となる対象情報と、その対象情報中の変更対象となるエントリである対象エントリと、その対象エントリ中の変更対象となる項目である対象項目と、その対象項目の変更の内容である変更内容と、を含む。

#### 【 0 0 4 4 】

ポインタ 2 3 0 は、指示情報格納用ブロックに追記的に格納される。ポインタ 2 3 0 は、スナップシ  
20  
ョット 2 1 0 の格納位置を示すブロックの先頭アドレスと、前ログ 2 2 0 A と後ログ 2 2 0 B の格納位置を示すブロックの先頭アドレスとそのブロック内での先頭ページの位置を示すものであればよい。ただし、ポインタ 2 3 0 のうちスナップシ  
ョット 2 1 0 の格納位置を示す部分は、スナップシ  
ョット 2 1 0 に含まれる各管理情報の先頭アドレスを示すものであってもよい。また、ポインタ 2 3 0 は、スナップシ  
ョット 2 1 0 が新たに保存された場合や、ログ格納用ブロック内のログ 2 2 0 を格納する物理ブロックが変更された場合に更新される。なお、前ログ 2 2 0 A と後ログ 2 2 0 B のポインタは、指示情報格納用ブロック内ではなく、スナップシ  
ョット 2 1 0 の中に格納されていてもよい。

#### 【 0 0 4 5 】

つぎに、ドライブ制御部 1 4 の機能について説明する。図 1 0 は、ドライブ制御部の機能構成の一例を示すブロック図である。ドライブ制御部 1 4 は、D R A M 1 1 - N A N D  
30  
メモリ 1 2 間のデータ転送や N A N D メモリ 1 2 に関する各種機能の制御を行うデータ管理部 1 4 1 と、A T A インタフェースから受けた指示に基づいてデータ管理部 1 4 1 と協働してデータ転送処理を行う A T A コマンド処理部 1 4 2 と、データ管理部 1 4 1 および A T A コマンド処理部 1 4 2 と協働して各種のセキュリティ情報を管理するセキュリティ管理部 1 4 3 と、電源オン時に、管理プログラム（ファームウェア）を N A N D メモリ 1 2 から図示しないメモリ（たとえば、S R A M（Static RAM））にロードするブートローダ 1 4 4 と、ドライブ制御部 1 4 内の各コントローラや回路の初期化を行う初期化管理部 1 4 5 と、外部から R S 2 3 2 C インタフェースを介して供給されたデバッグ用データを処理するデバッグサポート部 1 4 6 と、を備える。

#### 【 0 0 4 6 】

図 1 1 は、データ管理部の機能構成の一例を示すブロック図である。データ管理部 1 4  
40  
1 は、D R A M 1 1 と N A N D メモリ 1 2 との間でデータ転送を行うデータ転送処理部 1 5 1 と、D R A M 1 1 および N A N D メモリ 1 2 に記憶されるデータの変更に伴って管理情報の変更や保存を行う管理情報管理部 1 5 2 と、追記領域 1 2 8 へのデータの追記処理時に下位ページデータ破壊で破壊される可能性のあるデータを退避領域 1 2 7 に退避する退避処理部 1 5 5 と、追記領域 1 2 8 へのデータの追記処理中に下位ページデータ破壊で破壊された情報を退避領域 1 2 7 内のデータを用いて復元する破壊情報復元処理部 1 5 6 と、電源オン時などに N A N D メモリ 1 2 に保存された管理情報に基づいて最新の管理情報を復元する管理情報復元部 1 5 7 と、を備える。

#### 【 0 0 4 7 】

また、管理情報管理部 1 5 2 は、管理情報書込部 1 5 3 と、管理情報保存部 1 5 4 と、  
50

をさらに備える。管理情報書込部 153 は、データ転送処理部 151 による D R A M 11 または N A N D メモリ 12 で記憶されるデータの変更処理によって管理情報の更新が必要な場合に、D R A M 11 に記憶されている管理情報の更新を行う。

【0048】

管理情報保存部 154 は、メモリシステム 10 が所定の条件を満たしたとき、管理情報をスナップショット 210 として、または管理情報中の更新された分の情報をログ 220 として、N A N D メモリ 12 の管理情報保存領域 126 に保存する。また、このスナップショット 210 またはログ 220 (前ログ 220 A と後ログ 220 B) の保存に伴ってポインタ 230 が書込まれる位置が変更される場合には、このポインタ 230 に対する更新処理も行う。

10

【0049】

管理情報保存部 154 によるスナップショット 210 は、N A N D メモリ 12 の管理情報保存領域 126 中のログ 220 (前ログ 220 A と後ログ 220 B) を記憶するために設けられたログ記憶領域が埋まってしまった(領域がデータで満杯になった)場合など、本メモリシステム 10 の所定の状況に応じて実行される。

【0050】

また、管理情報管理部 152 によるログ 220 (前ログ 220 A、後ログ 220 B) の保存は、D R A M 11 に記憶されている管理情報(不揮発性テーブル)の更新を伴う N A N D メモリ 12 上のデータ更新時(N A N D メモリ 12 へのデータ書込みが必要な場合)に行われる。

20

【0051】

退避処理部 155 は、データ転送処理部 151 または管理情報保存部 154 で追記領域 128 に書込データを書込む際に、書込データを書込むページが、既に書込まれた既書込みページと同じメモリセルトランジスタの異なるページ(上位ページ)である場合に、書込データの書込み中に瞬断やプログラムエラーの発生による下位ページデータ破壊の発生に備えて、既書込ページに格納されている既書込データを退避領域 127 に保存する処理を行う。

【0052】

図 12 は、メモリセルのデータとメモリセルの閾値電圧の関係と N A N D メモリに対する書き込み順序の一例を示す図であり、図 13 は、追記処理時における下位ページデータ破壊を説明するための図である。まず、消去動作を行なうとメモリセルのデータは“0”となる。つぎに、図 12 (a) に示されるように、下位ページの書き込みを行なうと、メモリセルのデータはデータ“0”とデータ“2”になる。ついで、図 12 (b) に示されるように、上位ページの書き込み前に隣接セルに実際のデータの閾値電圧以下のデータが書き込まれる。すると、このセルに書き込まれたデータにより、データ“2”の閾値電圧の分布が大きくなる。この後、上位ページのデータが書き込まれると、メモリセルのデータは、図 12 (c) に示されるように、本来の閾値電圧を有するデータ“0”~“3”となる。本実施の形態では、メモリセルのデータは閾値電圧の低いほうから高い方へと、定義されている。

30

【0053】

つぎに、N A N D メモリ 12 への書込み処理について説明する。図 12 (d) に示されるように、ブロック内において、ソース線に近いメモリセルからページごとに書き込み動作が行なわれる。なお、図 12 (d) では、説明の便宜上、ワード線を 4 本としている。

40

【0054】

第 1 番目の書き込みは、メモリセル 1 の下位ページに 1 ビットのデータが書きこまれる。第 2 番目の書き込みは、メモリセル 1 とワード方向に隣接したメモリセル 2 の下位ページに 1 ビットのデータが書きこまれる。第 3 番目の書き込みは、メモリセル 1 とビット方向に隣接したメモリセル 3 の下位ページに 1 ビットのデータが書きこまれる。第 4 番目の書き込みは、メモリセル 1 と対角に隣接したメモリセル 4 の下位ページに 1 ビットのデータが書きこまれる。

50

## 【 0 0 5 5 】

第 5 番目の書き込みは、メモリセル 1 の上位ページに 1 ビットのデータが書きこまれる。第 6 番目の書き込みは、メモリセル 1 とワード方向に隣接したメモリセル 2 の上位ページに 1 ビットのデータが書きこまれる。第 7 番目の書き込みは、メモリセル 3 とビット方向に隣接したメモリセル 5 の下位ページに 1 ビットのデータが書きこまれる。第 8 番目の書き込みは、メモリセル 3 と対角に隣接したメモリセル 6 の下位ページに 1 ビットのデータが書きこまれる。

## 【 0 0 5 6 】

第 9 番目の書き込みは、メモリセル 3 の上位ページに 1 ビットのデータが書きこまれる。第 10 番目の書き込みは、メモリセル 3 とワード方向に隣接したメモリセル 4 の上位ページに 1 ビットのデータが書きこまれる。第 11 番目の書き込みは、メモリセル 5 とビット方向に隣接したメモリセル 7 の下位ページに 1 ビットのデータが書きこまれる。第 12 番目の書き込みは、メモリセル 5 と対角に隣接したメモリセル 8 の下位ページに 1 ビットのデータが書きこまれる。

10

## 【 0 0 5 7 】

第 13 番目の書き込みは、メモリセル 5 の上位ページに 1 ビットのデータが書きこまれる。第 14 番目の書き込みは、メモリセル 5 とワード方向に隣接したメモリセル 6 の上位ページに 1 ビットのデータが書きこまれる。第 15 番目の書き込みは、メモリセル 7 の上位ページに 1 ビットのデータが書きこまれる。第 16 番目の書き込みは、メモリセル 7 とワード方向に隣接したメモリセル 8 の上位ページに 1 ビットのデータが書きこまれる。

20

## 【 0 0 5 8 】

ここで説明した下位ページと上位ページとの間の関係、つまり下位ページデータ破壊を引き起こす可能性のある下位ページと上位ページとの関係、を、ページ位置情報として、退避処理部 155 が保持しているものとする。

## 【 0 0 5 9 】

図 13 ( a ) での 1 つの物理ブロック内のページは、図 12 に対応しているものとする。つまり、1 ~ 4、7 ~ 8、11 ~ 12 ページは図 12 の下位ページであり、5 ~ 6、9 ~ 10、13 ~ 16 ページは図 12 の上位ページである。このようなページ構造を有するブロックへの追記処理における退避処理が必要な場合と不必要な場合を分けて説明する。なお、図 13 では、下位ページと上位ページに説明上分離して表示しているが、これらの下位ページと上位ページとを合わせたものが 1 つの物理ブロックを構成するものとする。

30

## 【 0 0 6 0 】

( 1 ) 退避処理が不必要な場合

( 1 - 1 ) 下位ページにのみデータを書込む場合

図 13 ( b ) に示されるように、下位ページのみ (たとえば、1 ~ 4 ページ) にデータを追記処理する場合には、退避処理が不必要である。この場合には、データを下位ページに書込中に瞬断が発生しても、下位ページデータ破壊は発生しないからである。

## 【 0 0 6 1 】

( 1 - 2 ) 既書込ページがない下位ページと上位ページにまたがってデータを書込む場合

図 13 ( c ) に示されるように、既書込ページがない下位ページから上位ページにまたがってデータを追記処理する場合には、退避処理が不必要である。この図の場合には、下位の 1 ~ 4 ページから上位の 5 ~ 6 ページに書込みを行う場合であり、上位の 5 ~ 6 ページに対応する下位の 1 ~ 2 ページは既書込ページではないため、下位ページデータ破壊は発生しないからである。

40

## 【 0 0 6 2 】

( 2 ) 退避処理が必要な場合

( 2 - 1 ) 上位ページにのみデータを書込む場合

図 13 ( d ) に示されるように、上位ページにのみデータを追記処理する場合、下位ページは必ず既書込ページである。この場合、書込データを書込む上位ページによって下位ページデータ破壊を起こす可能性のある下位ページをページ位置情報から求め、その下位

50

ページの記憶内容を退避領域 1 2 7 に退避させる。この処理は、上位ページの書込中に瞬断が発生した場合、対応する下位ページ（すなわち、書込みを行う上位ページと同じメモリセルトランジスタの下位ページ）が破壊される可能性があるためである。この図の場合には、上位ページの 5 ~ 6 ページに書込みを行う場合には、図 1 2 のページ位置情報から下位ページの 1 ~ 2 ページを退避領域 1 2 7 に退避させる。

【 0 0 6 3 】

( 2 - 2 ) 既書込ページを有する下位ページと上位ページにまたがってデータを書込む場合

図 1 3 ( e ) に示されるように、既書込ページが存在する下位ページから上位ページにまたがってデータを追記処理する場合には、そのデータのうち上位ページに書込むデータを、その上位ページによって下位ページデータ破壊を起こす可能性のある下位ページをページ位置情報から求め、その下位ページの記憶内容を退避領域 1 2 7 に退避させる。この図では、4 ~ 6 ページと下位ページから上位ページに渡ってデータを追記する場合が示されているが、この場合には上位ページに書込まれる 5 ~ 6 ページに対応する下位ページの 1 ~ 2 ページを図 1 2 のページ位置情報から求め、この 1 ~ 2 ページの内容を退避領域 1 2 7 に退避させる。

【 0 0 6 4 】

破壊情報復元処理部 1 5 6 は、追記領域 1 2 8 の上位ページへの追記処理中にプログラムエラーや瞬断が発生して下位ページデータ破壊が発生した後、メモリシステム 1 0 の電源がオンされたときに、下位ページデータ破壊された位置のデータを退避領域 1 2 7 に退避させたデータを用いて復元する処理を行う。

【 0 0 6 5 】

管理情報復元部 1 5 7 は、メモリシステム 1 0 に電源がオンされると、NANDメモリ 1 2 の管理情報保存領域 1 2 6 に保存されている管理情報保存情報に基づいた管理情報の復元処理を行う。具体的には、管理情報保存領域 1 2 6 中のポインタ 2 3 0 およびログ 2 2 0 ( 前ログ 2 2 0 A または後ログ 2 2 0 B ) へと順にたどっていき、最新のスナップショット 2 1 0 に対するログ 2 2 0 ( 前ログ 2 2 0 A または後ログ 2 2 0 B ) が存在するかどうかを判定する。ログ 2 2 0 が存在しない場合には、スナップショット格納用ブロックのスナップショット 2 1 0 を管理情報として DRAM 1 1 に復元する。また、ログ 2 2 0 が存在する場合には、プログラムエラーや瞬断などの異常終了であった場合であるので、スナップショット格納用ブロックからスナップショット 2 1 0 を取得し、ログ格納用ブロックからログ 2 2 0 ( 前ログ 2 2 0 A または後ログ 2 2 0 B ) を取得して、DRAM 1 1 上でスナップショット 2 1 0 にログ 2 2 0 を反映させて管理情報 ( 不揮発性テーブル ) の復元を行う。

【 0 0 6 6 】

ここで、追記領域 1 2 8 へのデータ書込処理について説明する。図 1 4 は、メモリシステムの追記領域へのデータ書込処理手順の一例を示すフローチャートである。なお、ここでは、メモリシステム 1 0 がホスト装置と接続され、ホスト装置の 2 次記憶装置として動作しているとともに、ホスト装置 ( メモリシステム 1 0 ) が起動状態にあるものとする。

【 0 0 6 7 】

メモリシステム 1 0 が起動した状態で、データの追記処理の指示を受けると ( ステップ S 1 1 ) 、退避処理部 1 5 5 は、追記処理を行うデータ ( 以下、書込データという ) の書込位置を取得する ( ステップ S 1 2 ) 。 ついで、退避処理部 1 5 5 は、取得した書込位置の一部が上位ページを含みかつ上位ページに対応する下位ページが既書込ページかどうかを判定する ( ステップ S 1 3 ) 。

【 0 0 6 8 】

書込位置の一部が上位ページを含みかつ上位ページに対応する下位ページが既書込ページの場合 ( ステップ S 1 3 で Yes の場合 ) には、退避処理部 1 5 5 は、書込位置の上位ページと同じメモリセルを使用する下位ページを、ページ位置情報を用いて取得する ( ステップ S 1 4 ) 。 ついで、管理情報管理部 1 5 2 は、追記処理の実行による管理情報の更

10

20

30

40

50

新計画（退避領域 1 2 7 への保存処理を含む）を決定し（ステップ S 1 5）、更新計画を NAND メモリ 1 2 の管理情報保存領域 1 2 6 に前ログ 2 2 0 A として保存する（ステップ S 1 6）。その後、退避処理部 1 5 5 は、ステップ S 1 4 で取得した下位ページに格納されているデータの内容を退避領域 1 2 7 に保存する（ステップ S 1 7）。ついで、データ転送処理部 1 5 1 は、書込データを書込位置に追記した後（ステップ S 1 8）、後ログ 2 2 0 B を NAND メモリ 1 2 の管理情報保存領域 1 2 6 に保存して（ステップ S 1 9）、データの追記処理が終了する。

**【 0 0 6 9 】**

一方、書込位置の一部が上位ページを含まない場合または上位ページに対応する下位ページが既書込ページではない場合（ステップ S 1 3 で No の場合）には、管理情報管理部 1 5 2 は、追記処理の実行による管理情報の更新計画を決定し（ステップ S 2 0）、更新計画を NAND メモリ 1 2 の管理情報保存領域 1 2 6 に前ログ 2 2 0 A として保存する（ステップ S 2 1）。その後、データ転送処理部 1 5 1 は、書込データを書込位置に追記した後（ステップ S 2 2）、後ログ 2 2 0 B を NAND メモリ 1 2 の管理情報保存領域 1 2 6 に保存して（ステップ S 2 3）、データの追記処理が終了する。

10

**【 0 0 7 0 】**

なお、上記したフローチャートの処理の実行に際しては、常に異常な電源遮断（瞬断）が発生する可能性がある。また、NAND メモリ 1 2 に書込まれたデータと管理情報とは、常に整合性を維持する必要がある。そこで、上記のフローチャートに示す処理の実行中において瞬断が発生した場合に備えて、データを保護するためのルールが定められる。図 1 5 は、追記処理における NAND メモリ内のデータと管理情報とを整合させるための規則の一例を示す図である。ここで、横軸は時間  $t$  の流れを示している。ここでは、前の何らかの処理に対する後ログ 2 2 0 B の書込処理（ステップ S 3 0 0）が終わった後、つぎの追記処理について前ログ 2 2 0 A の書込処理（保存）（ステップ S 3 0 1）、書込データの追記処理（ステップ S 3 0 2）、後ログ 2 2 0 B の書込処理（保存）（ステップ S 3 0 3）が行われている場合が示されている。

20

**【 0 0 7 1 】**

前ログ 2 2 0 A の書込処理（ステップ S 3 0 1）から書込データの追記処理（ステップ S 3 0 2）までで瞬断が発生した場合には、NAND メモリ 1 2 への書込データの書込処理が終了していない。このような状況において、瞬断が発生するまでの操作を破棄せずに、前ログ 2 2 0 A に書込まれた内容を管理情報として採用してしまうと、実際には NAND メモリ 1 2 には書込まれていない情報が書込まれたことになってしまい、NAND メモリ 1 2 に書込まれたデータと管理情報との間に不整合が生じてしまう。そこで、この場合には、瞬断が発生するまでの操作を破棄することとする。また、この操作を破棄する区間のことを操作破棄区間 D 1 という。

30

**【 0 0 7 2 】**

一方、書込データの追記処理（ステップ S 3 0 2）が終了し、後ログ 2 2 0 B の書込処理（ステップ S 3 0 3）から後の段階で瞬断が発生した場合には、NAND メモリ 1 2 への書込データの書込処理が終了している。このような状況において、瞬断が発生するまでの操作を破棄せずに、前ログ 2 2 0 A に書込まれた内容を管理情報として採用しても、NAND メモリ 1 2 には書込データが書込まれているので、問題は生じない。そこで、この場合には、瞬断が発生する間での操作を確定するものとする。また、この操作を確定する区間のことを操作確定区間 D 2 という。

40

**【 0 0 7 3 】**

つぎに、図 1 3 に示すデータの追記処理中に瞬断が発生した後の NAND メモリ 1 2 の復元処理について説明する。図 1 6 ~ 図 1 7 は、瞬断発生後の書込データの復元処理の一例を示すフローチャートである。なお、ここでも、メモリシステム 1 0 がホスト装置と接続され、ホスト装置の 2 次記憶装置として動作しているものとする。

**【 0 0 7 4 】**

まず、ホスト装置の電源がオンされ、メモリシステム 1 0 に対して起動指示が出される

50

と(ステップS31)、図10に示されるブートローダ144は、NANDメモリ12から図示しない管理プログラムをSRAMやDRAM11などのメモリに転送し(ステップS32)、管理プログラムを起動する(ステップS33)。この管理プログラムの起動によって、図11に示されるデータ管理部141内の各機能処理部による処理が可能な状態となる。

**【0075】**

ついで、管理情報復元部157は、NANDメモリ12の管理情報保存領域126中の最新のポインタ230を読み込み、スナップショット210と前ログ220Aと後ログ220Bが格納されているそれぞれのブロックのアドレスを取得する(ステップS34)。

**【0076】**

ついで、管理情報復元部157は、ステップS34で取得したNANDメモリ12中のアドレスからスナップショット210を読み込み、DRAM11の一時記憶領域111に復元する(ステップS35)。

**【0077】**

ついで、管理情報復元部157は、NANDメモリ12中の前ログ220Aと後ログ220Bを参照して、ログの最終書込位置を調べ、書込可能なページ位置を比較することで、最後に書込まれたログと電源断のタイミングを検出する(ステップS36)。その後、瞬断が発生したか否かを判定する(ステップS37)。この瞬断発生の有無の判定は、基準となるスナップショット210に関してとられた最初の前ログ220Aの書込位置から最終書込位置までのページ数と、同じく最初の後ログ220Bの書込位置から最終書込位置までのページ数とを比較し、両者が異なっている場合には、瞬断が発生したものと判定し、そうでない場合には瞬断が発生していないものとする。また、両者のページ数が同じ場合には、最後に書込まれたログの内容を比較し、両者が同じである場合には、瞬断が発生していないものと判定し、そうでない場合には瞬断が発生したものとする。

**【0078】**

瞬断が発生していない場合(ステップS37でNoの場合)には、ステップS35でDRAM11の一時記憶領域111に復元したスナップショット210から管理情報を復元し(ステップS38)、復元処理が終了する。

**【0079】**

一方、瞬断が発生した場合(ステップS37でYesの場合)には、瞬断が発生したのは操作破棄区間D1か否かを判定する(ステップS39)。瞬断が発生したのが操作破棄区間D1でない場合、すなわち操作確定区間D2である場合(ステップS39でNoの場合)には、ステップS34で取得した格納位置にある前ログ220AをDRAM11の作業領域112に展開し(ステップS40)、スナップショット210に古い前ログ220Aから順に反映させて管理情報を復元し(ステップS41)、復元処理が終了する。

**【0080】**

ステップS39で、瞬断が発生したのが操作破棄区間D1である場合(ステップS39でYesの場合)には、ステップS34で取得した格納位置にある後ログ220BをDRAM11の作業領域112に展開し(ステップS42)、退避領域127に追記中のデータがあるか否かを判定する(ステップS43)。退避領域127に追記中のデータがない場合(ステップS43でNoの場合)には、さらに追記領域128に追記中のデータがあるか否かを判定する(ステップS44)。追記領域128に追記中のデータがある場合(ステップS44でYesの場合)には、下位ページへの追記処理中の電源断であるため、下位ページデータ破壊による過去のデータの破壊はないものと判定される(ステップS45)。そして、該当ページを無効化するか、該当ブロックの有効ページを新しく確保したブロックにコピーする(ステップS46)。その後、ステップS42でDRAM11に展開した古い後ログ220Bから、破棄した処理の前の段階の後ログ220Bまでを順にスナップショット210に反映させて管理情報を復元し(ステップS47)、復元処理が終了する。

**【0081】**

ステップS 4 4で、追記領域1 2 8に追記中のデータがない場合（ステップS 4 4でN oの場合）には、追記処理を行う前の段階での瞬断であると判定される（ステップS 4 8）。そのため、追記領域1 2 8のデータのリカバリ処理は不要であり、ステップS 4 2でD R A M 1 1に展開した古い後ログ2 2 0 Bから順にスナップショット2 1 0に反映させて管理情報を復元し（ステップS 4 9）、復元処理が終了する。

【0 0 8 2】

また、ステップS 4 3で、退避領域1 2 7に追記処理中のデータがある場合（ステップS 4 3でY e sの場合）には、さらに追記領域1 2 8に追記中のデータあるか否かを判定する（ステップS 5 0）。追記領域1 2 8に追記処理中のデータがある場合（ステップS 5 0でY e sの場合）には、上位ページへの追記処理中の電源断であるため、下位ページデータ破壊による過去のデータの破壊があり得ると判定される（ステップS 5 1）。また、追記領域1 2 8への書込処理が始まっていることから、退避領域1 2 7へのバックアップ処理は完了していることが保障される。そのため、追記領域1 2 8内の破壊されたページを、退避領域1 2 7内のバックアップから復元し、新しく確保したブロックにコピーを行う（ステップS 5 2）。同時に、ステップS 4 2でD R A M 1 1に展開した古い後ログ2 2 0 Bから順にスナップショット2 1 0に反映させて管理情報を復元し（ステップS 5 3）、復元処理が終了する。

10

【0 0 8 3】

さらに、ステップS 5 0で追記領域1 2 8に追記処理中のデータがない場合（ステップS 5 0でN oの場合）には、追記領域1 2 8への追記を始める前の段階での瞬断であるため、データのリカバリ処理は不要であり（ステップS 5 4）、ステップS 4 2でD R A M 1 1に展開した古い後ログ2 2 0 Bから順にスナップショット2 1 0に反映させて管理情報を復元し（ステップS 5 5）、復元処理が終了する。なお、この場合には、退避領域1 2 7へ追記中のページの内容を書込不可とする処理を行う。以上の手順によって、追記データに対する瞬断発生時の復元処理が終了する。

20

【0 0 8 4】

以上のように、本実施の形態によれば、2ビット以上の多値メモリセルからなるN A N Dメモリ1 2への上位ページへの追記処理時において、追記処理を行う上位ページと同じ多値メモリセルの下位ページに格納されたデータの内容を退避領域1 2 7に保存してから、上位ページへの書込処理を行うようにしたので、書込処理時に瞬断の発生やプログラムエラーの発生によって、下位ページデータ破壊が発生してしまった場合でも、下位ページデータ破壊によって破壊されたデータを退避領域1 2 7に保存されたデータを用いて復元することができるという効果を有する。

30

【0 0 8 5】

なお、上述した説明では、N A N Dメモリ1 2を構成するメモリセルトランジスタM Tが2ビット以上の多値メモリである場合を例に挙げたが、2ビット以上の多値メモリであれば、どのようなメモリセルトランジスタM Tに対しても適用することができる。その際、ページは上位ページ、中位ページ、下位ページというように3ページ以上で構成されることもあり、その構成においては上位ページ書き込み時に中位ページおよび下位ページで下位ページデータ破壊が発生する可能性がある。この場合は、中位ページおよび下位ページのデータを退避領域1 2 7に保存する。

40

【0 0 8 6】

さらに、上記の説明では、退避領域1 2 7をN A N Dメモリ1 2内に設けた場合を説明したが、退避領域1 2 7用の記憶部をN A N Dメモリ1 2とは別の種類の不揮発性メモリに設けるように構成してもよい。また、電荷蓄積層は浮遊ゲート型に限らず、M O N O S（Metal-Oxide-Nitride-Oxide-Semiconductor）構造のようなシリコン窒化膜を用いた電荷トラップ型やその他の方式であってもよい。

【図面の簡単な説明】

【0 0 8 7】

【図1】本発明の実施の形態にかかるメモリシステムの構成の一例を示すブロック図であ

50

る。

【図 2】NANDメモリに含まれる 1 個のブロックの構成の一例を示す回路図である。

【図 3】DRAMとNANDメモリの機能構成を模式的に示す図である。

【図 4】メモリシステムで記憶されるデータを管理する層構造の一例を示す図である。

【図 5】キャッシュ管理情報テーブルの一例を示す図である。

【図 6】論理NAND管理情報テーブルの一例を示す図である。

【図 7】NAND内論物変換情報テーブルの一例を示す図である。

【図 8】管理情報保存領域に記憶される管理情報保存情報の内容の一例を模式的に示す図である。

【図 9】ログの一例を示す図である。

10

【図 10】ドライブ制御部の機能構成の一例を示すブロック図である。

【図 11】データ管理部の機能構成の一例を示すブロック図である。

【図 12】メモリセルのデータとメモリセルの閾値電圧の関係とNANDメモリに対する書き込み順序の一例を示す図である。

【図 13】追記処理時における下位ページデータ破壊を説明するための図である。

【図 14】メモリシステムの追記領域へのデータ書込処理手順の一例を示すフローチャートである。

【図 15】追記処理におけるNANDメモリ内のデータと管理情報とを整合させるための規則の一例を示す図である。

【図 16】瞬断発生後の書込データの復元処理の一例を示すフローチャートである（その 1）。

20

【図 17】瞬断発生後の書込データの復元処理の一例を示すフローチャートである（その 2）。

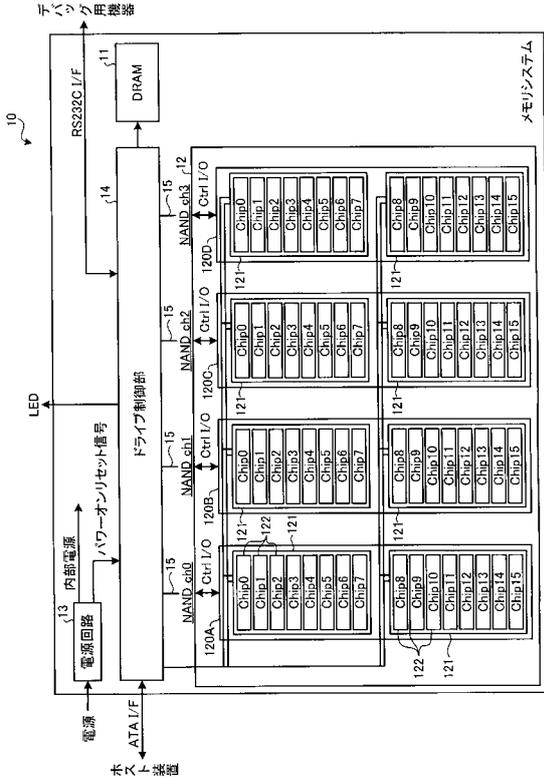
【符号の説明】

【0088】

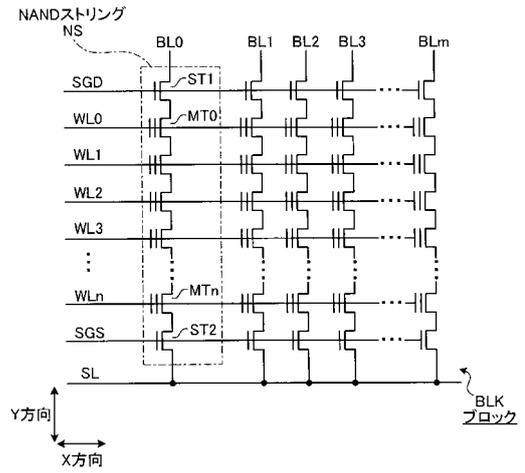
10 ...メモリシステム、11 ...DRAM、12 ...NANDメモリ、13 ...電源回路、14 ...ドライブ制御部、15 ...バス、31 ...DRAM管理層、32 ...論理NAND管理層、33 ...物理NAND管理層、41 ...キャッシュ管理情報、42 ...論理NAND管理情報、42a ...論理ページ管理情報、42b ...論理ブロック管理情報、43 ...NAND内論物変換情報、111 ...一時記憶領域、112 ...作業領域、120A ~ 120D ...チャンネル対応記憶領域、125 ...データ格納領域、126 ...管理情報保存領域、127 ...退避領域、128 ...追記領域、129 ...非追記領域、141 ...データ管理部、151 ...データ転送処理部、152 ...管理情報管理部、153 ...管理情報書込部、154 ...管理情報保存部、155 ...退避処理部、156 ...破壊情報復元処理部、157 ...管理情報復元部、160 ...ページ位置情報、210 ...スナップショット、220 ...ログ、220A ...前ログ、220B ...後ログ、230 ...ポインタ。

30

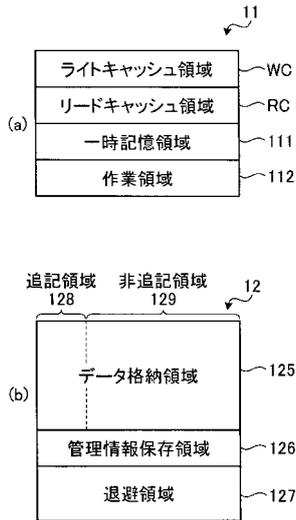
【 図 1 】



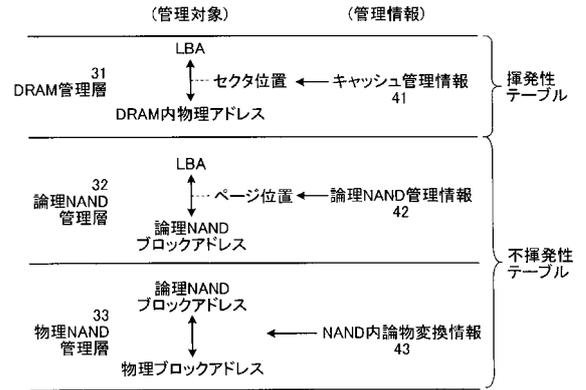
【 図 2 】



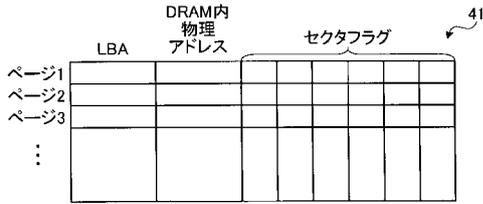
【 図 3 】



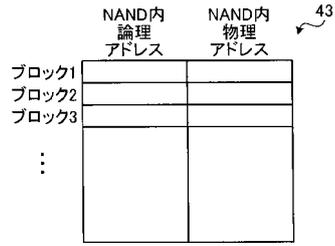
【 図 4 】



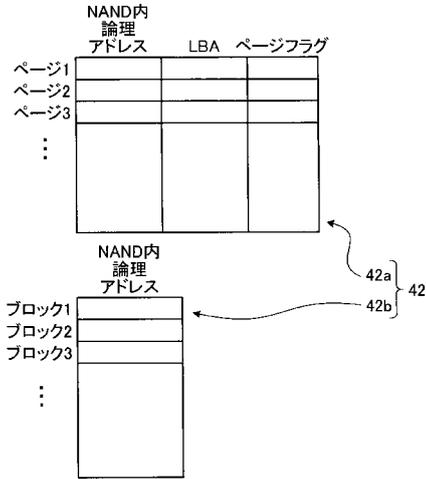
【図5】



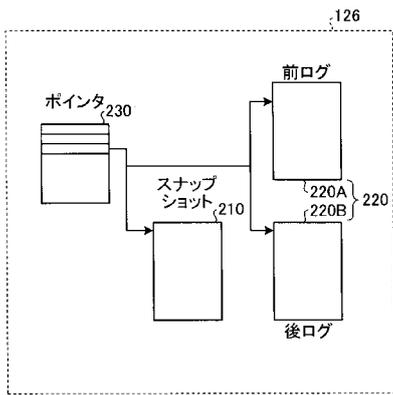
【図7】



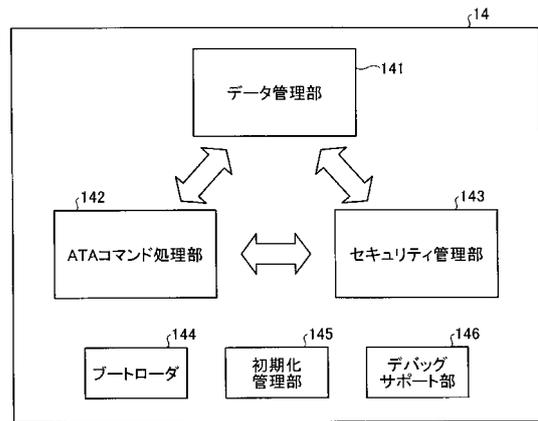
【図6】



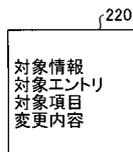
【図8】



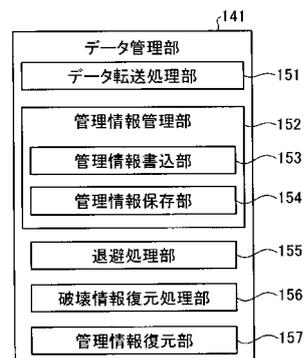
【図10】



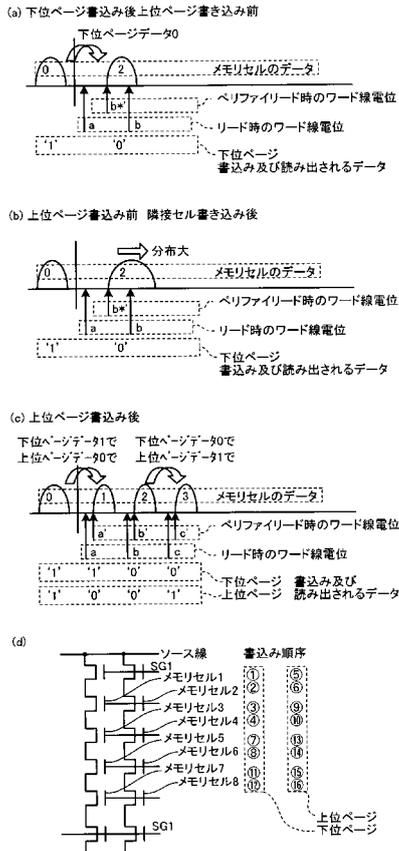
【図9】



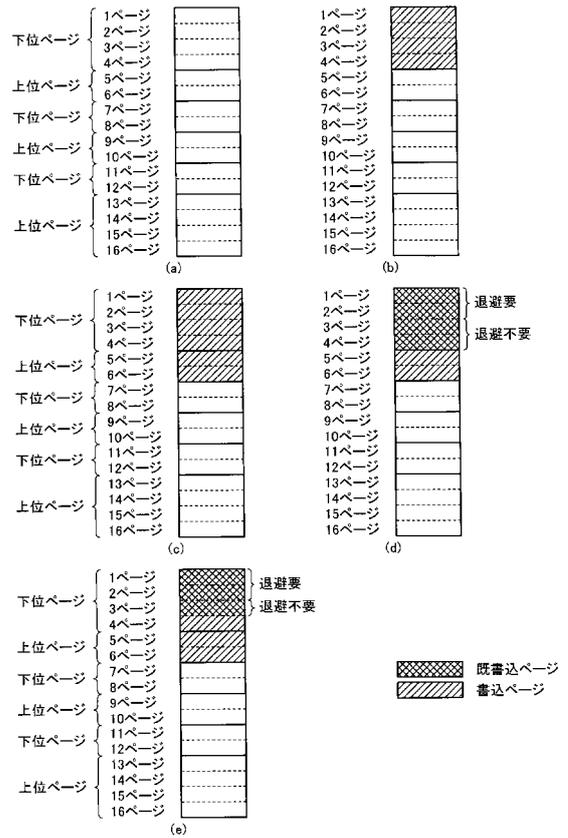
【図11】



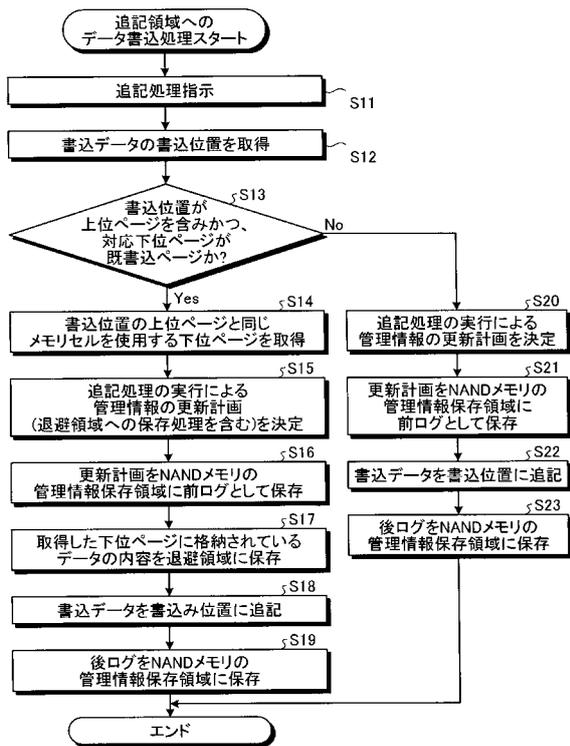
【 図 1 2 】



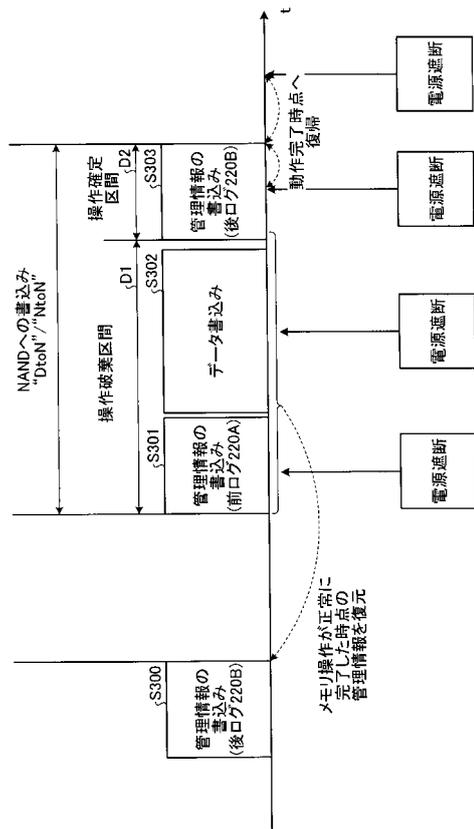
【 図 1 3 】



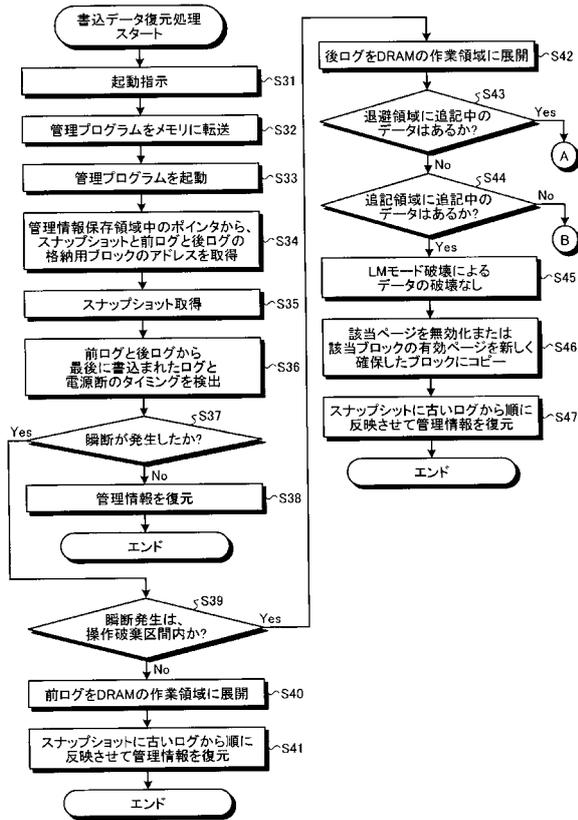
【 図 1 4 】



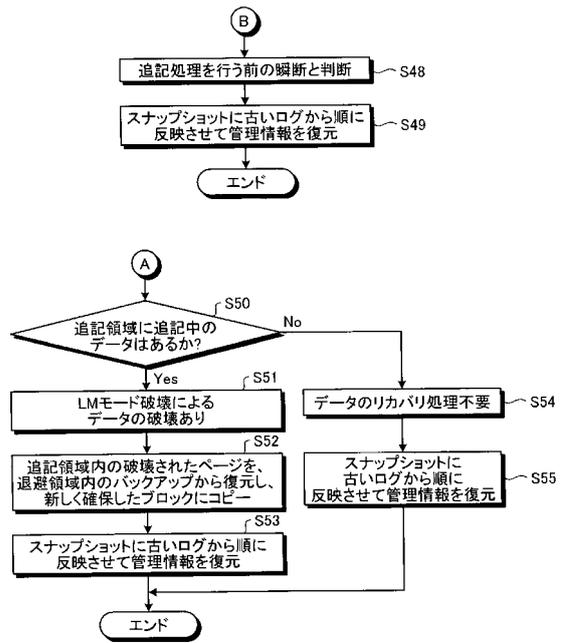
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 6 F 12/06 5 2 0 F  
G 0 6 F 12/16 3 1 0 M

Fターム(参考) 5B018 GA04 HA03 KA22 LA06 NA06 QA15  
5B060 MM01  
5B125 BA01 BA19 CA12 CA16 DB19 DE08 DE17 EA05 EJ08 EK10  
FA01