

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-164416

(P2012-164416A)

(43) 公開日 平成24年8月30日(2012.8.30)

(5) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/34 3 5 3 E	5M024
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 5 4 D	

審査請求 有 請求項の数 29 O L (全 13 頁)

(21) 出願番号	特願2012-90890 (P2012-90890)	(71) 出願人	508034325
(22) 出願日	平成24年4月12日 (2012. 4. 12)		モサイド・テクノロジーズ・インコーポレ
(62) 分割の表示	特願2002-508801 (P2002-508801)		ーテッド
	の分割		カナダ・オンタリオ・K 2 K ・ 2 X 1 ・ オ
原出願日	平成13年7月6日 (2001. 7. 6)		タワ・ハインズ・ロード・1 1 ・ スイート
(31) 優先権主張番号	2, 313, 949	(74) 代理人	100064746
(32) 優先日	平成12年7月7日 (2000. 7. 7)		弁理士 深見 久郎
(33) 優先権主張国	カナダ (CA)	(74) 代理人	100085132
(31) 優先権主張番号	60/216, 682		弁理士 森田 俊雄
(32) 優先日	平成12年7月7日 (2000. 7. 7)	(74) 代理人	100083703
(33) 優先権主張国	米国 (US)		弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】 行および列へのアクセス動作を同期させるための方法および装置

(57) 【要約】 (修正有)

【課題】非同期半導体メモリ装置において行および列のアクセスを同期化させる。

【解決手段】ワード線タイミングパルスを第1の所定期間だけ遅延させて第1の遅延ワード線タイミングパルスを生成する第1の遅延回路と、該第1の遅延ワード線タイミングパルスと該第1の遅延ワード線タイミングパルスを第2の所定期間だけ遅延させて第2の遅延ワード線タイミングパルスを生成する第2の遅延回路とを有し、該ワード線タイミングパルスと該第1の遅延ワード線タイミングパルスおよび該第2の遅延ワード線タイミングパルスとを組合わせて、ビット線センス動作および列アクセスを順次行うとともに、ワード線タイミングパルスの非活性化に応じてビット線センス動作および列アクセスを完了する。

【選択図】 図4

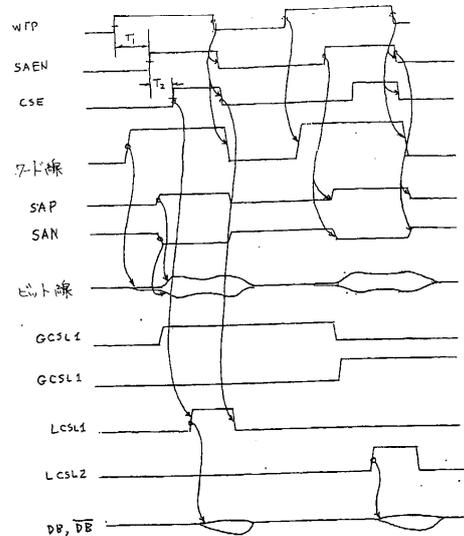


Figure 4

【特許請求の範囲】

【請求項 1】

ビット線対、複数のワード線、複数のメモリセル、複数のセンスアンプ、および前記複数のセンスアンプに給電するためのセンスアンプ電源回路のレイを有する半導体メモリにおいて、行および列へのアクセス動作を同期させるための回路であって、

ワード線タイミングパルスを第 1 の予め定められた期間だけ遅延するための第 1 の遅延回路と、

前記ワード線タイミングパルスと前記遅延されたワード線タイミングパルスとを論理的に組合せてセンスアンプイネーブル信号を生成し、前記センスアンプ電源回路をイネーブルにするための第 1 のロジック回路とを備え、前記第 1 のロジック回路は前記ワード線タイミングパルスの終了に応答して前記センスアンプイネーブル信号をディスエーブルして前記センスアンプ電源回路を非活性化し、

前記ワード線タイミングパルスを第 2 の予め定められた期間だけ遅延するための第 2 の遅延回路と、

前記ワード線タイミングパルスと前記第 2 の遅延されたワード線タイミングパルスとを論理的に組合せて列選択イネーブル信号を生成して、複数の列アクセスデバイスのうちの選択されたデバイスをイネーブルにするための第 2 のロジック回路を含み、前記第 2 の予め定められた時間期間は、複数の列アクセスデバイスのうちの選択されたデバイスが、前記センスアンプ電源回路がイネーブルにされた後に活性化されるよう選択され、前記第 2 のロジック回路は前記ワード線タイミングパルスの前記終了に応答して前記列選択イネーブル信号をディスエーブルして前記複数の列アクセスデバイスのうちの前記選択されたデバイスを非活性化する、回路。

【請求項 2】

前記第 1 の遅延回路は第 1 の遅延要素である、請求項 1 に記載の回路。

【請求項 3】

前記第 2 の遅延回路は第 2 の遅延要素である、請求項 2 に記載の回路。

【請求項 4】

前記第 2 の遅延要素は、前記第 1 の遅延要素を介して前記ワード線タイミングパルスに結合される、請求項 3 に記載の回路。

【請求項 5】

前記列選択イネーブル信号と複数の列アドレス信号とを論理的に組合せて、前記複数の列アクセスデバイスのうちの前記選択されたデバイスをイネーブルにするための複数のロジック回路をさらに含む、請求項 4 に記載の回路。

【請求項 6】

前記第 2 の予め定められた時間は、前記第 1 の予め定められた時間よりも長い、請求項 3 に記載の回路。

【請求項 7】

前記ワード線タイミングパルスを遅延してから前記ワード線タイミングパルスを前記第 1 のロジック回路に入力するための第 3 の遅延要素をさらに含む、請求項 6 に記載の回路。

【請求項 8】

前記ワード線タイミングパルスを遅延してから前記ワード線タイミングパルスを前記第 2 のロジック回路に入力するための第 3 の遅延要素をさらに含む、請求項 6 に記載の回路。

【請求項 9】

前記第 2 の遅延回路は、前記センスアンプ電源回路の電源信号に結合された第 1 の入力と、予め定められたしきい値電圧に結合された第 2 の入力とを有するコンパレータであり、前記コンパレータは、前記第 1 の入力と第 2 の入力との間の比較に依存してアサートされる出力を有する、請求項 2 に記載の回路。

【請求項 10】

前記第 2 の遅延回路は、前記ワード線タイミングパルスを遅延するための第 2 の遅延要素を有する、請求項 2 に記載の回路。

前記第 1 の入力、前記センスアンプ電源回路の p チャンネル電源信号に結合され、前記コンパレータの前記出力は、前記 p チャンネル電源信号が前記しきい値よりも大きい場合にアサートされる、請求項 9 に記載の回路。

【請求項 11】

第 3 の遅延回路が、前記コンパレータの前記出力と前記第 2 のロジック回路との間に結合される、請求項 10 に記載の回路。

【請求項 12】

前記第 1 の入力、前記センスアンプ電源回路の n チャンネル電源信号に結合され、前記コンパレータの前記出力は、前記 n チャンネル電源信号が前記しきい値よりも小さい場合にアサートされる、請求項 9 に記載の回路。

10

【請求項 13】

第 3 の遅延回路が、前記コンパレータの前記出力と前記第 2 のロジック回路との間に結合される、請求項 12 に記載の回路。

【請求項 14】

ビット線の対、ワード線、メモリセル、センスアンプ、および前記センスアンプに給電するためのセンスアンプ電源回路のレイを有する半導体メモリにおいて、行および列へのアクセス動作を同期させるための方法であって、

ワード線タイミングパルス生成して、前記ワード線の少なくとも 1 つを活性化するステップと、

前記ワード線タイミングパルスを第 1 の予め定められた時間だけ遅延するステップと、
前記ワード線タイミングパルスと前記第 1 の遅延されたワード線タイミングパルスとを論理的に組合せてセンスアンプイネーブル信号を与えるステップとを含み、前記センスアンプ電源回路をイネーブルしかつ前記ワード線タイミングパルスの終了に応答して前記センスアンプ電源回路をディスエーブルするためのものであり、

20

前記方法はさらに、

前記ワード線タイミングパルスを第 2 の予め定められた時間だけ遅延するステップと、
前記ワード線タイミングパルスと前記第 2 の遅延されたワード線タイミングパルスとを論理的に組合せて列選択イネーブル信号を与えるステップとを含み、前記列選択イネーブル信号は、複数の列アクセスデバイスのうちの選択されたデバイスをイネーブルしかつ前記ワード線タイミングパルスの終了に応答して前記複数の列アクセスデバイスの前記選択されたデバイスをディスエーブルするためのものであり、前記複数の列アクセスデバイスのうちの前記選択されたデバイスは、前記センスアンプ電源回路がイネーブルにされた後に、予め定められた時間期間だけ活性化される、方法。

30

【請求項 15】

前記列選択イネーブル信号は、複数の列アドレス信号と論理的に組合せられ、前記複数の列アクセスデバイスのうちの前記選択されたデバイスをイネーブルにする、請求項 14 に記載の方法。

【請求項 16】

前記第 2 の予め定められた時間は、前記第 1 の予め定められた時間よりも長い、請求項 14 に記載の方法。

40

【請求項 17】

前記ワード線タイミングパルスは、遅延されてから前記第 1 の遅延されたワード線タイミングパルスと論理的に組合せられる、請求項 14 に記載の方法。

【請求項 18】

前記ワード線タイミングパルスは、遅延されてから前記第 2 の遅延されたワード線タイミングパルスと論理的に組合せられる、請求項 14 に記載の方法。

【請求項 19】

前記ワード線タイミングパルスは、前記ワード線タイミングパルスを第 1 の遅延回路に結合することによって前記第 1 の予め定められた時間だけ遅延される、請求項 14 に記載の方法。

50

【請求項 20】

前記ワード線タイミングパルスは、前記ワード線タイミングパルスを第2の遅延回路に結合することによって前記第2の予め定められた時間だけ遅延される、請求項19に記載の方法。

【請求項 21】

前記ワード線タイミングパルスは、前記ワード線タイミングパルスを前記第1および前記第2の遅延回路の両方に結合することによって第2の予め定められた時間だけ遅延される、請求項20に記載の方法。

【請求項 22】

前記第2の遅延回路は、前記センスアンプ電源回路の電源信号に結合された第1の入力と、予め定められたしきい値電圧に結合された第2の入力とを有するコンパレータであり、前記コンパレータは、前記第1の入力と第2の入力との間の比較に依存してアサートされる出力を有する、請求項21に記載の方法。

10

【請求項 23】

前記コンパレータの前記第1の入力は、前記センスアンプ電源回路のpチャンネル電源信号に結合され、前記コンパレータの前記出力は、前記pチャンネル電源信号が前記しきい値よりも大きい場合にアサートされる、請求項22に記載の方法。

【請求項 24】

第3の遅延回路が、前記コンパレータの前記出力と前記第2のロジック回路との間に結合される、請求項23に記載の方法。

20

【請求項 25】

前記コンパレータの前記第1の入力は、前記センスアンプ電源回路のnチャンネル電源信号に結合され、前記コンパレータの前記出力は、前記nチャンネル電源信号が前記しきい値よりも小さい場合にアサートされる、請求項22に記載の方法。

【請求項 26】

前記第3の遅延回路は、前記コンパレータの前記出力と前記第2のロジック回路との間に結合される、請求項25に記載の方法。

【請求項 27】

複数のビット線対と複数のワード線と複数のメモリセルとを備え、2値データを記憶および検索するための少なくとも1つのメモリアレイと、

30

前記複数のビット線対間の差動信号を検知拡大するためのビット線センスアップの組と、

ビット線対をデータ線に結合するための列アクセスデバイスの組と、

前記ビット線センスアップに給電するためのビット線センスアップ電源回路と、

ワード線タイミング信号を所定の時間遅延するための第1および第2の遅延回路とを備え、前記第1および第2の遅延回路は、直列に結合されて前記第1の遅延回路が前記ワード線タイミング信号を第1の時間遅延し、かつ前記第2の遅延回路が前記第1の時間の遅延を付加して前記ワード線タイミングパルスをさらに遅延して更なる遅延信号を生成し、

前記ワード線タイミングパルスと前記ワード線タイミングパルスの第1の遅延信号とを組合わせてビット線センスアンプイネーブル信号を生成して前記ビット線センスアンプ電源回路をイネーブルするための第1のロジック回路とを備え、前記第1のロジック回路は、前記ワード線タイミングパルスの終了に回答して前記ビット線センスアンプイネーブル信号をディスエーブルして前記ビット線センスアンプ電源回路をディスエーブルし、

40

前記ワード線タイミングパルスと前記ワード線タイミングパルスの更なる遅延信号とを組合わせて列選択イネーブル信号を生成して前記列アクセスデバイスの少なくとも1つをイネーブルするための第2のロジック回路を備え、前記第2のロジック回路は、前記ワード線タイミングパルスの前記終了に回答して前記列アクセスデバイスの前記少なくとも1つをディスエーブルする、ランダム・アクセス・メモリ。

【請求項 28】

半導体メモリ装置であって、

50

複数のメモリセル、複数のビット線、および複数のワード線を有するメモリアレイ、
前記ビット線からの信号を検知し増幅するための複数のセンスアンプ、
前記ビット線を前記半導体メモリ装置のデータ線に結合するための複数の列アクセスデ
バイス、および

ワード線タイミング信号を遅延する第1および第2の回路を備え、前記第1の回路が前
記ワード線タイミングパルスが遅延して遅延ワード線タイミングパルスを生成し、前記第
2の回路が前記遅延ワード線タイミング信号をさらに遅延して更なる遅延ワード線タイミ
ング信号を生成するように前記第1および第2の回路が互いに結合され、

前記遅延ワード線タイミング信号に対応する第1の時間に前記センスアンプをイネー
ブルし、かつ前記ワード線タイミングパルスの終了に応答して前記センスアンプをディスエ
ーブルするための第3の回路と、

前記更なる遅延ワード線タイミング信号に対応する第2の時間に前記列アクセスデバ
イスをイネーブルしかつ前記ワード線タイミング信号の前記終了に応答して前記列アクセ
スデバイスをディスエーブルするための第4の回路とを備える、半導体メモリ装置。

【請求項29】

行列状に配列される複数のメモリセルと複数のワード線と複数のビット線とを有する半
導体メモリ装置を動作させるための装置であって、

ワード線タイミング信号を遅延するための第1の回路、および

該遅延ワード線タイミング信号に対応する第1の時間にセンスアンプを活性化しかつ前
記ワード線タイミング信号の終了に応答して前記センスアンプをディスエーブルするた
めの第2の回路を備え、前記センスアンプは選択メモリセルからのデータを検知し増幅す
るためのものであり、

前記ワード線タイミング信号をさらに遅延するための第3の回路と、

前記さらに遅延されたワード線タイミング信号に対応する第2の時間に列アクセスデ
バイスを活性化し、かつ前記ワード線タイミング信号の前記終了に応答して前記列アクセ
スデバイスをディスエーブルする第4の回路とをさらに備え、前記列アクセスデバイスは前
記選択メモリセルを前記半導体メモリ装置のデータ線に接続する、装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、一般に、半導体メモリデバイスにおける行および列へのアクセス動作の同
期に関し、特定の、高速ダイナミックランダムアクセスメモリにおける行および列への
アクセス動作に関する。

【背景技術】

【0002】

半導体メモリ集積回路は、行および列を有して個々のデータ記憶場所、すなわちメモリ
セルを規定する行-列アドレス交差点を備えたアレイとして規定される内部アーキテク
チャをこれまで用いてきた。典型的に、これらの交差点は内部アドレスバスを介してアドレ
ス指定され、それらの場所に記憶されるかまたはそこから読出されるべきデータは、内部
入力/出力バスに転送される。データ記憶場所の群は、通常はワード線に沿ってともに結
合される。この基本的なアーキテクチャを用いる半導体構成には、ダイナミックランダム
アクセスメモリ(DRAM)、スタティックランダムアクセスメモリ(SRAM)、電気
的プログラマブル読出専用メモリ(EPROM)、消去可能EPROM(EEPROM)
に加え、「フラッシュ」メモリが含まれる。

【0003】

このようなメモリデバイスに対する性能の、より重要な尺度の1つに、使用可能な総デ
ータ帯域幅がある。データ帯域幅に影響を及ぼすタイミング遅延の主なタイプをアクセス
時間と呼ぶ。アクセス時間は、アドレスバスにおける新規のアドレス情報の到着と、入力
/出力バス上のアクセスされたデータが利用可能になるときの間の遅延として規定され

10

20

30

40

50

る。

【0004】

D R A Mメモリアレイからのデータの読出またはそこへのデータの書込のいずれかを行なうために、多くのシーケンシャルな動作が行なわれる。最初に、ビット線の対がイコライズされ、プリチャージされる。次に、選択されたワード線がアサートされて、アドレス指定されたメモリセルの充電状態をビット線上に読出す。次に、ビット線センスアンプを活性化して、ビット線の対間の電圧差を最大ロジックレベルにまで増幅する。次に、典型的にnチャンネルパストランジスタである列アクセストランジスタがイネーブルにされて、ビット線の状態をD R A Mの読出データ増幅器および出力に結合するか、または、ビット線の状態をD R A M書込データ入力からの新規の値で重ね書きする。

10

【0005】

ほぼすべてのD R A Mアーキテクチャにおいて、メモリアレイのアドレス指定の二次元の特性により、外部メモリコントローラにとって直接アクセス可能となる。非同期式のD R A Mアーキテクチャでは、行(またはxアドレス)および列(またはyアドレス)へのアクセス動作を制御するために、別個の制御信号が用いられる。同期式のD R A Mアーキテクチャでは、上述の、別個の行および列の制御信号を用いることもできる。さらに、同期式D R A Mアーキテクチャについては、行および列の制御信号の両方に対して、1つのコマンドパスを用いることができる。

【0006】

これらの場合、ビット線センスアンプの活性化は、通常は、行活性化コマンドによって開始されるD R A M動作の自己タイミングされたシーケンスの最終段階として行なわれる。列アクセストランジスタは、yアドレスデコーディングロジックによって制御され、個々の読出および書込のコマンドと関連する制御信号によってイネーブルにされる。

20

【0007】

しかしながら、非同期式および同期式のD R A Mアーキテクチャの両方において、ビット線のセンシングと、列アクセストランジスタのイネーブル化との間のタイミングマージンを最小化する能力は、行アクセス動作および列アクセス動作に対する別個の制御パス間のタイミングの変動性によって制限される。同期式の設計においても、xアドレスおよびyアドレスのデコーディングロジックパスは完全に別個である。ビット線のセンシングの完了と、列アクセストランジスタの活性化の開始との間のタイミングの変動性には、xアドレスデコーディングパスとyアドレスデコーディングパスとの間の変動性と、ビット線センスアンプを活性化させる自己タイミングされたチェインの変動性と、制御信号のフライト差(flight differences)の時間との総和が含まれる。すなわち、制御信号は、メモリデバイスの別個の領域に位置付けられた行および列の制御ロジックから所与のメモリアレイに到着するため、異なった活性化のタイミングを有し得る。

30

【発明の概要】

【発明が解決しようとする課題】

【0008】

D R A Mのアクセス時間を減じ、読出および書込動作が行なわれ得る速度を上げるために、D R A Mを機能させるために必要な、上述のシーケンシャルな動作の各々に対して必要とされる時間を減じようとするのが重要である。さらに、連続したD R A Mアクセス機能の各々を、前の動作の後にできるだけ早く開始する必要性が同じく重要である。

40

【0009】

特に、ビット線の復元と、列活性化デバイスのイネーブル化との間の遅延が、正しいD R A M動作および低いアクセスレイテンシの達成の両方に対して重要である。列アクセストランジスタのイネーブル化が早すぎると、ビット線上に読出されたメモリセルが破損するおそれがある。この破損は、列アクセストランジスタを介して結合されたビット線上のノイズから直接生じ得るか、または、列アクセストランジスタを介して駆動されたビット線と、隣接する選択されていないビット線との間の容量結合によって間接的に生じ得る。データは破壊読出しされるため、データが破損すると、それを検索することができない。

50

反対に、列アクセストランジスタのイネーブル化が遅すぎると、不必要な遅延がメモリアクセスレイテンシに加わる。さらに、後のアクセス動作に備えたビット線のイコライズおよびプリチャージが、列アクセストランジスタがオフにされるまで有効に続行し得ない恐れがある。

【0010】

したがって、不必要な遅延が殆どまたは全くなく、メモリセルのデータを破損することなく、連続するDRAMアクセス機能を開始することのできるメモリデバイスが必要とされる。したがって、この発明の目的は、上述の不利益の少なくともいくつかを回避または緩和することである。

【課題を解決するための手段】

10

【0011】

この発明の一実施例に従い、ビット線の対、ワード線、メモリセル、センスアンプ、およびセンスアンプに給電するためのセンスアンプ電源回路のアレイを有する半導体メモリにおいて、行および列へのアクセス動作を同期させるための回路が提供される。この回路は、ワード線のうちの少なくとも1つを活性化させるためのワード線タイミングパルスと、ワード線タイミングパルスに結合されて、ワード線タイミングパルスと第1の予め定められた期間だけ遅延する第1の遅延回路と、ワード線タイミングパルスと第1の遅延回路によって遅延されたワード線タイミングパルスとを論理的に組合せるための第1のロジック回路とを含む。第1のロジック回路の出力は、センスアンプ電源回路をイネーブルにするためのセンスアンプイネーブル信号を与える。この回路は、ワード線タイミングパルスに結合されてワード線タイミングパルスと第2の予め定められた期間だけ遅延する第2の遅延回路をさらに含む。この回路は、ワード線タイミングパルスと第2の遅延回路によって遅延されたワード線タイミングパルスとを論理的に組合せて列選択イネーブル信号を与えるための第2のロジック回路をさらに含む。列選択イネーブル信号により、複数の列アクセスデバイスのうちの選択されたデバイスがイネーブルにされ、それらはセンスアンプ電源回路がイネーブルにされた後に、予め定められた時間期間だけ活性化される。

20

【0012】

ビット線の対、ワード線、メモリセル、センスアンプ、およびセンスアンプに給電するためのセンスアンプ電源回路のアレイを有する半導体メモリにおいて、行および列へのアクセス動作を同期させるための方法もまた提供される。この方法は、ワード線タイミングパルスを生成して、ワード線の少なくとも1つを活性化するステップと、ワード線タイミングパルスを第1の予め定められた時間だけ遅延するステップと、ワード線タイミングパルスと第1の遅延されたワード線タイミングパルスとを論理的に組合せてセンスアンプイネーブル信号を与えるステップとを含む。センスアンプイネーブル信号は、センスアンプ電源回路をイネーブルにする。この方法は、ワード線タイミングパルスと第2の予め定められた時間だけ遅延するステップと、ワード線タイミングパルスと第2の遅延されたワード線タイミングパルスとを論理的に組合せて列選択イネーブル信号を与えるステップとをさらに含む。列選択イネーブル信号は、複数の列アクセスデバイスのうちの選択されたデバイスをイネーブルにし、複数の列アクセスデバイスのうちの選択されたデバイスは、センスアンプ電源回路がイネーブルにされた後に、予め定められた時間期間だけ活性化される。

30

40

【図面の簡単な説明】

【0013】

【図1】非同期式DRAMアーキテクチャ（先行技術）の概略図である。

【図2】共通のコマンドおよびアドレスバスを備えた同期式DRAMアーキテクチャ（先行技術）の概略図である。

【図3】この発明の一実施例に従ったDRAMアーキテクチャの概略図である。

【図4】図3に示されたDRAMアーキテクチャのタイミング図である。

【図5】図3に示された概略図の代替的な一実施例である。

【図6】図3に示された概略図のさらなる代替的な一実施例である。

50

【 0 0 1 4 】

次に、この発明を、以下の図面を参照することにより、例としてのみ説明する。

【 発明を実施するための形態 】

【 0 0 1 5 】

便宜上、説明中の同じ番号は、図面中の同じ構造を指す。図 1 を参照すると、別個の制御信号を用いて行および列へのアクセス動作を制御する非同期式 D R A M アーキテクチャの先行技術の実現例が、番号 1 0 0 によって包括的に示される。ビット線の対のすべては、アクティブサイクルの前にプリチャージされ、イコライズされる。外部メモリコントローラ 1 0 2 は、行制御信号 1 0 4 を行制御ロジックデバイス 1 0 6 に送る。外部メモリコントローラ 1 0 2 は、列制御信号 1 0 8 を列制御論理デバイス 1 1 0 に送る。外部メモリコントローラ 1 0 2 はまた、行制御ロジックデバイス 1 0 6 と列制御ロジックデバイス 1 1 0 との両方にアドレス信号 1 1 2 を送る。

10

【 0 0 1 6 】

活性化信号に応答して、行制御ロジックデバイス 1 0 6 は、アドレス信号 1 1 2 のデコーディングに従い、ワード線 1 1 4 をアサートする。メモリセル 1 1 3 の充電状態が、相補的なビット線の対 1 1 6 上に読出される。センスアンプ 1 1 5 はビット線 1 1 6 間の電圧を増幅する。次に、列制御ロジック 1 1 0 は、アドレス信号 1 1 2 のデコーディングに従い、列選択信号 1 1 7 をアサートする。列選択信号は、列アクセスランジスタ 1 1 9 をイネーブルにする。ワード線 1 1 4 とビット線 1 1 6 との交差点は、アドレス信号 1 1 2 によって特定されるアドレスである。このアドレスは、データバスセンスアンプ 1 1 8 a および後に出力バッファ 1 1 8 b を介してメモリアレイから読出されるか、または入力バッファ 1 1 8 c および後に書込ドライバ 1 1 8 d を介してメモリアレイに書込まれるべきものである。

20

【 0 0 1 7 】

図 2 を参照すると、行および列へのアクセス動作の両方に対して 1 つのコマンドバスを有する同期式 D R A M アーキテクチャの先行技術の実現例が番号 2 0 0 によって包括的に示される。外部メモリコントローラ 1 0 2 は、アドレス信号 1 1 2 およびコマンド信号 2 0 2 を同期式フロントエンド 2 0 4 に送る。同期式フロントエンド 2 0 4 は、このアドレス信号 1 1 2 を行制御ロジックデバイス 1 0 6 だけでなく、列制御ロジックデバイス 1 1 0 にも与える。さらに、同期式フロントエンド 2 0 4 は、行制御信号 1 0 4 を行制御ロジックデバイス 1 0 6 に与え、列制御信号 1 0 8 を列制御ロジックデバイス 1 1 0 に与える。

30

【 0 0 1 8 】

行制御ロジックデバイス 1 0 6 および列制御ロジックデバイス 1 1 0 は、図 1 に関して上述の態様と同じように、ワード線 1 1 4 および列選択信号 1 1 7 をアサートする。入力/出力バス 2 0 6 は、図 1 に示された入力/出力バス 1 1 8 と同様に機能するが、例外として、入力/出力バス 2 0 6 は、入力データラッチ 2 0 8 a および出力データラッチ 2 0 8 b も含み、データの同期転送を行なう。同期式フロントエンド 2 0 4 およびラッチ 2 0 8 の両方は、同じクロック 2 1 0 によってクロックされる。

【 0 0 1 9 】

図 1 および図 2 を参照して説明される実現例のいずれも、ビット線のセンシングと列アクセスランジスタの活性化との間のタイミングの不確実性および変動性を欠点として有する。ビット線のセンシングと列アクセスランジスタの活性化との間のタイミングの不確実性および変動性を減じるための 1 つの方法に、選択されたメモリアレイの周辺領域内で 2 つの動作をローカルに同期させることが含まれる。列アクセスランジスタの活性化と、ビット線センスアンプの活性化に基づいて生成される制御信号とを組み合わせることにより、ビット線のセンシングと列へのアクセスとの間の不必要な遅延を大いに減じることができる。これにより、メモリアクセスのレイテンシを減じかつメモリ動作をより高速で行なうことができる。

40

【 0 0 2 0 】

50

図3を参照すると、この発明の一実施例に従ったDRAMアーキテクチャが番号300によって包括的に示される。ワード線タイミングパルス信号WTPが第1の遅延要素D1の入力に結合される。第1の遅延要素D1の出力は、ANDゲートA1の入力に結合される。ワード線タイミングパルスWTPは、ANDゲートA1の第2の入力である。ANDゲートA1の出力は、センスアンビネーブル信号SAENであり、これはビット線センスアンブ電源回路302の入力である。ビット線センスアンブ電源回路302は、ビット線の対306間の電圧を増幅するためのセンスアンブ304に給電する。給電は、pチャネル電源信号SAPおよびnチャネル電源信号SANを、アクティブセンシングのサイクル中には正の電源電圧VDDおよび接地電源電圧VSSにそれぞれ選択的に結合し、プリチャージサイクル中にはビット線プリチャージ電圧VBLPに選択的に結合することによって、

10

【0021】

第1の遅延要素D1の出力は、第2の遅延要素D2の入力にさらに結合される。第2の遅延要素D2の出力は、第2のANDゲートA2の入力に結合される。ワード線タイミングパルスWTPは、ANDゲートA2の第2の入力である。ANDゲートA2の出力は、列選択イネーブル信号CSEである。CSE信号は、プリデコードされた列アドレス信号を含むグローバル列選択信号GCSL1とANDゲート312(簡素化するために、このうちの2つのみを示す)を介して組合され、ANDゲート312はローカル列選択信号LC SL1を生成する。次いで、ローカル列選択信号LC SL1は、アクセスされるべき適切な列をイネーブルにする。ワード線タイミングパルスWTPもまた、複数のANDゲート314(簡素化するために、このうちの1つのみを示す)を介して、関連するワード線308に結合され、プリデコードされたxアドレスによって選択された適切なワード線をイネーブルにする。

20

【0022】

図4を参照すると、上述の回路のためのタイミング図が示される。回路の動作を図3および図4を参照して説明し、読出動作について述べるが、書込動作は、読出動作が説明されると当業者には明らかとなるであろう。ワード線タイミングパルスWTPの立上がり端に 응답して、選択されたワード線が立上がり、そのメモリセル用のアクセストランジスタをオンにする。選択されたセルに記憶されたデータがビット線上にダンプされ、セルとビット線のキャパシタンスとの間の電荷の共有が生じる。ワード線タイミングパルスWTPの立上がり端を受けてから、(遅延要素D1によって生成された)遅延T1の後に、ビット線センスアンブ304は、センスアンビネーブル信号SAENのアサートによってイネーブルにされる。センスアンビネーブル信号SAENをアサートすることにより、センスアンブ電源回路302は、センスアンブ電源レールSAPおよびSAN上の電圧を、ビット線プリチャージ電圧VBLPから、それぞれ正の電源電圧VDDおよび接地電源電圧VSSに駆動することができる。センスアンブがイネーブルにされると、ビット線上のデータはフルスイングレベルまで増幅される。

30

【0023】

センスアンビネーブル信号のアサートから、(遅延要素D2によって生成された)遅延T2の後に、列選択イネーブル信号CSEがアサートされる。列選択イネーブル信号CSEは、ローカルな列選択のためにyアドレスデコードロジックによって生成された1組のグローバル列選択信号GCSL1を適切と認める(qualify)ように用いられる。列選択信号LC SL1は、個々のDRAMアレイに対してローカルであり、列選択イネーブルCSE信号とグローバル列選択信号GCSL1との論理積を行なうことによって生成される。したがって、列選択イネーブル信号CSEがアサートされて、グローバル列選択信号GCSL1がアサートされると、対応するローカル列選択信号LC SL1がイネーブルにされる。次いで、ローカル列選択信号LC SL1は、ローカルなビット線をデータバスに結合する列アクセストランジスタ310をイネーブルにする。したがって、図4を再び参照すると、ローカル列選択信号LC SL1は、遅延T1およびT2の後に生成される。ローカル列選択信号LC SL1は、第1の列アクセストランジスタ310aをイネーブルにする

40

50

。ワード線タイミングパルスW T Pの次の立上がり端によって開始される第2の読出サイクル中に、第2のローカル制御信号L C S L2が遅延T 1およびT 2の後にイネーブルにされる。第2のローカル列選択信号L C S L2は、第2の列アクセストランジスタ3 1 0 bをイネーブルにする。この実施例では、L C S L2は説明のためにL C S L1とは異なっているよう示されるが、実際はそうである必要はない。

【0024】

ローカル列選択イネーブル信号L C S L1は、ワード線タイミングパルスW T Pの立上がり端から、遅延T 1およびT 2の後に活性化され、列選択イネーブル信号C S Eの立上がり端によって非活性化される。センスアンプは、ワード線タイミングパルスW T Pの立上がり端から、遅延T 1の後に、ビット線センスアンプ電源回路3 0 2によって給電され、S A E N信号の立下がり端によって非活性化される。A N DゲートA 1およびA 2により、ワード線タイミングパルスW T Pの立下がり端に应答して、センスアンプイネーブル信号S A E Nおよび列選択イネーブル信号C S Eの両方が、確実に、直ちにディスエーブルにされる。ワード線3 0 8は、ワード線タイミングパルスW T Pが活性である限りイネーブルされた状態にある。

【0025】

したがって、個々のD R A Mアレイ内の列アクセストランジスタのイネーブル化を、そのアレイに関連するビット線センスアンプの活性化の後の予め定められた時間期間に同期させることができる。センスアンプ間の予め定められた遅延が、最適な読出および書込の性能を達成するよう選択的にプログラムされ得ることに注目されたい。

【0026】

図5を参照すると、図3に記載された実施例の代替例が番号5 0 0によって包括的に示される。ビット線センスアンプ電源回路3 0 2は、上述の実施例で示されたとおり、タイミング制御信号W T Pとタイミング制御信号W T Pの遅延されたものとの論理積を行なうことによってイネーブルにされる。しかしながら、この実施例において、列選択イネーブル信号C S Eは、タイミング制御信号W T Pとコンパレータ5 0 2の出力との論理積の結果である。

【0027】

コンパレータ5 0 2は、pチャネル電源信号S A Pまたはnチャネル電源信号S A Nのいずれか一方のレベルを予め定められたしきい値電圧V SWと比較する。図5において、コンパレータは、pチャネル電源信号S A Pと、V BLPおよびV DDの間の値を有するようセットされたしきい値電圧V SWとを比較する。S A Pがしきい値電圧V SWを超えるとすぐ、コンパレータは対応する出力をアサートし、それにより、A N DゲートA 2を介して列選択イネーブル信号C S Eをイネーブルにする。列選択イネーブル信号C S Eは、上述の実施例で説明されたように、列選択信号(図示せず)をイネーブルにするために用いられる。

【0028】

さらに、代替例において、コンパレータは、pチャネル電源信号S A Pを受取る代わりにnチャネル電源信号S A Nを受取り、しきい値電圧V SWはV BLPとV SSとの間の値にセットされる。したがって、nチャネル電源信号S A N電圧が予め規定されたしきい値V SWよりも下がると、コンパレータの出力は、列選択イネーブル信号C S Eがイネーブルにされるようなものとなる。列選択イネーブル信号C S Eは第1の実施例で示されたとおり、列選択信号をイネーブルにするために用いられる。

【0029】

任意に、上述の実施例のいずれに対しても、さらなる遅延要素5 0 4を加えて遅延を与えてから、列選択イネーブル信号C S Eをイネーブルにすることができる。

【0030】

さらに、代替的一実施例が図6に示され、番号6 0 0によって包括的に示される。上述の実施例においてと同様に、センスアンプイネーブル信号S A E Nは、ワード線タイミングパルスW T Pとワード線タイミングパルスW T Pの遅延されたものとの論理積の結果と

10

20

30

40

50

して生成される。しかしながら、この実施例において、列選択イネーブル信号は、ワード線タイミングパルスWTPとワード線タイミングパルスWTPの遅延されたものとの論理積の結果である。第2の遅延要素D3は、T1およびT2の組合された時間遅延だけワード線タイミングパルスWTPを遅延する。したがって、第1の実施例とは異なり、ワード線タイミングパルスWTPは第2の遅延要素D3の入力において直接与えられる。

【0031】

ワード線タイミングパルスWTPの否定とビット線センスアンプ電源回路302のディスエーブル化との間の時間は、ワード線タイミングパルスWTPとANDゲートA1の入力との間に遅延要素を挿入することによって調節され得る。同様に、ワード線タイミングパルスWTPの否定と列選択イネーブル信号CSEの否定との間の時間は、ワード線タイミングパルスWTPとANDゲートA2の入力との間に遅延要素を挿入することによって調節され得る。

10

【0032】

ビット線のセンシングと列へのアクセスとの間のタイミングのより正確な制御が、上述の実施例のすべてによって達成されたため、ビット線のセンシングが部分的にしか完了していない内に列へのアクセスを開始して、読出および書込の動作をさらに加速することもできる。

【0033】

この発明を或る特定の実施例を参照して説明してきたが、この明細書において前掲の請求項に略述されるとおり、この発明の精神および範囲から逸脱することのないこの発明のさまざまな変更が、当業者には明らかとなるであろう。さらに、この発明は、アレイとして構成されかつ別個のシーケンシャルなxおよびyのアドレス指定段階を用いてアドレス指定される、いかなるタイプの電子メモリにも応用することができる。これらには、SRAM、ならびにEPROM、EEPROM、フラッシュEPROM、およびFRAM等のさまざまな不揮発性メモリが含まれる。

20

【図1】

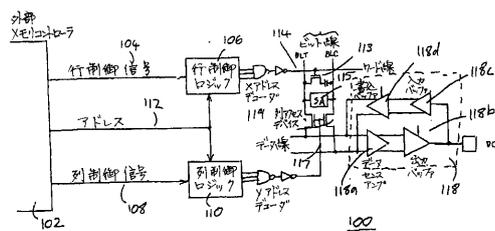


Figure 1

【図2】

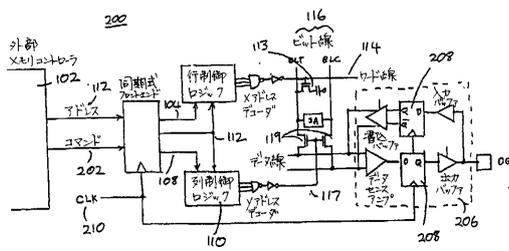


Figure 2

【図3】

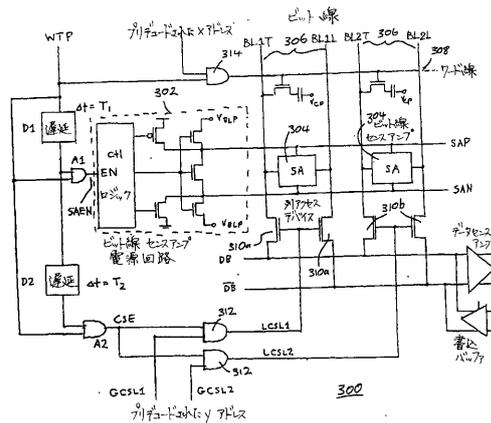


Figure 3

【 図 4 】

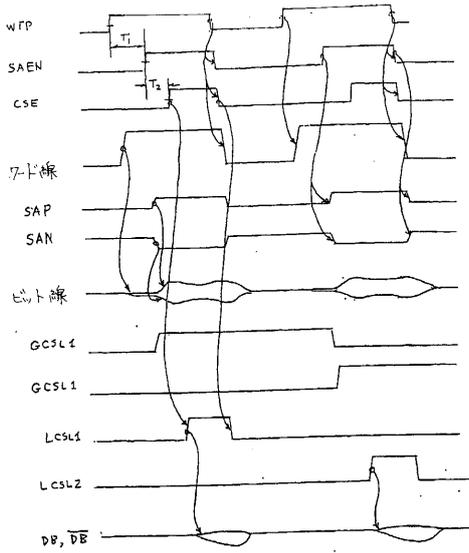


Figure 4

【 図 5 】

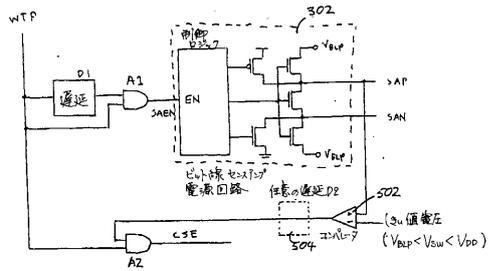


Figure 5

【 図 6 】

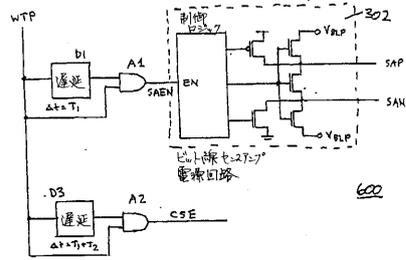


Figure 6

フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 デーモン, ポール

カナダ、ケイ・2・エル 4・ビィ・7 オンタリオ州、カナタ、ヤングス・ポンド・コート、1
3

Fターム(参考) 5M024 AA44 BB27 BB35 CC92 DD82 GG01 PP01 PP02 PP03 PP07