



⑫ A **Terinzagelegging** ⑪ **9001728**

Nederland

⑲ NL

---

- ⑤4 **Inrichting voor het verbeteren van de efficiëntie van de overdracht van data naar en vanuit een geheugeneenheid die is voorzien van tenminste een harde geheugenschijf.**
- ⑤1 Int.Cl.<sup>5</sup>: G06F 12/08.
- ⑦1 Aanvrager: Tulip Computers International B.V. te 's-Hertogenbosch.
- ⑦4 Gem.: Ir. Th.A.H.J. Smulders c.s.  
Vereenigde Octrooibureaux  
Nieuwe Parklaan 97  
2587 BN Den Haag.

- 
- ②1 Aanvraag Nr. 9001728.
- ②2 Ingediend 31 juli 1990.
- ③2 --
- ③3 --
- ③1 --
- ⑥2 --

- 
- ④3 Ter inzage gelegd 17 februari 1992.

De aan dit blad gehechte afdruk van de beschrijving met conclusie(s) en eventuele tekening(en) bevat afwijkingen ten opzichte van de oorspronkelijk ingediende stukken; deze laatste kunnen bij de Octroiraad op verzoek worden ingezien.

---

Titel: Inrichting voor het verbeteren van de efficiëntie van de overdracht van data naar en vanuit een geheugeneenheid die is voorzien van tenminste een harde geheugenschijf.

-----

De uitvinding heeft betrekking op een inrichting voor het in een computersysteem, dat tenminste een centrale verwerkingseenheid en een geheugeneenheid omvat, verbeteren van de efficiëntie van de overdracht van data tussen de  
5 geheugeneenheid en de centrale verwerkingseenheid, waarbij de geheugeneenheid voorzien is van een tussengeheugen (cache-geheugen) en tenminste een harde geheugenschijf en de overdracht van data tussen de centrale verwerkingseenheid en de harde geheugenschijf via het tussengeheugen plaatsvindt.  
10 Indien een computersysteem, bijvoorbeeld een personal computer, hierna te noemen een PC, van het AT-( Advanced Technology) compatibele type, voorzien is van een enkele geheugeneenheid met een voor de desbetreffende computerstandaard geschikte besturingseenheid, vindt de  
15 overdracht van data, die onder besturing van deze besturingseenheid op de harde geheugenschijf van deze eenheid opgeslagen of van deze harde geheugenschijf uitgelezen moeten worden, altijd plaats via een tussengeheugen, het zogenaamde cache-geheugen, dat samen met de besturingseenheid en de  
20 harde geheugenschijf de geheugeneenheid vormt. De overdracht van data tussen de centrale verwerkingseenheid en het cache geheugen vindt veel sneller plaats dan de overdracht van data tussen het cache geheugen en de harde geheugenschijf. In het eerste geval is de overdrachtssnelheid bijvoorbeeld 4  
25 megabyte/sec. en in het tweede geval 1,5 megabyte/sec.. Het zal duidelijk zijn dat het genoemde verschil in overdrachtssnelheid de werkingssnelheid van het gehele PC-systeem nadelig beïnvloedt en de uitvinding heeft tot doel hiervoor een oplossing te bieden, die op eenvoudige wijze en  
30 dus economisch is te realiseren en die het niet noodzakelijk

**9001728**

maakt andere programmatuur voor het besturen van het computersysteem te gebruiken, waardoor het computersysteem met de desbetreffende computerstandaard compatibel blijft. De uitvinding voorziet hiertoe in een inrichting van

5 voornoemde soort met het kenmerk, dat voorzien is in tenminste twee harde geheugeneenheden, met elk een bijbehorend tussengeheugen en ten minste een harde geheugenschijf en dat in het verbindingspad tussen de centrale verwerkingseenheid en de geheugeneenheden, voorzien

10 is in middelen om de data bloksgewijs tussen de centrale verwerkingseenheid enerzijds en afwisselend de eerste of de tweede geheugeneenheid anderzijds over te dragen. Opgemerkt wordt, dat het op zich bekend is om bij een PC gebruik te maken van meer dan een geheugeneenheid, daarbij is

15 echter altijd één geheugeneenheid als meester geschakeld en de andere geheugeneenheid(heden) als slaaf, waarbij de data overdrachtsnelheid nog steeds bepaald wordt door de overdrachtssnelheid tussen de centrale verwerkingseenheid en de als meester functionerende geheugeneenheid.

20 Tevens is voor mainframe computers het gebruik van zogenaamde disc-arrays, bestaande uit een aantal harde geheugenschijfeenheden, bekend. Een dergelijk disc-array is bijvoorbeeld beschreven in "COMPAQ Peripherals Technical Reference Guide", section 1 Mass Storage, chapter 5. Bij het

25 toepassen van disc-arrays dient echter voorzien te zijn in een buffergeheugen met een grote opslagcapaciteit, in welk buffergeheugen de data, die met een relatief lage snelheid gelijktijdig vanuit de diverse harde geheugenschijfeenheden worden overgedragen, tijdelijk op te slaan om deze data

30 vervolgens met een veel hogere snelheid naar de de centrale verwerkingseenheid te transporteren. Bovendien is bij een disc-array speciale programmatuur noodzakelijk om de onderbrekings-(interrupt) signalen en de registers van de diverse geheugenschijfeenheden te besturen. Volgens de

35 uitvinding is daarentegen geen extra geheugencapaciteit voor de tussenopslag van data en is ook geen specifieke programmatuur nodig.

De uitvinding zal in het hiernavolgende nader worden toegelicht aan de hand van een uitvoeringsvoorbeeld, onder verwijzing naar de tekening, hierin toont:

5      Figuur 1a: Een blokschema van een bekende configuratie van een centrale verwerkingseenheid en een geheugeneenheid;

Figuur 1b: Een schematische weergave van het verloop in de tijd van de dataoverdracht tussen de centrale verwerkingseenheid en de geheugeneenheid volgens figuur 1a;

10     Figuur 2a: Een blokschema van een configuratie van een centrale verwerkingseenheid en een tweetal harde geheugenschijfeenheden volgens het principe van de uitvinding; en

Figuur 2b: Een schematische weergave van het verloop in de tijd van de dataoverdracht tussen de centrale verwerkingseenheid en de harde geheugenschijfeenheden volgens  
15     figuur 2a.

Alhoewel er met nadruk op wordt gewezen dat de uitvinding zowel toepasbaar is voor het schrijven van data op een harde geheugenschijf als voor het uitlezen van data van een dergelijke schijf, zal in het hiernavolgende ter wille van de  
20     eenvoud steeds worden gesproken over het uitlezen van data, wanneer het voor iedere deskundige duidelijk is dat het schrijven van data op in principe dezelfde wijze kan geschieden.

25     Figuur 1a toont schematisch een conventionele configuratie van een centrale verwerkingseenheid 1 en een daarmee via een bus 6 gekoppelde en daarmee al dan niet in één behuizing ondergebrachte geheugeneenheid 2, bestaande uit tenminste een harde geheugenschijf 3, een tussengeheugen oftewel cache  
30     geheugen 4 en een besturingseenheid 5. Alle overdracht van data tussen de harde geheugenschijf 3 en de centrale verwerkingseenheid 1 vindt plaats via het tussengeheugen 4, dat meestal bestaat uit een afzonderlijk RAM geheugen dat door de besturingseenheid 5 op intelligente wijze wordt  
35     bestuurd.

Bijvoorbeeld bij AT-compatibele geheugeneenheden, maar ook bij aan andere computerstandaarden aangepaste geheugeneenheden, geschiedt de overdracht van data naar en

van de harde geheugenschijf 3 altijd bloksgewijs, bijvoorbeeld in blokken van een geheel veelvoud van 512 byte. Steeds één blok van 512 byte wordt via de bus 6 met een snelheid van 4 megabyte/sec. tussen het tussengeheugen 4 en de centrale verwerkingseenheid 1 overgedragen. Na het overdragen van een blok van 512 byte met deze hoge snelheid is echter een zekere tijdsperiode nodig om de data vanuit het tussengeheugen op de harde geheugenschijf te kunnen schrijven of om een nieuw blok data van deze schijf te kunnen lezen, een praktisch voorbeeld van een dergelijke periode is 220  $\mu$ sec. Het bovenstaande is schematisch in figuur 1b getoond, waaruit blijkt dat, bij het beschreven voorbeeld van een dataoverdrachtssnelheid van 4 megabyte/sec. en een wachtperiode van 220  $\mu$ sec., in een periode van 350  $\mu$ sec. voor de feitelijke data overdracht slechts 130  $\mu$ sec. nodig is, zodat meer dan de helft van de beschikbare tijd verloren gaat doordat gewacht moet worden op de dataoverdracht naar en van de harde geheugenschijf 3.

Figuur 2a toont een blokschema van de inrichting volgens de uitvinding, waarbij een centrale verwerkingseenheid 11 van een PC samenwerkt met tenminste twee geheugeneenheden 12 en 13, die elk dezelfde opbouw hebben als de in figuur 1a getoonde geheugeneenheid 2. De in figuur 2a getoonde configuratie is zodanig ingericht dat de beide geheugeneenheden 12 en 13 parallel werken en dus niet in een meester-slaaf configuratie zijn gekoppeld. De centrale verwerkingseenheid "ziet" dan in feite ook slechts één geheugeneenheid, die echter de dubbele capaciteit heeft van een enkele geheugeneenheid. Indien bijvoorbeeld de harde geheugenschijf van elk van de geheugeneenheden 12 en 13 een opslagcapaciteit heeft van 512 byte per sector, 17 sectoren per spoor, 1024 cylinders en 16 lees/schrijf koppen, "ziet" de centrale verwerkingseenheid 11 in de configuratie volgens de uitvinding bijvoorbeeld een geheugeneenheid met een capaciteit van eveneens 512 byte per sector, 1024 cylinders en 16 lees/schrijf koppen, maar met 34 sectoren per spoor. Het is vanzelfsprekend ook mogelijk de uitvinding zodanig te implementeren, dat de centrale verwerkingseenheid een

geheugeneenheid "ziet" met hetzelfde aantal sectoren, maar met het dubbele aantal koppen of het dubbele aantal cylinders t.o.v. het desbetreffende aantal van een enkele geheugeneenheid. Bij de hiernavolgende beschrijving zal echter terwille van de eenvoud slechts de eerstgenoemde situatie met een dubbel aantal sectoren worden beschreven. Alhoewel in de onderhavige beschrijving de term harde geheugenschijf gebruikt wordt, zal het iedere deskundige duidelijk zijn dat een dergelijke geheugenschijf in de praktijk uit een aantal harde schijven kan bestaan, die echter alle samenwerken met een enkel tussengeheugen en bestuurd worden vanuit een enkele besturingseenheid.

Om aan de aan de uitvinding ten gronde liggende doelstelling, te weten een verhoging van de dataoverdrachtssnelheid naar en van de geheugenschijven, te voldoen, worden de datablokken van 512 byte, d.w.z. de data voor één sector, afwisselend respectievelijk vanuit en naar een van beide geheugeneenheden 12 en 13 overgedragen, zoals schematisch is aangegeven in figuur 2b. In deze figuur is op de bovenste tijdslijn de dataoverdracht vanuit en naar de geheugeneenheid 12 aangegeven, op de middelste tijdslijn de dataoverdracht vanuit en naar de geheugeneenheid 13 en op de onderste tijdslijn de dataoverdracht vanuit en naar de centrale verwerkingseenheid 11. Zoals uit deze figuur blijkt worden steeds data naar een van beide geheugeneenheden overgedragen in de periode die de andere geheugeneenheid nodig heeft om de data vanuit het tussengeheugen op de geheugenschijf of naar het tussengeheugen vanaf de geheugenschijf respectievelijk te schrijven of te lezen. Het zal duidelijk zijn dat hierdoor het verlies aan dataoverdrachtssnelheid tengevolge van de tijd die nodig is voor dit schrijven of lezen aanzienlijk wordt verminderd, omdat van de 220  $\mu$ sec., die hiervoor in de praktijk nodig is, nu 130  $\mu$ sec. gebruikt wordt voor dataoverdracht naar de andere geheugeneenheid.

Om de data bloksgewijs afwisselend naar en vanuit de beide geheugeneenheden 12 en 13 te kunnen overdragen is voorzien in eenheden 16, 17 en 18 die op de onderstaand te beschrijven wijze functioneren en die via bussen met elkaar en met de

geheugeneenheden 12 en 13 enerzijds en met de centrale verwerkingsseenheid 11 anderzijds zijn gekoppeld.

De door de besturingseenheden van beide geheugeneenheden 12 en 13 opgewekte onderbrekingssignalen (interruptsignalen),  
5 welke signalen aangeven of de desbetreffende geheugeneenheid een blok data gereed heeft om over te dragen of gereed is om een nieuw blok data te ontvangen, worden via een bus 14 toegevoerd aan een eenheid 15, bijvoorbeeld een multiplexer, die tot doel heeft deze onderbrekingssignalen te combineren  
10 en via een bus 20 naar de centrale verwerkingseenheid over te dragen. Tevens is voorzien in een adresdecodeereenheid 17, waarvan de werking onderstaand nader zal worden toegelicht en die tot doel heeft de door de centrale verwerkingseenheid gegenereerde en via een bus 22 aangevoerde adressen om te  
15 zetten in adressen op een bus 23 voor respectievelijk de geheugeneenheid 12 of 13. De adresdecodeereenheid 17 is via een bidirectionele bus 19 voor stuursignalen gekoppeld met een datapad-omschakeleenheid 16, waarmee de eenheid 15 eveneens via een bidirectionele bus 18 voor stuursignalen  
20 gekoppeld is. De datapad-omschakeleenheid 16, bijvoorbeeld ook een multiplexer, heeft tot doel om, in het geval van het lezen van data, onder besturing van de besturingssignalen van de eenheden 15 en 17 de via bussen 24 en 25 respectievelijk vanuit de geheugeneenheden 12 en 13 afkomstige data tot een  
25 enkele datastroom te combineren en via een bus 21 aan de centrale verwerkingseenheid toe te voeren. In het geval van het schrijven van data heeft de datapad-omschakeleenheid 16 tot doel om onder besturing van de besturingssignalen van de eenheden 15 en 17 de via de bus 21 ontvangen, te schrijven  
30 data hetzij via een bus 24 over te dragen naar de geheugeneenheid 12, hetzij via een bus 25 over te dragen naar de geheugeneenheid 13.

De adresdecodeereenheid 17 kan bijvoorbeeld op de hiernavolgende wijze functioneren. Aangenomen wordt dat de  
35 centrale verwerkingseenheid in de inrichting volgens figuur 2a een geheugeneenheid "ziet" met het dubbele aantal sectoren als dat van een enkele geheugeneenheid, zoals 12 of 13, en dat de sectoren met een even nummer zich op de harde

**9 0 0 1 7 2 8**

geheugenschijf van eenheid 12 bevinden en die met een oneven nummer op de harde geheugenschijf van eenheid 13. De centrale verwerkingseenheid 11 geeft nu bijvoorbeeld via de bus 22 op dat 9 sectoren data gelezen moeten worden, te beginnen met

5 sector 4 op cylinder 9 en met kop 1. De adresdecodeereenheid 17 "vertaalt" deze informatie in adressen voor de geheugeneenheden 12 en 13, waarbij geheugeneenheid 12 een adres ontvangt waaruit blijkt dat deze geheugeneenheid 5 sectoren moet lezen, te beginnen met sector 4 (een even

10 sectornummer) en vervolgens de sectoren 6, 8, 10 en 12, steeds op cylinder 9 en met kop 1, Geheugeneenheid 13 ontvangt een adres waaruit blijkt dat deze geheugeneenheid 4 sectoren moet lezen, te beginnen met sector 5 (een oneven sectornummer) en vervolgens de sectoren 7, 9 en 11, steeds op

15 cylinder 9 en met kop 1. Het "vertalen" van de via de bus 22 ontvangen adressen kan bijvoorbeeld geschieden met in de adresdecodeereenheid 17 aanwezige registers waarin voor ieder ontvangen adrs het corresponderende adres voor hetzij geheugeneenheid 12 hetzij geheugeneenheid 13 is opgenomen.

20 De multiplexers in de eenheden 15 en 17 worden nu zodanig ingesteld dat deze verbonden zijn met de geheugeneenheid 12, omdat daarvandaan de eerste sector data zal komen. Nadat de data vanuit sector 4 van de geheugeneenheid 12 via de bussen 24 en 21 naar de centrale verwerkingseenheid 11 is

25 overgedragen, worden onder invloed van het onderbrekingssignaal dat door geheugen eenheid 12 wordt afgegeven en dat aangeeft dat de dataoverdracht is voltooid, de multiplexers in de eenheden 15 en 16 zodanig ingesteld, dat deze verbonden zijn met de geheugeneenheid 13 om de in

30 het tussengeheugen daarvan gereedstaande data van sector 5 naar de centrale verwerkingseenheid 11 over te dragen. Daarna wordt weer omgeschakeld naar geheugeneenheid 12 om de volgende sector 6 te lezen enzovoort, totdat tenslotte sector 12 van geheugeneenheid 12 is gelezen en in totaal dus 9

35 sectoren zijn gelezen.

Op de bovenbeschreven wijze is het systeem volgens de uitvinding volledig transparant en bemerkt de centrale verwerkingseenheid 11 in het geheel niet dat in feite



gecommuniceerd wordt met twee afzonderlijke geheugeneenheden,  
zodat ook generlei aanpassing van de programmatuur voor de  
centrale verwerkingseenheid 11 nodig is, terwijl het voordeel  
van een tweemaal zo grote geheugencapaciteit als in het geval  
5 van een enkele geheugeneenheid verkregen wordt en tevens een  
aanzienlijke versnelling van de dataoverdracht.

9001728

## C O N C L U S I E S

1. Inrichting voor het in een computersysteem, dat tenminste een centrale verwerkingseenheid en een geheugeneenheid omvat, verbeteren van de efficiëntie van de overdracht van data tussen de geheugeneenheid en de centrale  
5 verwerkingseenheid, waarbij de geheugeneenheid voorzien is van een tussengeheugen (cache-geheugen) en tenminste een harde geheugenschijf en de overdracht van data tussen de centrale verwerkingseenheid en de harde geheugenschijf via het tussengeheugen plaatsvindt, met het kenmerk, dat voorzien  
10 is in tenminste twee harde geheugeneenheden, met elk een bijbehorend tussengeheugen en ten minste een harde geheugenschijf en dat in het verbindingspad tussen de centrale verwerkingseenheid en de geheugeneenheden, voorzien is in middelen om de data bloksgewijs tussen de centrale  
15 verwerkingseenheid enerzijds en afwisselend de eerste of de tweede geheugeneenheid anderzijds over te dragen.

2. Inrichting volgens conclusie 1, met het kenmerk, dat de middelen om de data bloksgewijs aan de eerste of aan de  
20 tweede geheugeneenheid toe te voeren een schakeleenheid omvatten om van de beide geheugeneenheden afkomstige, voor de centrale verwerkingseenheid bestemde datablokken te combineren of de voor beide geheugeneenheden bestemde van de centrale verwerkingseenheid afkomstige stroom van datablokken  
25 te splitsen, alsmede een schakeleenheid om de door de beide geheugeneenheden afgegeven onderbrekingssignalen te combineren en een adresdecodeereenheid om de door de centrale verwerkingseenheid afgegeven adressen om te zetten in adressen voor respectievelijk de eerste en de tweede  
30 geheugeneenheid.

3. Inrichting volgens conclusie 1 of 2, waarbij de data op de harde geheugenschijven in sectoren zijn opgetekend, met het kenmerk, dat ieder blok data een sector omvat.

9001728

4. Inrichting volgens conclusie 3, met het kenmerk, dat de  
adresdecodeereenheid de ontvangen adressen omzet in adressen  
voor afwisselend een sector op de harde geheugenschijf van de  
5 eerste geheugeneenheid en een sector op de harde  
geheugenschijf van de tweede geheugeneenheid.

5. Personal computer voorzien van een inrichting volgens  
conclusie 1, 2, 3 of 4.

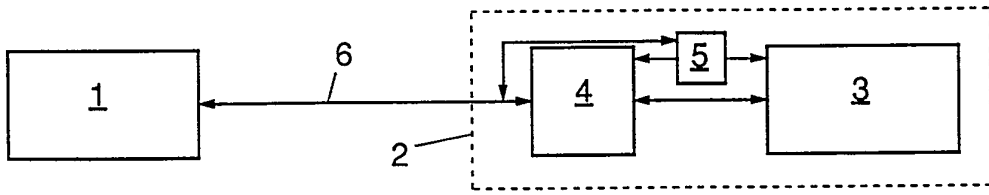


FIG. 1a

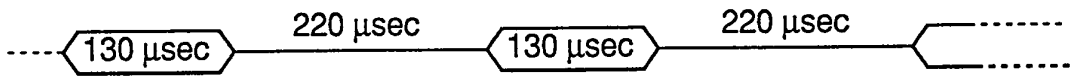


FIG. 1b

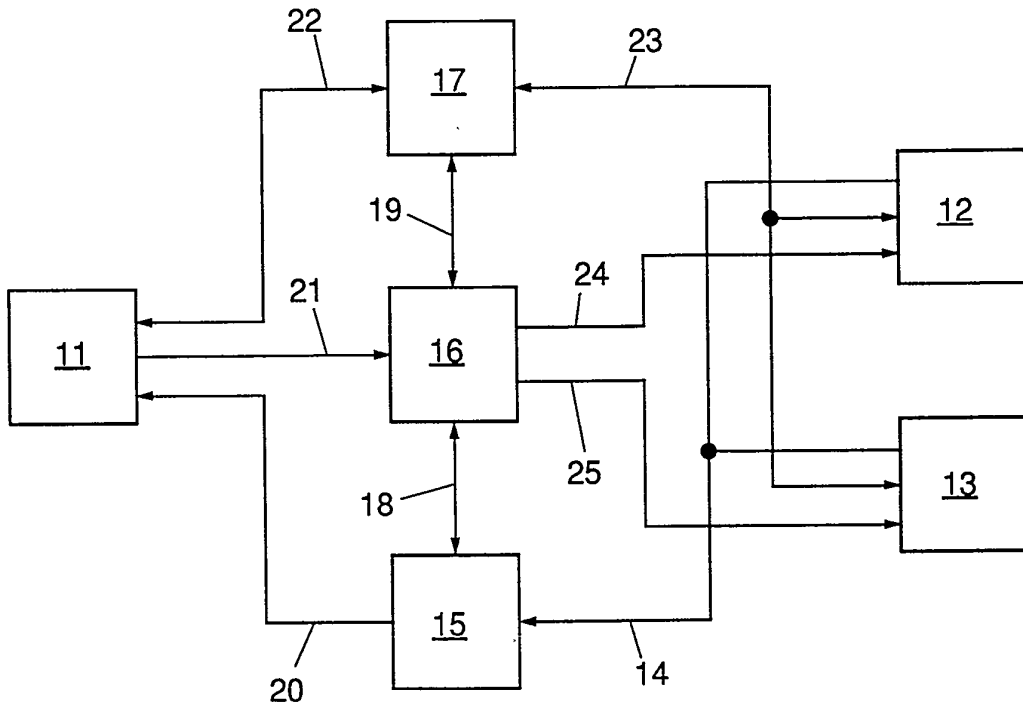


FIG. 2a

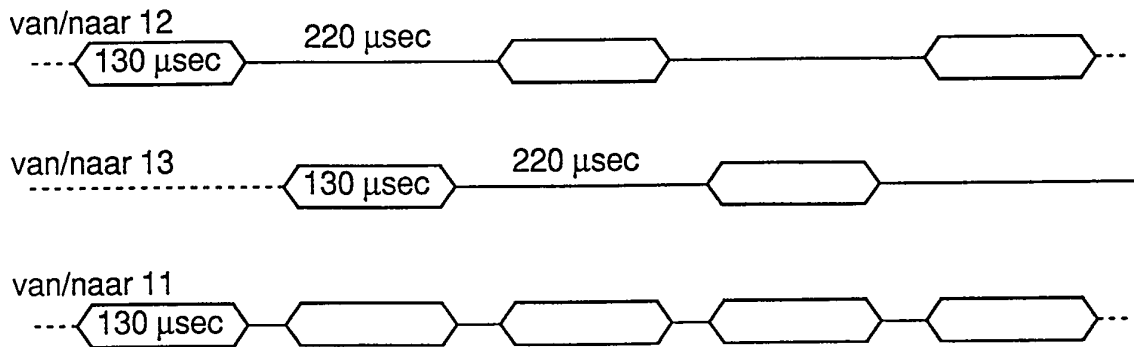


FIG. 2b